

LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：半導体装置及びその製造方法、並びに電子機器

技術分野

[0001] 本開示は、半導体装置及びその製造方法、並びに電子機器に関するものである。

背景技術

[0002] 金属－酸化膜（絶縁膜）－半導体電界効果トランジスタ（metal－oxide（insulator）－semiconductor field effect transistor、MOSFETあるいはMISFET、以下代表してMOSFETと称する）は、半導体装置の基本的な素子である。

[0003] 近年、MOSFETは、半導体装置の小型化及び高集積化に伴い、ますます微細化されてきている。そのため、MOSFETのゲート絶縁膜では、比誘電率を更に高めることや誘電特性を変化させる試みがなされており、例えば、材料種の変更、添加材の導入や結晶構造の変化等が検討されている（国際公開第10／050291号）。これらの誘電体膜は、MOSFETの他、強誘電体メモリやNegative capacitance FET等のデバイスへの応用が期待されている。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第10／050291号

発明の概要

発明が解決しようとする課題

[0005] しかし、原子層堆積法（atomic layer deposition、ALD）等で成膜された誘電体膜は、陽イオン種などの添加剤をデバイスの全面に含んで形成されてしまう。従って、このような誘電体膜では、デバイス構成上望まない領域に陽イオン種が含まれてしまう場合があり、所望

のデバイス特性が出ない場合がある。

課題を解決するための手段

[0006] 本開示によれば、チャンネル部と、ゲート絶縁膜を介して前記チャンネル部と反対側に設けられたゲート電極と、を備え、前記ゲート絶縁膜は、第一の遷移金属酸化物を有する第一の部分、および第二の遷移金属酸化物と陽イオン種を有し前記第一の部分と前記陽イオン種の濃度が異なる第二の部分を含む、半導体装置が提供される。

[0007] また、本開示によれば、チャンネル部を形成することと、ゲート絶縁膜を介して前記チャンネル部と反対側に設けられたゲート電極を形成することと、を含み、前記ゲート絶縁膜は、第一の遷移金属酸化物を有する第一の部分、および第二の遷移金属酸化物と陽イオン種を有し前記第一の部分と前記陽イオン種の濃度が異なる第二の部分を含むように形成される、半導体装置の製造方法が提供される。

[0008] また、本開示によれば、チャンネル部と、ゲート絶縁膜を介して前記チャンネル部と反対側に設けられたゲート電極と、を備え、前記ゲート絶縁膜は、第一の遷移金属酸化物を有する第一の部分、および第二の遷移金属酸化物と陽イオン種を有し前記第一の部分と前記陽イオン種の濃度が異なる第二の部分を含む、電子機器が提供される。

図面の簡単な説明

[0009] [図1]本開示の第1の実施形態に係る半導体装置を示す断面図である。

[図2A]同実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

[図2B]同実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

[図2C]同実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

[図2D]同実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

[図2E]同実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

[図2F]同実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

[図2G]同実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

[図2H]同実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

[図2I]同実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

[図3]同実施形態に係る半導体装置の変形例を示す断面図である。

[図4]本開示の第2の実施形態に係る半導体装置を示す断面図である。

[図5A]同実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

[図5B]同実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

[図5C]同実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

[図5D]同実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

[図6A]同実施形態に係る半導体装置の変形例を示す断面図である。

[図6B]同実施形態に係る半導体装置の変形例を示す断面図である。

[図7]本開示の関連技術に係る半導体装置を示す断面図である。

発明を実施するための形態

[0010] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0011] なお、以下の説明にて参照する各図面では、説明の便宜上、一部の構成部材の大きさを誇張して表現している場合がある。したがって、各図面において図示される構成部材同士の相対的な大きさは、必ずしも実際の構成部材同士の大小関係を正確に表現するものではない。また、以下の説明では、基板及び層の積層方向を上下方向と表現し、基板側を下側と定義する。

[0012] なお、説明は以下の順序で行うものとする。

1. 第1の実施の形態（プレーナ型MOSFETの例）

1. 1. プレーナ型MOSFETの構造

1. 2. プレーナ型MOSFETのプロセスフロー

1. 3. プレーナ型MOSFETの変形例

2. 第2の実施の形態（Fin型MOSFETの例）

2. 1. Fin型MOSFETの構造

2. 2. Fin型MOSFETのプロセスフロー

2. 3. Fin型MOSFETの変形例

[0013] <1. 第1の実施形態>

[1. 1. プレーナ型MOSFETの構造]

まず、図1を参照して、本開示の第1の実施形態に係る半導体装置の構成について説明する。

[0014] 図1に示すように、半導体基板100上に第一のゲート絶縁膜110、第二のゲート絶縁膜111が形成され、第二のゲート絶縁膜111は、第一の部分111Aと、第二の部分111Bと、を含む。第一のゲート絶縁膜110、第二のゲート絶縁膜111の上層にゲート電極112が形成されている。さらに、ゲート絶縁膜111の両側部にサイドウォール絶縁膜103及び層間絶縁膜104が形成されている。すなわち、半導体装置10は、プレーナ型のMOSFETである。なお、図1では、ソース電極及びドレイン電極は、図示を省略した。

[0015] 上記の構成において、第二のゲート絶縁膜111のうち、少なくとも第二の部分111Bは陽イオン種などの添加剤を有した誘電体膜である。

[0016] 半導体基板 100 は、半導体材料で形成され、半導体基板 100 にはソース領域、ドレイン領域、及びチャネル部が形成される。具体的には、第一のゲート絶縁膜 110、及び第二のゲート絶縁膜 111 の下側の半導体基板 100 にチャネル部が形成され、半導体基板 100 のチャネル部の両側にソース領域及びドレイン領域がそれぞれ形成される。半導体基板 100 は、例えば、多結晶、単結晶又はアモルファスのシリコン (Si) 基板であってもよい。または、半導体基板 100 は、上記のシリコン基板の内部に SiO₂ などの絶縁膜が挟み込まれた、いわゆる SOI (Silicon On Insulator) 基板であってもよい。さらには、半導体基板 100 は、例えば、ガリウムヒ素 (GaAs) 基板などの化合物半導体基板、窒化ガリウム (GaN) 基板、又はシリコンカーバイド (SiC) 基板等の他の種類の半導体基板が用いられてもよく、サファイア等の半導体以外の材料によって形成された基板にシリコン (Si) 等を成膜した基板であってもよい。

[0017] 第一のゲート絶縁膜 110、及び第二のゲート絶縁膜 111 は、それぞれ半導体基板 100 の上に順次設けられる。第一のゲート絶縁膜 110、及び第二のゲート絶縁膜 111 は、無機絶縁体にて構成され、無機酸化物又は無機窒化物で構成されてもよい。例えば、第一のゲート絶縁膜 110、及び第二のゲート絶縁膜 111 は、酸化シリコン (SiO_x)、窒化シリコン (SiN_x) 又は酸窒化シリコン (SiON) などで構成されてもよく、酸化ハフニウム (HfO₂)、酸化アルミニウムハフニウム (HfAlO₂)、酸化シリコンハフニウム (HfSiO)、酸化タンタル (Ta₂O₅)、酸化アルミニウム (Al₂O₃)、酸化ジルコニウム (ZrO₂) 又は酸化チタン (TiO₂) などで構成されてもよい。第一のゲート絶縁膜 110、及び第二のゲート絶縁膜 111 は、同じ材料で形成されてもよく、異なる材料で形成されてもよい。第一のゲート絶縁膜 110、及び第二のゲート絶縁膜 111 は、半導体基板 100 の上に上記の無機酸化物又は無機窒化物を成膜することで形成されてもよく、半導体基板 100 の表面から所定の深さまでを酸化することで形成されてもよい。

[0018] ここで、第二のゲート絶縁膜 111 は、第一のゲート絶縁膜 110 の上からゲート電極 112 の側面にも延伸されて設けられてもよい。具体的には、第二のゲート絶縁膜 111 は、第一のゲート絶縁膜 110 の上に設けられた第二の部分 111 B と、ゲート電極 112 の側面に延伸する第一の部分 111 A とを含むように設けられてもよい。これによれば、第二のゲート絶縁膜 111 は、ゲート電極 112 の底面及び側面に沿って凹形状となるように設けられ得る。

[0019] 第二のゲート絶縁膜 111 は、添加剤として陽イオン種である、Si、Ge、Sn、Al、Ga、In、Sr、Sc、Y、La、Ti、Ce、Nb、Ta、Gd の少なくとも 1 以上を含み、第一の部分 111 A の陽イオン種の濃度は第二の部分 111 B の陽イオン種の濃度と異なるように設けられる。例えば、第一の部分 111 A の陽イオン種の濃度は、第二の部分 111 B の陽イオン種の濃度よりも低く設けられてもよい。陽イオン種を含む誘電体膜は誘電率が高くなるため、ゲート電極 112 の側面に設けられる誘電体膜の陽イオン種の濃度を低くすることで、半導体装置 10 の寄生容量を低減することができる。すなわち、半導体装置 10 は、第一の部分 111 A の誘電率を第二の部分 111 B の誘電率よりも低くすることができるため、ゲート電極 112 の側方に形成される寄生容量を低減することができる。

[0020] また、第二の部分 111 B の陽イオン種の濃度は、濃度勾配を有してもよい。具体的には、第二の部分 111 B の陽イオン種の濃度は、第二のゲート絶縁膜 111 の膜厚方向に濃度勾配を有してもよい。

[0021] 例えば、このような第二のゲート絶縁膜 111 は、無機酸化物又は無機窒化物を成膜した後、第二の部分 111 B に対応する領域にイオン注入によって陽イオン種を添加し、アニール処理にて結晶化させることで形成することができる。半導体装置 10 では、この形成方法を用いることによって、第二のゲート絶縁膜 111 の所定の部分に選択的に陽イオン種を添加することができる。このような場合、第二のゲート絶縁膜 111 の第一の部分 111 A は、陽イオン種を含まないことがあり得る。

- [0022] また、第一のゲート絶縁膜 1 1 0、及び第二のゲート絶縁膜 1 1 1 は、それぞれ複数の膜を積層することで設けられてもよい。これにより、第一のゲート絶縁膜 1 1 0、及び第二のゲート絶縁膜 1 1 1 は、膜特性の制御をより容易に、かつ精密に行うことができる。
- [0023] 第二のゲート絶縁膜 1 1 1 の膜厚は、2 nm 以上 30 nm 以下とすることが好ましい。第二のゲート絶縁膜 1 1 1 の膜厚が 2 nm 未満である場合は、第二のゲート絶縁膜 1 1 1 が膜として形成されず結晶化できない可能性があるためである。また、第二のゲート絶縁膜 1 1 1 の膜厚が 30 nm よりも厚い場合は、陽イオン種をイオン注入する際にイオン注入深さが足りず、膜全体に陽イオン種が行き渡らない可能性があるためである。
- [0024] ゲート電極 1 1 2 は、第一のゲート絶縁膜 1 1 0、及び第二のゲート絶縁膜 1 1 3 を介してチャネル部が形成される半導体基板 1 0 0 の反対側に導電性材料にて設けられる。ゲート電極 1 1 2 は、例えば、ポリシリコン等にて形成されてもよく、チタン (T i)、モリブデン (M o)、タンタル (T a)、タングステン (W)、ニオブ (N b)、ニッケル (N i)、ジルコニウム (Z r)、金 (A u)、銀 (A g)、アルミニウム (A l)、銅 (C u)、窒化チタン (T i N)、窒化タンタル (T a N)、チタンアルミニウム (T i A l)、チタンシリコン (T i S i)、ニッケルシリコン (N i S i)、ハフニウム (H f)、ハフニウムシリコン (H f S i)、タングステン (W)、タンタルシリコン (T a S i)、窒化タンタルシリコン (T a S i N)、コバルト (C o)、コバルトシリコン (C o S i)、ルテニウム (R u)、インジウム (I n) 等の金属、合金又は金属化合物にて形成されてもよい。または、ゲート電極 1 1 2 は、上述した材料からなる層を複数種積層した多層構造にて形成されてもよい。このような多層構造によれば、ゲート電極 1 1 2 は、配線抵抗等を低下させたり、仕事関数をより精密に制御したりすることが可能である。
- [0025] サイドウォール絶縁膜 1 0 3 は、ゲート電極 1 1 2 の側方に第二のゲート絶縁膜 1 1 1 の第一の部分 1 1 1 A を介して設けられる。これにより、サイ

ドウォール絶縁膜 103 と、ゲート電極 112 との間には、第一の部分 111A のみが挟まれて設けられることがある。サイドウォール絶縁膜 103 は、絶縁性材料で構成することが可能であり、例えば、窒化シリコン膜、酸化シリコン膜、TEOS 膜（すなわち、原料ガスに *tetraethyl orthosilicate* を用いた酸化シリコン膜）などで構成されてもよい。

[0026] 層間絶縁膜 104 は、ゲート電極 112 が設けられた側と反対側のサイドウォール絶縁膜 103 の側面に絶縁性材料で形成される。層間絶縁膜 104 は、窒化シリコン膜、酸化シリコン膜、TEOS 膜（すなわち、原料ガスに *tetraethyl orthosilicate* を用いた酸化シリコン膜）などで構成されてもよい。

[0027] 次に、図 7 を参照して、比較例に係る半導体装置 90 の構成について説明する。

[0028] 比較例に係る半導体装置 90 は、半導体装置 10 の第二のゲート絶縁膜 111 に対応する第二のゲート絶縁膜 113 の構成が半導体装置 10 と異なる。具体的には、比較例に係る半導体装置 90 では、第二のゲート絶縁膜 113 は、陽イオン種などの添加剤を全体に含んで構成される。このため、比較例に係る半導体装置 90 では、ゲート電極 112 の側壁に延伸して形成される第二のゲート絶縁膜 113 にも、ゲート電極 112 の底面に形成される第二のゲート絶縁膜 113 と同程度の濃度の陽イオン種が含まれてしまう。これは、比較例に係る半導体装置 90 では、第二のゲート絶縁膜 113 は、原子層堆積法 (*atomic layer deposition*、ALD)、化学気相成長法 (*chemical vapor deposition*、CVD)、スパッタや電子線蒸着を含む物理気相成長法 (*physical vapor deposition*、PVD) で成膜され、デバイス全面に形成されるためである。

[0029] HfO_2 、 ZrO_2 などの誘電体膜は、通常、アモルファス (*amorphous*、a 相) であり、さらに半導体デバイス工程で用いられる 1000°C

程度以下の温度域のアニールでは単斜晶（*monoclinic*、*m*相）に結晶化する。ところが、 HfO_2 、 ZrO_2 などの誘電体膜は、意図的に陽イオン種などの他元素を添加した後にアニールすると、立方晶（*cubic*、*c*相）、正方晶（*tetragonal*、*t*相）、斜方晶（*orthorhombic*、*o*相）といった結晶構造をとることがある。これらの*c*相、*t*相、*o*相はいずれも*a*相、*m*相よりも誘電率が高いため、このような結晶構造の誘電体膜がゲート電極 112 の側面に形成される比較例に係る半導体装置 90 では、寄生容量が増大してしまう。これに対し、本実施形態に係る半導体装置では、このような結晶構造の誘電体膜がゲート電極 112 の側面に形成されることを防止することができるため、寄生容量の増加を抑制することができる。

[0030] [1. 2. プレーナ型 MOSFET のプロセスフロー]

次に、図 2 A から図 2 I を参照して、本開示の第 1 の実施形態に係る半導体装置の製造方法について説明する。

[0031] まず、図 2 A に示すように、例えば、シリコンで形成された半導体基板 100 上にダミー絶縁膜 101 を形成し、さらにダミー絶縁膜 101 の上層にダミー電極 102 を形成する。なお、本実施形態に係る半導体装置 10 では、ダミー絶縁膜 101 及びダミー電極 102 は、後段のプロセスで除去される。ダミー絶縁膜 101 及びダミー電極 102 は、半導体基板 100 上に半導体装置 10 と同時に形成される他の電界効果トランジスタのゲート絶縁膜及びゲート電極と同時に形成されてもよい。

[0032] 次に、図 2 B に示すように、フォトリソグラフィ技術又は電子線リソグラフィ技術を用いてパターニングされたレジストをマスクとしてドライエッチングなどを行うことで、ダミー絶縁膜 101、ダミー電極 102 をパターン加工する。

[0033] 次に、図 2 C に示すように、絶縁膜を半導体基板 100 全面に形成した後、該絶縁膜へのドライエッチングなどにより、ダミー絶縁膜 101、及びダミー電極 102 の側壁部のみにサイドウォール絶縁膜 103 を形成する。サ

イドウォール絶縁膜 103 は、例えば、窒化シリコン膜、酸化シリコン、TEOSなどをCVD法などにより形成した後、ドライエッチング法などにより全面をエッチングすることにより形成することができる。次に、例えばCVD法により半導体基板 100 全面に層間絶縁膜 104 を形成する。層間絶縁膜 104 としては、例えば、TEOS膜などを用いることができる。次に、ダミー電極 102 の上面部が露出するように、層間絶縁膜 104 の一部を除去する。例えば、CMP (Chemical Mechanical Polishing) 法により層間絶縁膜 104 の一部を研磨除去する。

[0034] 次に、図 2D に示すように、ダミー電極 102、ダミー絶縁膜 101 を除去する。ダミー電極 102 は、例えば、ドライエッチング法を用いて選択的に除去することができる。また、ダミー絶縁膜 101 は、例えば、ドライエッチング法やウェットエッチング法を用いて選択的に除去することができる。

[0035] 次に、図 2E に示すように、第一のゲート絶縁膜 110 及び第二のゲート絶縁膜 111 を半導体基板 100 上全面に堆積する。ここで、第一のゲート絶縁膜 110 は、例えば、酸化シリコン (SiO_x)、窒化シリコン (SiN_x) 又は酸窒化シリコン (SiON) などで構成されてもよい。また、第二のゲート絶縁膜 111 は、例えば、酸化ハフニウム (HfO_2)、酸化ジルコニウム (ZrO_2) などで構成されてもよい。第一のゲート絶縁膜 110、及び第二のゲート絶縁膜 111 は、半導体基板 100 の表面から所定の深さまでを酸化することで形成されてもよく、半導体基板 100 の上に上記の無機酸化物又は無機窒化物をALD法あるいはCVD法などを用いて形成されてもよい。

[0036] 次に、図 2F に示すように、例えば、イオン注入法 11 により陽イオン種である、Si、Ge、Sn、Al、Ga、In、Sr、Sc、Y、La、Ti、Ce、Nb、Ta、又はGdを第二のゲート絶縁膜 111 に添加する。この際、基板に対して垂直方向からイオン注入を行うことで第二のゲート絶縁膜 111 の側面には陽イオン種が注入されず、自己整合的に第二のゲート

絶縁膜 111 の側壁部と底面部の陽イオン種の濃度を変えることができる。
また、必要に応じてマスク材を用い、所望の領域のみイオン注入することもできる。

[0037] 次に、図 2 G に示すように、ゲート電極 112 を第二のゲート絶縁膜 111 上全面に CVD 法、ALD 法あるいは PVD 法などにより堆積する。ここで、ゲート電極 112 は、例えば、金属、合金又は金属化合物にて形成されてもよい。

[0038] 次に、図 2 H に示すように、層間絶縁膜 104 の上面部が露出するように、ゲート電極 112 及び第二のゲート絶縁膜 111 を除去する。例えば、CMP (Chemical Mechanical Polishing) 法によりゲート電極 112 及び第二のゲート絶縁膜 111 を研磨除去する。

[0039] 次に、図 2 I に示すように、半導体装置 10 を熱処理する。これにより、第二のゲート絶縁膜の第二の部分 111 B が結晶化し、a 相、m 相またはこれらの混相から c 相、t 相、o 相またはこれらの混相に変化する。これらの c 相、t 相、o 相の誘電率はいずれも a 相、m 相の誘電率よりも高いため、本実施形態に係る半導体装置の製造方法によれば、このような結晶構造の誘電体膜がソースドレイン領域側のゲート電極 112 の側面に形成されることを防止することができ、寄生容量の増加を抑制することができる。なお、熱処理はイオン注入法入 11 の後であれば順序は問わずに行うことができる。

[0040] [1. 3. プレーナ型 MOSFET の変形例]

図 3 を参照して、本開示の第 1 の実施形態に係る半導体装置の構成の変形例について説明する。

[0041] 図 3 に示す本変形例では、N 型トランジスタ 10N 及び P 型トランジスタ 10P を含む CMOS トランジスタである点が本開示の第 1 の実施形態に係る半導体装置の構成と異なる。具体的には、本変形例は、N 型トランジスタ 10N 及び P 型トランジスタ 10P の素子を分離する素子分離領域 120、半導体基板 100 と異なる材料で形成されたソースドレイン領域 121、122、サイドウォール絶縁膜 103 に対してゲート絶縁膜 111 の反対側に

設けられるライナー絶縁層 1 2 3、1 2 4、ゲート電極を構成する第一の金属層 1 1 2 A、第二の金属層 1 1 2 B、第三の金属層 1 1 2 C、第四の金属層 1 1 2 D、第五の金属層 1 1 2 E、第六の金属層 1 1 2 F が積層されて設けられている。なお、上記の金属層は例示であり、金属層の層数は上記に限定されない。

[0042] なお、図 3 で示す構成のうち、図 1 で示した構成と同名及び同符号の構成については、実質的に図 1 で示した構成と同様であるため、ここでの説明は省略する。

[0043] 素子分離領域 1 2 0 は、上述したダミー絶縁膜 1 0 1 を形成する前に、半導体基板 1 0 0 中に形成されてもよい。また、ダミー絶縁膜 1 0 1 を形成する前に、イオン注入法にて不純物を導入して、半導体基板 1 0 0 中にウェル領域を形成しておいてもよい。

[0044] ソースドレイン領域 1 2 1、1 2 2 は、半導体基板 1 0 0 に対してサイドウォール絶縁膜 1 0 3 の選択比を高くし、半導体基板 1 0 0 を選択的にエッチングすることで、形成されてもよい。上記により、半導体基板 1 0 0 に溝を形成することもできる。その後、半導体基板 1 0 0 のエッチングした領域内へ選択的にソースドレイン領域 1 2 1、1 2 2 を形成してもよい。ソースドレイン領域 1 2 1 は、例えば、圧縮応力を導入する際にはシリコンゲルマニウム (S i G e)、ソースドレイン領域 1 2 2 は、例えば、引っ張り応力を導入する際には炭化シリコン (S i C) を選択エピタキシャル成長法にて堆積することで、形成することができる。これにより、ソースドレイン領域 1 2 1、1 2 2 は、チャンネル部へ応力を印加することができ、デバイス特性を向上させることができる。

[0045] ライナー絶縁層 1 2 3、1 2 4 は、例えば、C V D 法により基板全面に応力導入層を形成することで設けられてもよい。応力導入層は、例えば、窒化シリコンを形成し、チャンネルの種類に応じて引っ張り応力又は圧縮応力を持った膜とすることで形成することができる。これにより、ライナー絶縁層 1 2 3、1 2 4 は、チャンネル部へ応力を印加することができ、デバイス特性を

向上させることができる。

[0046] 第一の金属層 1 1 2 A、第二の金属層 1 1 2 B、第三の金属層 1 1 2 C、第四の金属層 1 1 2 D、第五の金属層 1 1 2 E、第六の金属層 1 1 2 F は、例えば C V D 法、A L D 法あるいは P V D 法により、ポリシリコン層、金属層、金属化合物層を堆積して形成されてもよい。これにより、N 型トランジスタ 1 0 N 又は P 型トランジスタ 1 0 P のそれぞれのしきい値電圧や抵抗値を調整することができる。

[0047] 例えば、第一の金属層 1 1 2 A は T i N、第二の金属層 1 1 2 B は T a N、第三の金属層 1 1 2 C は T i N、第四の金属層 1 1 2 D は T i N、第五の金属層 1 1 2 E は T i A l、第六の金属層 1 1 2 F は W であってもよい。

[0048] 以上にて本開示の第 1 の実施形態について詳細に説明した。また、本開示に係る技術は、強誘電体膜を用いたトランジスタやメモリ、N e g a t i v e c a p a c i t a n c e F E T のような極めて急峻な立ち上がり特性を示す論理回路デバイスにも応用することができる。

[0049] < 2. 第 2 の実施の形態 >

[2. 1. F i n 型 M O S F E T の構造]

まず、図 4 を参照して、本開示の第 2 の実施形態に係る半導体装置の構成について説明する。本開示の第 2 の実施形態に係る半導体装置は、例えば、F i n 型 M O S F E T である。

[0050] 図 4 では、F i n 型 M O S F E T の平面図を図 a、A - A' 断面図を図 b、B - B' 断面図を図 c に示す。F i n 型 M O S F E T の構造は、プレーナ型 M O S F E T の構造と比べて、チャネル部の構造が異なる。具体的には、半導体基板 2 0 0 から凸設する F i n 形状の凸部 2 0 0 A がチャネル部を有しており、それぞれの F i n 形状の凸部 2 0 0 A が素子分離 2 2 0 で分離されている。この F i n 型 M O S F E T の構造は、F i n 形状の凸部 2 0 0 A がチャネル部を有することで、単位面積当たりの電流量を増大させることができる。

[0051] 図 b に示すように、半導体装置 2 0 では、凸部 2 0 0 A 上に第一のゲート

絶縁膜 210、第二のゲート絶縁膜 211 が形成され、第二のゲート絶縁膜 211 は、第一の部分 211A と、第二の部分 211B と、を含む。第一のゲート絶縁膜 210、第二のゲート絶縁膜 211 の上層にゲート電極 212 が形成されている。さらに、ゲート絶縁膜 211 の両側部にサイドウォール絶縁膜 203 及び層間絶縁膜 204 が形成されている。すなわち、半導体装置 20 は、Fin 型の MOSFET である。なお、図 b では、ソース電極及びドレイン電極は、図示を省略した。

[0052] また、図 c に示すように、半導体基板 200 から凸設する Fin 形状の凸部 200A がチャネル部を有しており、それぞれの Fin 形状の凸部 200A が素子分離 220 で分離されている。この半導体基板 200 から凸設する Fin 形状の凸部 200A の形状に沿って、第一のゲート絶縁膜 210 が形成される。また、第一のゲート絶縁膜 210、素子分離 220、サイドウォール絶縁膜 203 の凹凸形状に沿って、第二のゲート絶縁膜 211 の第二の部分 211B が延伸して設けられる。また、第二のゲート絶縁膜 211 の第二の部分 211B の上層にゲート電極 212 が形成されている。

[0053] 上記の構成において、第二のゲート絶縁膜 211 のうち、少なくとも第二の部分 211B は陽イオン種などの添加剤を有した誘電体膜である。

[0054] 凸部 200A は、半導体材料で形成され、凸部 200A にはソース領域、ドレイン領域、及びチャネル部が形成される。具体的には、第一のゲート絶縁膜 210、及び第二のゲート絶縁膜 211 の下側の凸部 200A にチャネル部が形成され、凸部 200A のチャネル部の両側にソース領域及びドレイン領域がそれぞれ形成される。凸部 200A は、半導体基板 200 の一主面を加工することで形成されてもよい。なお、半導体基板 200 は、例えば、多結晶、単結晶又はアモルファスのシリコン (Si) 基板であってもよい。または、半導体基板 200 は、上記のシリコン基板の内部に SiO₂ などの絶縁膜が挟み込まれた、いわゆる SOI (Silicon On Insulator) 基板であってもよい。さらには、半導体基板 200 は、例えば、ガリウムヒ素 (GaAs) 基板などの化合物半導体基板、窒化ガリウム (G

a N) 基板、又はシリコンカーバイド (S i C) 基板等の他の種類の半導体基板が用いられてもよく、サファイア等の半導体以外の材料によって形成された基板にシリコン (S i) 等を成膜した基板であってもよい。

[0055] 第一のゲート絶縁膜 2 1 0、及び第二のゲート絶縁膜 2 1 1 は、それぞれ凸部 2 0 0 A の上に順次設けられる。第一のゲート絶縁膜 2 1 0、及び第二のゲート絶縁膜 2 1 1 は、無機絶縁体にて構成され、無機酸化物又は無機窒化物で構成されてもよい。例えば、第一のゲート絶縁膜 2 1 0、及び第二のゲート絶縁膜 2 1 1 は、酸化シリコン (S i O_x)、窒化シリコン (S i N_x) 又は酸窒化シリコン (S i O N) などで構成されてもよく、酸化ハフニウム (H f O₂)、酸化アルミニウムハフニウム (H f A l O₂)、酸化シリコンハフニウム (H f S i O)、酸化タンタル (T a₂ O₅)、酸化アルミニウム (A l₂ O₃)、酸化ジルコニウム (Z r O₂) 又は酸化チタン (T i O₂) などで構成されてもよい。第一のゲート絶縁膜 2 1 0、及び第二のゲート絶縁膜 2 1 1 は、同じ材料で形成されてもよく、異なる材料で形成されてもよい。第一のゲート絶縁膜 2 1 0、及び第二のゲート絶縁膜 2 1 1 は、半導体基板 2 0 0 の上に上記の無機酸化物又は無機窒化物を成膜することで形成されてもよく、半導体基板 2 0 0 の表面から所定の深さまでを酸化することで形成されてもよい。

[0056] ここで、第二のゲート絶縁膜 2 1 1 は、第一のゲート絶縁膜 2 1 0 の上からゲート電極 2 1 2 の側面にも延伸されて設けられてもよい。具体的には、第二のゲート絶縁膜 2 1 1 は、第一のゲート絶縁膜 2 1 0 の上に設けられた第二の部分 2 1 1 B と、ゲート電極 2 1 2 の側面に延伸する第一の部分 2 1 1 A とを含むように設けられてもよい。これによれば、第二のゲート絶縁膜 2 1 1 は、ゲート電極 2 1 2 の底面及び側面に沿って凹形状となるように設けられ得る。

[0057] 第二のゲート絶縁膜 2 1 1 は、添加剤として陽イオン種である、S i、G e、S n、A l、G a、I n、S r、S c、Y、L a、T i、C e、N b、T a、G d の少なくとも 1 以上を含み、第一の部分 2 1 1 A の陽イオン種の

濃度は第二の部分 2 1 1 B の陽イオン種の濃度と異なるように設けられる。

例えば、第一の部分 2 1 1 A の陽イオン種の濃度は、第二の部分 2 1 1 B の陽イオン種の濃度よりも低く設けられてもよい。陽イオン種を含む誘電体膜は誘電率が高くなるため、ゲート電極 2 1 2 の側面に設けられる誘電体膜の陽イオン種の濃度を低くすることで、半導体装置 2 0 の寄生容量を低減することができる。すなわち、半導体装置 2 0 は、第一の部分 2 1 1 A の誘電率を第二の部分 2 1 1 B の誘電率よりも低くすることができるため、ゲート電極 2 1 2 の側方に形成される寄生容量を低減することができる。

[0058] また、第二の部分 2 1 1 B の陽イオン種の濃度は、濃度勾配を有してもよい。具体的には、第二の部分 2 1 1 B の陽イオン種の濃度は、第二のゲート絶縁膜 2 1 1 の膜厚方向に濃度勾配を有してもよい。

[0059] 例えば、このような第二のゲート絶縁膜 2 1 1 は、無機酸化物又は無機窒化物を成膜した後、第二の部分 2 1 1 B に対応する領域にイオン注入によって陽イオン種を添加し、アニール処理にて結晶化させることで形成することができる。半導体装置 2 0 では、この形成方法を用いることによって、第二のゲート絶縁膜 2 1 1 の所定の部分に選択的に陽イオン種を添加することができる。このような場合、第二のゲート絶縁膜 2 1 1 の第一の部分 2 1 1 A は、陽イオン種を含まないことがあり得る。

[0060] また、第一のゲート絶縁膜 2 1 0、及び第二のゲート絶縁膜 2 1 1 は、それぞれ複数の膜を積層することで設けられてもよい。これにより、第一のゲート絶縁膜 2 1 0、及び第二のゲート絶縁膜 2 1 1 は、膜特性の制御をより容易に、かつ精密に行うことができる。

[0061] 第二のゲート絶縁膜 2 1 1 の膜厚は、2 nm 以上 30 nm 以下とすることが好ましい。第二のゲート絶縁膜 2 1 1 の膜厚が 2 nm 未満である場合は、第二のゲート絶縁膜 2 1 1 が膜として形成されず結晶化できない可能性があるためである。また、第二のゲート絶縁膜 2 1 1 の膜厚が 30 nm よりも厚い場合は、陽イオン種をイオン注入する際にイオン注入深さが足りず、膜全体に陽イオン種が行き渡らない可能性があるためである。

[0062] ゲート電極 212 は、第一のゲート絶縁膜 210、及び第二のゲート絶縁膜 213 を介してチャネル部が形成される凸部 200A の反対側に導電性材料にて設けられる。ゲート電極 212 は、例えば、ポリシリコン等にて形成されてもよく、チタン (Ti)、モリブデン (Mo)、タンタル (Ta)、タングステン (W)、ニオブ (Nb)、ニッケル (Ni)、ジルコニウム (Zr)、金 (Au)、銀 (Ag)、アルミニウム (Al)、銅 (Cu)、窒化チタン (TiN)、窒化タンタル (Ta₂N₃)、チタンアルミニウム (TiAl)、チタンシリコン (TiSi)、ニッケルシリコン (NiSi)、ハフニウム (Hf)、ハフニウムシリコン (HfSi)、タングステン (W)、タンタルシリコン (TaSi)、窒化タンタルシリコン (TaSiN)、コバルト (Co)、コバルトシリコン (CoSi)、ルテニウム (Ru)、インジウム (In) 等の金属、合金又は金属化合物にて形成されてもよい。または、ゲート電極 212 は、上述した材料からなる層を複数種積層した多層構造にて形成されてもよい。このような多層構造によれば、ゲート電極 212 は、配線抵抗等を低下させたり、仕事関数をより精密に制御したりすることが可能である。

[0063] サイドウォール絶縁膜 203 は、ゲート電極 212 の側方に第二のゲート絶縁膜 211 の第一の部分 211A を介して設けられる。これにより、サイドウォール絶縁膜 203 と、ゲート電極 212 との間には、第一の部分 211A のみが挟まれて設けられることがある。サイドウォール絶縁膜 203 は、絶縁性材料で構成することが可能であり、例えば、窒化シリコン膜、酸化シリコン膜、TEOS 膜などで構成されてもよい。

[0064] 層間絶縁膜 204 は、ゲート電極 212 が設けられた側と反対側のサイドウォール絶縁膜 203 の側面に絶縁性材料で形成される。層間絶縁膜 204 は、窒化シリコン膜、酸化シリコン膜、TEOS 膜などで構成されてもよい。

[0065] [2. 2. Fin 型 MOSFET のプロセスフロー]

次に、図 5A から図 5D を参照して、本開示の第 2 の実施形態に係る半導

体装置の製造方法について説明する。なお、Fin型MOSFETのA-A'断面図のプロセスフローはプレーナ型と同様であるため、省略する。以下に、Fin型MOSFETのB-B'断面図のプロセスフローを示す。

[0066] まず、図5Aに示すように、例えば、シリコンで形成された半導体基板200上に堆積されたハードマスク及びレジスト膜をマスクとしてドライエッチングなどによるエッチングを行う。これにより、半導体基板200から凸設するFin形状の凸部200Aが形成される。

[0067] 次に、図5Bに示すように、例えば、素子分離220は、酸化シリコンなどをCVD法などで形成した後、形成した酸化シリコン膜などをドライエッチング法などでエッチングすることにより形成することができる。

[0068] その後、プレーナ型MOSFETの図2Aから図2Eに相当するプロセスを経て、第一のゲート絶縁膜210、第二のゲート絶縁膜211、サイドウォール絶縁膜203及び層間絶縁膜204（図示せず）が形成される。続いて、図5Cに示すように、例えば、イオン注入法I1、I2、I3により陽イオン種である、Si、Ge、Sn、Al、Ga、In、Sr、Sc、Y、La、Ti、Ce、Nb、Ta、又はGdを第二のゲート絶縁膜211に添加する。このとき、第二のゲート絶縁膜211の側壁部にも陽イオン種を導入するため、少なくとも2回は陽イオン種のイオン注入を斜めから行う。この際、必要に応じてマスク材を用いることで、所望の領域のみイオン注入することもできる。

[0069] その後、プレーナ型MOSFETの図2Gから図2Hに相当するプロセスを経て、第二のゲート絶縁膜211の上にゲート電極212を形成する。続いて、図5Dに示すように、半導体装置20を熱処理する。これにより、第二のゲート絶縁膜のうち陽イオン種を添加した第二の部分211Bが結晶化し、a相、m相またはこれらの混相からc相、t相、o相またはこれらの混相に変化する。これらのc相、t相、o相の誘電率はいずれもa相、m相の誘電率よりも高い。そのため、本実施形態に係る半導体装置の製造方法によれば、このような結晶構造の誘電体膜がソースドレイン領域側のゲート電極

212の側面に形成されることを防止することができ、寄生容量の増加を抑制することができる。なお、熱処理はイオン注入法入11、12、13の後であれば順序は問わずに行うことができる。

[0070] [2.3. Fin型MOSFETの変形例]

図6A及び図6Bを参照して、本開示の第2の実施形態に係る半導体装置の構成の変形例について説明する。

[0071] 図6A及び図6Bに示す本変形例において、N型トランジスタ20Nを図6A、P型トランジスタ20Pを図6Bに示す。本変形例では、図6Aに示すN型トランジスタ20N、及び図6Bに示すP型トランジスタ20Pを含むCMOSトランジスタである点が本開示の第2の実施形態に係る半導体装置の構成と異なる。具体的には、本変形例は、N型トランジスタ20Nについては、第一の金属層212A、第二の金属層212B、第四の金属層212D、第五の金属層212E、第六の金属層212Fが積層されて設けられることで、ゲート電極が構成されており、P型トランジスタ20Pについては、第一の金属層212A、第二の金属層212B、第三の金属層212C、第五の金属層212E、第六の金属層212Fが積層されて設けられることで、ゲート電極が構成されている。なお、ここでの金属層の構成は例示であり、金属層の構成はここでの記載に限定されない。

[0072] なお、図6A及び図6Bで示す構成のうち、図4で示した構成と同名及び同符号の構成については、実質的に図4で示した構成と同様であるため、ここでの説明は省略する。

[0073] 第一の金属層212A、第二の金属層212B、第三の金属層212C、第四の金属層212D、第五の金属層212E、第六の金属層212Fは、例えばCVD法、ALD法あるいはPVD法により、ポリシリコン層、金属層、金属化合物層を堆積して形成されてもよい。これにより、N型トランジスタ20N又はP型トランジスタ20Pのそれぞれのしきい値電圧や抵抗値を調整することができる。

[0074] 例えば、第一の金属層212AはTiN、第二の金属層212BはTa

、第三の金属層 2 1 2 C は T i N、第四の金属層 2 1 2 D は T i N、第五の金属層 2 1 2 E は T i A l、第六の金属層 2 1 2 F は W であってもよい。

[0075] 以上にて本開示の第 2 の実施形態について詳細に説明した。また、本開示に係る技術は、強誘電体膜を用いたトランジスタやメモリ、N e g a t i v e c a p a c i t a n c e F E T のような極めて急峻な立ち上がり特性を示す論理回路デバイスにも応用することができる。

[0076] 以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0077] また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

[0078] なお、以下のような構成も本開示の技術的範囲に属する。

(1)

チャネル部と、

ゲート絶縁膜を介して前記チャネル部と反対側に設けられたゲート電極と

、

を備え、

前記ゲート絶縁膜は、第一の遷移金属酸化物を有する第一の部分、および第二の遷移金属酸化物と陽イオン種を有し前記第一の部分と前記陽イオン種の濃度が異なる第二の部分を含む、半導体装置。

(2)

前記第一の遷移金属酸化物に含まれる遷移金属元素、および前記第二の遷移金属酸化物に含まれる遷移金属元素には、H f、Z r の少なくとも 1 以上

が含まれる、前記（１）に記載の半導体装置。

（３）

前記第一の遷移金属酸化物は、前記第二の遷移金属酸化物と同じものである、前記（１）または前記（２）に記載の半導体装置。

（４）

前記第一の部分の膜厚、および前記第二の部分の膜厚は、 2 nm 以上 30 nm 以下である、前記（１）から前記（３）のいずれか一項に記載の半導体装置。

（５）

前記陽イオン種には、 Si 、 Ge 、 Sn 、 Al 、 Ga 、 In 、 Sr 、 Sc 、 Y 、 La 、 Ti 、 Ce 、 Nb 、 Ta 、 Gd の少なくとも１以上が含まれる、前記（１）から前記（４）のいずれか一項に記載の半導体装置。

（６）

前記第一の部分の前記陽イオン種の濃度は、前記第二の部分の前記陽イオン種の濃度より低い、前記（１）から前記（５）のいずれか一項に記載の半導体装置。

（７）

前記第一の部分には、前記陽イオン種が含まれない、前記（６）に記載の半導体装置。

（８）

前記第二の部分では、前記陽イオン種が濃度勾配を有する、前記（１）から前記（７）のいずれか一項に記載の半導体装置。

（９）

前記第一の部分の誘電率は、前記第二の部分の誘電率よりも低い、前記（１）から前記（８）のいずれか一項に記載の半導体装置。

（１０）

前記第一の部分は、前記ゲート電極の側面に延伸して設けられる、前記（１）から前記（９）のいずれか一項に記載の半導体装置。

(11)

前記ゲート絶縁膜に接して設けられたサイドウォール部をさらに備え、前記第一の部分のみが、前記ゲート電極および前記サイドウォール部の間に挟まれる、前記(10)に記載の半導体装置。

(12)

前記ゲート絶縁膜は、複数の膜が積層されて設けられる、前記(1)から前記(11)のいずれか一項に記載の半導体装置。

(13)

前記チャネル部は、半導体基板に設けられる、前記(1)から前記(12)のいずれか一項に記載の半導体装置。

(14)

前記チャネル部は、凸設された半導体層に設けられる、前記(1)から前記(13)のいずれか一項に記載の半導体装置。

(15)

チャネル部を形成することと、

ゲート絶縁膜を介して前記チャネル部と反対側に設けられたゲート電極を形成することと、

を含み、

前記ゲート絶縁膜は、第一の遷移金属酸化物を有する第一の部分、および第二の遷移金属酸化物と陽イオン種を有し前記第一の部分と前記陽イオン種の濃度が異なる第二の部分の有して形成される、半導体装置の製造方法。

(16)

前記陽イオン種は、イオン注入法により添加される、前記(15)に記載の半導体装置の製造方法。

(17)

チャネル部と、

ゲート絶縁膜を介して前記チャネル部と反対側に設けられたゲート電極と

、

を備え、

前記ゲート絶縁膜は、第一の遷移金属酸化物を有する第一の部分、および第二の遷移金属酸化物と陽イオン種を有し前記第一の部分と前記陽イオン種の濃度が異なる第二の部分を含む、電子機器。

符号の説明

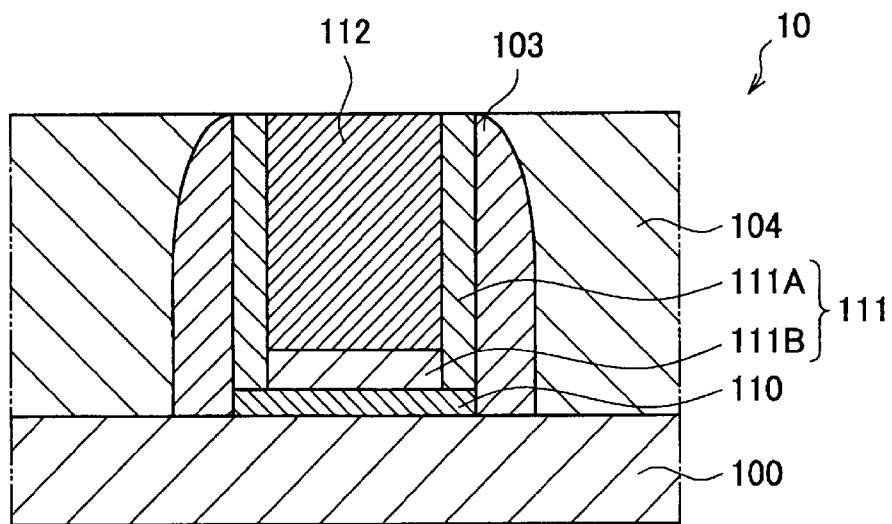
- [0079] 10、20、90 半導体装置
- 10N、20N N型トランジスタ
- 10P、20P P型トランジスタ
- 100、200 半導体基板
- 101 ダミー絶縁膜
- 102 ダミー電極
- 103、203 サイドウォール絶縁膜
- 104、204 層間絶縁膜
- 110、210 第一のゲート絶縁膜
- 111、113、211、213 第二のゲート絶縁膜
- 111A、211A 第一の部分
- 111B、211B 第二の部分
- 112、212 ゲート電極
- 112A、212A 第一の金属層
- 112B、212B 第二の金属層
- 112C、212C 第三の金属層
- 112D、212D 第四の金属層
- 112E、212E 第五の金属層
- 112F、212F 第六の金属層
- 120、220 素子分離領域
- 121、122 ソースドレイン領域
- 123、124 ライナー絶縁層
- 200A 凸部

請求の範囲

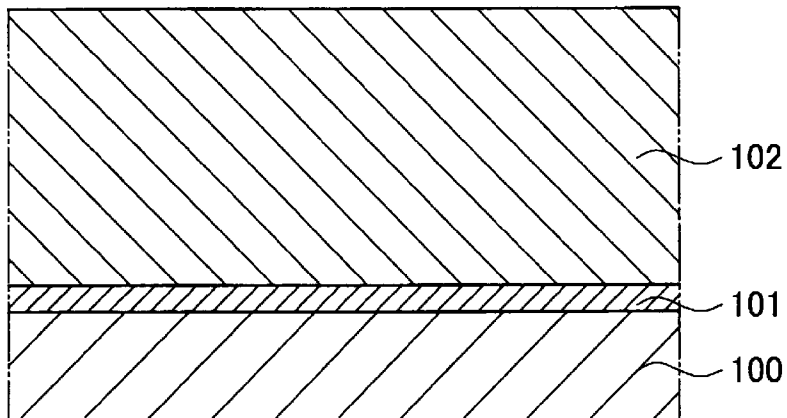
- [請求項1] チャネル部と、
 ゲート絶縁膜を介して前記チャネル部と反対側に設けられたゲート電極と、
 を備え、
 前記ゲート絶縁膜は、第一の遷移金属酸化物を有する第一の部分、および第二の遷移金属酸化物と陽イオン種を有し前記第一の部分と前記陽イオン種の濃度が異なる第二の部分を含む、半導体装置。
- [請求項2] 前記第一の遷移金属酸化物に含まれる遷移金属元素、および前記第二の遷移金属酸化物に含まれる遷移金属元素には、Hf、Zrの少なくとも1以上が含まれる、請求項1に記載の半導体装置。
- [請求項3] 前記第一の遷移金属酸化物は、前記第二の遷移金属酸化物と同じものである、請求項1に記載の半導体装置。
- [請求項4] 前記第一の部分の膜厚、および前記第二の部分の膜厚は、2nm以上30nm以下である、請求項1に記載の半導体装置。
- [請求項5] 前記陽イオン種には、Si、Ge、Sn、Al、Ga、In、Sr、Sc、Y、La、Ti、Ce、Nb、Ta、Gdの少なくとも1以上が含まれる、請求項1に記載の半導体装置。
- [請求項6] 前記第一の部分の前記陽イオン種の濃度は、前記第二の部分の前記陽イオン種の濃度より低い、請求項1に記載の半導体装置。
- [請求項7] 前記第一の部分には、前記陽イオン種が含まれない、請求項6に記載の半導体装置。
- [請求項8] 前記第二の部分では、前記陽イオン種が濃度勾配を有する、請求項1に記載の半導体装置。
- [請求項9] 前記第一の部分の誘電率は、前記第二の部分の誘電率よりも低い、請求項1に記載の半導体装置。
- [請求項10] 前記第一の部分は、前記ゲート電極の側面に延伸して設けられる、請求項1に記載の半導体装置。

- [請求項11] 前記ゲート絶縁膜に接して設けられたサイドウォール部をさらに備え、前記第一の部分のみが、前記ゲート電極および前記サイドウォール部の間に挟まれる、請求項10に記載の半導体装置。
- [請求項12] 前記ゲート絶縁膜は、複数の膜が積層されて設けられる、請求項1に記載の半導体装置。
- [請求項13] 前記チャネル部は、半導体基板に設けられる、請求項1に記載の半導体装置。
- [請求項14] 前記チャネル部は、凸設された半導体層に設けられる、請求項1に記載の半導体装置。
- [請求項15] チャネル部を形成することと、
ゲート絶縁膜を介して前記チャネル部と反対側に設けられたゲート電極を形成することと、
を含み、
前記ゲート絶縁膜は、第一の遷移金属酸化物を有する第一の部分、および第二の遷移金属酸化物と陽イオン種を有し前記第一の部分と前記陽イオン種の濃度が異なる第二の部分の有して形成される、半導体装置の製造方法。
- [請求項16] 前記陽イオン種は、イオン注入法により添加される、請求項15に記載の半導体装置の製造方法。
- [請求項17] チャネル部と、
ゲート絶縁膜を介して前記チャネル部と反対側に設けられたゲート電極と、
を備え、
前記ゲート絶縁膜は、第一の遷移金属酸化物を有する第一の部分、および第二の遷移金属酸化物と陽イオン種を有し前記第一の部分と前記陽イオン種の濃度が異なる第二の部分の有する、電子機器。

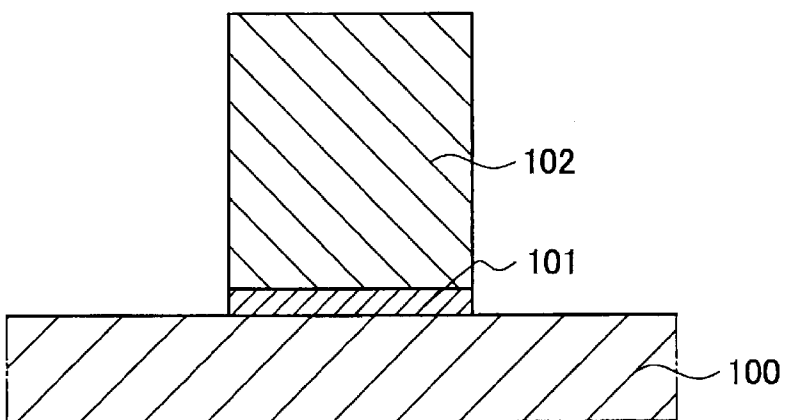
[図1]



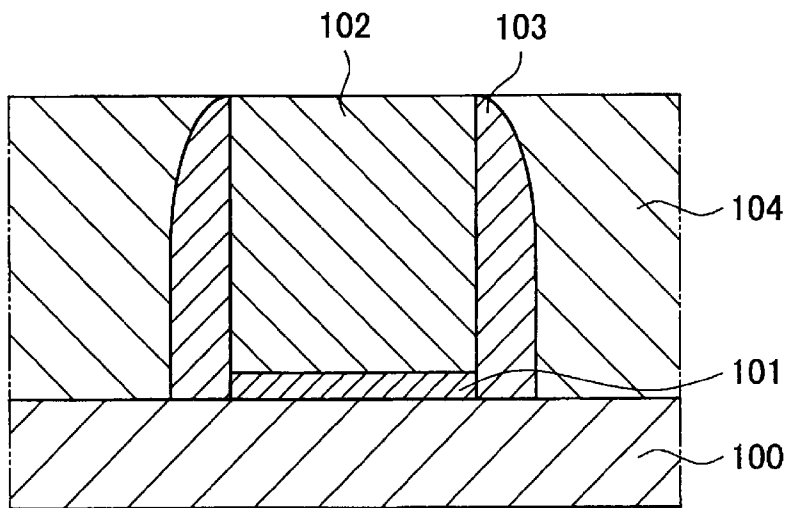
[図2A]



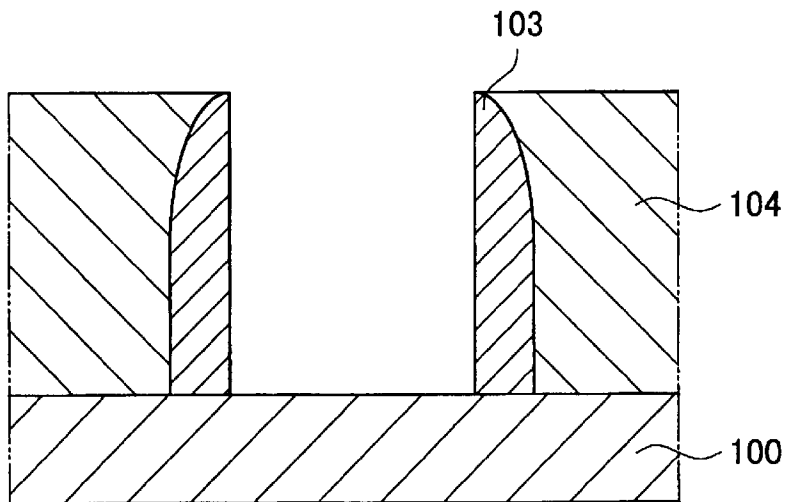
[図2B]



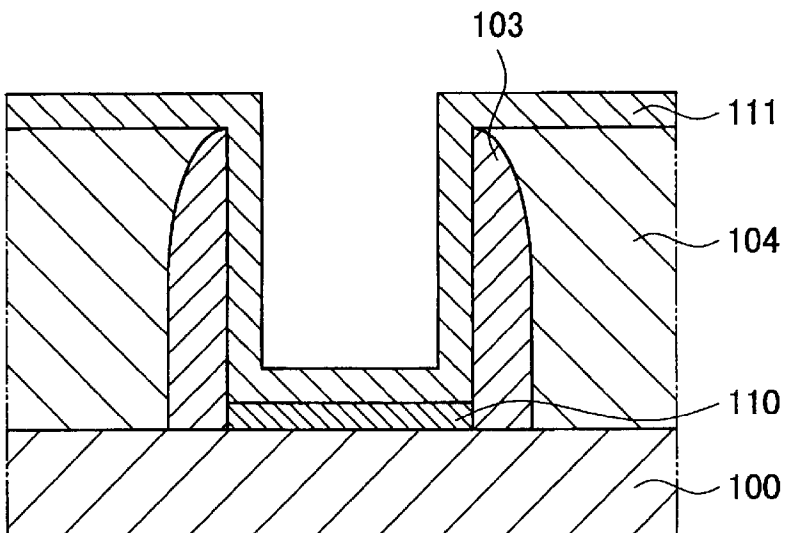
[図2C]



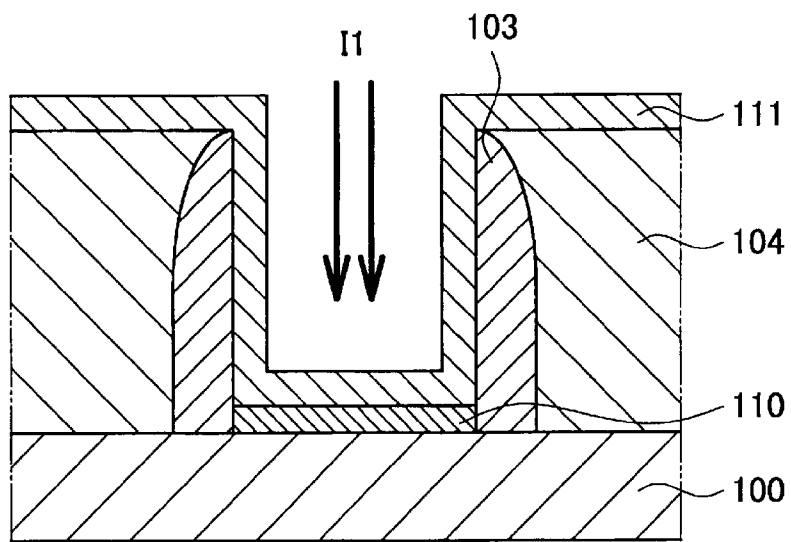
[図2D]



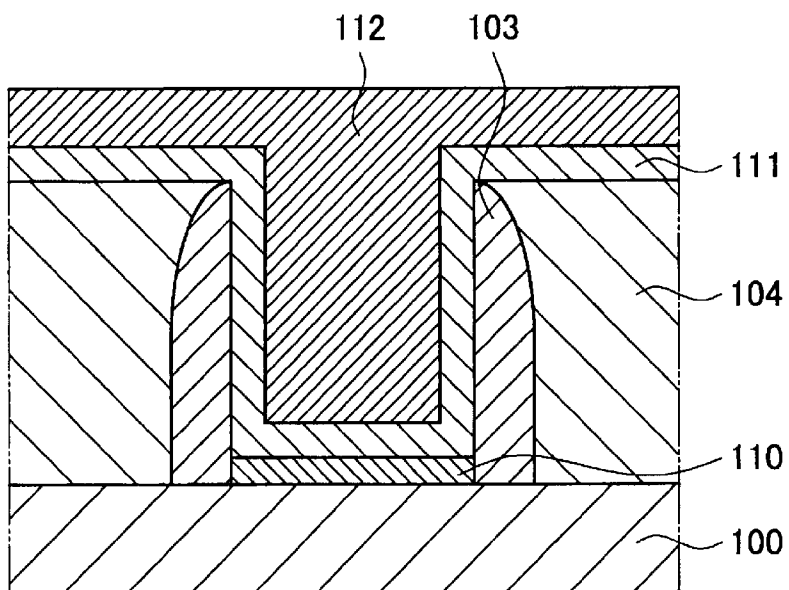
[図2E]



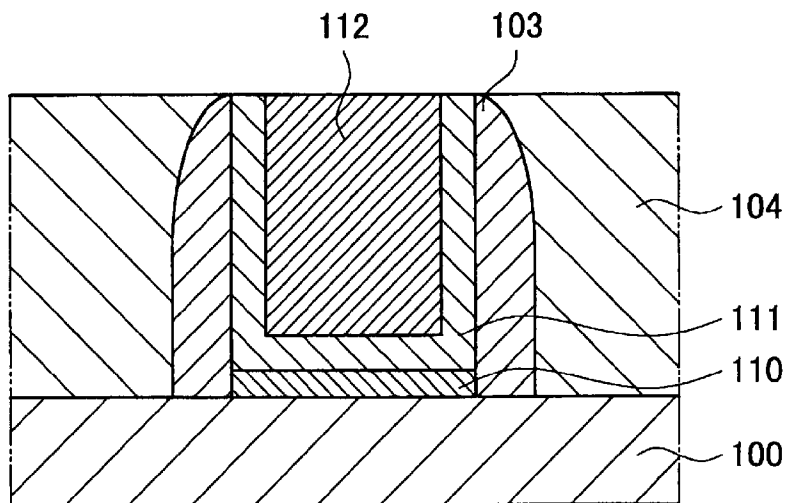
[図2F]



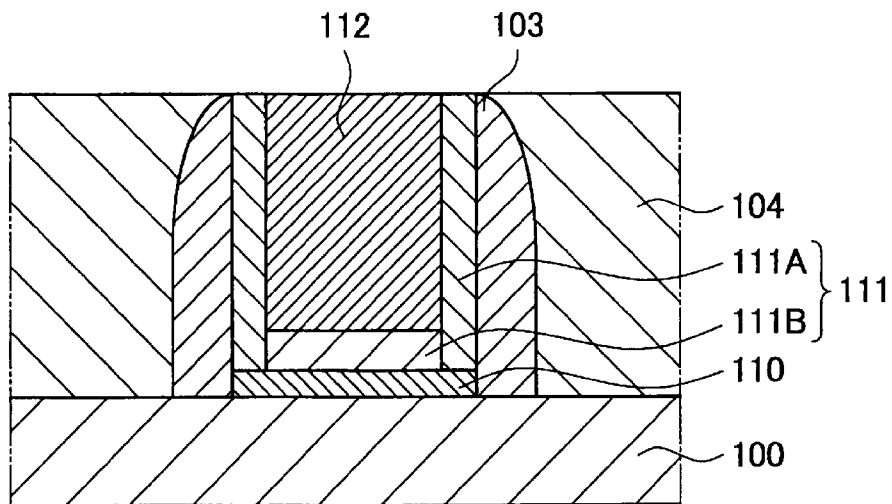
[図2G]



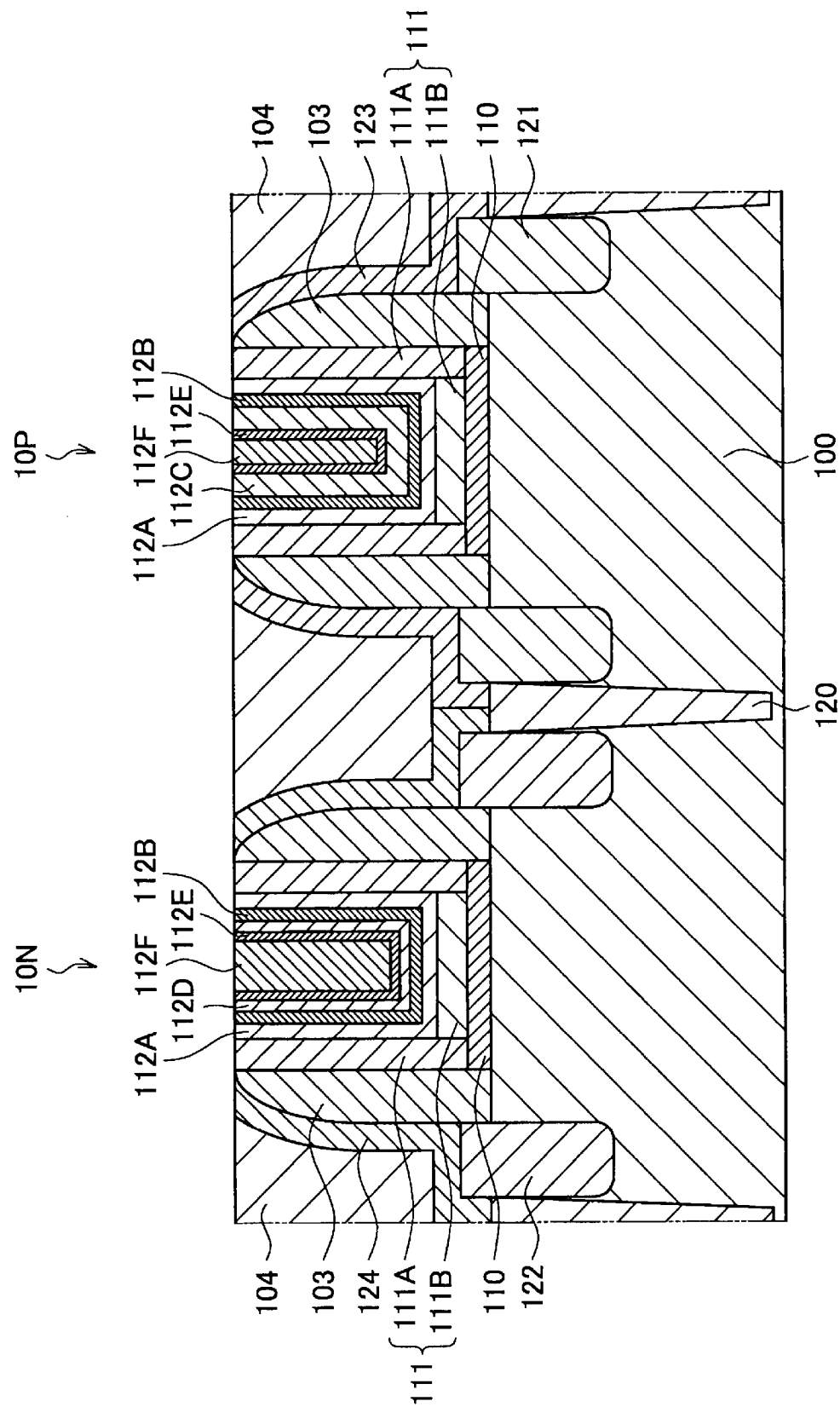
[図2H]



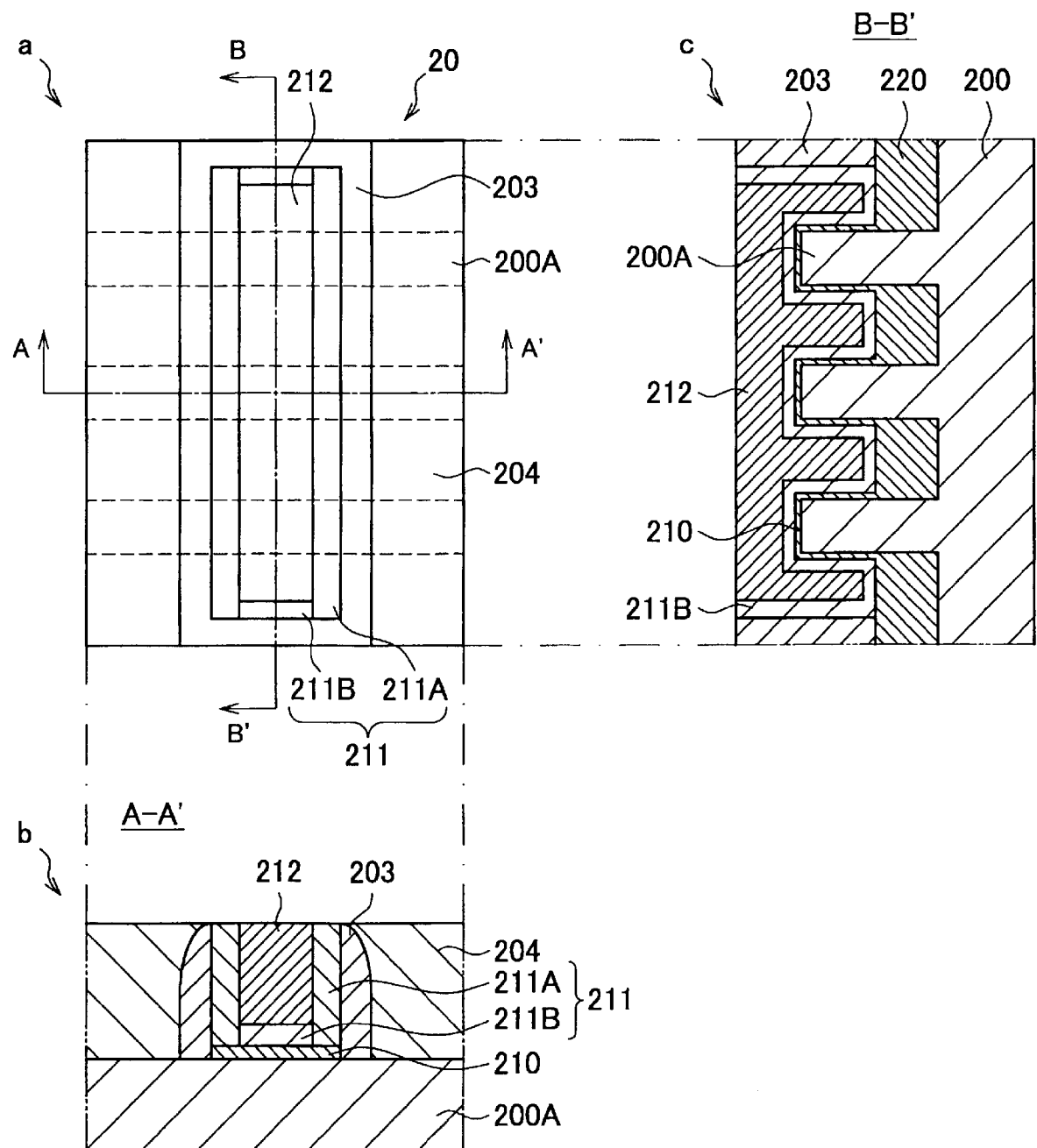
[図2I]



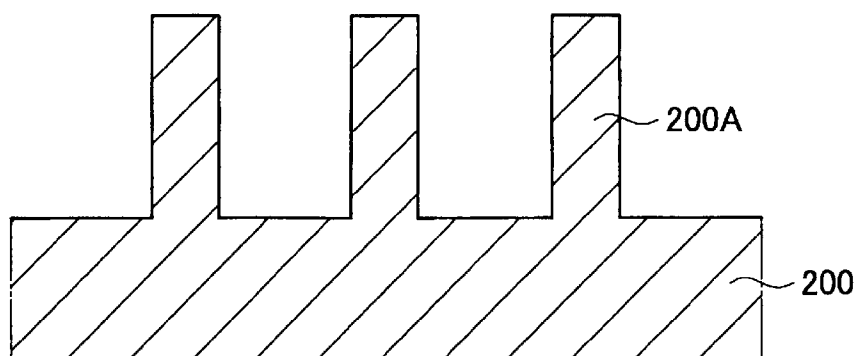
[図3]



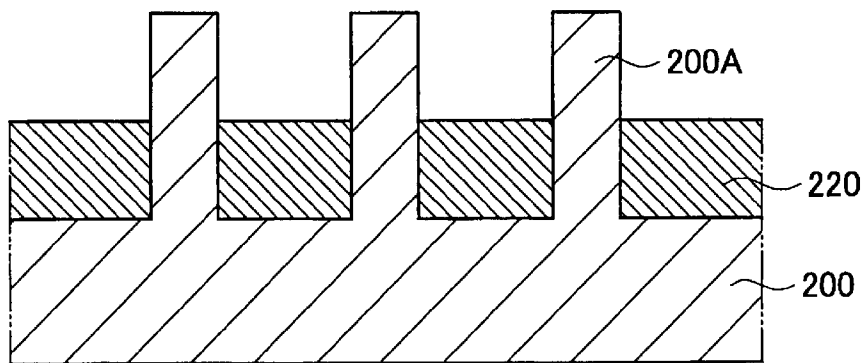
[図4]



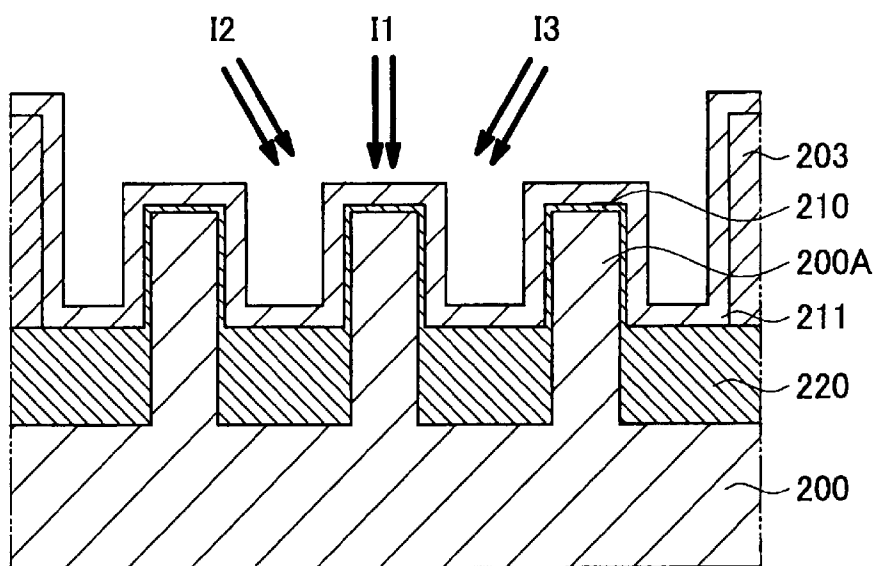
[図5A]



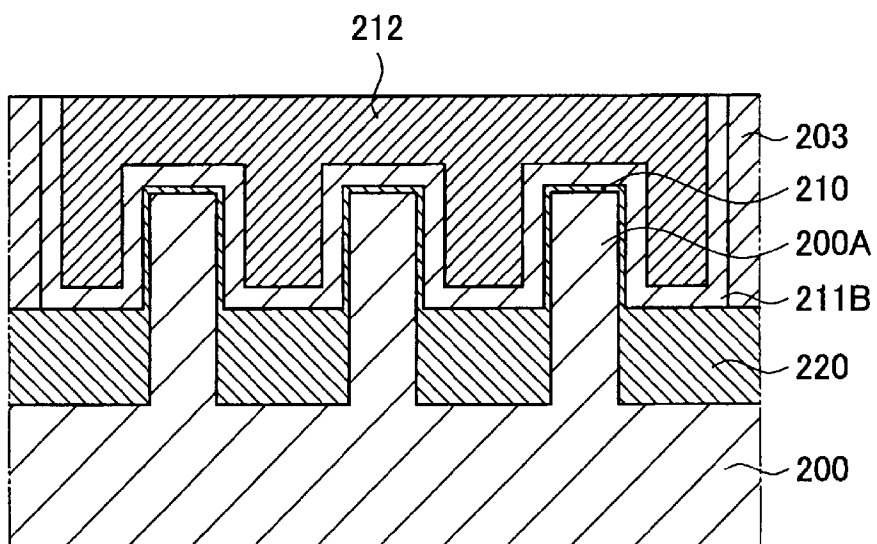
[図5B]



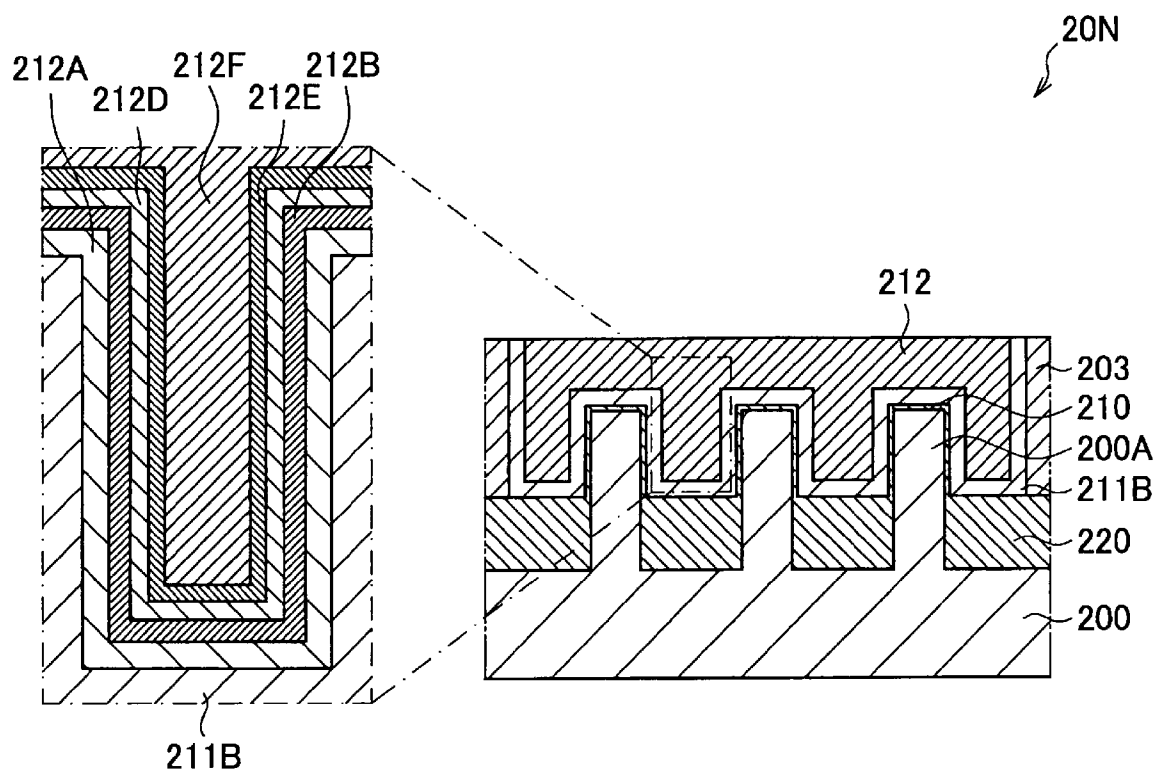
[図5C]



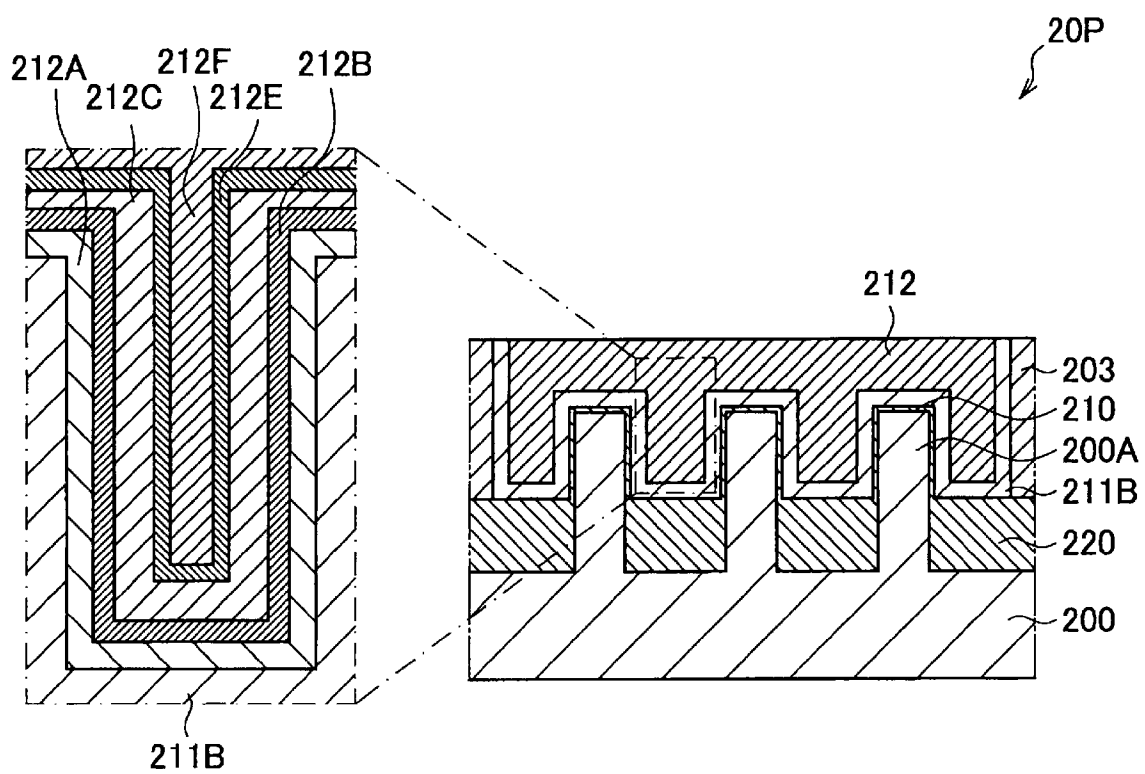
[図5D]



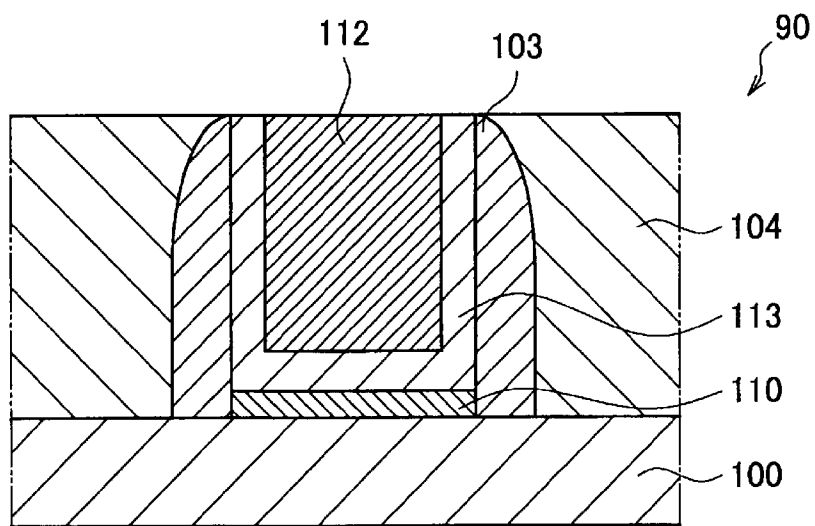
[図6A]



[図6B]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/046711

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L21/8238(2006.01)i, H01L27/092(2006.01)i, H01L29/786(2006.01)i

FI: H01L29/78301G, H01L27/092D, H01L29/78617T, H01L29/78617U

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/78, H01L21/336, H01L21/8238, H01L27/092, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-249649 A (TOSHIBA CORPORATION) 05.09.2003	1-9, 13, 15-17
Y	(2003-09-05), paragraphs [0077], [0121]-[0138],	12
A	[0160]-[0187], fig. 9-11, 15-17	10, 11, 14
Y	JP 2007-208160 A (RENESAS TECHNOLOGY CORP.)	12
	16.08.2007 (2007-08-16), paragraph [0031], fig. 1	
A	WO 2012/017506 A1 (PANASONIC CORPORATION)	1-17
	09.02.2012 (2012-02-09)	
A	JP 2017-505535 A (TEXAS INSTRUMENTS JAPAN LIMITED.)	1-17
	16.02.2017 (2017-02-16)	

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07.02.2020

Date of mailing of the international search report
18.02.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2019/046711

JP 2003-249649 A	05.09.2003	US 2003/0218223 A1 paragraphs [0107], [0156]-[0172], [0194]-[0230], fig. 9-11, 15-17
JP 2007-208160 A	16.08.2007	US 2008/0083956 A1 paragraph [0052], fig. 1
WO 2012/017506 A1	09.02.2012	JP 2012-38800 A US 2013/0056804 A1
JP 2017-505535 A	16.02.2017	US 2015/0187771 A1 WO 2015/100458 A1 EP 3087597 A1 CN 105874589 A

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8238(2006.01)i; H01L 27/092(2006.01)i; H01L 29/786(2006.01)i FI: H01L29/78 301G; H01L27/092 D; H01L29/78 617T; H01L29/78 617U		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L29/78; H01L21/336; H01L21/8238; H01L27/092; H01L29/786		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2003-249649 A（株式会社東芝）05.09.2003（2003-09-05） 段落0077, 0121-0138, 0160-0187, 図9-11, 15-17	1-9, 13, 15-17
Y		12
A		10, 11, 14
Y	JP 2007-208160 A（株式会社ルネサステクノロジ）16.08.2007（2007-08-16） 段落0031, 図1	12
A	W0 2012/017506 A1（パナソニック株式会社）09.02.2012（2012-02-09）	1-17
A	JP 2017-505535 A（日本テキサス・インスツルメンツ株式会社）16.02.2017（2017-02-16）	1-17
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 07.02.2020		国際調査報告の発送日 18.02.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 岩本 勉 5F 9355 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/046711

引用文献			公表日	パテントファミリー文献	公表日
JP	2003-249649	A	05.09.2003	US 2003/0218223 A1 段落0107, 0156-0172, 0194-0230, 図9-11, 15-17	
JP	2007-208160	A	16.08.2007	US 2008/0083956 A1 段落0052, 図1	
WO	2012/017506	A1	09.02.2012	JP 2012-38800 A US 2013/0056804 A1	
JP	2017-505535	A	16.02.2017	US 2015/0187771 A1 WO 2015/100458 A1 EP 3087597 A1 CN 105874589 A	