



(74) 代理人: 华进联合专利商标代理有限公司
(ADVANCE CHINA IP LAW OFFICE); 中国广东省
广州市天河区珠江东路6号4501房(部
位: 自编01-03和08-12单元)(仅限办公用
途), Guangdong 510623 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ,
IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,
LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,
MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,
PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本发明涉及一种隔离结构, 包括: 结终端, 包括多个结终端浮空场板; 横向双扩散金属氧化物半
导体场效应晶体管, 包括多个LDMOS浮空场板, 每个LDMOS浮空场板与至少一结终端浮空场板电性连接,
每个结终端浮空场板的长度大于与所述结终端浮空场板电性连接的所述LDMOS浮空场板的长度。

说明书

发明名称：隔离结构及集成电路

相关申请的交叉引用

本申请要求于 2023 年 6 月 15 日申请的，申请号为 2023107143293、名称为“隔离结构及集成电路”的中国专利申请的优先权，在此将其全文引入作为参考。

5

技术领域

本发明涉及半导体制造领域，特别是涉及一种隔离结构，还涉及一种集成电路。

背景技术

10 高压集成电路中包含高压半导体器件和低压半导体器件，即存在高压区和低压区，因此需要用高低压隔离结构来隔离高压区和低压区之间的电位。该隔离结构包含结终端、隔离环、横向双扩散金属-氧化物-半导体场效应晶体管（Lateral double-diffused Metal-Oxide-Semiconductor Field Effect Transistor, 简称 LDMOS），其中 LDMOS 是传递高压区和低压区之间电信号的门户，在承受高电压时易成为击穿薄弱点。通过技术手段使其
15 内部电势分布均匀，避免电势线集中，可以提升 LDMOS 的击穿电压。

发明内容

根据一些实施例，提供一种隔离结构。

一种隔离结构，包括：结终端，包括多个结终端浮空场板；横向双扩散金属氧化物半
20 导体场效应晶体管，包括多个 LDMOS 浮空场板，每个 LDMOS 浮空场板与至少一结终端浮空场板电性连接，每个所述结终端浮空场板的长度大于与其电性连接的所述 LDMOS 浮空场板的长度。所述结终端浮空场板和所述 LDMOS 浮空场板由导电材料构成。

上述隔离结构可以应用在集成电路中，当集成电路中的器件工作时，结终端上的结终端浮空场板能够形成感应电势。由于 LDMOS 浮空场板与结终端浮空场板电性连接，因此
25 该感应电势会通过 LDMOS 浮空场板对横向双扩散金属氧化物半导体场效应晶体管的电势造成影响。每条结终端浮空场板在结终端上感应出确定的电势并通过 LDMOS 浮空场板传递到横向双扩散金属氧化物半导体场效应晶体管后，对于横向双扩散金属氧化物半导体场效应晶体管而言，每条结终端浮空场板相当于一个外置的“电压源”，横向双扩散金属氧化物半导体场效应晶体管内的电势将会被结终端浮空场板和 LDMOS 浮空场板控制，因此
30 只要控制每条 LDMOS 浮空场板的间距就可以间接地控制横向双扩散金属氧化物半导体场效应晶体管内部的电势分布，并且可以根据设计需求对 LDMOS 浮空场板的间距灵活调整，即实现了对横向双扩散金属氧化物半导体场效应晶体管内部电势的自由控制，能够使 LDMOS 内部电势分布均匀，提升 LDMOS 的击穿电压。

在其中一个实施例中，隔离结构还包括包围所述横向双扩散金属氧化物半导体场效应

晶体管的隔离环,所述隔离环用于将所述横向双扩散金属氧化物半导体场效应晶体管与所述结终端隔离。

在其中一个实施例中,所述隔离环还包括多个隔离环浮空场板,每个 LDMOS 浮空场板通过一个隔离环浮空场板与相应的结终端浮空场板电性连接,每个隔离环浮空场板的一端延伸至对应的一结终端浮空场板、另一端延伸至对应的一 LDMOS 浮空场板。

在其中一个实施例中,所述横向双扩散金属氧化物半导体场效应晶体管还包括源极区、漏极区、栅极、漂移区及场区绝缘层,所述漂移区的至少部分区域位于所述源极区和漏极区之间,所述场区绝缘层位于所述漂移区上,所述栅极的一侧靠近所述源极区、另一侧靠近所述漏极区,所述 LDMOS 浮空场板的数量与所述结终端浮空场板相同,所述多个 LDMOS 浮空场板与所述多个结终端浮空场板一一对应电性连接;所述 LDMOS 浮空场板包括靠近所述源极区设置的第一场板、靠近所述漏极区设置的第二场板及位于所述第一场板和第二场板之间的第三场板,相邻的第三场板之间的间距小于 a_2 ,所述第二场板中离所述漏极区最远的一个与相邻的一第三场板之间的间距大于 a_3 ,且相邻的第二场板之间的间距大于 a_3 ,所述第一场板中离所述源极区最远的一个与相邻的一第三场板之间的间距大于 a_4 ,且相邻的第一场板之间的间距大于 a_4 ; $a_2 < a_3$, $a_2 < a_4$ 。

在其中一个实施例中,所述横向双扩散金属氧化物半导体场效应晶体管包括 NLDMOS 和 PLDMOS,所述隔离环包括包围所述 NLDMOS 的第一隔离环和包围所述 PLDMOS 的第二隔离环,所述每个所述结终端浮空场板的长度是对应的所述 NLDMOS 的 LDMOS 浮空场板和对应的所述 PLDMOS 的 LDMOS 浮空场板的长度之和。

在其中一个实施例中,所述结终端还包括第一绝缘层,所述多个结终端浮空场板位于所述第一绝缘层上。

在其中一个实施例中,所述结终端还包括阴极区和阳极区,所述阴极区和所述阳极区的导电类型与所述 NLDMOS 的漏极区的导电类型相同,所述阴极区通过金属连线电性连接至所述 NLDMOS 的源极区的电位,所述阳极区通过金属连线电性连接至所述 NLDMOS 的漏极区的电位。

在其中一个实施例中,每个结终端浮空场板与对应的隔离环浮空场板及对应的 LDMOS 浮空场板连成闭合环。

在其中一个实施例中,所述隔离环还包括隔离结、保护阱及第二绝缘层,所述多个隔离环浮空场板位于所述第二绝缘层上,所述第二绝缘层位于所述隔离结和保护阱上,所述隔离结和保护阱的导电类型与所述 NLDMOS 的漏极区的导电类型相反,所述保护阱的掺杂浓度大于所述隔离结的掺杂浓度。

在其中一个实施例中,每个隔离环浮空场板均包括结终端连接部、LDMOS 连接部及中间部,所述中间部的一端连接所述结终端连接部、且所述中间部在平面上与所述结终端连接部的延长线的夹角大于零度小于 80° ,所述中间部的另一端连接所述 LDMOS 连接部、且所述中间部在平面上与所述 LDMOS 连接部的延长线的夹角大于零度小于 80° ;

至少部分所述结终端连接部与所述中间部的连接位置的正下方设有所述保护阱，至少部分所述 LDMOS 连接部与所述中间部的连接位置的正下方设有所述保护阱。

所述保护阱包括设置在所述多个结终端连接部与所述中间部的连接位置处的条状掺杂区，以及设置在所述多个 LDMOS 连接部与所述中间部的连接位置处的条状掺杂区；和
5 /或所述保护阱包括设置在所述多个结终端连接部与所述中间部的连接位置处呈列排布的点状掺杂区，以及设置在所述多个 LDMOS 连接部与所述中间部的连接位置处呈列排布的点状掺杂区。

在其中一个实施例中，所述结终端连接部与所述中间部的连接位置距所述隔离环的边缘的距离为 b_1 ，所述 LDMOS 连接部与所述中间部的连接位置距所述隔离环的边缘的距
10 离为 b_2 ， b_1 为所述隔离环的宽度的 10%至 30%， b_2 为所述隔离环的宽度的 10%至 30%。

在其中一个实施例中，所述结终端浮空场板、隔离环浮空场板及 LDMOS 浮空场板的材质相同，且是在同一制造步骤中制造形成。

在其中一个实施例中，所述栅极的材质与所述结终端浮空场板、隔离环浮空场板及 LDMOS 浮空场板的材质相同，且是在同一制造步骤中制造形成。

15 在其中一个实施例中，所述结终端浮空场板、隔离环浮空场板及 LDMOS 浮空场板的材质为掺杂多晶硅。

在其中一个实施例中，相邻的结终端浮空场板的间距相等。

在其中一个实施例中，相邻的结终端浮空场板之间的间距为 a_1 ， $a_2 < a_1 < a_3$ ， $a_2 < a_1 < a_4$ 。

在其中一个实施例中，相邻的结终端浮空场板的间距为 $1.0\text{-}3.2\mu\text{m}$ ，相邻的第三场板的间距为 $0.5\text{-}3.0\mu\text{m}$ ，相邻的第一场板的间距及所述离所述源极区最远的一所述第一场板与相邻的一第三场板之间的间距为 $1.2\text{-}4.0\mu\text{m}$ ，相邻的第二场板的间距及所述离所述漏极区最远的一所述第二场板与相邻的一第三场板之间的间距为 $1.2\text{-}4.0\mu\text{m}$ 。
20

还有必要提供一种集成电路。

一种集成电路，包括第一电压区、第二电压区及位于所述第一电压区和第二电压区之间的隔离结构，所述隔离结构是前述任一实施例所述的隔离结构。
25

所述第二电压区中的器件的工作电压大于所述第一电压区中的器件的工作电压。

上述集成电路，当第一电压区和第二电压区中的器件工作时，结终端上的结终端浮空场板能够形成感应电势。由于 LDMOS 浮空场板与结终端浮空场板电性连接，因此该感应电势会通过 LDMOS 浮空场板对横向双扩散金属氧化物半导体场效应晶体管的电势造成影响。由于横向双扩散金属氧化物半导体场效应晶体管在源极和漏极处的电势线较为集中，因此通过将靠近源极区/漏极区设置的第一场板/第二场板的间距设置得较宽、将漂移区中间位置的第三场板的间距设置得较窄，可以使得横向双扩散金属氧化物半导体场效应晶体管在源极区/漏极区附近的电势梯度减小，在漂移区中间附近的电势梯度增大，从而使得横向双扩散金属氧化物半导体场效应晶体管的电势分布更加均匀，提升 LDMOS 的击穿电压。
30
35

在其中一个实施例中，所述 NLD MOS 的漏极接所述第二电压区的电位，所述 NLD MOS 的源极接地。

附图说明

5 为了更好地描述和说明这里公开的那些发明的实施例和/或示例，可以参考一幅或多幅附图。用于描述附图的附加细节或示例不应当被认为是对所公开的发明、目前描述的实施例和/或示例以及目前理解的这些发明的最佳模式中的任何一者的范围的限制。

图 1 是根据一实施例的集成电路的主视图；

图 2 是沿图 1 的 A-A'线的剖视图；

10 图 3 是沿图 1 的 B-B'线的剖视图；

图 4 是沿图 1 的 C-C'线的剖视图；

图 5 是沿图 1 中的 D-D'线的剖视图；

图 6 是沿图 1 中的 E-E'线的剖视图；

图 7 是图 1 中第一隔离环的局部放大图；

15 图 8 是一实施例中在第一隔离环附近的局部放大图；

图 9 是一具有保护阱的实施例中沿图 1 中的 D-D'线的剖视图；

图 10 是一具有保护阱的实施例中沿图 1 中的 E-E'线的剖视图；

图 11 是再一具有保护阱的实施例中沿图 1 中的 D-D'线的剖视图；

图 12 是再一具有保护阱的实施例中沿图 1 中的 E-E'线的剖视图；

20 图 13 是另一实施例中在第一隔离环附近的局部放大图；

图 14 是又一实施例中在第一隔离环附近的局部放大图。

具体实施方式

为了便于理解本发明，下面将参照相关附图对本发明进行更全面的描述。附图中给出了本发明的首选实施例。但是，本发明可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本发明的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本发明的技术领域的技术人员通常理解的含义相同。本文中在本发明的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本发明。本文所使用的术语“及 / 或”包括一个或多个相关的所列项目的任意的和所有的组合。

应当明白，当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。本说明书中的“连接”，如果35 35 如果被连接的电路、模块、单元等相互之间具有电信号或数据的传递，则应理解为“电性连

接”、“通信连接”等。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本发明教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。器件可以另外地取向(旋转 90 度或其它取向)并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。可以理解，“至少一个”是指一个或多个，“多个”是指两个或两个以上。“元件的至少部分”是指元件的部分或全部。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

这里参考作为本发明的理想实施例(和中间结构)的示意图的横截面图来描述发明的实施例。这样，可以预期由于例如制造技术和/或容差导致的从所示形状的变化。因此，本发明的实施例不应当局限于在此所示的区的特定形状，而是包括由于例如制造导致的形状偏差。例如，显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度，而不是从注入区到非注入区的二元改变。同样，通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此，图中显示的区实质上是示意性的，它们的形状并不意图显示器件的区的实际形状且并不意图限定本发明的范围。

本文所使用的半导体领域词汇为本领域技术人员常用的技术词汇，例如对于 P 型和 N 型杂质，为区分掺杂浓度，简易的将 P+型代表重掺杂浓度的 P 型，P 型代表中掺杂浓度的 P 型，P-型代表轻掺杂浓度的 P 型，N+型代表重掺杂浓度的 N 型，N 型代表中掺杂浓度的 N 型，N-型代表轻掺杂浓度的 N 型。

根据一些实施例，提出的一种半导体高低压隔离结构，通过变间距场板对隔离结构内的 LDMOS 进行电势控制，能够对 LDMOS 漂移区内电势分布及表面电场分布进行调控，从而避免 LDMOS 成为隔离结构的击穿薄弱点、获得隔离能力更优秀的高低压隔离结构。图 1 是一实施例中集成电路的结构示意图，包括低压区 100、高压区 300 及位于低压区 100 和高压区 300 之间的隔离结构。高压区 300 中的器件的工作电压大于低压区 100 中的器件

的工作电压，隔离结构用于隔离高压区 300 和低压区 100 之间的电位。

在一个实施例中，隔离结构包括结终端 210 和横向双扩散金属氧化物半导体场效应晶体管。

结终端 210 包括多个结终端浮空场板 211。横向双扩散金属氧化物半导体场效应晶体管包括多个 LDMOS 浮空场板 251。每个 LDMOS 浮空场板 251 与至少一结终端浮空场板 211 电性连接。每个结终端浮空场板 211 的长度大于与其电性连接的 LDMOS 浮空场板 251 的长度。每个结终端浮空场板 211 和 LDMOS 浮空场板 251 由导电材料构成。

本实施例中，多个 LDMOS 浮空场板 251 与多个结终端浮空场板 211 一一对应电性连接，即一个 LDMOS 浮空场板 251 电性连接一个结终端浮空场板 211。在其他实施例中，也可以是一个结终端浮空场板 211 连接多个 LDMOS 浮空场板 251，即与某一结终端浮空场板 211 电性连接的 LDMOS 浮空场板 251 在 LDMO 区域分叉为多个。或者一个 LDMOS 浮空场板 251 连接多个结终端浮空场板 211，即与某一 LDMOS 浮空场板 251 电性连接的结终端浮空场板 211 在结终端区域分叉为多个。

当集成电路中的器件（即低压区 100 中的低压器件和高压区 300 中的高压器件）工作时，结终端 210 上的结终端浮空场板 211 能够形成感应电势。由于 LDMOS 浮空场板 251 与结终端浮空场板 211 电性连接，因此该感应电势会通过 LDMOS 浮空场板 251 对横向双扩散金属氧化物半导体场效应晶体管的电势造成影响。每个结终端浮空场板 211 在结终端 210 上感应出确定的电势并通过结终端浮空场板 211 和 LDMOS 浮空场板 251 传递到横向双扩散金属氧化物半导体场效应晶体管后，对于横向双扩散金属氧化物半导体场效应晶体管而言，每个结终端浮空场板 211 相当于一个外置的“电压源”，横向双扩散金属氧化物半导体场效应晶体管内的电势将会被结终端浮空场板 211 和 LDMOS 浮空场板 251 控制，因此只要控制每个 LDMOS 浮空场板 251 的间距就可以间接地控制横向双扩散金属氧化物半导体场效应晶体管内部的电势分布，并且可以根据设计需求对 LDMOS 浮空场板 251 的间距灵活调整，即实现了对横向双扩散金属氧化物半导体场效应晶体管内部电势的自由控制。

图 1 所示的隔离结构还包括包围横向双扩散金属氧化物半导体场效应晶体管的隔离环，隔离环用于将横向双扩散金属氧化物半导体场效应晶体管与结终端 210 隔离。隔离环与横向双扩散金属氧化物半导体场效应晶体管及结终端 210 连接。在图 1 所示的实施例中，隔离环包括第一隔离环 230 和第二隔离环 250，横向双扩散金属氧化物半导体场效应晶体管包括 NLDMOS 220 和 PLDMOS 240。第一隔离环 230 包围 NLDMOS 220，第二隔离环 250 包围 PLDMOS 240。浮空场板指场板未连接电位。第一隔离环 230 和第二隔离环 250 的主要结构为隔离结 233（见图 5），在本申请的一个实施例中，隔离结为 P 型掺杂区。

图 2 是沿图 1 的 A-A' 线的剖视图。请一并参见图 1 和图 2，在一个实施例中，NLDMOS 220 包括源极区 222、漏极区 224、栅极 226、漂移区 223、场区绝缘层 32 及 LDMOS 浮空场板 251。漂移区 223 的至少部分区域位于源极区 222 和漏极区 224 之间，场区绝缘层

32 位于漂移区 223 上。栅极 226 的一侧靠近源极区 222、另一侧靠近漏极区 224。源极区 222 和栅极 226 靠近低压区 100 设置、漏极区 224 靠近高压区 300 设置。LDMOS 浮空场板 251 的数量与结终端浮空场板 211 的数量相同，多个 LDMOS 浮空场板 251 与多个结终端浮空场板 211 一一对应电性连接。每个 LDMOS 浮空场板 251 包括靠近源极区 222 设置的第一场板、靠近漏极区 224 设置的第二场板及位于第一场板和第二场板之间的第三场板。在图 1 和图 2 所示的实施例中，LDMOS 浮空场板 251 的数量为 N ，从最靠近漏极区 224 的一个 LDMOS 浮空场板 251 起算，第 1 至第 $p-1$ 个为第二场板，第 p 至第 $N-m$ 个为第三场板，第 $N-m+1$ 个至第 N 个为第一场板。相邻的第三场板之间的间距小于 a_2 。多个第二场板中离漏极区 224 最远的一个（即 $p-1$ ）与相邻的第一第三场板（即 p ）之间的间距大于 a_3 ，且相邻的第二场板之间的间距大于 a_3 。多个第一场板中离源极区 222 最远的一个（即 $N-m+1$ ）与相邻的第一第三场板（即 $N-m$ ）之间的间距大于 a_4 ，且相邻的第一场板之间的间距大于 a_4 。 a_2 、 a_3 、 a_4 的关系为： $a_2 < a_3$ ， $a_2 < a_4$ 。即靠近源极区 222 设置的第一场板和靠近漏极区 224 设置的第二场板的间距设置得较宽，位于漂移区 223 中间位置的第三场板的间距设置得较窄。

图 3 是沿图 1 的 B-B' 线的剖视图，请一并参见图 1 和图 3，在一个实施例中，PLDMOS 240 包括源极区 242、漏极区 244、栅极 246、漂移区 243、场区绝缘层 34 及 LDMOS 浮空场板 251。漂移区 243 的至少部分区域位于源极区 242 和漏极区 244 之间，场区绝缘层 34 位于漂移区 243 上。栅极 246 的一侧靠近源极区 242、另一侧靠近漏极区 244。源极区 242 和栅极 246 靠近高压区 300 设置、漏极区 244 靠近低压区 100 设置。LDMOS 浮空场板 251 的数量与结终端浮空场板 211 的数量相同，多个 LDMOS 浮空场板 251 与多个结终端浮空场板 211 一一对应电性连接。每个 LDMOS 浮空场板 251 包括靠近源极区 242 设置的第一场板、靠近漏极区 244 设置的第二场板及位于第一场板和第二场板之间的第三场板。在图 1 和图 3 所示的实施例中，LDMOS 浮空场板 251 的数量为 N ，从最靠近源极区 244 的一个 LDMOS 浮空场板 251 起算，第 1 至第 $p-1$ 个为第一场板，第 p 至第 $N-m$ 个为第三场板，第 $N-m+1$ 个至第 N 个为第二场板。相邻的第三场板之间的间距小于 a_2 ，多个第二场板中离漏极区 244 最远的一个第二场板（即第 $N-m+1$ 个）与相邻的第三场板（即第 $N-m$ 个）之间的间距大于 a_3 ，且相邻的第二场板之间的间距大于 a_3 ，多个第一场板中离源极区 242 最远的一个第一场板（即第 $p-1$ 个）与相邻的第三场板（即第 p 个）之间的间距大于 a_4 ，且相邻的第一场板之间的间距大于 a_4 ；则 a_2 、 a_3 、 a_4 的关系为： $a_2 < a_3$ ， $a_2 < a_4$ 。即靠近源极区 242 设置的第一场板和靠近漏极区 244 设置的第二场板的间距设置得较宽，位于漂移区 243 中间位置的第三场板的间距设置得较窄。

每个结终端浮空场板 211 的长度大于相应的 LDMOS 浮空场板的长度，以保证结终端浮空场板 211 的电势占主导地位。以图 1 为例，即每个结终端浮空场板 211 的长度大于相应的 NLDMOS 220 中的 LDMOS 浮空场板 251 与 PLDMOS 240 中的 LDMOS 浮空场板 251 的长度之和。

由于横向双扩散金属氧化物半导体场效应晶体管在源极和漏极处的电势线较为集中，因此通过将靠近源极区/漏极区设置的第一场板/第二场板的间距设置得较宽、将漂移区中间位置的第三场板的间距设置得较窄，可以将横向双扩散金属氧化物半导体场效应晶体管在源极区/漏极区附近的电势梯度减小、在漂移区中间附近的电势梯度增大，从而使得横向双扩散金属氧化物半导体场效应晶体管的电势分布更加均匀，提升隔离结构中的 LDMOS 的击穿电压。

在图 1 所示的实施例中，隔离环还包括数量与结终端浮空场板 211 相同的多个隔离环浮空场板 231。每个结终端浮空场板 211 通过相应的隔离环浮空场板 231 与相应的 LDMOS 浮空场板 251 一一对应电性连接。每个隔离环浮空场板 231 的一端延伸至对应的一结终端浮空场板 211，另一端延伸至对应的一 LDMOS 浮空场板 251。

在一个实施例中，相邻的结终端浮空场板之间的间距为 a_1 ，且 $a_2 < a_1 < a_3$ ， $a_2 < a_1 < a_4$ 。在满足前述条件 $a_2 < a_1 < a_3$ ， $a_2 < a_1 < a_4$ 的基础上，相邻的结终端浮空场板 211 的间距为 $1.0\text{-}3.2\mu\text{m}$ ，相邻的第三场板的间距为 $0.5\text{-}3.0\mu\text{m}$ ，相邻的第一场板的间距及离源极区最远的一第一场板与相邻的一第三场板之间的间距为 $1.2\text{-}4.0\mu\text{m}$ ，相邻的第二场板的间距及离漏极区最远的一第二场板与相邻的一第三场板之间的间距为 $1.2\text{-}4.0\mu\text{m}$ 。

在本申请的一个实施例中，相邻的结终端浮空场板 211 以间距 L_1 等间距分布。在 NLDMOS 220 中，靠近漏极区 224 的第一至第 p 个 LDMOS 浮空场板 251 以间距 L_3 等间距分布，靠近源极区 222 的第 $N-m$ 至第 N 个 LDMOS 浮空场板 251 以间距 L_4 等间距分布，剩余的第 p 至第 $N-m$ 个 LDMOS 浮空场板 251 以间距 L_2 等间距分布。在 PLDMOS 240 中，靠近源极区 242 的第一至第 p 个 LDMOS 浮空场板 251 以间距 L_6 等间距分布，靠近漏极区 244 的第 $N-m$ 至第 N 个 LDMOS 浮空场板 251 以间距 L_7 等间距分布，剩余的第 p 至第 $N-m$ 个 LDMOS 浮空场板 251 以间距 L_5 等间距分布。并且满足关系： $L_1 > L_2$ ， $L_1 > L_5$ ， $L_3 > L_1$ ， $L_4 > L_1$ ， $L_6 > L_1$ ， $L_7 > L_1$ 。

在一个实施例中，多个浮空场板的总数 N 的取值范围为 10-100， p 和 m 的取值范围为 2-15， $N-p-m$ 的取值范围为 1-96。

在一个实施例中，NLDMOS 220 的源极区 222 和漏极区 224 为 N+区，漂移区 223 为 N 型漂移区。PLDMOS 240 的源极区 242 和漏极区 244 为 P+区，漂移区 243 为 P 型漂移区。

在图 2 所示的实施例中，NLDMOS 220 还包括体区 221、P 阱 225、N 阱 227、深 N 阱 229 及 P 型埋层 228。体区 221 与源极区 222 通过接触孔引出后短接。体区 221 和源极区 222 位于 P 阱 225 中。漏极区 224 位于 N 阱 227 中。NLDMOS 220 的场区绝缘层 32 位于源极区 222 和漏极区 224 之间。P 型埋层 228 位于漂移区 223 和 P 阱 225 的下方。深 N 阱 229 位于漂移区 223 和 N 阱 227 的下方。

在图 3 所示的实施例中，PLDMOS 240 还包括体区 241、P 阱 245、N 阱 247、深 N 阱 249 及 P 型埋层 248。体区 241 与源极区 242 通过接触孔引出后短接。体区 241 和源极

区 242 位于 N 阱 247 中。漏极区 244 位于 P 阱 245 中。PLDMOS 240 的场区绝缘层 34 位于源极区 242 和漏极区 244 之间。深 N 阱 249 位于漂移区 243 和 N 阱 247 的下方。P 型埋层 248 位于深 N 阱 249 中，且位于漂移区 243 和 P 阱 245 的下方。

在一个实施例中，NLDMOS 220 的漏极接高压区 300 的电位，NLDMOS 220 的源极
5 接地。在一个实施例中，PLDMOS 240 的源极接高压区 300 的电位，PLDMOS 240 的漏极接地。

在一个实施例中，隔离结构（包括结终端 210、隔离环及横向双扩散金属氧化物半导体场效应晶体管）还包括位于底部的衬底 10，以及位于器件上表面的钝化层 20。在图 1 所示的实施例中，衬底 10 的构成材料选用 P 型掺杂的单晶硅。

10 在一个实施例中，结终端浮空场板 211、隔离环浮空场板 231 及 LDMOS 浮空场板 251 的材质相同，且是在同一步骤中制造形成。在一个实施例中，结终端浮空场板 211、隔离环浮空场板 231 及 LDMOS 浮空场板 251 的材质为掺杂多晶硅。在一个实施例中，横向双扩散金属氧化物半导体场效应晶体管（包括 NLDMOS 220 和 PLDMOS 240）中的栅极的材质为掺杂多晶硅。在一个实施例中，结终端浮空场板 211、隔离环浮空场板 231、LDMOS
15 浮空场板 251、栅极 226 及栅极 246 可以在同一步骤中制造形成。

图 4 是沿图 1 的 C-C' 线的剖视图。请一并参见图 1 和图 4，在一个实施例中，结终端 210 还包括第一绝缘层 31，每个结终端浮空场板 211 位于第一绝缘层 31 上。

在一个实施例中，第一绝缘层 31、场区绝缘层 32 和场区绝缘层 34 的材质可以为硅氧化物，例如二氧化硅。

20 在图 4 所示的实施例中，结终端 210 还包括阴极区 212 和阳极区 214。阴极区 212 和阳极区 214 的导电类型与 NLDMOS 220 的漏极区 224 的导电类型相同，即均为 N+ 区。阴极区 212 通过接触孔引出后的金属连线（图未示）电性连接至 NLDMOS 220 的源极区 222 的电位，阳极区 214 通过接触孔引出后的金属连线（图未示）电性连接至 NLDMOS 220 的漏极区 224 的电位。在结终端 210 中设置类似于没有栅极的 NLDMOS 结构，有利于实现
25 对高压区 300 和低压区 100 之间的隔离。

在图 4 所示的实施例中，结终端 210 还包括 N 型区 213。N 型区 213 的至少部分区域位于阴极区 212 和阳极区 214 之间，第一绝缘层 31 位于 N 型区 213 上。N 型区 213 的作用类似于漂移区。

在图 4 所示的实施例中，结终端 210 还包括终端隔离结 271。终端隔离结 271 位于 N
30 型区 213 与低压区 100 之间，以及于 N 型区 213 与高压区 300 之间。终端隔离结 271 具有与衬底 10 相同的导电类型。在衬底 10 为 P 型衬底的实施例中，终端隔离结 271 为 P 型掺杂区。

在一个实施例中，结终端 210 还包括体区 216、P 阱 215、N 阱 217、深 N 阱 219 及 P
35 型埋层 218。体区 216 与阴极区 212 通过接触孔引出后短接。体区 216 和阴极区 212 位于 P 阱 215 中。阳极区 214 位于 N 阱 217 中。第一绝缘层 31 位于 P 阱 215 和 N 阱 217 之间。

P型埋层 218 位于 N 型区 213 和 P 阱 215 的下方。深 N 阱 219 位于 N 型区 213 和 N 阱 217 的下方。

参照图 1，在一个实施例中，每个结终端浮空场板 211 与对应的隔离环浮空场板 231 及 LDMOS 浮空场板 251 在平面上连成闭合环，即闭合浮空场板。可以理解为，从结终端 210 出发，跨越隔离环，传递至 NLDMOS 220 和 PLDMOS 240 上，并首尾相接。结终端 210 上的 N 个浮空场板以间距 L_1 等间距分布。当高压区 300 和低压区 100 中的器件开始工作时，高压区 300 与低压区 100 之间的电位被隔离结构隔开，此时结终端 210 的漏端（即阳极区 214）和源端（即阴极区 212）、PLDMOS 240 的源端和漏端、NLDMOS 220 的漏端和源端承受着高压区 300 与低压区 100 之间的电压，电势在结终端 210、NLDMOS 220 和 PLDMOS 240 内部从高压电位降低至地电位。由于浮空场板为高掺杂的多晶硅场板，其内部具有大量的自由电子，因此在电场中浮空场板将会带有一定的感应电势。在结终端 210 上的 N 个结终端浮空场板 211 将会受到结终端 210 内部电势分布的影响，分别感应出电势 V_1 、 V_2 、……、 V_N ，每个浮空场板带有的感应电势的值由其所处位置决定，且与其下方处的结终端区域的电势几乎相等，因此结终端 210 内的电势分布控制着每个结终端浮空场板 211 带有的感应电势。当浮空场板传递至 NLDMOS 220 和 PLDMOS 240 后，NLDMOS 220 和 PLDMOS 240 内的电势分布也会对浮空场板的感应电势造成相应的影响。而在隔离结构中，结终端 210 占用的面积远大于 LDMOS 占用的面积，相应的，每个闭合浮空场板经过的结终端区域也远多于经过的 LDMOS 的区域（参照图 1），并且每个闭合浮空场板只能带有一个确定的感应电势，即每个闭合浮空场板在电场中为等势体，因此结终端 210 内的电势分布对闭合浮空场板产生的感应电势占绝对的主导地位，可视为每个闭合浮空场板上带有的感应电势由结终端 210 决定。由于 LDMOS 不足以改变每个闭合浮空场板带有的感应电势，因此每个从结终端 210 延伸而来的场板对于 LDMOS 而言相当于一个外置的“电压源”，浮空场板迫使其下方的 LDMOS 部分的区域接近浮空场板的电势。

综上，上述实施例提出的半导体高低压隔离结构形成了具有浮空场板的电势控制系统。结终端 210 内的电势分布控制了闭合浮空场板带有的感应电势，闭合浮空场板带有的感应电势控制了 LDMOS 内的电势分布。

根据上述原理，上述实施例基于变间距的浮空场板实现了对隔离结构中 LDMOS 的电势控制。首先，使 NLDMOS 220 和 PLDMOS 240 内的电势分布接近结终端 210。若 N 个浮空场板中相邻的两个场板以处处相等的间距 L_1 传递至 LDMOS 区，此时 LDMOS 内的电势分布被浮空场板钳制，因此接近结终端 210 内的电势分布。再通过改变 LDMOS 浮空场板 251 在 LDMOS 上的间距，进一步按照需求控制 LDMOS 内的电势分布，改变 LDMOS 内不同区域的电场强度大小。本申请采用变间距场板，将原本在结终端 210 上以 L_1 等间距分布的 N 个结终端浮空场板 211 在隔离环上以斜场板的形式“变轨”，随后，这 N 个浮空场板将在 LDMOS 上以区别于 L_1 的间距分布。每个浮空场板在传递至 LDMOS 区前已具有确定的电势，因此它们之间的电势差也是确定的，改变场板间距即改变它们之间电势

的梯度，相应的，变间距的 LDMOS 浮空场板 251 覆盖的 LDMOS 区域的电势的梯度也会改变，而电场强度是电势的梯度，因此改变某个区域的 LDMOS 浮空场板 251 的间距即为改变对应区域电场强度的大小，由此实现了对 LDMOS 内部电势及表面电场强度的控制。

也即，变间距场板的目的是以结终端 210 的电势分布控制 LDMOS 的电势分布，从而使 LDMOS 的性能得到提升，因此整个隔离结构的隔离能力也得到了提升，闭合浮空场板对其受益器件 LDMOS 而言是外部控制。比传统场板技术更优秀的是：本申请可以消除电势线集中点，变间距场板可以控制 LDMOS 的漂移区内每一部分电势的梯度几乎相等，意味着电势的变化是均匀的、不会在部分区域内急剧变化，因此 LDMOS 也不会成为隔离结构的击穿薄弱点。本申请对 LDMOS 内部电势的控制是全面的，变间距场板可以实现对 LDMOS 整个漂移区的电势控制，而不仅局限在其中一部分区域。另一方面，方案不会导致工艺和结构复杂化，即避免了增加制造成本。上述实施例中的闭合浮空场板可以采用多晶硅场板，而多晶硅工艺为高低压隔离结构制造工艺中形成每个类器件栅极的常见工艺，因此闭合浮空场板可以与多晶硅栅极在同一道工艺中形成，并不会引起制造工艺的增加。除此之外，闭合浮空场板在对 LDMOS 进行电势控制时，不需要对其内部结构进行改变，因此也避免了 LDMOS 设计与制造的复杂化。

图 5 是沿图 1 中的 D-D'线的剖视图，图 6 是沿图 1 中的 E-E'线的剖视图，图 7 是图 1 中第一隔离环 230 的局部放大图。在一个实施例中，隔离环还包括第二绝缘层 33，每个隔离环浮空场板 231 位于第二绝缘层 33 上，第二绝缘层 33 位于隔离结 233 上。在一个实施例中，第二绝缘层 33 的材质可以为硅氧化物，例如二氧化硅。隔离结 233 具有与衬底 10 相同的导电类型。在衬底 10 为 P 型衬底的实施例中，隔离结 233 为 P 型掺杂区。

参见图 7，每个隔离环浮空场板 231 均包括结终端连接部 231a、LDMOS 连接部 231c 及中间部 231b。中间部 231b 的一端连接结终端连接部 231a、且中间部 231b 在平面上与结终端连接部 231a 的延长线的夹角 β 大于零度小于 80 度。中间部 231b 的另一端连接 LDMOS 连接部 231c、且中间部 231b 在平面上与 LDMOS 连接部 231c 的延长线的夹角 θ 大于零度小于 80 度。对于闭合浮空场板，为了使隔离结构中的横向双扩散金属氧化物半导体场效应晶体管上的电势分布更加均匀，因此相邻 LDMOS 浮空场板 251 之间的间距与相邻结终端浮空场板 211 之间的间距不一致。通过在隔离环上采用前述斜场板的形式进行“变轨”，从而将浮空场板的间距从结终端浮空场板 211 变为 LDMOS 浮空场板 251 的间距分布。

在一个实施例中，结终端连接部 231a 与中间部 231b 的连接位置距隔离环的边缘的距离为 b_1 ，LDMOS 连接部 231c 与中间部 231b 的连接位置距隔离环的边缘的距离为 b_2 ， b_1 为隔离环的宽度的 10%至 30%， b_2 为隔离环的宽度的 10%至 30%。即中间部 231b 与结终端连接部 231a/LDMOS 连接部 231c 的连接位置应与隔离环的边界保持一定的距离。这是因为斜场板的拐角（即在夹角 β 、夹角 θ 的位置）会导致电力线聚集，产生强电场。将拐角设置为离隔离环边界一定距离，相对于将拐角设置在隔离环边界，能够提高隔离环的耐

压（即提高击穿电压），避免横向双扩散金属氧化物半导体场效应晶体管与结终端 210 之间发生穿通。在图 7 所示的实施例中，斜场板的拐角设置在 D-D' 线和 E-E' 线的位置。

在一个实施例中，隔离环还包括保护阱 235，第二绝缘层 33 位于隔离结 233 和保护阱 235 上。保护阱 235 的导电类型与 NLDMOS 的漏极区 222 的导电类型相反，且保护阱 235 的掺杂浓度大于隔离结 233 的掺杂浓度。在一个实施例中，保护阱 235 为 P+掺杂区。设置保护阱 235 可以进一步提高隔离环的耐压，避免电势线集中引起隔离环击穿。在一个实施例中，至少部分结终端连接部 231a 与中间部 231b 的连接位置的正下方设有保护阱 235，至少部分 LDMOS 连接部 231c 与中间部 231b 的连接位置的正下方设有保护阱 235。这是因为斜场板的拐角会导致电力线聚集，因此将保护阱 235 设置在斜场板的拐角的正下方能够获得较好的提高隔离环耐压的效果。

图 8 是一实施例中隔离结构在第一隔离环 230 附近的局部放大图，图中的保护阱 235 进行了半透明处理。在该实施例中，保护阱 235 为一整块的 P+结构。对于采用离子注入工艺形成保护阱 235 的方案，在其中一个实施例中，保护阱 235 的注入窗口的宽度应为斜场板两端距离的 100%-110%，长度应为第一个场板和第 N 个场板间最大距离的 100%-110%，以敷设在所有斜场板的拐角下方。图 8 中的区域 100a 具有与低压区 100 的部分结构相同的结构，区域 300a 具有与高压区 300 的部分结构相同的结构。图 9 是具有保护阱 235 的实施例中沿图 1 中的 D-D'线的剖视图，图 10 是具有保护阱 235 的实施例中沿图 1 中的 E-E'线的剖视图。图 9 相对于图 5 所示的实施例、图 10 相对于图 6 所示的实施例增设了保护阱 235。

在一些实施例中，保护阱 235 也可以只作用于一部分的隔离环浮空场板 231，例如仅作用于高压侧场板，参照图 11 和图 12。在图 11 和图 12 所示的实施例中，保护阱 235 设置于靠近高压区 300 的部分隔离环浮空场板 231 的下方，其余的隔离环浮空场板 231 的下方不设置保护阱 235。在图 12 所示的实施例中，保护阱 235 是设置在间距为 L_3 的多个隔离环浮空场板 231（即靠近高压区 300 的第一个至第 p 个隔离环浮空场板 231）的下方。在一些实施例中，保护阱 235 的长度为第一个至第 p 个场板最大距离的 100%-110%。对于保护阱 235 只设置在部分隔离环浮空场板 231 的下方的实施例，将保护阱 235 作用的隔离环浮空场板 231 选为靠近高压区 300 的几个隔离环浮空场板 231，能够获得较好的提高隔离环耐压的效果；在其他实施例中，隔离环浮空场板 231 也可以是设置于其他隔离环浮空场板 231 的下方。

图 13 是另一实施例中在第一隔离环 230 附近的局部放大图，图中的保护阱 235 进行了半透明处理。其与图 8 所示实施例的主要区别在于，保护阱 235 为设置在拐角处的条状 P+型掺杂区。对于采用离子注入工艺形成保护阱 235 的方案，在其中一个实施例中，保护阱 235 的注入窗口的宽度为隔离环宽度 C 的 2%-5%，长度应为第一个场板和第 N 个场板间最大距离的 100%-110%，以敷设在所有斜场板的拐角下方。

图 14 是又一实施例中在第一隔离环 230 附近的局部放大图，图中的保护阱 235 进行

了半透明处理。其与图 8 所示实施例的主要区别在于，保护阱 235 为设置在拐角处的点状 P+型掺杂区，这些点状的 P+型掺杂区呈列排布。对于采用离子注入工艺形成保护阱 235 的方案，在其中一个实施例中，保护阱 235 的注入窗口的宽度为隔离环宽度的 2%-5%。

5 在一个实施例中，保护阱 235 与结终端 210 及横向双扩散金属氧化物半导体场效应晶体管中的 P+注入为同一道注入，即在保护阱 235 的离子注入前的注入光刻与 NLD MOS 220 的体区 221、PLDMOS 240 的源极区 242 和漏极区 244、以及结终端 210 的体区 216 采用相同的光刻版，在同一步光刻步骤中完成注入窗口的光刻，因此保护阱 235 的形成不会额外增加制造工序，利于节约成本。

10 在本说明书的描述中，参考术语“有些实施例”、“其他实施例”、“理想实施例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特征包含于本发明的至少一个实施例或示例中。在本说明书中，对上述术语的示意性描述不一定指的是相同的实施例或示例。

15 以上所述实施例的每个技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的每个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本发明的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对发明专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干变形和改进，这些都属于本发明的保护范围。因此，本发明的保护范围应以所附权利要求为准。

权利要求书

1、一种隔离结构，包括：

结终端，包括多个结终端浮空场板；

5 横向双扩散金属氧化物半导体场效应晶体管，包括多个 LDMOS 浮空场板，每个 LDMOS 浮空场板与至少一结终端浮空场板电性连接，每个结终端浮空场板的长度大于与
所述结终端浮空场板电性连接的所述 LDMOS 浮空场板的长度。

2、根据权利要求 1 所述的隔离结构，其特征在于，还包括包围所述横向双扩散金属氧化物半导体场效应晶体管的隔离环，所述隔离环用于将所述横向双扩散金属氧化物半导
体场效应晶体管与所述结终端隔离。

3、根据权利要求 2 所述的隔离结构，其特征在于，所述隔离环还包括多个隔离环浮
10 空场板，每个 LDMOS 浮空场板通过一个隔离环浮空场板与相应的结终端浮空场板电性连接，每个隔离环浮空场板的一端延伸至对应的结终端浮空场板，每个隔离环浮空场板的另
一端延伸至对应的 LDMOS 浮空场板。

4、根据权利要求 3 所述的隔离结构，其特征在于，所述横向双扩散金属氧化物半导
15 体场效应晶体管还包括源极区、漏极区、栅极、漂移区及场区绝缘层，所述漂移区的至少
部分区域位于所述源极区和漏极区之间，所述场区绝缘层位于所述漂移区上，所述栅极的
一侧靠近所述源极区、另一侧靠近所述漏极区，所述 LDMOS 浮空场板的数量与所述结终
端浮空场板相同，所述多个 LDMOS 浮空场板与所述多个结终端浮空场板一一对应电性连
接；所述 LDMOS 浮空场板包括靠近所述源极区设置的第一场板、靠近所述漏极区设置
20 的第二场板及位于所述第一场板和第二场板之间的第三场板，相邻的第三场板之间的间距小
于 a_2 ，多个第二场板中离所述漏极区最远的一个第二场板与相邻的第三场板之间的间距大
于 a_3 ，且相邻的第二场板之间的间距大于 a_3 ，多个第一场板中离所述源极区最远的一个
第一场板与相邻的第三场板之间的间距大于 a_4 ，且相邻的第一场板之间的间距大于 a_4 ；
 $a_2 < a_3$ ， $a_2 < a_4$ 。

5、根据权利要求 4 所述的隔离结构，其特征在于，所述横向双扩散金属氧化物半导
25 体场效应晶体管包括 NLDMOS 和 PLDMOS，所述隔离环包括包围所述 NLDMOS 的第一
隔离环和包围所述 PLDMOS 的第二隔离环，所述每个所述结终端浮空场板的长度是对应
的所述 NLDMOS 的 LDMOS 浮空场板和对应的所述 PLDMOS 的 LDMOS 浮空场板的长
度之和。

6、根据权利要求 5 所述的隔离结构，其特征在于，所述结终端还包括第一绝缘层，
30 所述多个结终端浮空场板位于所述第一绝缘层上。

7、根据权利要求 6 所述的隔离结构，其特征在于，所述结终端还包括阴极区和阳极
区，所述阴极区和所述阳极区的为 N 型区，所述阴极区通过金属连线电性连接至所述
NLDMOS 的源极区的电位，所述阳极区通过金属连线电性连接至所述 NLDMOS 的漏极区
的电位。

8、根据权利要求 3 所述的隔离结构，其特征在于，每个所述结终端浮空场板与对应的隔离环浮空场板及对应的 LDMOS 浮空场板连成闭合环。

9、根据权利要求 7 所述的隔离结构，其特征在于，所述隔离环还包括隔离结、保护阱及第二绝缘层，所述多个隔离环浮空场板位于所述第二绝缘层上，所述第二绝缘层位于
5 所述隔离结和保护阱上，所述隔离结和保护阱为 P 型区，所述保护阱的掺杂浓度大于所述隔离结的掺杂浓度；

每个隔离环浮空场板均包括结终端连接部、LDMOS 连接部及中间部，所述中间部的一端连接所述结终端连接部，且所述中间部在平面上与所述结终端连接部的延长线的夹角大于零度小于 80 度，所述中间部的另一端连接所述 LDMOS 连接部，且所述中间部在平面上与
10 所述 LDMOS 连接部的延长线的夹角大于零度小于 80 度；至少部分所述结终端连接部与所述中间部的连接位置的正下方设有所述保护阱，至少部分所述 LDMOS 连接部与
所述中间部的连接位置的正下方设有所述保护阱。

10、根据权利要求 9 所述的隔离结构，其特征在于，所述保护阱包括设置在所述多个结终端连接部与所述中间部的连接位置处的条状掺杂区，以及设置在所述多个 LDMOS 连
15 接部与所述中间部的连接位置处的条状掺杂区。

11、根据权利要求 9 所述的隔离结构，其特征在于，所述保护阱包括设置在所述多个结终端连接部与所述中间部的连接位置处呈列排布的点状掺杂区，以及设置在所述多个 LDMOS 连接部与
所述中间部的连接位置处呈列排布的点状掺杂区。

12、根据权利要求 9 所述的隔离结构，其特征在于，所述结终端连接部与所述中间部的连接位置距所述隔离环的边缘的距离为 b_1 ，所述 LDMOS 连接部与所述中间部的连接位置距
20 所述隔离环的边缘的距离为 b_2 ， b_1 为所述隔离环的宽度的 10%至 30%， b_2 为所述隔离环的宽度的 10%至 30%。

13、根据权利要求 3 所述的隔离结构，其特征在于，所述结终端浮空场板、隔离环浮空场板及 LDMOS 浮空场板的材质相同。

14、根据权利要求 13 所述的隔离结构，其特征在于，所述结终端浮空场板、隔离环浮空场板及 LDMOS 浮空场板的材质为掺杂多晶硅。

15、根据权利要求 4 所述的隔离结构，其特征在于，所述栅极的材质与所述结终端浮空场板、隔离环浮空场板及 LDMOS 浮空场板的材质相同。

16、根据权利要求 4 所述的隔离结构，其特征在于，相邻的结终端浮空场板之间的间距为 a_1 ，且 $a_2 < a_1 < a_3$ ， $a_2 < a_1 < a_4$ 。
30

17、根据权利要求 4 所述的隔离结构，其特征在于，相邻的结终端浮空场板的间距相等。

18、根据权利要求 4 所述的隔离结构，其特征在于，相邻的结终端浮空场板的间距为 $1.0\text{-}3.2\mu\text{m}$ ，相邻的第三场板的间距为 $0.5\text{-}3.0\mu\text{m}$ ，相邻的第一场板的间距及所述离所述源极区最远的一所述第一场板与相邻的一第三场板之间的间距为 $1.2\text{-}4.0\mu\text{m}$ ，相邻的第二场
35

板的间距及所述离所述漏极区最远的一所述第二场板与相邻的一第三场板之间的间距为1.2-4.0 μm 。

19、一种集成电路，包括第一电压区、第二电压区及位于所述第一电压区和第二电压区之间的如权利要求1-18中任一项所述的隔离结构。

5 20、根据权利要求19所述的集成电路，其特征在于，所述第二电压区中的器件的工作电压大于所述第一电压区中的器件的工作电压。

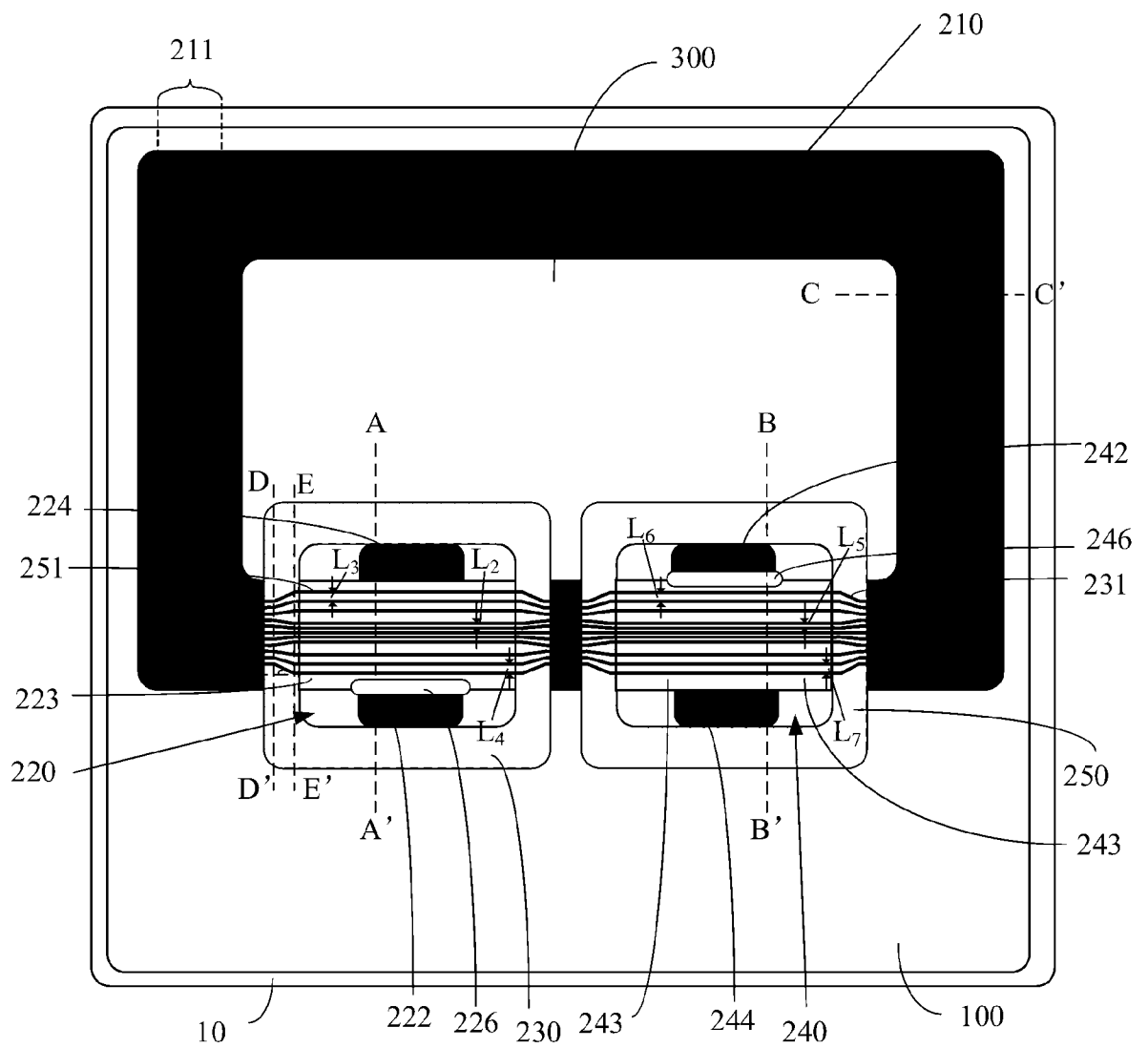


图 1

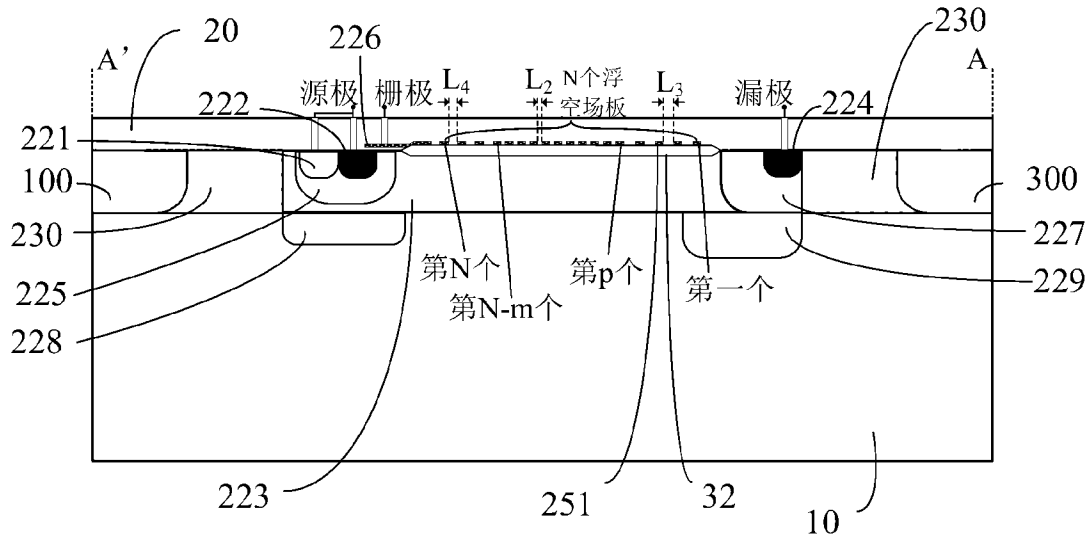


图 2

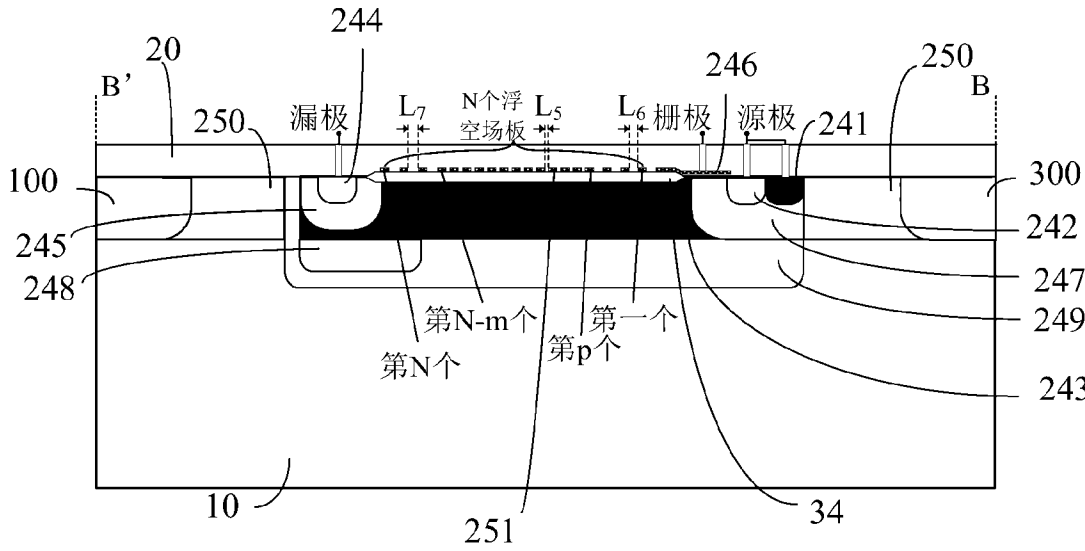


图 3

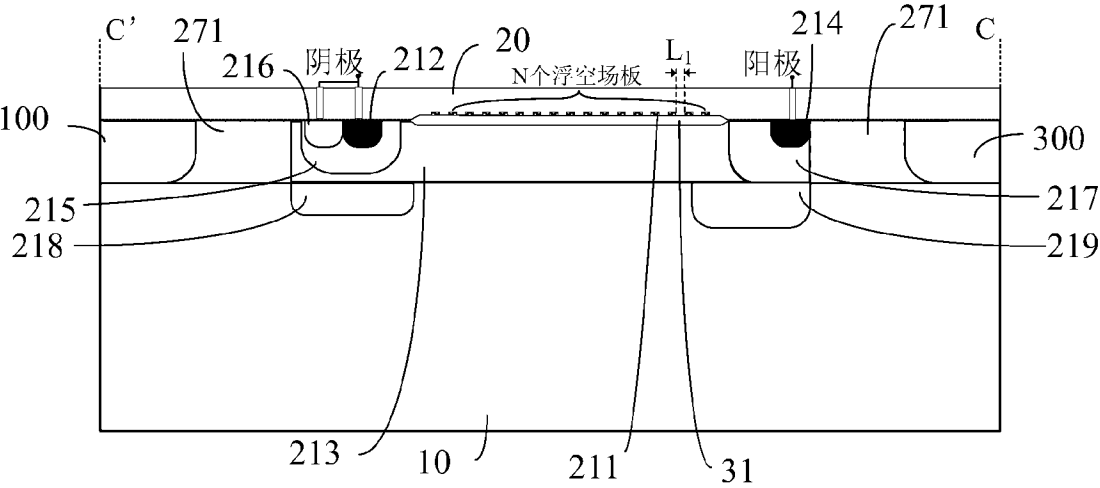


图 4

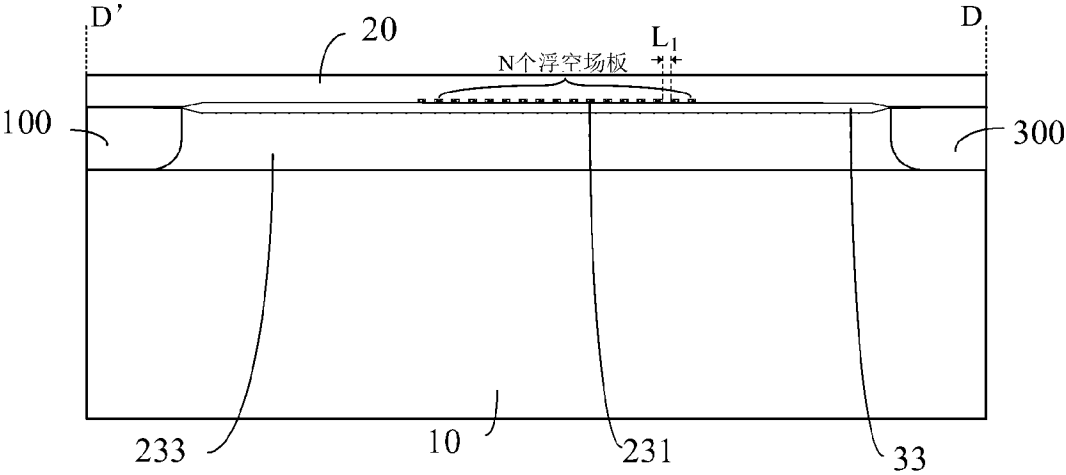


图 5

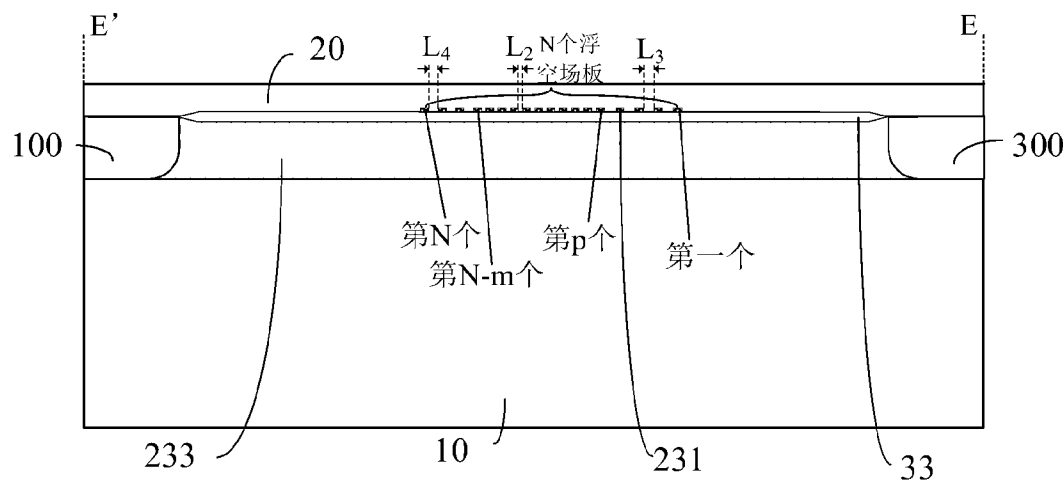


图 6

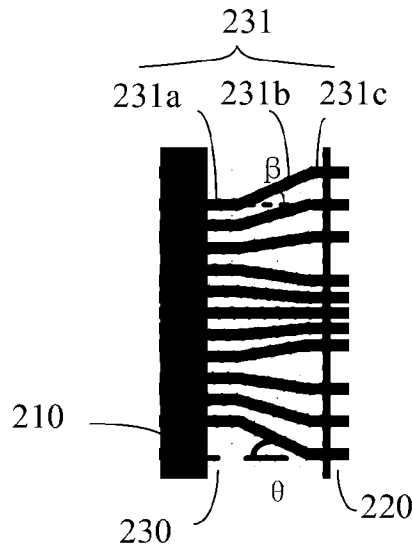


图 7

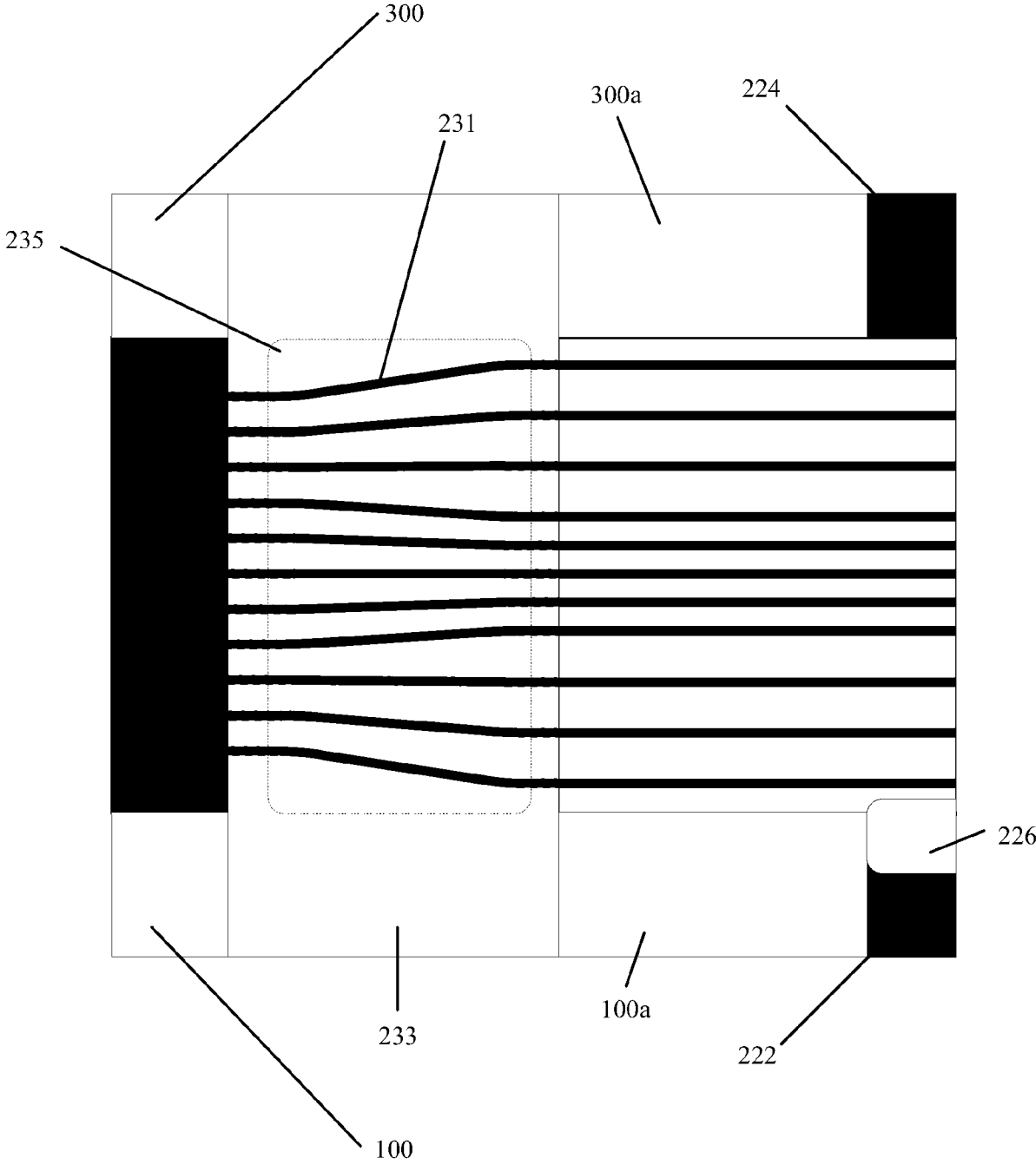


图 8

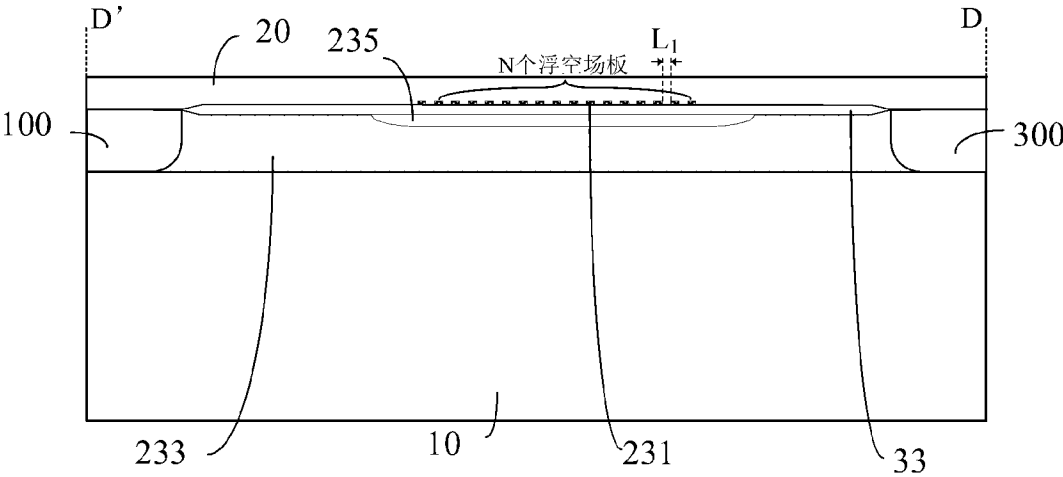


图 9

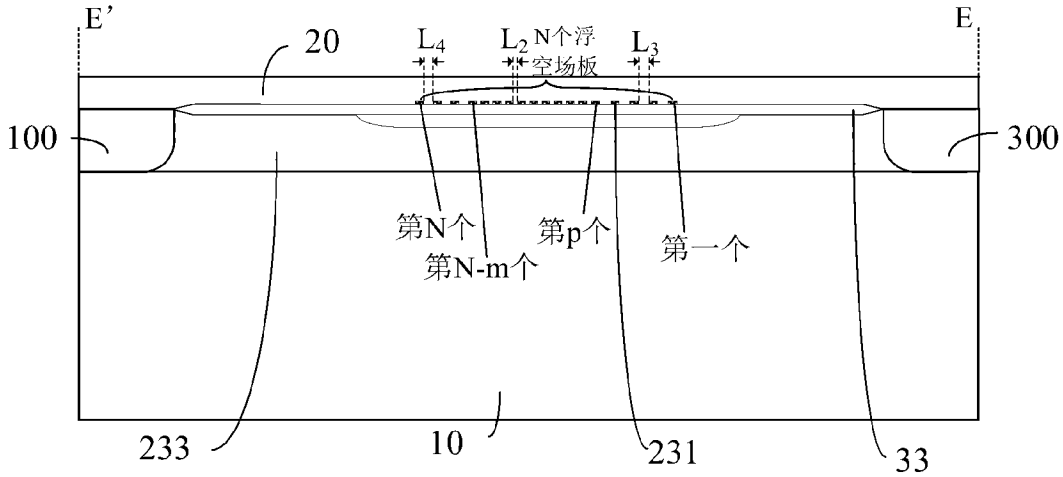


图 10

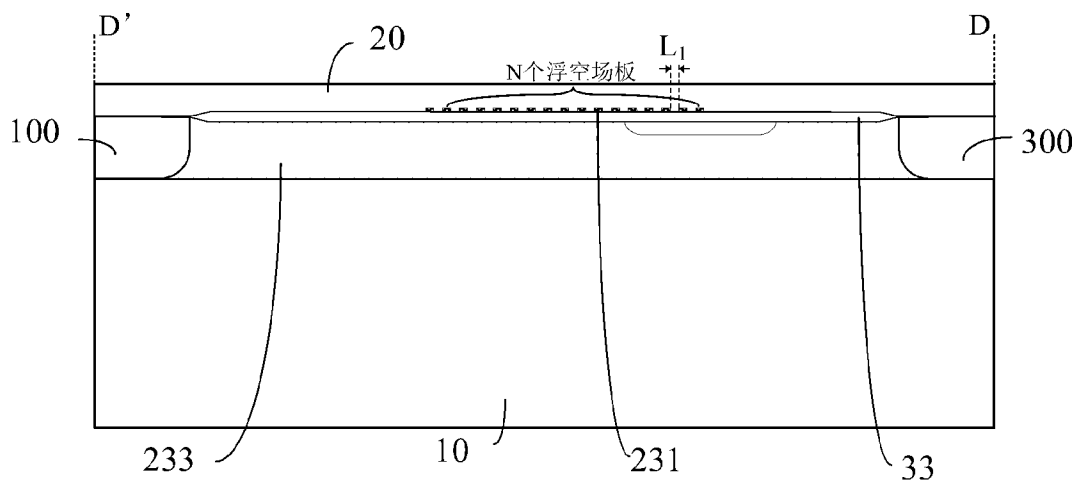


图 11

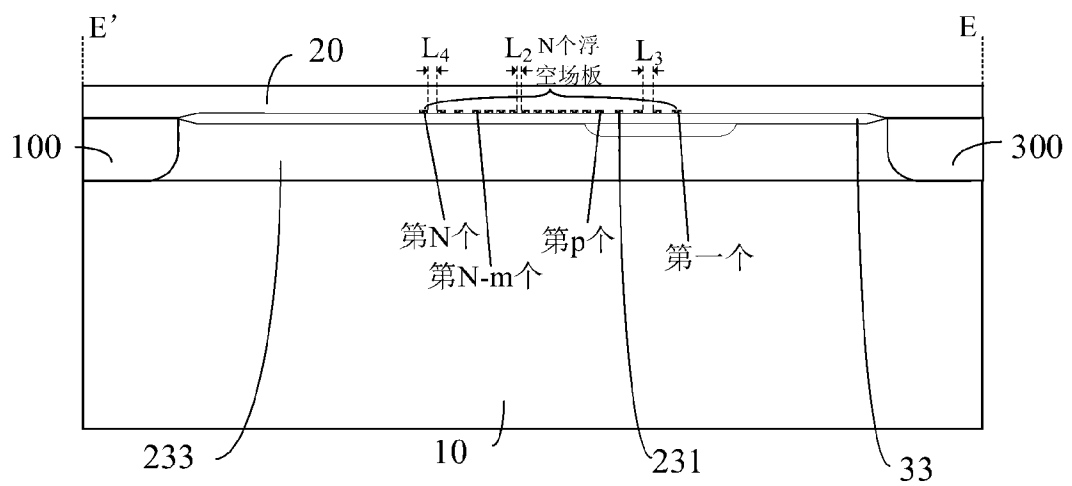


图 12

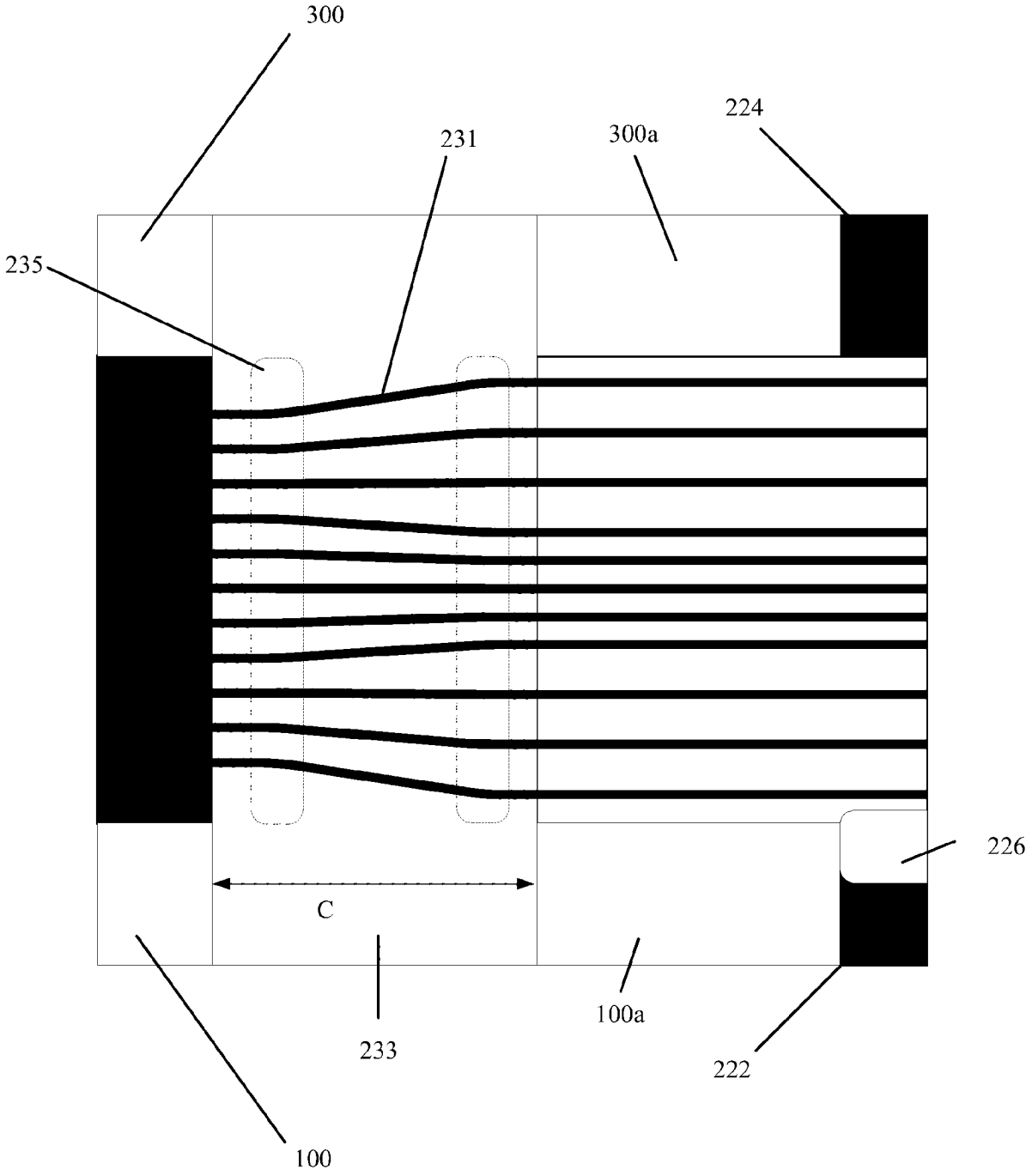


图 13

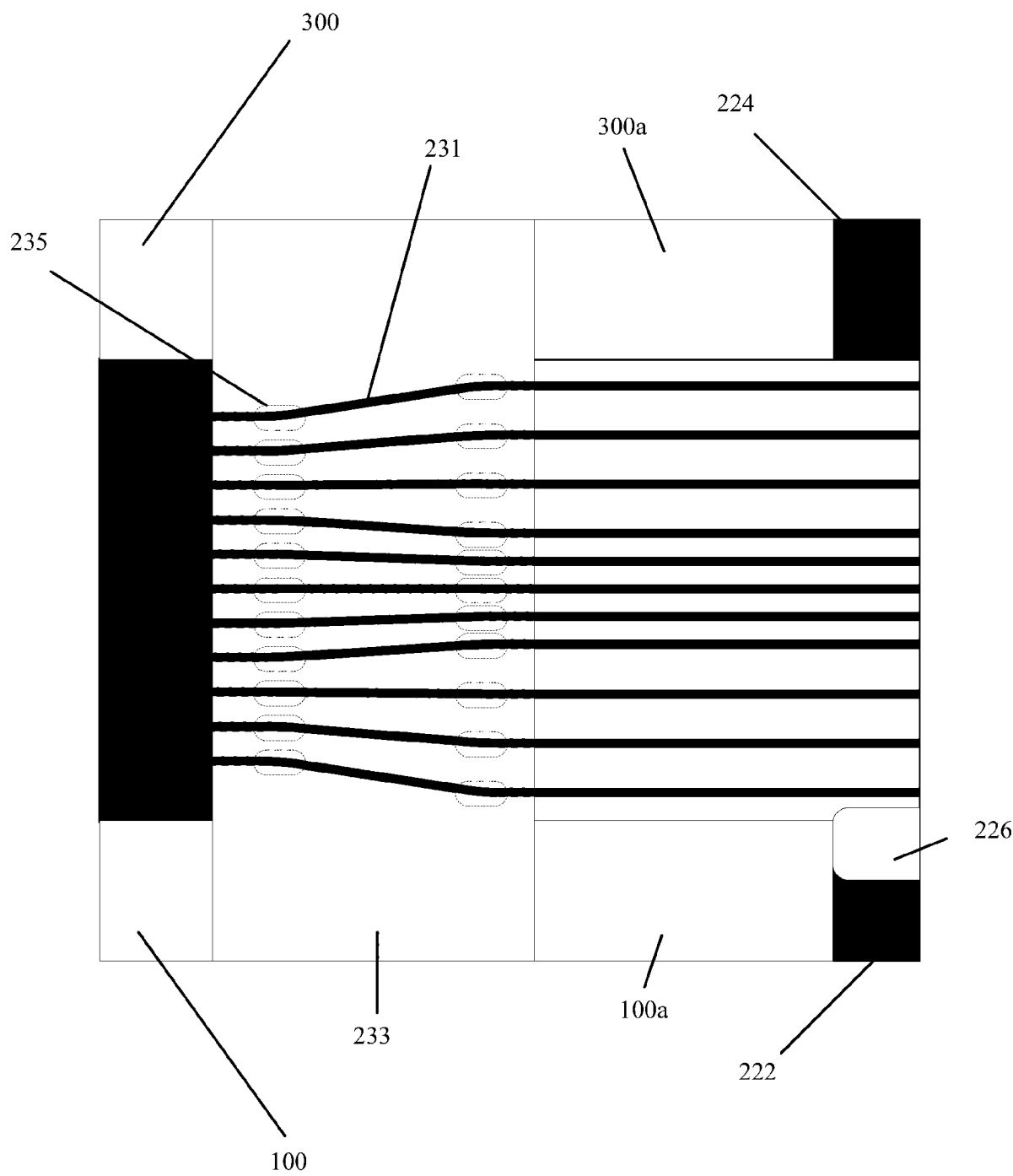


图 14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/087925

A. CLASSIFICATION OF SUBJECT MATTER H01L29/06(2006.01)i; H01L27/02(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: H01L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNTXT; ENTXT; ENTXTC; WPABS; DWPI; CNKI; IEEE: 隔离, 终端, 结, 场板, 浮, 环, 横向双扩散, 晶体管, isolation, terminal, junction, plate, float, ring, lateral double diffused, transistor		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 109599394 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 09 April 2019 (2019-04-09) description, paragraphs [0023]-[0121], and figures 1-5D	1-20
A	CN 110518056 A (CSMC TECHNOLOGIES FAB2 CO., LTD.) 29 November 2019 (2019-11-29) entire document	1-20
A	CN 102184944 A (NANJING UNIVERSITY OF POSTS AND TELECOMMUNICATIONS) 14 September 2011 (2011-09-14) entire document	1-20
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 10 July 2024		Date of mailing of the international search report 17 July 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2024/087925

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109599394	A	09 April 2019	US	2019096988	A1	28 March 2019
				US	10535730	B2	14 January 2020
				KR	20190037084	A	05 April 2019
				KR	102238303	B1	13 April 2021
				TW	201921588	A	01 June 2019
				TWI	700779	B	01 August 2020
				US	2020044014	A1	06 February 2020
				US	11145713	B2	12 October 2021
CN	110518056	A	29 November 2019	WO	2021022872	A1	11 February 2021
				US	2022359673	A1	10 November 2022
				CN	110518056	B	01 June 2021
CN	102184944	A	14 September 2011	CN	102184944	B	02 January 2013

A. 主题的分类

H01L29/06(2006.01)i; H01L27/02(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTEXT;ENTXT;ENTXTC;WPABS;DWPI;CNKI;IEEE: 隔离, 终端, 结, 场板, 浮, 环, 横向双扩散, 晶体管, isolation, terminal, junction, plate, float, ring, lateral double diffused, transistor

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 109599394 A (台湾积体电路制造股份有限公司) 2019年4月9日 (2019 - 04 - 09) 说明书第[0023]-[0121]段、附图1-5D	1-20
A	CN 110518056 A (无锡华润上华科技有限公司) 2019年11月29日 (2019 - 11 - 29) 全文	1-20
A	CN 102184944 A (南京邮电大学) 2011年9月14日 (2011 - 09 - 14) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

★ 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年7月10日

国际检索报告邮寄日期

2024年7月17日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

李介胜

电话号码 (+86) 62411794

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/087925

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109599394	A	2019年4月9日	US	2019096988	A1	2019年3月28日
				US	10535730	B2	2020年1月14日
				KR	20190037084	A	2019年4月5日
				KR	102238303	B1	2021年4月13日
				TW	201921588	A	2019年6月1日
				TWI	700779	B	2020年8月1日
				US	2020044014	A1	2020年2月6日
				US	11145713	B2	2021年10月12日
CN	110518056	A	2019年11月29日	WO	2021022872	A1	2021年2月11日
				US	2022359673	A1	2022年11月10日
				CN	110518056	B	2021年6月1日
CN	102184944	A	2011年9月14日	CN	102184944	B	2013年1月2日