



(12)发明专利

(10)授权公告号 CN 105027076 B

(45)授权公告日 2018.07.20

(21)申请号 201480012927.5

(22)申请日 2014.03.12

(65)同一申请的已公布的文献号
申请公布号 CN 105027076 A

(43)申请公布日 2015.11.04

(30)优先权数据
13/841,878 2013.03.15 US

(85)PCT国际申请进入国家阶段日
2015.09.08

(86)PCT国际申请的申请数据
PCT/US2014/024203 2014.03.12

(87)PCT国际申请的公布数据
W02014/150778 EN 2014.09.25

(73)专利权人 高通股份有限公司
地址 美国加利福尼亚州

(72)发明人 尼科·德劳伦蒂斯

(74)专利代理机构 北京律盟知识产权代理有限公司 11287
代理人 宋献涛

(51)Int.Cl.
G06F 9/30(2006.01)
H03M 13/41(2006.01)

(56)对比文件
US 6163581 A, 2000.12.19,
US 2003028844 A1, 2003.02.06,
US 5151904 A, 1992.09.29,
CN 1554152 A, 2004.12.08,
CN 102122275 A, 2011.07.13,
审查员 赖女女

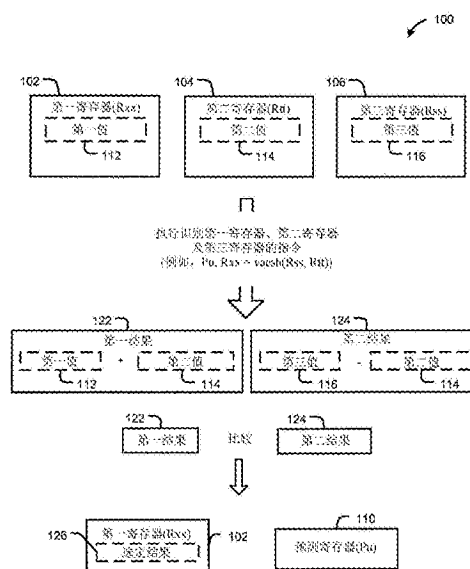
权利要求书3页 说明书9页 附图5页

(54)发明名称

相加-比较-选择指令

(57)摘要

一种设备包含存储识别第一寄存器、第二寄存器及第三寄存器的指令的存储器。在由处理器执行所述指令时,由所述处理器执行向量加法运算以将来自所述第一寄存器的第一值与来自所述第二寄存器的第二值相加。在执行所述指令时还执行向量减法运算以从来自所述第三寄存器的第三值减去所述第二值。在执行所述指令时还执行向量比较操作以将所述向量加法运算的结果与所述向量减法运算的结果进行比较。



1. 一种用于执行相加-比较-选择指令的设备,其包括:

存储器,其存储识别第一寄存器、第二寄存器、第三寄存器及预测寄存器的指令,其中所述指令为相加-比较-选择指令,且其中在由处理器执行所述指令时:

由所述处理器执行向量加法运算以将来自所述第一寄存器的第一值与来自所述第二寄存器的第二值相加,所述第一值对应于从偶数状态到到达状态的至少第一路径的路径度量,且所述第二值对应于分支度量值;

执行向量减法运算以从来自所述第三寄存器的第三值减去所述第二值,所述第三值对应于从奇数状态到所述到达状态的至少第二路径的路径度量;

执行向量比较操作以将所述向量加法运算的结果与所述向量减法运算的结果进行比较;及

基于所述向量比较操作将至少一个位存储到所述预测寄存器中,其中:

所述第一值及所述第三值包含互补位,且

在由所述处理器执行所述指令时,还执行向量选择操作以:

基于所述向量比较操作选择所述向量加法运算的所述结果或所述向量减法运算的所述结果;及

用所选择的结果更新所述第一寄存器。

2. 根据权利要求1所述的设备,其中在由所述处理器执行所述指令时,执行向量选择操作以:

在所述向量加法运算的所述结果大于所述向量减法运算的所述结果时选择所述向量加法运算的所述结果,其中选择所述向量加法运算的所述结果对应于预测相比奇数先前状态,偶数先前状态更有可能;及

在所述向量减法运算的所述结果大于所述向量加法运算的所述结果时选择所述向量减法运算的所述结果,其中选择所述向量减法运算的所述结果对应于预测相比偶数先前状态,奇数先前状态更有可能。

3. 根据权利要求1所述的设备,其进一步包括解码器,所述解码器确定:

在响应于所述向量比较操作选择所述向量加法运算的所述结果时转变到偶数先前状态;及

在响应于所述向量比较操作选择所述向量减法运算的所述结果时转变到奇数先前状态。

4. 根据权利要求1所述的设备,其中在同一执行循环期间执行所述向量加法运算、所述向量减法运算、所述向量比较操作及向量选择操作,且所述设备进一步包括:

至少一个向量加法器,其经配置以将所述第一值与所述第二值相加;及

至少一个向量减法器,其经配置以从所述第三值减去所述第二值。

5. 根据权利要求1所述的设备,其中所述至少一个位为存储于所述预测寄存器的第一部分中的第一旗标位。

6. 根据权利要求1所述的设备,其进一步包括Viterbi解码器,所述Viterbi解码器基于所述向量比较操作在偶数先前状态与奇数先前状态之间进行选择,其中所述第一值为所述Viterbi解码器的路径度量值的第一集合,其中所述第二值对应于从经解调的符号获得的分支度量,且其中所述第三值为所述Viterbi解码器的路径度量值的第二集合。

7. 根据权利要求1所述的设备,其进一步包括:

第一多个向量加法器,其耦合到所述第一寄存器的对应第一多个部分,且耦合到所述第二寄存器的对应第一多个部分;及

第二多个向量减法器,其耦合到所述第二寄存器的对应第二多个部分,且耦合到所述第三寄存器的对应第二多个部分。

8. 根据权利要求1所述的设备,所述设备进一步包括包含所述相加-比较-选择指令及第二相加-比较-选择指令的极长指令字VLIW包。

9. 一种用于执行相加-比较-选择指令的方法,其包括:

接收识别第一寄存器、第二寄存器、第三寄存器及预测寄存器的指令,其中所述指令为相加-比较-选择指令;及

由处理器执行所述指令,其中执行所述指令包括:

将来自所述第一寄存器的第一值与来自所述第二寄存器的第二值相加以产生第一结果,所述第一值对应于从偶数状态到到达状态的至少第一路径的路径度量,且所述第二值对应于分支度量值;

从来自所述第三寄存器的第三值减去所述第二值以产生第二结果,所述第三值对应于从奇数状态到所述到达状态的至少第二路径的路径度量;

执行所述第一结果与所述第二结果的比较;及

基于所述比较将至少一个位存储到所述预测寄存器中,

其中分别使用一或多个向量加法器及一或多个向量减法器执行所述相加及所述减去,且其中执行所述指令进一步包括:

基于所述比较选择所述第一结果或所述第二结果;及

用所选择的结果更新所述第一寄存器。

10. 根据权利要求9所述的方法,其中在所述第一结果大于所述第二结果时选择所述第一结果且选择所述第一结果对应于相比奇数先前状态偶数先前状态更有可能的预测,且其中在所述第二结果大于所述第一结果时选择所述第二结果且选择所述第二结果对应于相比偶数先前状态奇数先前状态更有可能的预测。

11. 根据权利要求10所述的方法,其中在同一执行循环期间执行将所述第一值与所述第二值相加,从所述第三值减去所述第二值,将所述第一结果与所述第二结果进行比较,及选择所述第一结果或所述第二结果中的一者。

12. 根据权利要求9所述的方法,其中所述指令进一步识别存储器位置,且其中执行所述指令进一步包括将所述比较的结果存储于所述存储器位置处。

13. 根据权利要求9所述的方法,其中所述第一值及所述第三值包含互补位。

14. 根据权利要求9所述的方法,其进一步包括Viterbi解码器基于所述比较的结果在偶数先前状态与奇数先前状态之间进行选择。

15. 根据权利要求9所述的方法,其进一步包括接收包含所述指令及第二指令的极长指令字VLIW包。

16. 一种用于执行相加-比较-选择指令的设备,其包括:

用于存储识别第一寄存器、第二寄存器、第三寄存器及预测寄存器的指令的装置,其中所述指令为相加-比较-选择指令;及

用于执行所述指令的装置,其中用于执行所述指令的所述装置包括:

用于将来自所述第一寄存器的第一值与来自所述第二寄存器的第二值相加以产生第一结果的装置,所述第一值对应于从偶数状态到到达状态的至少第一路径的路径度量,且所述第二值对应于分支度量值;

用于从来自所述第三寄存器的第三值减去所述第二值以产生第二结果的装置,所述第三值对应于从奇数状态到所述到达状态的至少第二路径的路径度量;

用于将所述第一结果与所述第二结果进行比较的装置;

用于基于所述第一结果与所述第二结果的比较将至少一个位存储到所述预测寄存器中的装置,其中所述第一值及所述第三值包含互补位;及

用于基于所述比较选择所述相加的所述结果或所述减去的所述结果的装置;及

用于用所选择的结果更新所述第一寄存器的装置。

17. 根据权利要求16所述的设备,其中用于相加的所述装置包含向量加法器,其中用于减去的所述装置包含向量减法器,且其中用于比较的所述装置包含比较器。

18. 根据权利要求16所述的设备,其中用于执行所述指令的所述装置经配置以在同一执行循环期间将所述第一值与所述第二值相加,从所述第三值减去所述第二值,及将所述第一结果与所述第二结果进行比较。

19. 一种包含程序代码的非暂时性计算机可读媒体,所述程序代码在由处理器执行时致使所述处理器:

接收识别第一寄存器、第二寄存器、第三寄存器及预测寄存器的单个指令,其中所述单个指令为相加-比较-选择指令;及

执行所述单个指令,其中执行所述单个指令包含:

将来自所述第一寄存器的第一值与来自所述第二寄存器的第二值相加以产生第一结果,所述第一值对应于从偶数状态到到达状态的至少第一路径的路径度量,且所述第二值对应于分支度量值;

从来自所述第三寄存器的第三值减去所述第二值以产生第二结果,所述第三值对应于从奇数状态到所述到达状态的至少第二路径的路径度量;

执行所述第一结果与所述第二结果的比较;及

基于所述比较将至少一个位存储到所述预测寄存器中,

其中执行所述单个指令进一步包含:

基于所述比较选择所述第一结果或所述第二结果中的一者;及

用所选择的结果更新所述第一寄存器。

20. 根据权利要求19所述的非暂时性计算机可读媒体,其中在同一执行循环期间执行将所述第一值与所述第二值相加,从所述第三值减去所述第二值,将所述第一结果与所述第二结果进行比较,及更新所述第一寄存器。

21. 根据权利要求19所述的非暂时性计算机可读媒体,其中执行所述指令使得所述处理器能够在单个执行循环期间处理多个状态。

相加-比较-选择指令

[0001] 相关申请案的交叉参考

[0002] 本申请案主张2013年3月15日申请的共同拥有的第13/841,878号美国非临时专利申请案的优先权,所述申请案的内容以全文引用的方式明确地并入本文中。

技术领域

[0003] 本发明通常涉及一种相加-比较-选择指令。

背景技术

[0004] 技术的进步已产生更小且更强大的计算装置。举例来说,当前存在多种便携式个人计算装置,包含无线计算装置,例如较小、轻重量且易于由用户携带的便携式无线电话、个人数字助理(PDA)和寻呼装置。更具体来说,便携式无线电话(例如,蜂窝式电话和因特网协议(IP)电话)可经由无线网络传递语音和数据包。此外,许多此类无线电话包含并入其中的其它类型装置。举例来说,无线电话还可包含数字静态相机、数字视频相机、数字记录器和音频文件播放器。而且,所述无线电话可处理可执行指令,其包括可用以接入因特网的软件应用程序,例如,网页浏览器应用程序。因而,这些无线电话可包括显著的计算能力。

[0005] 执行例如音频或视频解码等多媒体处理的无线电话通常可使用例如Viterbi算法等算法来解码经编码的信号。举例来说,可在多个编码级处编码(例如,卷积编码)二进制信号以产生经编码二进制信号。在每一编码级处,编码操作可改变二进制信号的状态(S)。二进制信号的状态可对应于在特定时间(k)(例如,在特定编码级处)在无线电话内的编码器的状态。举例来说,可对二进制信号执行第一编码操作以在第一编码级期间产生第一状态,且可对第一状态执行第二编码操作以在第二编码级期间产生第二状态等。在编码操作完成之后产生经编码二进制信号。连续状态的次序可产生对应于经编码二进制信号的独特路径(即,Viterbi路径)。

[0006] 无线电话可通过将连续状态追溯到二进制信号来恢复用以解码经编码的二进制信号的路径。举例来说,无线电话可从经编码的二进制信号(例如,与经编码的二进制信号相关联的状态)将在编码期间产生的先前状态(例如,早先状态)追溯到二进制信号以重建路径。可在每一到达状态(即,“当前”状态)处确定路径的先前状态,且可重复过程直到恢复二进制信号(例如,将路径追溯到二进制信号)为止。此过程可被称为卷积解码。Viterbi算法可用以解码经编码的二进制信号。举例来说,在解码器处,无线电话可使用Viterbi算法从路径的到达状态确定路径的先前状态,且重复所述过程直到恢复二进制信号为止。可基于用以恢复到到达状态的路径度量来确定先前状态。然而,在解码级处确定先前状态可利用多个指令。使用多个指令在解码级期间确定先前状态可增加处理时间。

发明内容

[0007] 揭示在解码级期间使用Viterbi算法确定先前状态的单个指令。举例来说,可使用Viterbi算法找到状态的最可能序列(即,Viterbi路径)。Viterbi路径可处于其中存在多个

状态的状态的网格中,其中多个路径通向每一状态。确定状态之间的不同转变的可能性以确定状态之间的哪一转变最有可能(例如,确定“幸存者”路径)。指令可用以结合其它可执行指令来执行相加、比较及选择操作以在电子装置(例如,移动装置)处执行卷积解码。举例来说,指令可确定用以从第一状态(2S)(例如,偶数状态)到达状态(S)的度量的和及用以从第二状态(2S+1)(例如,奇数状态)到达相同到达状态(S)的度量的差。指令还可对所述和与所述差进行比较以确定哪一计算对应于较大值。可选择对应于较大值的计算来预测先前状态(例如,预测幸存者路径)。在由处理器执行指令时,度量的选定计算可加载到寄存器,且在下一解码级期间使用。可按指令的相同执行循环来执行相加操作、比较操作及选择操作。此外,指令可利用极长指令字(VLIW)架构的指令级并行。举例来说,单个VLIW包可含有可并行执行的多个此类指令。

[0008] 在特定实施例中,一种设备包含存储识别第一寄存器、第二寄存器及第三寄存器的指令的存储器。在由处理器执行指令时,由处理器执行向量加法运算以将来自第一寄存器的第一值与来自第二寄存器的第二值相加。在执行指令时还执行向量减法运算以将来自第三寄存器的第三值减去第二值。在执行指令时还执行向量比较操作以将向量加法运算的结果与向量减法运算的结果进行比较。

[0009] 在另一特定实施例中,一种方法包含接收识别第一寄存器、第二寄存器及第三寄存器的指令。所述方法还包含由处理器执行指令。执行指令包含将来自第一寄存器的第一值与来自第二寄存器的第二值相加以产生第一结果。执行所述指令还包含从来自第三寄存器的第三值减去第二值以产生第二结果。执行所述指令还包含将第一结果与第二结果进行比较。

[0010] 在另一特定实施例中,一种设备包含用于存储识别第一寄存器、第二寄存器及第三寄存器的指令的装置。所述设备还包含用于执行指令的装置。用于执行指令的装置包含用于将来自第一寄存器的第一值与来自第二寄存器的第二值相加以产生第一结果的装置。用于执行指令的装置进一步包含用于从来自第三寄存器的第三值减去第二值以产生第二结果的装置。用于执行的装置进一步包含用于将第一结果与第二结果进行比较的装置。

[0011] 在另一特定实施例中,一种非暂时性计算机可读媒体包含程序代码,其在由处理器执行时致使处理器接收识别第一寄存器、第二寄存器及第三寄存器的单个指令。程序代码还致使处理器执行单个指令。执行单个指令包含将来自第一寄存器的第一值与来自第二寄存器的第二值相加以产生第一结果。执行单个指令还包含从来自第三寄存器的第三值减去第二值以产生第二结果。执行单个指令进一步包含将第一结果与第二结果进行比较。

[0012] 由所揭示实施例中的至少一者提供的一个特定优势为对于解码级来说减小的代码大小及较少的执行循环,这是归因于使用单个指令来执行相加、比较及选择功能性。在检视整个申请案后,将明白本揭示案的其它方面、优点和特征,所述申请案包含以下部分:附图说明、具体实施方式和权利要求书。

附图说明

[0013] 图1为说明执行识别第一寄存器、第二寄存器及第三寄存器的指令的图;

[0014] 图2为说明执行识别第一寄存器、第二寄存器及第三寄存器的指令的另一图;

[0015] 图3为可操作以存储及处理识别第一寄存器、第二寄存器及第三寄存器的指令的

系统的特定说明性实施例的图；

[0016] 图4为处理识别第一寄存器、第二寄存器及第三寄存器的指令的方法的特定说明性实施例的流程图；及

[0017] 图5为包含存储识别第一寄存器、第二寄存器及第三寄存器的指令的存储器的无线装置的特定实施例的框图。

具体实施方式

[0018] 用于执行解码操作的指令可包含第一值(例如,解码器的路径度量值的第一集合)、第二值(例如,分支度量值)及第三值(例如,解码器的路径度量值的第二集合)。解码器可使用第一、第二及第三值在解码操作期间确定先前状态(例如,确定幸存者路径)。举例来说,第一值可对应于用以到达到达状态(S)的偶数状态(2S)的路径度量,且第三值可对应于用以到达到达状态(S)的奇数状态(2S+1)的路径度量。第二值可对应于从经解调的符号获得的分支度量,且可随代码多项式而变。所述指令可任选地识别目的地寄存器。在执行指令时,可产生第一结果及第二结果。可响应于向量加法运算产生第一结果。举例来说,处理器可将第一值与第二值相加以产生第一结果。可响应于向量减法运算产生第二结果。举例来说,处理器可从第三值减去第二值以产生第二结果。在特定实施例中,第一值及第三值可包含互补位。

[0019] 执行向量比较操作以将第一结果(例如,与偶数状态(2S)相关联的结果)与第二结果(例如,与奇数状态(2S+1)相关联的结果)进行比较。在第一结果大于第二结果时,可选择对应于偶数状态(2S)的先前状态。在第二结果大于第一结果时,可选择对应于奇数状态(2S+1)的先前状态。

[0020] 参看图1,展示识别第一寄存器、第二寄存器及第三寄存器的指令100的执行的特定说明性实例。在特定实施例中,指令100可识别第一寄存器102、第二寄存器104、第三寄存器106及预测寄存器110。第一寄存器102可存储第一值112,第二寄存器104可存储第二值114,且第三寄存器106可存储第三值116。指令100可为“Pu,Rxx=vacsh(Rss,Rtt)”,其中‘vacsh’为100指令的操作码,‘Rxx’为第一寄存器102,‘Rtt’为第二寄存器104,‘Rss’为第三寄存器106,且‘Pu’为基于恢复的转变(例如,经编码的转变)是对应于偶数状态(2S)还是奇数状态(2S+1)来预测幸存者状态(即,先前状态)的预测寄存器110。

[0021] 向量比较操作的结果可存储于预测寄存器110中以预测先前状态(例如,幸存者路径)是对应于偶数状态(2S)还是奇数状态(2S+1)。幸存者状态可随用以达到到达状态(S)的度量而变。举例来说,第一值112可对应于用以从偶数状态(2S)达到所述到达状态(S)的路径度量值的第一集合。路径度量值可对应于与经由最可能路径达到所述到达状态(S)的距离相关联的值。第二值114可对应于分支度量值。分支度量值可对应于测量状态之间的归一化距离的值。第三值116可对应于用以从奇数状态(2S+1)达到所述到达状态(S)的路径度量值的第二集合。在到达状态(S)处,例如Viterbi解码器等解码器可基于用以达到所述到达状态(S)的路径度量值112、116在偶数先前状态(2S)与奇数先前状态(2S+1)之间进行选择。

[0022] 在操作期间,处理器内的向量加法器可执行向量加法运算以将来自第一寄存器102的第一值112与来自第二寄存器104的第二值114相加。举例来说,可将路径度量值的第一集合与分支度量值相加以产生第一结果122。处理器内的向量减法器可执行向量减法运

算以从第三寄存器106的第三值116减去第二值114。举例来说,可将路径度量值的第二集合减去分支度量值以产生第二结果124。处理器内的比较器可执行向量比较操作以将第一结果122与第二结果124进行比较以确定结果122、124中的哪一者对应于较大值。

[0023] 处理器可执行向量选择操作以选择对应于较大值的结果122或124,且可用选定结果126来更新第一寄存器102。举例来说,在第一结果122大于第二结果124时,将第一结果122存储于第一寄存器102中作为选定结果126,且预测先前状态对应于偶数状态(2S)。在第二结果124大于第一结果122时,将第二结果124存储于第一寄存器102中作为选定结果126,且预测先前状态对应于奇数状态(2S+1)。

[0024] 应了解所描述的单个指令100可实现在相同执行循环期间执行向量加法运算、向量减法运算、向量比较操作及向量选择操作。将向量加法运算、向量减法运算、向量比较操作及向量选择操作实施为与四个单独指令相反的一个指令(例如,“vacsh”指令)可得到处理速度的约40%增益。举例来说,与五个管线循环(针对四个指令)相比较,可使用三个管线循环来执行单个指令。还应了解在发布指令100时,输送量可约等于每一循环两个节气门。举例来说,每一节气门可对应于在状态之间的可能转变的数目。在特定实施例中,在单个循环期间两次发布指令100时,输送量可约等于每一循环四个节气门。

[0025] 参看图2,展示识别第一寄存器、第二寄存器及第三寄存器的指令的执行的第二说明性实例,且通常将其指定为200。

[0026] 在特定实施例中,第一寄存器102可为包含四个部分的64位寄存器。举例来说,第一寄存器102可包含第一部分(Rxx.H3) 212、第二部分(Rxx.H2) 214、第三部分(Rxx.H1) 216及第四部分(Rxx.H0) 218。每一部分212到218可存储对应于第一路径度量值的16位值。举例来说,第一部分212可存储第一16位值(x_1),第二部分214可存储第二16位值(x_2),第三部分216可存储第三16位值(x_3),且第四部分218可存储第四16位值(x_4)。第一路径度量值可对应于图1的第一值112。举例来说,第一路径度量值可对应于用以从偶数状态(2S)到达所述到达状态(S)的路径度量值的第一集合。

[0027] 在特定实施例中,第二寄存器104可为包含四个部分的64位寄存器。举例来说,第二寄存器104可包含第一部分(Rtt.H3) 222、第二部分(Rtt.H2) 224、第三部分(Rtt.H1) 226及第四部分(Rtt.H0) 228。每一部分222到228可存储对应于分支度量值的16位值。举例来说,第一部分222可存储第一16位值(y_1),第二部分224可存储第二16位值(y_2),第三部分226可存储第三16位值(y_3),且第四部分228可存储第四16位值(y_4)。

[0028] 在特定实施例中,第三寄存器106可为包含四个部分的64位寄存器。举例来说,第三寄存器106可包含第一部分(Rss.H3) 232、第二部分(Rss.H2) 234、第三部分(Rss.H1) 236及第四部分(Rss.H0) 238。每一部分232到238可存储对应于第二路径度量值的16位值。举例来说,第一部分232可存储第一16位值(z_1),第二部分234可存储第二16位值(z_2),第三部分236可存储第三16位值(z_3),且第四部分238可存储第四16位值(z_4)。第二路径度量值可对应于图1的第三值116。举例来说,第二路径度量值可对应于用以从偶数状态(2S)到达所述到达状态(S)的路径度量值的第二集合。

[0029] 第一向量加法器202经配置以将来自第一寄存器102的第一部分212的第一16位值(x_1)与来自第二寄存器104的第一部分222的第一16位值(y_1)相加以产生第一16位结果。第一向量减法器204经配置以从来自第三寄存器106的第一部分232的第一16位值(z_1)减去第

一16位值 (y_1) 以产生第二16位结果。第一比较器206经配置以将第一16位结果与第二16位结果进行比较。基于所述比较,第一比较器206可产生识别第一16位结果是否大于第二16位结果或第二16位结果是否大于第一16位结果的第一旗标位(例如,1位信号)。第一旗标位可被提供到预测寄存器(Pu)210的第一部分,且用以预测先前状态最可能是偶数状态(2S)还是奇数状态(2S+1)。

[0030] 也可将第一旗标位提供到选择装置208。在特定实施例中,选择装置208可为多路复用器。选择装置208经配置以基于第一旗标位选择第一16位结果或第二16位结果,且将选定结果提供到第一寄存器102的第一部分212。举例来说,选择装置208可在第一旗标位指示第一16位结果大于第二16位结果时将第一16位结果提供到第一寄存器102的第一部分212。或者,选择装置208可在第一旗标位指示第二16位结果大于第一16位结果时将第二16位结果提供到第一寄存器102的第一部分212。

[0031] 额外向量加法器、向量减法器及比较器可并行且以与第一向量加法器202、第一向量减法器204及第一比较器206实质上类似的方式操作。举例来说,额外向量加法器、向量减法器及比较器可基于第一寄存器102、第二寄存器104及第三寄存器106的对应部分中的16位值产生第二旗标位、第三旗标位及第四旗标位。第一寄存器102的第二、第三及第四部分214到218可分别基于第二、第三及第四旗标位用16位结果来更新。因此,可在单个执行循环期间处理四个状态。

[0032] 参看图3,揭示可操作以存储及处理指令100(例如,‘VACSH’指令)的系统的特定说明性实施例,且通常将其指定为300。系统300可包含经由总线接口308耦合到指令高速缓冲存储器310的存储器302。在特定实施例中,系统300的全部或一部分可集成到处理器中。

[0033] 指令100(例如,相加-比较-选择指令)及第二指令352(例如,第二相加-比较-选择指令)可包含于极长指令字(VLIW)包350中。指令100可识别第一寄存器102、第二寄存器104及第三寄存器106,如图1到2中所说明。第一寄存器102、第二寄存器104及第三寄存器106可包含于通用寄存器堆326中。第一寄存器102可存储用以从偶数状态(2S)到达所述到达状态(S)的路径度量值的第一集合,第二寄存器104可存储分支度量值,且第三寄存器106可存储用以从奇数状态(2S+1)到达所述到达状态(S)的路径度量值的第二集合。指令100还可识别预测寄存器210。如关于图1到2所描述,向量比较操作的结果可存储于预测寄存器210中以预测先前状态(例如,幸存者路径)是对应于偶数状态(2S)还是奇数状态(2S+1)。预测寄存器210也可包含于通用寄存器堆326中。

[0034] 存储器302可经由总线接口308将指令100发射到指令高速缓冲存储器310。数据高速缓冲存储器312也可经由总线接口308耦合到存储器302。在特定实施例中,存储器302可由解码器存取,所述解码器使用指令100来执行向量加法运算、向量减法运算、向量比较操作、向量选择操作或其任何组合,如关于图1到2所描述。举例来说,解码器可为译码器/解码器(CODEC)的部分,如参看图5所进一步描述。

[0035] 指令高速缓冲存储器310可经由总线311耦合到定序器314。定序器314可接收通用中断316,可从中断寄存器(未图示)检索所述通用中断。在特定实施例中,指令高速缓冲存储器310可经由多个当前指令寄存器(未图示)耦合到定序器314,所述当前指令寄存器可耦合到总线311且与系统300的特定线程(例如,硬件线程)相关联。在特定实施例中,处理器300可为包含六个(6)线程的交错式多线程处理器。在另一特定实施例中,处理器300可包含

三个 (3) 或四个 (4) 线程。

[0036] 在特定实施例中,总线311可为一百二十八位 (128位) 总线,且定序器314可经配置以经由指令包 (例如,包含指令100及第二指令352的极长指令字 (VLIW) 指令包350) 从存储器302检索指令。定序器314可耦合到第一指令执行单元318、第二指令执行单元320、第三指令执行单元322及第四指令执行单元324。应注意可存在较少或较多指令执行单元。每一指令执行单元318到324可经由第一总线328耦合到通用寄存器堆326。通用寄存器堆326也可经由第二总线330耦合到定序器314、数据高速缓冲存储器312及存储器302。

[0037] 系统300还可包含监督控制寄存器332以及全局控制寄存器334以存储可以通过定序器314内的控制逻辑存取的位,以确定是否接受中断 (例如,通用中断316) 及是否控制指令的执行。

[0038] 在特定实施例中,执行单元318到324中的任一者可执行指令100以产生图1的第一结果122及第二结果124。在另一实施例中,执行单元318到324中的一些但非全部可执行指令100。举例来说,执行单元318到324可包含算术逻辑单元 (ALU),所述ALU包含向量加法器、向量减法器、比较器及选择装置,如关于图2所描述。执行单元318到324可通过经由例如关于图2所描述的向量加法器202等向量加法器将存储于第一寄存器102中的路径度量值的第一集合与存储于第二寄存器104中的分支度量值相加而产生第一结果。执行单元318到324可通过经由例如关于图2所描述的向量减法器204等向量减法器从存储于第三寄存器106中的路径度量值的第二集合减去存储于第二寄存器104中的分支度量值而产生第二结果。执行单元318到324可将第一结果与第二结果进行比较以确定哪些结果较大,且将指示比较的结果的信号提供到预测寄存器210。存储于预测寄存器210中的信息可用以预测先前状态是对应于偶数状态 (2S) 还是奇数状态 (2S+1)。

[0039] 因此,在经编码数据流的解码期间,可使用单个指令从用以恢复到达状态的路径度量预测经编码数据信号的先前状态。此外,取决于比较,第一结果或第二结果可存储于第一寄存器中以用于后续状态预测。指令100可达成代码大小的总减小,且执行处理器的较少执行循环,这是归因于使用单个指令来预测先前状态。应了解同时执行指令100及第二指令352可通过使得系统300能够同时预测对应于多个Viterbi路径的多个先前状态来增加效率。

[0040] 应注意图3中所描绘的系统300仅作为实例。所揭示的指令及技术可由其它架构 (例如,微架构及数字信号处理器 (DSP) 架构) 支持且在其它架构内执行。举例来说,替代DSP架构可包含相比图3的系统300更多、更少及/或不同的组件。为了进行说明,替代DSP架构可包含两个执行单元及两个加载/存储单元,而非如图3中所说明的四个执行单元。

[0041] 参看图4,描绘处理识别第一寄存器、第二寄存器及第三寄存器的指令的方法的特定说明性实施例的流程图,且通常将其指定为400。在说明性实施例中,方法400可在图3的系统300处执行,且可参看图1到2进行说明。

[0042] 方法400可包含在410处接收识别第一寄存器、第二寄存器及第三寄存器的指令。举例来说,在图3中,可在执行单元318到324中的一者处接收指令100。指令100可识别第一寄存器102、第二寄存器104及第三寄存器106。

[0043] 方法400还可包含在420处执行指令。举例来说,在图3中,指令100可由执行单元318到324中的一者执行。执行420指令可包含在422处将来自第一寄存器的第一值与来自第

二寄存器的第二值相加以产生第一结果。举例来说,在图3中,执行单元318到324中的一者的ALU内的向量加法器可通过将存储于第一寄存器102中的路径度量值的第一集合与存储于第二寄存器104中的分支度量值相加而产生第一结果。执行420指令还可包含在424处从来自第三寄存器的第三值减去第二值以产生第二结果。举例来说,在图3中,执行单元318到324中的一者的ALU内的向量减法器可通过从存储于第三寄存器106中的路径度量值的第二集合减去存储于第二寄存器104中的分支度量值来产生第二结果。执行420指令还可包含在426处将第一结果与第二结果进行比较以产生比较结果。举例来说,在图3中,执行单元318到324中的一者的ALU内的比较器可将第一结果与第二结果进行比较以确定结果中的哪一者较大,且将指示较大结果的信号提供到预测寄存器210。存储于预测寄存器210中的信息可用以预测先前状态是对应于偶数状态(2S)还是奇数状态(2S+1)。

[0044] 可由现场可编程门阵列(FPGA)装置、专用集成电路(ASIC)、例如中央处理单元(CPU)等处理单元、数字信号处理器(DSP)、控制器、另一硬件装置、固件或其任何组合来实施图4的方法400。作为实例,图4的方法400可由执行程序代码或指令的处理器或其组件执行,如关于图3及5所描述。

[0045] 参看图5,描绘包含存储识别第一寄存器102、第二寄存器104及第三寄存器106的指令100(例如,相加-比较-选择指令)的存储器532的无线装置的特定说明性实施例的框图,且通常将其指定为500。装置500包含耦合到存储器532的例如数字信号处理器(DSP)等处理器564。指令高速缓冲存储器(例如,说明性指令高速缓冲存储器310)也可耦合到存储器532及耦合到处理器564。在特定实施例中,存储器532存储例如指令100等可由处理器564执行的指令,且将其发射到指令高速缓冲存储器310。

[0046] 图5还展示耦合到处理器564及显示器528的显示器控制器526。译码器/解码器(CODEC)534也可耦合到处理器564。扬声器536及麦克风538可耦合到CODEC 534。图5还指示无线控制器540可耦合到处理器564及无线天线542。在特定实施例中,处理器564、显示器控制器526、存储器532、CODEC 534及无线控制器540包含于系统级封装或芯片上系统装置522中。在特定实施例中,包含指令100的存储器532或指令高速缓冲存储器310可由CODEC 534存取,所述CODEC使用指令100以在电子装置(例如,无线装置500)处在音频或视频解码期间执行卷积解码。在特定实施例中,CODEC 534包含Viterbi解码器。

[0047] 在处理时,指令100致使处理器564通过将存储于第一寄存器102中的路径度量值的第一集合与存储于第二寄存器104中的分支度量值相加而产生第一结果。指令100还致使处理器564通过从存储于第三寄存器106中的路径度量值的第二集合减去存储于第二寄存器104中的分支度量值而产生第二结果。在产生第一及第二结果后,指令100可即刻致使处理器564将第一结果与第二结果进行比较以确定结果中的哪一者较大,且将指示较大结果的信号提供到预测寄存器210。基于比较,可用第一结果或第二结果更新第一寄存器102。举例来说,如果第一结果大于第二结果,那么可将第一结果存储于第一寄存器102中。或者,如果第二结果大于第一结果,那么可将第二结果存储于第一寄存器102中。

[0048] 在特定实施例中,输入装置530及电力供应器544耦合到芯片上系统装置522。此外,在特定实施例中,如图5中所说明,显示器528、输入装置530、扬声器536、麦克风538、无线天线542及电力供应器544在芯片上系统装置522外部。然而,显示器528、输入装置530、扬声器536、麦克风538、无线天线542及电力供应器544中的每一者可耦合到芯片上系统装置

522的组件,例如接口或控制器。

[0049] 应注意尽管图5描绘无线通信装置,但例如处理器564等用于执行相加-比较-选择指令的处理器、存储器532及存储相加-比较-选择指令的指令高速缓冲存储器310可替代地集成到机顶盒、音乐播放器、视频播放器、娱乐单元导航装置、个人数字助理(PDA)、固定位置数据单元或计算机中。

[0050] 结合所描述实施例,揭示一种设备,其包含用于存储识别第一寄存器、第二寄存器及第三寄存器的指令的装置。举例来说,用于存储的装置可为图3的存储器302、图5的存储器532、图3及图5的指令高速缓冲存储器310、经配置以存储指令的一或多个其它装置,或其任何组合。

[0051] 所述设备还可包含用于执行指令的装置。举例来说,用于执行指令的装置可包含图2的向量加法器、图2的向量减法器、图2的比较器、图2的选择装置、图3的执行单元318、320、322及324中的一或多者、图5的处理器564、经配置以执行指令的一或多个其它装置或其任何组合。

[0052] 所述设备还可包含用于将来自第一寄存器的第一值与来自第二寄存器的第二值相加以产生第一结果的装置。举例来说,用于相加的装置可包含图2的向量加法器、图3的执行单元318、320、322及324中的一或多者、图5的处理器564、经配置以将值相加的一或多个其它装置,或其任何组合。

[0053] 所述设备还可包含用于从来自第三寄存器的第三值减去第二值以产生第二结果的装置。举例来说,用于相加的装置可包含图2的向量减法器、图3的执行单元318、320、322及324中的一或多者、图5的处理器564、经配置以减去值的一或多个其它装置,或其任何组合。

[0054] 所述设备还可包含用于将第一结果与第二结果进行比较的装置。举例来说,用于比较的装置可包含图2的比较器、图3的执行单元318、320、322及324中的一或多者、图5的处理器564、经配置以比较结果的一或多个其它装置,或其任何组合。

[0055] 所属领域的技术人员将进一步了解,可将结合本文所揭示的实施例而描述的各种说明性逻辑区块、配置、模块、电路和算法步骤实施为电子硬件、计算机软件或两者的组合。已大体在其功能性方面描述各种说明性组件、块、配置、模块、电路及步骤。所述功能性是实施为硬件还是软件取决于特定应用及施加于整个系统的设计约束。所属领域的技术人员可针对每一特定应用以不同方式实施所描述功能性,但所述实施决策不应被解释为导致偏离本发明的范围。

[0056] 可直接以硬件、以由处理器执行的软件模块或以上两者的组合实施结合本文所揭示的实施例而描述的方法或算法的步骤。软件模块可驻留在随机存取存储器(RAM)、快闪存储器、只读存储器(ROM)、可编程只读存储器(PROM)、可擦除可编程只读存储器(EPROM)、电可擦除可编程只读存储器(EEPROM)、寄存器、硬盘、可装卸式磁盘、压缩光盘只读存储器(CD-ROM)或此项技术中已知的任何其它形式的非暂时性存储媒体中。示例性非暂时性(例如有形的)存储媒体耦合到处理器,使得处理器可从所述存储媒体读取信息,且将信息写入到所述存储媒体。在替代方案中,存储媒体可与处理器成一体式。处理器及存储媒体可驻留在专用集成电路(ASIC)中。ASIC可驻留在计算装置或用户终端中。或者,处理器及存储媒体可作为离散组件驻留在计算装置或用户终端中。

[0057] 提供对所揭示实施例的先前描述以使得所属领域的技术人员能够制造或使用所揭示的实施例。对于所属领域的技术人员来说,对这些实施例的各种修改将为显而易见的,且可在不偏离本发明的范围的情况下将本文中所定义的原理应用于其它实施例。因此,本发明无意限于本文中所展示的实施例,而是将赋予本发明与如由所附权利要求书界定的原理和新颖特征一致的可能最广泛范围。

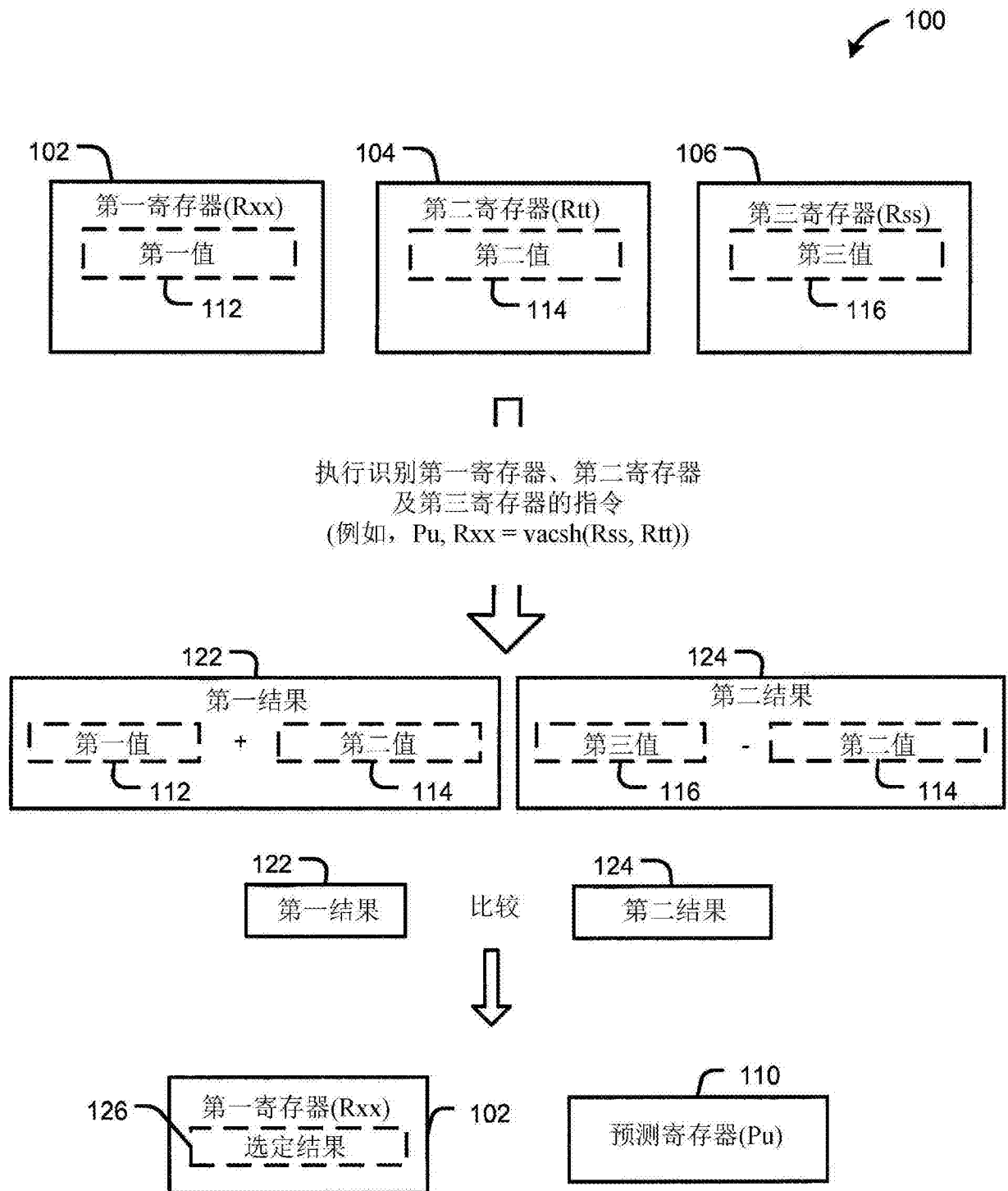


图1

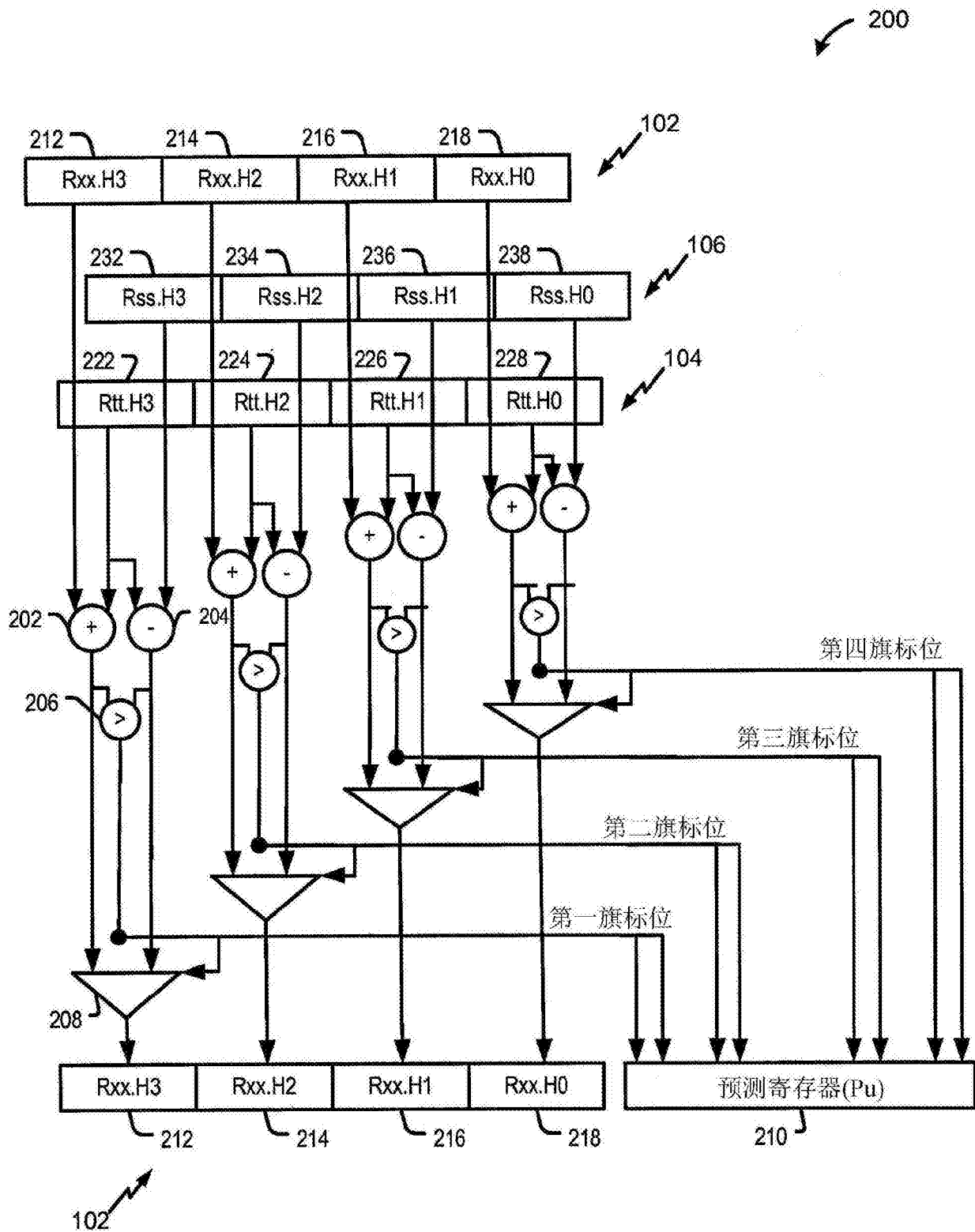


图2

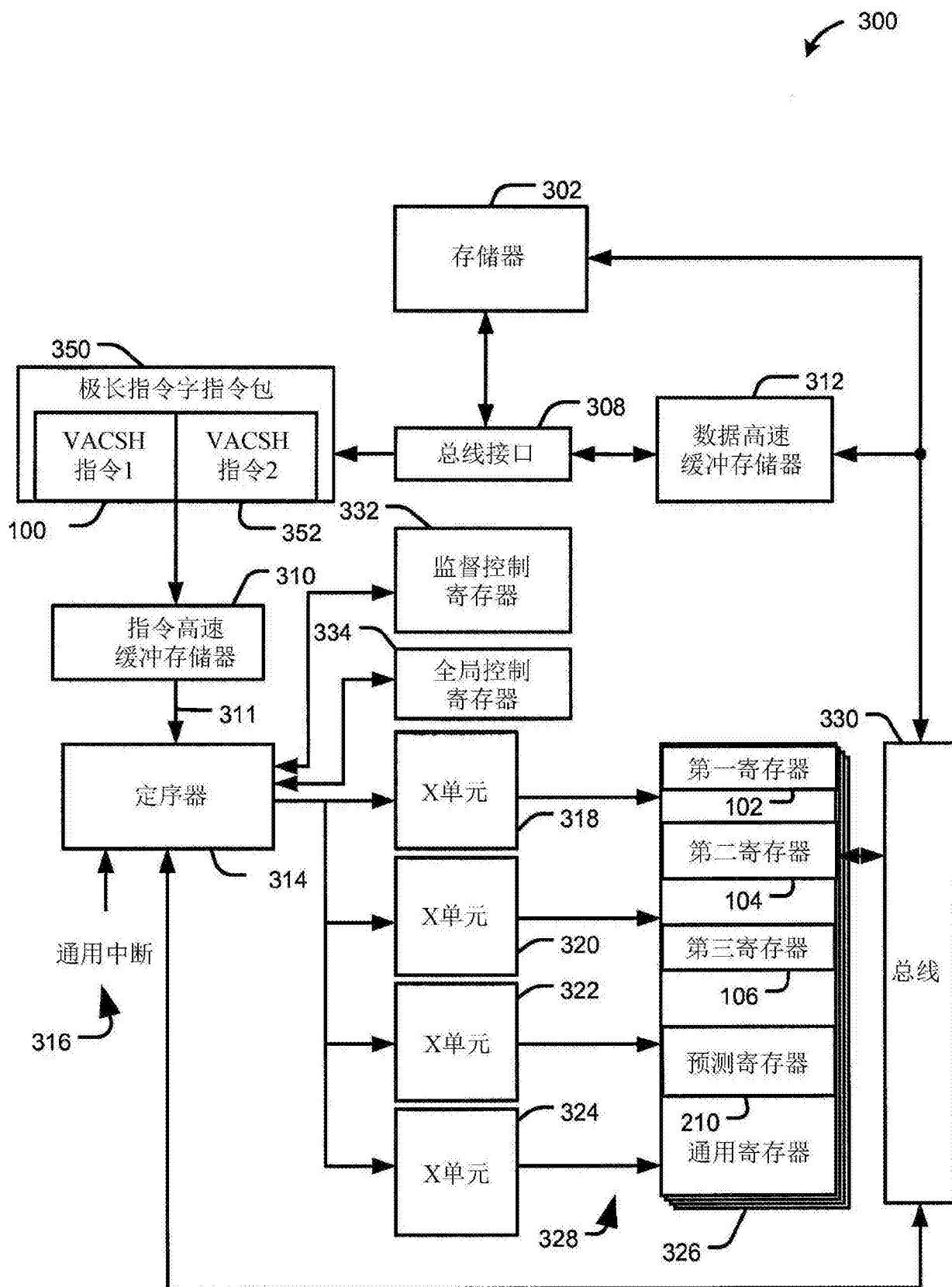


图3

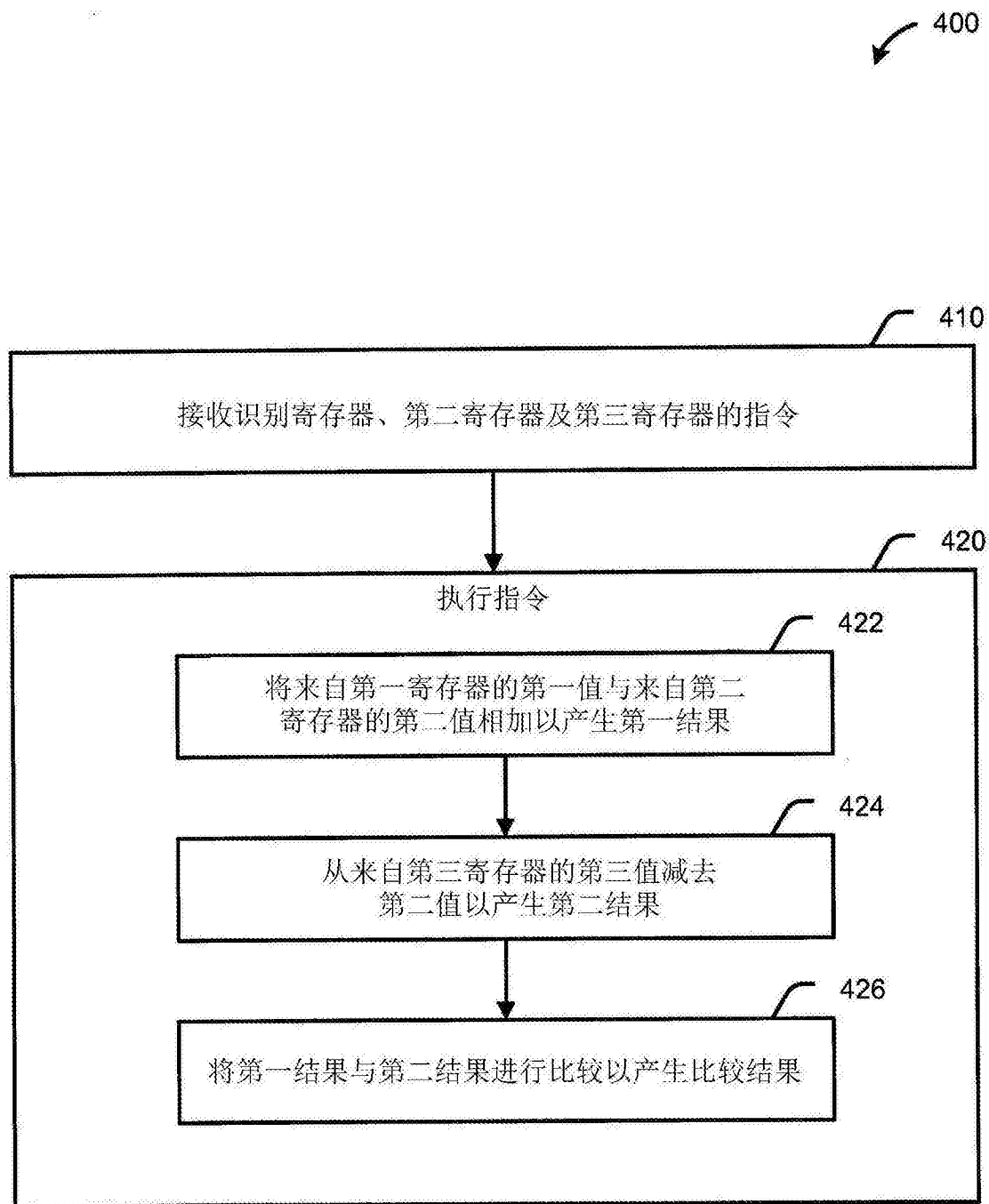


图4

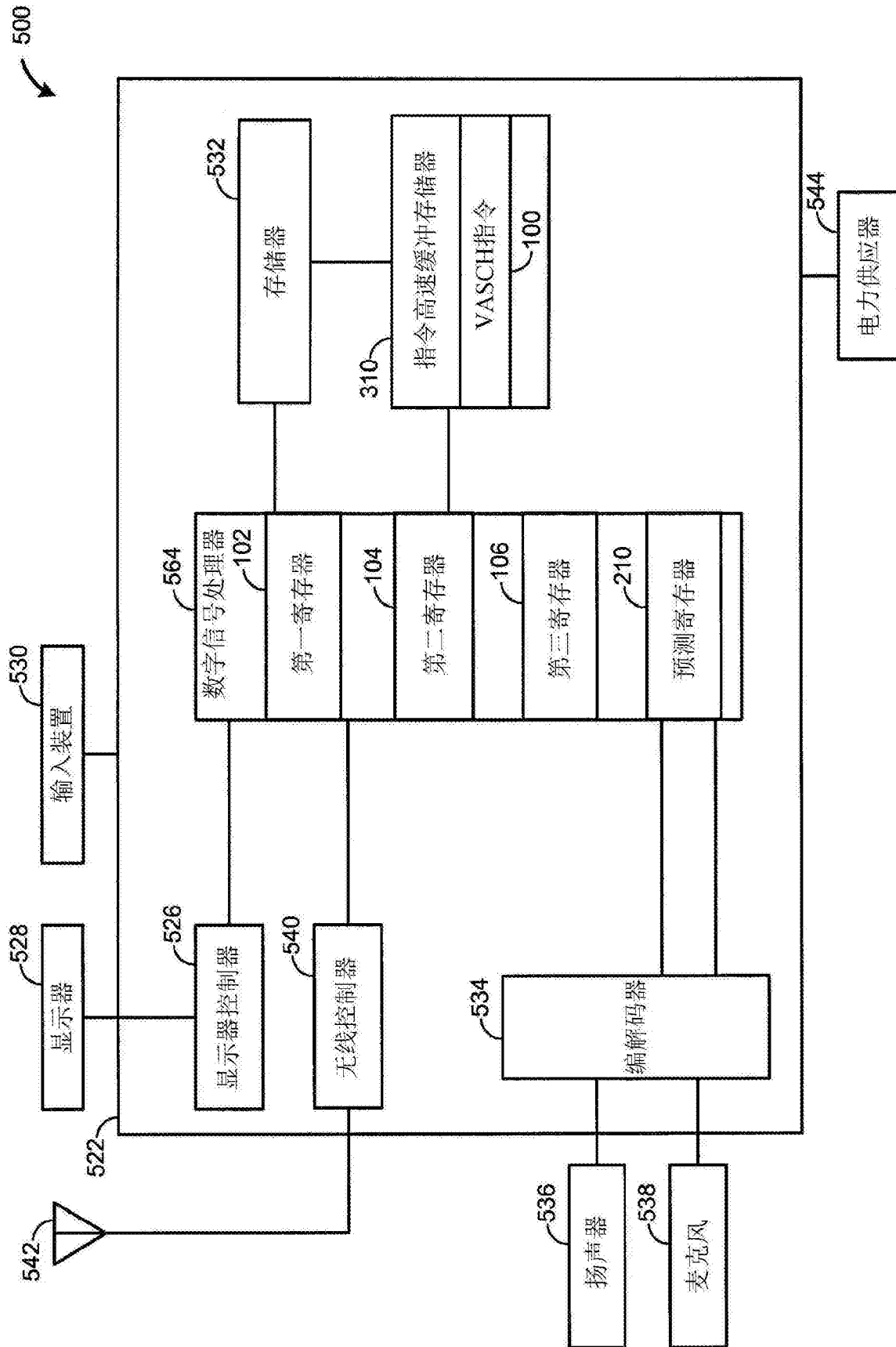


图5