(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H05B 41/24

(45) 공고일자 2001년12월15일
(11) 등록번호 10-0309083
(24) 등록일자 2001년09월04일

(21) 출원번호 10-1994-0008501
(22) 출원일자 1994년04월22일

(65) 공개번호 특1994-0025400
(43) 공개일자 1994년11월19일

(30) 우선권주장 052,311 1993년04월23일 미국(US)
052,312 1993년04월23일 미국(US)

(73) 특허권자 코닌클리케 필립스 일렉트로닉스 엔.브이.
요트.게.아. 롤페즈
네델란드왕국, 아인드호펜, 그로네보드스베그 1

(72) 발명자 찰스비.매터스
미국,일리노이60025,글렌뷰,허클베리레인1
요스알.베르게르보에트
네델란드,아인드호펜5655,욘게마스트라쎄69
아단에프.헤르난데즈
미국,뉴욕10510,스카보로우,피.오.박스179
게르트베.브루닝
미국,뉴욕10951,테리타운,데브리애비뉴50

(74) 대리인 이병호

심사관 : 한기형

(54) 고주파수전류로방전램프를동작시키는회로장치

요약

전파 정류기와, 정류기 출력의 피크 보다 큰 전압이 충전되는 축전 커패시터 및, 정류기와 다이오드사이의 절연 다이오드를 가진 방전 램프를 동작시키는 전자 회로 장치, 인버터는 에너지 축전 커패시터에 연결되고, 인버터 회로와 절연 다이오드 및 축전 커패시터 사이의 접점과의 사이에 연결된 고주파수 유도성 부하회로를 구비한다. 절연 다이오드 및 축전 커패시터로 구성된 직렬회로와 병렬된 접점에 연결된 커패시터는 유도성 부하회로와 고주파수 공진 회로를 구성한다. 전류를 인버터 주파수에서의 펄스열로서 정류기로 부터 유도된다.

대표도

도 1

명세서

[발명의 명칭]

고주파수 전류로 방전 램프를 동작시키는 회로장치

[도면의 간단한 설명]

제1도는 발명에 따른 전자 밸러스트의 블럭도

제2도는 제1도에 따른 제 1 밸러스트 회로의 단순화된 개략도

제3도는 제2도의 회로의 더 상세한 개략도

제4도는 제1도에 따른 또다른 밸러스트 회로의 단순화된 개략도

제5도 및 제5a도는 제1도에 따른 다른 밸러스트 회로들의 단순화된 개략도

제6도는 하나의 입력 전력 라인 사이클에 걸쳐 제4도의 밸러스트 회로내의 램프 동작중 나타나는 특정 전압들의 변화를 도시한 그래프

< 도면의 주요부분에 대한 기호설명 >

11: 필더 12: 정류기 13: 결합회로 15: 고주파수 발생기

[발명의 상세한 설명]

본 발명은, 저주파수 공급 전압원으로의 연결을 위한 입력 단자들과; 상기 저주파수 공급전압을 정류하기 위해 상기 입력 단자들에 결합된 정류기 수단과; 상기 정류기 수단의 제 1 출력 단자 N3와 상기 정류기 수단의 제 2 출력 단자 N5에 결합되고, 단일 방향성 수단과 제 1 용량성 수단의 직렬 장치로 이루어진 제 1 회로와; 정류된 저주파수 공급전압으로 부터 고주파수 전류를 발생시키기 위해 상기 제 1 용량성 수단에 병렬된 인버터 수단 및; 유도성 수단과 제 2 용량성 수단 및 램프 연결용 단자로 이루어지되, 상기 인버터 수단의 단자 N1 및, 단일 방향성 수단과 상기 정류기 수단의 제 1 출력 단자 사이의 단자 N2에 결합된 부하회로를 포함하는 고주파수로 방전 램프를 동작시키는 회로장치에 관한 것이다.

이러한 회로장치는 공개 공보된 PCT 출원 제 WO 92/04808호로 부터 공지된다. 단자 N1과 단자 N2 사이에 부하회로를 결합하기 때문에, 주 축전기의 역할을 하는 제 1 용량성 수단의 양단 전압이 단자 N3 및 N5 사이에 나타나는 정류된 공급 전압의 순간적인 진폭 보다 높을때 고주파수 전류가 공급 전압원으로 부터 발생된다. 이러한 고주파수 전류는 회로장치의 역률(power factor)을 개선한다. 그러나, 전류가 제 1 용량성 수단을 위한 충전 전류로서 직접 발생되는 것일때, 램프동작중 저주파수 공급 전압으로 부터 유도된 공급 전류는 여전히 저주파수 공급 전압의 최대 진폭 근처에서 큰 스파이크(spike)를 가진다. 이런 이유로 공급전류는 불필요한 높은 고조파 성분을 갖는다.

본 발명의 목적은, 정상적인 램프 동작중 비교적 낮은 고조파 성분을 갖는 전류를 저주파수 공급원으로부터 발생시키는 회로장치를 제공하는 것이다.

이러한 목적을 위하여 본 발명에 따른 회로장치는, 정상적인 램프 동작중에 상기 제 1 용량성 수단의 양단에 나타나는 전압이, 정류된 저주파수 공급 전압이 진폭보다 더 크도록 회로장치의 크기를 정하는 것을 특징으로 한다.

제 1 용량성 수단의 양단에 나타나는 전압이 저주파수 공급 전압의 진폭보다 크기 때문에, 전류는 결코 제 1 용량성 수단을 위한 충전 전류로서 저주파수 공급으로부터 직접 발생되지 않는다. 이런 이유로 공급전류는 비교적 낮은 고조파 성분을 갖는다.

제 3 용량성 수단(C1)을 포함하고 단자 N2를 단자 N5에 연결시키는 제 2 회로를 회로 장치에 병합시킴으로써 회로장치가 원활하게 동작하는 것을 알수 있다. 제 3 용량성 수단의 크기는, 각 고주파수 주기의 시간 간격 동안에는 제 3 용량성 수단의 양단 전압이 정류된 공급 전압보다 더 높고 각 고주파수 주기의 나머지 부분동안은 정류된 공급전압보다 더 낮도록 정해진다. 따라서 제 3 용량성 수단은 단지 고주파수 전류 펄스열을 갖는 전력 공급원으로 부터 충전되어 공급 전류는 스파이크를 포함하지 않고 비교적 낮은 고조파 성분을 갖는다.

회로장치가, 또다른 단일 방향성 수단 D5를 포함하되 단자 N3와 단자 N2 사이에 연결된 제 3 회로를 가지는 경우, 회로 장치내에 위치하는 정류기 수단은 덜 엄격한 조건을 충족시켜야 한다.

또한, 단일 방향성 수단이 다이오드 수단을 포함하는 경우, 본 발명에 따른 회로장치의 실시예가 비교적 간단한 방법으로 구현될 수 있음을 알 수 있다.

회로 장치내의 인버터 수단이 두개의 스위칭 소자로 이루어진 직렬 장치와, 스위칭 소자를 선택적으로 도전 및 비도전시키는 구동 신호를 발생하는 구동회로를 포함할때 좋은 결과를 얻는다.

본 발명에 따른 회로장치의 양호한 실시예는, 공급 전압의 2배 주파수와 같은 주파수로 주기적으로 변하는 제어신호를 발생시키는 감지수단 및, 제어신호에 따라 고주파수 전류의 주파수를 변조시키기 위해 상기 감지수단에 접속된 제어수단을 더 포함한다.

제어신호에 따라 주파수를 변조시킴으로써, 램프 전류의 파고율이 상당히 개선된다. 예를 들어 제어 신호는 정류된 공급 전압 또는 고주파수 전류로 부터 발생될 수 있다. 처음의 경우에서, 제어수단이, 정류된 공급 전압이 순간 진폭이 증가하면 인버터 수단의 동작 주파수를 감소기키고 정류된 공급 전압의 순간 진폭이 감소하면 인버터 수단의 동작 주파수를 증가시킬때, 램프 전류 파고율이 비교적 낮은 값으로 제어될 수 있음을 알수 있다. 두번째 경우에서, 제어수단이, 고주파수 전류의 순간 질폭이 감소하면 인버터 수단의 동작 주파수를 감소시키고 고주파수 전류의 순간 진폭이 증가하면 인버터 수단의 동작 주파수를 증가시킬때, 램프 전류 파고율이 비교적 낮은 값으로 잘 제어되는 것을 알수 있다.

본 발명의 실시예는 도면을 참조하여 더 상세히 설명될 것이다.

제1도에 도시한 것처럼, 발명에 따른 실제 전자 밸러스트(ballast) 회로는 소수의 기본적인 회로로 구성되고, 그 각각은 개별적으로 공지되거나 또는 본 기술 분야에서 통상적인 기술을 가진 사람에 의해 쉽게 발명된다. 전력 입력은 예컨대 120V, 60HZ와 같은 규격의 저주파수 AC 라인(10)으로 부터 이루어진다. 필터(11)는 라인(10)으로의 고주파수 도전 및 RF 잡음을 방지한다. 정류기(12)는 전형적으로 전파 브리지 정류기로 구성되는데, 그 출력은 정현 반파(half-sine-wave) 펄스로 정류된다. 정류기 출력은, 전형적으로 하나 또는 두개 다이오드로 구성된 결합 회로(13)에 의해 전해 커패시터와 같은 에너지 축전 소자(14)에 접속되는데, 이 축전 소자(14)의 양단에는 비교적 높은 DC 전압이 유지된다. 이하에서 기술되듯이, 정상동작중 이 축전 커패시터의 양단 전압은 정류기(12)의 출력에서 나타나는 피크 전압 보다 더 크다.

고주파수 발생기(15)는, 축전 장치(14)로 부터의 DC를 전형적으로 20 내지 75KHz 사이의 주파수를 가진 고주파수 전압으로 바꾼다. 발생기(15)에 연결된 공진 결합 회로(16)는, 고주파수 전압의 정상 범위보다 다소 낮은 주파수에서 공진하도록 배열된다. 형광램프(17)는 결합회로(16)에 연결되거나 또는 결합회로(16)의 일부를 가로질러 연결된다. 적어도 일부분이 집적회로로 적절히 만들어진 제어회로(18)가 결합회로(16)내의 한 곳 또는 여러 곳에서 전압 또는 전류를 감지하고, 제어신호를 발생기(15)에 공급한다.

결합회로(16)에서 결합회로(13)로의 피드백 연결(19)은 고주파수의 매 사이클의 일부동안 정류기/필터(12/11) 결합으로 부터 전류가 발생되도록 만든다. 충전전류는 고주파수의 매 사이클의 적어도 하나의 상이한 부분동안에 축전장치(14)로 흐른다. 라인 입력의 모든 각 사이클을 통해 장치(14)에 축전된 에너지는, 정류기(12)로 부터의 정상 충전에 의해 얻어진 에너지 보다 더 높다.

본 발명에 따르면, 회로 값들 및 동작 주파수 범위는, 입력 전력 라인으로 부터의 전류가 라인 전압 파형과 사실상 동일한 파형을 가지도록 선택되고, 제어회로(18)는 각 라인 전압 사이클의 진행중 변하는 파라미터를 감지하고, 램프를 통해 흐르는 고주파수 전류를 사실상 일정하게 유지하는 방식으로 동일한 주기동안 발생기(15)의 주파수를 변조시킨다. 이것은 즉시 램프 파고율을 감소시킨다. 동시에, 라인 전류 고조파를 최소화시키는 공칭치로부터의 주파수 이탈은, 라인 전류가 과도하게 왜곡되도록 아주 크거나 또는 아주 오랫동안 계속될 필요가 없다(즉 단지 라인 반 사이클의 일부분만).

발명의 일실시예가 제2도 및 제3도에 도시되었고, 여기에서 상응하는 회로 소자들은 동일한 참조번호를 가진다. 이 회로는 유럽에서 램프 밸러스트에 이용하는 240 VAC, 50HZ 입력 라인을 가지도록 기획되었다. EMI 필터(21)는 입력 라인 단자들과 다이오드 D1 내지 D4로 구성된 전파 브리지 정류기 사이에 연결된다. 쾌속 복구 다이오드 D5는 브리지 정류기 포지티브 단자와 램프 전류가 통하는 접점(2)사이에 연결된다. 동일한 방향으로 분극된 쾌속 복구 절연(isolating) 다이오드 D6은 상기 접점과 축전 커패시터 C4 사이에 연결돈다. 트랜지스터 Q3 및 Q4는 커패시터 C4를 가로질러 직렬연결되어 인버터 출력 접점(1)을 가진 반파 인버터를 구성한다. 인버터는 종래의 회로(22)에 의해 구동된다.

이 회로에서, 램프 전류는 인버터 접점(1)으로 부터 결합 커패시터 C2 및 결합회로망(24)을 통해 접점(2)으로 직접 공급된다. 각 고주파수 사이클중 다이오드 D5 및 D6이 모두 비도전상태인 구간중에는 모든 램프 전류가 작은 값의 커패시터 C1을 통해 흐른다. 순시 램프 전류에 비례하는 신호가 전류 변성기 T2로 부터 획득되어지는데, 이 전류 변성기에는 출력 권선을 가로질러 낮은 저항치의 저항 R3이 연결된다. 인버터의 스위칭은 종래의 집적회로 제어기(26)에 의해 제어된다.

램프 결합 회로(24)는 초우크(choke) L1 및 시동(starting) 커패시터 C5를 포함한다. 제3도의 실시예의 전형적인 회로는 이하의 값들을 가진다. 이 회로에 있어서, 커패시터 C5는 C1과 비교하여 충분한 커패시턴스를 가지는데, 이 사실은 정상동작중에 공진 주파수 및 전류에 뚜렷한 영향을 미친다. 이것은 전자 밸러스트 기술에서 통상적인 기술을 가진 사람에 의해 완전히 이해될 수 있고 쉽게 계산될 수 있는 효과이다. 그러나 간단히 하기 위해 회로 동작에 대한 다음 논의들은 C5의 영향과 분리되어 언급되지 않는다.

C1 15nf

C2 330nf

C4 56μf

C5 15nf

L1 1.7mh

R3 2.4Ω

230V의 라인 전압에서, 이 회로는 라인 전압의 각 반 사이클의 진행에 걸쳐 39 내지 54KHz 사이를 변하는 인버터 주파수로 동작되는데 이 주파수는 라인 전압 교차점에서 최대이다. 라인 전류에서 총 고조파 왜곡은 0.9% 였으며 램프 파고율은 1.4였다. 207 264[V] 범위에 걸쳐 라인 전류 고조파 성분은 범위의 하한 근처를 제외하고 15%이하로 남았다.

제거가능한 램프를 가진 종래의 형광 램프 발광체를 이용하고 U.S. 규격에 따른 전력이 공급되는 본 발명의 양호한 실시예가 제4도에 도시된다. 형광램프 LA는, 두개의 트랜지스터 Q1 및 Q2로 구성된 고주파수 반 브리지 인버터로부터 전압이 공급된다. 부하 변성기 T101의 1차 권선 및 전류 변성기 T103는, 인버터의 출력 노드 N1과, 초우크 L101 및 동조 커패시터 C101 로 구성된 직렬 공진 회로사이에 직렬 연결된다. 동조 커패시터 C101 은 밸러스트의 전력 입력 구간의 노드 N2와 접지 연결 사이에 연결된다. 결합 커패시터 C102 는 상기 직렬 회로 내에 초우크 L101과 노드 N2 사이에 연결된다.

밸러스트를 위한 전력원은 120V, 60HZ 입력 AC 라인이다. 입력라인은 퓨즈 F1과 라인 초우크 L102를 포함하는 간섭 필터(111)를 통해 종래의 브리지 정류기 D101 D104와 커패시터 C103 에 연결된다. 브리지 정류기 네거티브 출력 N5은 회로 접지에 연결되고, 포지티브 출력은 V_{RECT} 전압을 가진 노드 N3을 정의하고 쾌속 복구 다이오드 D105를 통해 노드 N2에 연결된다. 제2의 쾌속 복구 다이오드 D106은 노드 N2 및 노드 N4 사이에 연결되고, 이것은 인버터 트랜지스터 Q1 을 위한 고전압 공급점이다. 축전 커패시터 C104 는 노드 N4 및 회로 접지 사이에 인버터 전력 입력을 가로질러 연결된다. 다이오드 D105 및 D106과, 동조된 고주파수 회로부터 이 다이오드들로의 결합은, 입력 라인으로부터 커패시터 C104에 고주파수율로 에너지 전달을 제공하기 위해 함께 작동하고, 이하에 설명되는 것처럼 인버터에 향상된 DC 입력을 발생시킨다.

형광 램프 부하는 변성기 T101의 2차 권선을 가로질러 연결되고 종래의 시동 커패시터 C105 역시 램프 필라멘트에 연결된다.

인버터는 구동기 회로(110)에 의해 제어되는데, 이것은 차례로 전압 제어 발진기(VCO; 112)로 부터의 고주파수 신호에 의해 제어되고, 이 전압 제어 발진기는 차동 증폭기 A1의 출력에 의해 결정된 주파수를 가진다. 증폭기 A1는 기준 전압원(114)에 연결된 포지티브 입력을 가지고 그 출력에서 네거티브 입력으로 연결된 피드백 저항 R101을 가진다. 또한 네거티브 입력은, 브리지 정류기 출력의 주파수(1초당 120회)로 변하는 정류된 전류 변조 엔벨로프를 남겨둔 채 다이오드 D107, 저항 R102 및 커패시터 C106 으로 구성되어 램프 전류의 고주파수 성분을 정류 및 여파하는 전류기 및 RC 필터에 연결된다. 이러한 전류-감지 신호는 전류 변성기 T103의 2차 권선을 가로질러 낮은 저항값의 저항 R103으로 부터 획득된다.

제3도 및 제4도의 회로들은, 비록 상이한 인버터 주파수에서 상이한 램프 부하를 가지고 상이한 AC 라인 전압 및 주파수로 부터 동력이 공급될지라도, 제4도에 대해 이하 기술될 방식으로 동작한다. 이것은 전자 밸러스트 기술에서 통상적인 지식을 가진 사람에게 명료한 것처럼 구성요소의 값을 조정하는 것이 수반된다.

Q1 및 Q2로 구성된 인버터는, 각 트랜지스터에 대해 50%의 듀티 사이클(duty cycle)을 갖는 공진회로의 유효 공진 주파수 이상의 주파수에서 정상적으로 동작된다. 시동중에, 이 주파수는 공지된 것처럼 공진 주파수를 향해 하향곡선을 그린다. 램프가 시동된 이후, 인덕터 L101(또는 변성기 T101의 1차 권선)을 통한 고주파수 전류는, 다이오드 D105 및 106의 동작과 관련되어 제6도에 도시된 제한들 사이를 노드 N2의 전압 V_{C101} 이 램프 전류의 각 사이클에 한번씩 상승 및 강하하도록 만든다. 전압 C_{C101} 은 전체 고주파수 사이클 동안 C101 양단의 평균 전압이고; 이것은 하나의 라인 전압 사이클의 진행에 걸쳐 도시된 것처럼 변한다. 결합 커패시터 양단의 전압 V_{C102} 은 하나의 고주파수 사이클의 진행동안 조금 변하지만, 라인이 피크에 있을때는 피크 라인 전압 V_{pK} 의 1/2 사이를 라인 전압 사이클의 진행에 걸쳐 변하고, 라인이 0 근처 있을때는 거의 0으로 된다.

라인 전압이 0 교차점 근처에 있을때, 고주파수 사이클에서 인덕터 전류가 피크에 도달하는 순간에 차이가 존재할 수도 있고 충전 전류가 커패시터 C104로 흐르는 시간이 지연되는 것을 제외하면 회로 동작은 지금부터 기술될 주기적인 패턴을 따른다. 간단히 하기 위해, C105의 영향은 무시된다; 회로 동작에 있어서 일반적인 방식으로 변하는 것은 아니지만, 전류 및 전압의 정밀한 값에만 영향을 준다.

각 고주파수 사이클의 제 1 단계동안 트랜지스터 Q1 이 온으로 스위칭된 이후 즉시, 인덕터 L101의 실제 인덕터스때문에 전류는 계속해서 노드 N2에서 노드 N1 방향으로 흐를 것이다. Q2가 오프로 스위칭되면, 이 단계동안 전류는, Q1의 부분을 구성하는 역전류 다이오드와, C104를 충전하는 방향으로 C104와, 브리지 정류기와, 입력 전력 라인(또는 필터)과, 다이오드 D105 및, 결합 커패시터 C102 를 통해 " 역" 방향으로 흐를 것이다. 이제 인덕터 전류는 급격히 강하한다.

트랜지스터 Q1 이 턴온된 이후의 특정 시간 주기에서 인덕터 L101을 통한 전류는, 회로가 고주파수 사이클의 제 2 단계로 들어갈때 처럼 역류한다. 그러면 노드 N2의 전압(이는 정류된 라인 전압 V_{RECT} 의 그 당시에 존재하던 순시값에서 다이오드 D105에 의해 유지되었다)은 커패시터 C101 이 충전됨에 따라 상승하기 시작한다. 이제 커패시터 C104는 트랜지스터 Q1을 통해 방전중이고, 인덕터 L101 전류는 결합 커패시터 C102 양단의 전압 V_{C102} (이것은 하나의 고주파수 사이클동안 조금 변한다)와, 커패시터 C101 및 C104 사이의 순시전압차($V_{C104} - V_{C101}$)와, 인덕턴스 L101 및, 램프의 유효 저항에 의해 결정된 비율로 상승한다. 노드 N2 전압이 충전 커패시터 C104 양단의 전압 V_{C104} 에 D106의 다이오드 강하를 더한 합에 도달한 뒤, 회로는 제 3 단계로 들어간다. 노드 N2 전압이 일정하게 유지되고, 커패시터 C104 를 통한 전류를 흐름은 없다. 결합 커패시터 C102 의 양단 전압에 의해 단독으로 구동되면, 계속해서 상승하는 인덕터 전류는 다이오드 D106을 통해 흐른다.

제 4 단계에서, 인버터가 Q2를 온 그리고 Q1은 오프로 스위칭한 즉시, 커패시터 C101 양단 전압이 C102 양단 전압을 초과하기 때문에 탱크 회로를 구동하는 전압이 역전된다. 전류는 다이오드 D106을 통해 계속 흐르고 급속히 하강하는 비율에서 충전방향으로 커패시터 C104 를 통해 흐를 것이다. 램프 전류가 역류될때, 회로는 제 5 단계로 들어간다. D106은 컷-오프될 것이고, C101 양단 전압은 그 당시에 존재하던 정류된 전력 라인 전압을 향해 강하를 시작할 것이다. 역전류는 이전의 포지티브 전류가 증가하는 것과 비슷한 파형으로 증가할 것이다. 커패시터 C104 를 통한 전류의 흐름은 없다.

V_{C101} 이 다이오드 D105의 순방향 강하 보다 적은 정류된 라인 전압에 이르면, 제 6 단계에 도달되고, V_{C101} 은 일정하게 유지된다. 그다음, 인덕터 전류는 트랜지스터 Q2 와, 브리지 정류기 및 라인 또는 라인필터와, 다이오드 D105 및, 결합 커패시터 C102 를 통해 흐른다. 인버터가 다시 스위칭하여 Q2 가 턴 오프되는 즉시, 전류가 C104를 통하는 충전 방향으로 Q1 과, 브리지 정류기 및 다이오드 D105를 통해 흐를수록 이 전류는 급격히 강하하기 시작하고, 결국 전술한 제 1 단계가 반복된다.

하나의 고주파수 사이클에 대한 6개의 상이한 단계들은 부분적으로 대칭적이다. 인버터의 각 스위칭에 따라 즉시 충전 커패시터 C104 는 제 1 및 제 4 단계동안 충전 전류를 수신하지만, 커패시터 C101 양단 전압이 다이오드 D105가 도전된 곳의 값으로 부터 다이오드 D6 이 도전하는 곳의 값까지 상승될때 단지 제 2 단계 동안에만 방전한다. 전류 펄스는 제 1 단계 및 제 6 단계동안 AC 라인으로 부터 유도된다.

전술한 것처럼, 커패시터 C102 양단 전압 V_{C102} 는, 노드 N1에서의 평균전압 V_{C104} /2와 하나의 고주파수 사이클의 진행에 걸친 평균 전압 V_{C101} 사이의 차이와 같다. V_{C101} 및 V_{C102} 는 전력 라인 전압의 반 사이클의 진행에 걸쳐 상당히 변하고, 고주파수 사이클동안 커패시터 C101 양단의 전압 V_{C101} 의 진동 크기 또한 그렇지만, V_{101} 및 V_{C102} 는 크기 변화에 반대인 방향으로 변한다. 라인 전압 V_{RECT} (및 상응하는 V_{C102})이 꽤 낮을때, 인버터가 스위칭하기 바로 전에 인덕터 양단의 전압과 유효 부하 저항은 너무 낮아서 인덕터를 통하는 전류가 인버터 스위칭전에 강하하기 시작한다. D105 도전이 지연된다. 이는 라인 전류 파형이 라인 전압 파형과 동일하려는 바램과 일치한다. 라인 전압 교점의 순간에서, 인덕터 전류가 0에 도달하는 것과 똑같이 전압 V_{C101} 은 최저 하한에 도달(다이오드 D105는 이제 막 도전하려 한다)해야만 한다.

구성요소 값들과 인버터 주파수가 적절히 선택되었을때, 다이오드 D105를 통한 전류 펄스의 (평균치에 연결된) 엔벨로프는 정류기 출력 전압 파형에 부응한다. 간섭 필터에 의해 여파되어 정류기로 향하는 고주파수 맥동을 제외하면, 밸러스트 부하는 순수한 저항처럼 보인다. 해석에 의하면, 축전 커패시터 C104 의 값이 충분히 커서 C_{104} 가 라인 전압 사이클의 진행에 걸쳐 거의 변하지 않아야 한다. 이것은 또한 램프 전류 파고율을 최소화시켜야 하지만 역류가 실제적으로 사실인것처럼 생각된다. 하나의 입력 전압 사이클의 진행에 걸쳐 정류기 출력 전압이 변함에 따라 인덕터 전류의 파형 및 크기 모두 복작한 양식으로 변한다. 그 결과, 이전에 기술한 것처럼 동작된 밸러스트에 대해 램프 파고율은 전형적으로 1.7을 초과할 것이다.

밸러스트를 저항성으로 보이도록 만드는 바로 그 값에서 일정한 인버터 주파수에 대하여, 램프 회로를 통한 전류 변조 엔벨로프는 결코 0으로 접근하지 않는데, 이는 커패시터 C101 이 각 고주파수 사이클에 한번씩 전력라인 정류기 출력 값 V_{RECT} 및 커패시터 C104 양단의 전압 V_{C104} 사이에서 충전 및 방전되기 때문이다. 뜻밖의 결과는, C101을 통한 전류(즉, 기술된 제 2 및 제 5 단계 동안 흐르는 전류)에 의한 램프 전류의 성분은 라인 전압이 0일때 최대이고 라인 전압이 피크에 있을때 최소라는 것이다. 동시에, 120HZ에서 다이오드 D105를 통한 전류의 엔벨로프는 정류된 라인 전압과 동일한 형상이다.

전술한 것과 다른 방법으로 구성되고 동작되는 밸러스트에서는, 인버터 주파수를 부하 전류 변조에 일반적으로 비례하는 주파수 진폭으로 변조함으로써, 라인 전류 고조파에 큰 영향을 미치지 않고 램프 전류는 본질적으로 일정하게 유지될 수 있다는 것이 발견되었다. 이러한 결과를 성취하기 위해서는, 축전 커패시터는 충분한 커패시터를 가져서 전압이 라인 전압의 한 사이클 동안 거의 변하지 않고 C101의 값은 충분히 작아서 전류가 고주파수 전류에 응답하여 다이오드 D105를 통해 흐르는 것이 필수적이다.

양호한 실시예에서, 필터 R102/C106은 인버터 주파수가 부하 전류 변조 엔벨로프를 가지고 선형적으로 변하도록 하는 증폭기 A1에 신호를 공급한다. 최대 주파수 및 램프 전류는 라인 전압 교차하는 시간에서 발생한다.

일반적으로, 이러한 원하는 결과를 성취하기 위해서는, $C102 \gg C101$; $C104 \gg C102$; $|Z_o| > |Z_{LA}|$ 인데, 여기에서 $|Z_o| = \sqrt{(L101/C1$ 이고, $|Z_{LA}|$는 변성기 T101의 1차 권선측에 대해 정류된 유효 램프 임피던스이다. 제4도의 실시예의 회로는 다음의 구성요소 값들을 사용한다.

C101 47nf

C102 330nf

C103 470nf

C104 87μf

C105 4.7nf

L101 0.15mh

L102 800μh

$|Z_{LA}|$23Ω

상기 해석은 동작이 반드시 선형적이라는 가정에 근거한 것이다. 결국, 소정의 입력 전력 전압을 위해 회로값들은 원하는 전력을 공칭 입력 라인 전압을 가진 소정의 부하에 공급해야 한다.

만약 부하가 선형적이고 그 전력이 입력 전압 레벨(비록 각 60HZ 라인 사이클동안 변조되었을지라도 라인 사이클의 진행에 걸쳐 동일한 평균값을 가진 인버터 주파수)의 제곱에 따라 변하는 것이 허용된다면, 라인 전압상의 ±10% 규격의 허용한계는 라인 고조파 또는 부하 전류 파고율에 영향을 미치지 않을 것이다. 허용가능한 실시에 따라 밸러스트 제어회로가 라인 전압내의 변화를 보상할때, 이 보상은 라인 전류의 고조파 왜곡을 딴 방법으로 획득되어질 수 있는 것 보다 더 크게 만드는데, 왜냐하면 하나의 입력 전압 사이클에 걸쳐 평균 주파수가 정류기상의 부하를 저항성으로 보이도록 하는 바로 그 주파수와 상이하기 때문이다. 그러나, 발광 시스템의 총 성능은 램프 수명과 효율, 밸러스트 비용 및, 라인 전류 파형과 관련된 절충안에 의해 최적화된다.

예를들어, 제4도의 회로는 약 56KHZ의 최소 주파수와 약 80 내지 85KHZ의 최대 주파수 사이에서 동작할 수도 있다.

램프 전류의 감지는, 커패시터 C101 로의 회로 연결 고유의 부하 전류 변화와, 전력 라인 전압의 평균값내의 변화를 바꾸는데 필요한 모든 조정을 공급한다.

형광 램프 부하의 감광(dimming)을 성취하거나 또는 다른 제어 목적을 달성하기 위하여, 램프 파고율과 라인 전류 왜곡을 수용가능한 제한내에서 동시에 유지하는 동안 인버터 주파수 변조에 부가하여 스위칭 트랜지스터의 듀티사이클을 전술한 50/50% 사이클로부터 변화시키는 것이 바람직할 수도 있다.

제 5 도 및 제 5a 도에 도시된 실시예의 구성 및 동작은 제 4 도의 실시예의 구성 및 동작과 매우 유사하다. 그러나, 제 5 도 및 제 5a 도에 도시된 실시예에서 인버터의 동작 주파수를 제어하는 제어신호는 정류된 공급전압원으로 부터 유도된다.

제 5 도의 실시예에서, 전압분할기 R4/R3은 저항 R2를 통해 증폭기 A1으로 신호를 공급하는데, 이것은 인버터 주파수를 브리지 정류기 출력 전압과 함께(그러나 반대 방향으로) 선형적으로 변화시킨다. 약 56KHZ의 최소 주파수를 위해 최대 주파수는 약 80 내지 85 KHZ이다.

전술한 것처럼, 이러한 원하는 결과를 성취하기 위해서는, $C2 \gg C1$; $C4 \gg C2$, $|Zo| > |Z_{LA}|$ 인데, 여기에서 $|Zo| = \sqrt{(L1/C1)}$ 이고 $|Z_{LA}|$는 변성기 T1의 1차 권선측에 대해 정류된 유효 램프 임피던스이다. 예시적인 회로는 다음의 구성 요소 값들을 사용했다:

C1 47nf

C2 330nf

C3 470nf

C4 87μf

C5 4.7nf

L1 0.15mh

L2 800μh

$|Z_{LA}|$23Ω

예를들어, 제5도의 회로는, 거의 일정한 평균 램프 전력을 유지하기 위해 기준전압원(14)이 변화되도록 수정될 수도 있다. 이렇게 하기 위한 하나의 기술은 제5a도의 회로변화를 이용한다.

라인 전압 변동으로 인한 램프 파고율과 전력변화는, 제 5a 도에 개략적으로 도시된 것처럼 선택된 소량의 노드 N4 전압처럼 기준 전압원을 보충함으로써 감소시킬 수 있다. 인버터 주파수내의 변화가 다수의 라인 사이클의 주기에 걸쳐 유지될때, 라인 전압에서의 아탈을 보상하기 위한 예를들면, 축전 커패시터 C4 상의 주파수 및 전압에 대한 구성요소 값들의 평균비율은 더 이상 인버터/부하회로를 브리지 정류기에 대해 저항적으로 등가인 부하로서 제공하지 못하고; 라인 전류 고조파는 다소 상승할 것이다. 고주파수 성분을 제거하기 위한 필터(16)를 희생할지라도, 저항 R3A 및 R4A를 통해 커패시터 C1 양단의 전압을 감지하는 것은 총 성능을 최적화시켜서 램프가 제거되었을때 축전 커패시터 C4 양단의 전압에서의 과잉 상승을 방지하거나 램프 전류 파고율을 제거하거나 또는 램프 점화 타이밍에 영향을 미친다. 주파수제어는 고주파수 성분을 제거하기 위해 여파된 노드 N2 전압에 부분적 또는 전적으로 근거한다.

제5도의 회로와 같은 회로의 검사에 있어서, 램프 파고율은 1.6 이하로 유지했고, 라인 전류 총 고조파 왜곡은 ±10%의 라인 전압 변동을 위해 15% 이하로 유지했다.

본 발명의 사상에 따라서 밸러스트 회로의 다양한 변화가 가능함은 본 기술분야에서 통상적인 지식을 가진 사람에게는 명백할 것이다. 예를 들어, 1993년 과학기술에 대해 보다 많은 장애가 나타날지라도, 정류기에 의해 보여지는 부하가 저항성으로 보이도록 만들 수 있는 한은, 중간 탭(center-tapped) 1차권선을 갖는 변성기를 이용하는 인버터와 종래의 푸쉬-풀(push-pull) 구성의 스위칭 트랜지스터와 같이 상이한 형태의 주파수 발생기를 이용하는 것도 가능하다. 발진기의 다소 다른 형태도 바람직하다. 고주파수 구간으로 부터 저주파수 구간으로의 결합은 다른 유형의 회로 소자 또는 부회로(sub-circuit)를 통할 수도 있다. 다양한 형태의 공진회로가 램프를 고주파수 공급원에 결합시키기 위해 사용된다. 램프 전류가 고주파수 발생기의 주파수에 의해 좌우되는 효과를 유지하면서, 램프 주파수가 고주파수 발생기의 주파수와 상이한 완전히 새로운 형태의 결합회로가 고안될 수도 있다.

(57) 청구의 범위

청구항 1.

저주파 전원에 연결하기 위한 입력단자들(I1, I2)과; 상기 저주파 공급 전압을 정류하기 위해 상기 입력 단자들에 결합된 정류기 수단(12)과; 상기 정류기 수단의 제1 출력단자(N3)와 상기 정류기 수단의 제2 출력단자(N5)에 연결된 단일 방향성 수단(D6) 및 제1 용량성 수단(C4)의 직력 장치로 구성되는 제1 회로와; 상기 정류된 저주파 공급 전압으로부터 고주파수 전류를 발생시키기 위해 상기 제1 용량성 수단과 병렬연결된 인버터 수단(Q3, Q4, DC) 및; 유도성 수단(L), 제2 용량성 수단(C2) 및 램프 연결용 단자로 구성되는 부하 회로로서, 상기 인버터 수단의 단자(N1) 및, 단

일 방향성 수단과 상기 정류기 수단의 제1 출력단자(N3) 사이의 단자(N2)에 연결된 상기 부하 회로를 포함하는, 고주파수 전류로 방전 램프를 작동시키는 회로장치에 있어서, 정상 램프 동작 중에 상기 제1 용량성 수단에 나타나는 전압이 정류된 저주파 공급 전압의 진폭보다 더 크도록 회로장치의 크기를 정하는 것을 특징으로 하는 회로장치.

청구항 2.

제1항에 있어서, 제 3 용량성 수단(C1)으로 구성되고 단자(N2)를 단자(N5)에 연결하는 제2 회로가 제공되는 회로장치.

청구항 3.

제1항 또는 제2항에 있어서, 단자(N3) 및 단자(N2) 사이에 연결된 다른 단일 방향성 수단(D5)으로 구성된 제 3 회로를 포함하는 회로장치.

청구항 4.

제1항 또는 제2항에 있어서, 상기 단일 방향성 수단은 다이오드 수단을 포함하는 회로장치.

청구항 5.

제1항 또는 제2항에 있어서, 상기 인버터 수단은 두개의 스위칭 소자(Q3,Q4)의 직렬 장치 및 상기 스위칭 소자를 선택적으로 전도 및 비전도시키는 구동 신호를 발생하는 구동 회로(DC)를 포함하는 회로장치.

청구항 6.

제1항 또는 제2항에 있어서, 공급 전압 주파수의 2배의 주파수로 주기적으로 변하는 제어 신호를 발생하는 감지수단과; 제어 신호에 따라 고주파수 전류의 주파수를 변조시키기 위해 상기 감지 수단에 연결된 제어 수단을 더 포함하는 회로장치.

청구항 7.

제6항에 있어서, 상기 제어 신호는 상기 정류된 공급 전압의 순간값의 크기이고, 상기 제어 수단은 상기 정류된 공급 전압의 순간적인 진폭이 증가할 때, 상기 인버터 수단의 동작 주파수를 감소시키고, 정류된 공급 전압의 순간적인 진폭이 가소할 때 상기 제어 수단은 상기 인버터 수단의 동작 주파수를 증가시키는 회로장치.

청구항 8.

제6항에 있어서, 상기 감지수단은 단자(N3)와 단자(N5) 사이에 나타나는 전압을 감지하는 수단과, 상기 전압으로부터 고주파수 성분을 여파하는 수단을 포함하는 회로장치.

청구항 9.

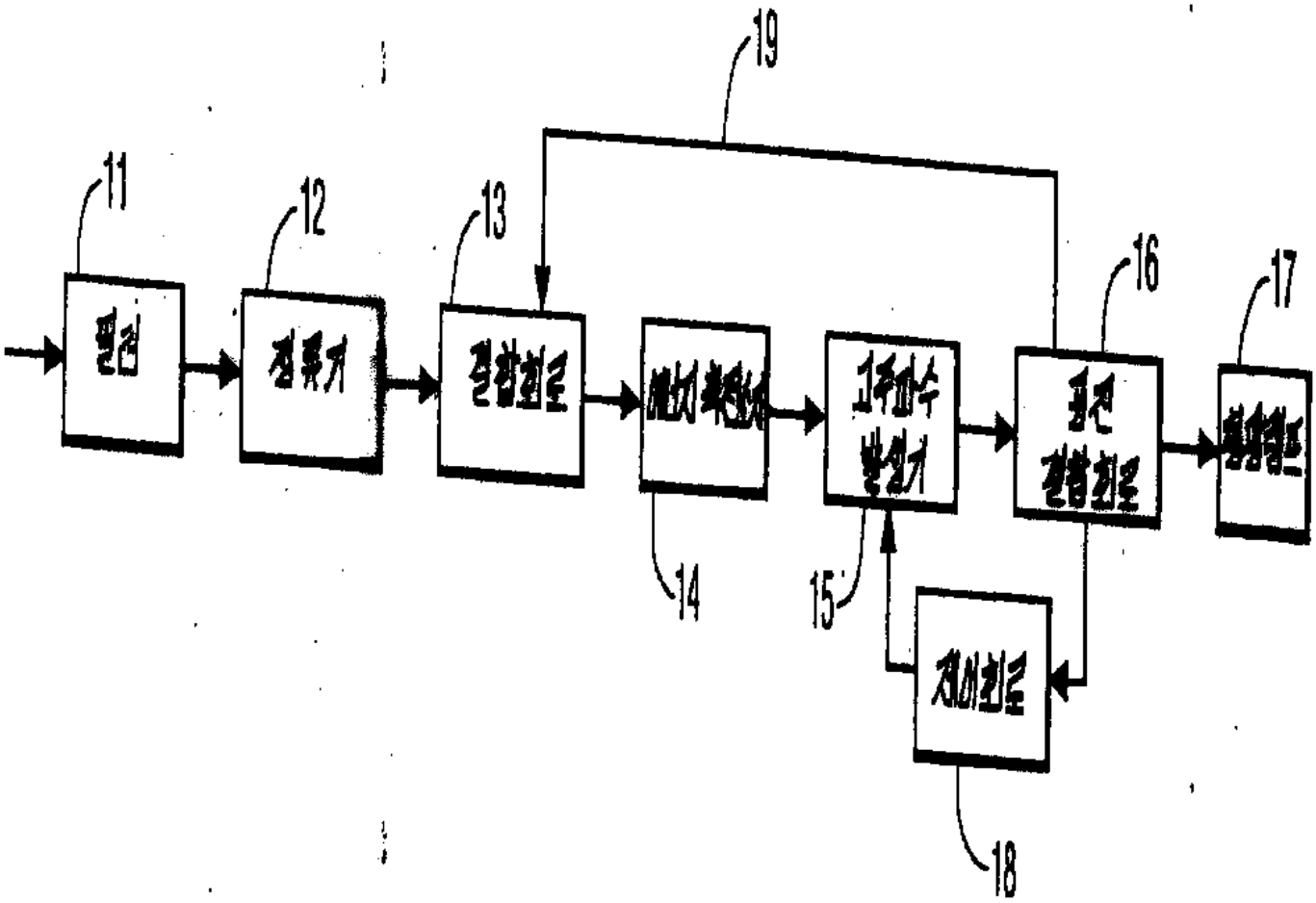
제6항에 있어서, 상기 감지 수단은 상기 고주파수 전류를 감지하는 수단을 포함하고 상기 제어 신호는 상기 고주파수 전류의 크기인 회로장치.

청구항 10.

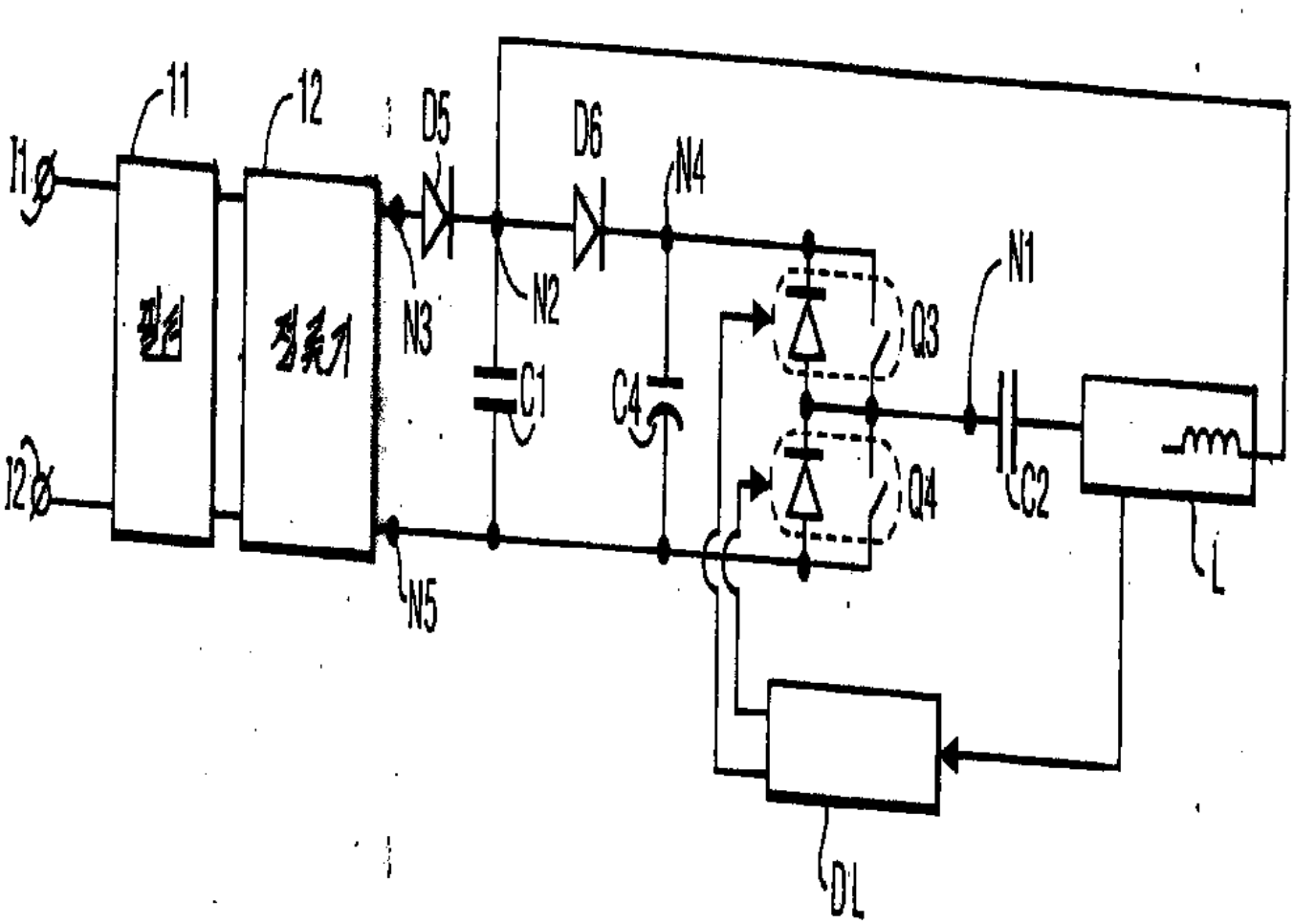
제9항에 있어서, 상기 제어 수단은 상기 고주파수 전류의 순간적인 진폭이 감소할때 상기 인버터 수단의 동작 주파수를 감소시키고, 상기 고주파수 전류의 순간적인 진폭이 증가할 때 상기 인버터 수단의 동작 주파수를 증가시키는 회로장치.

도면

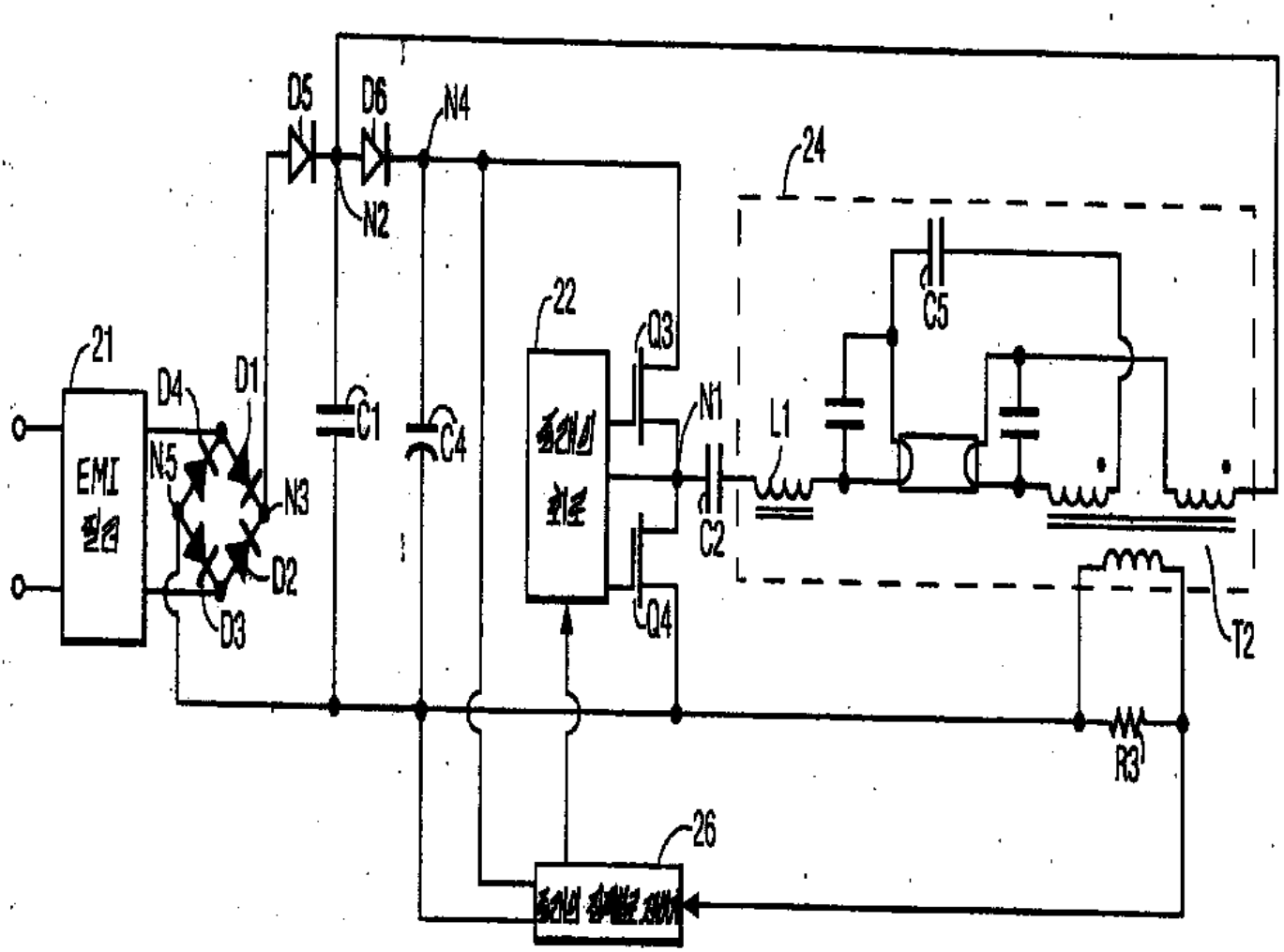
도면 1



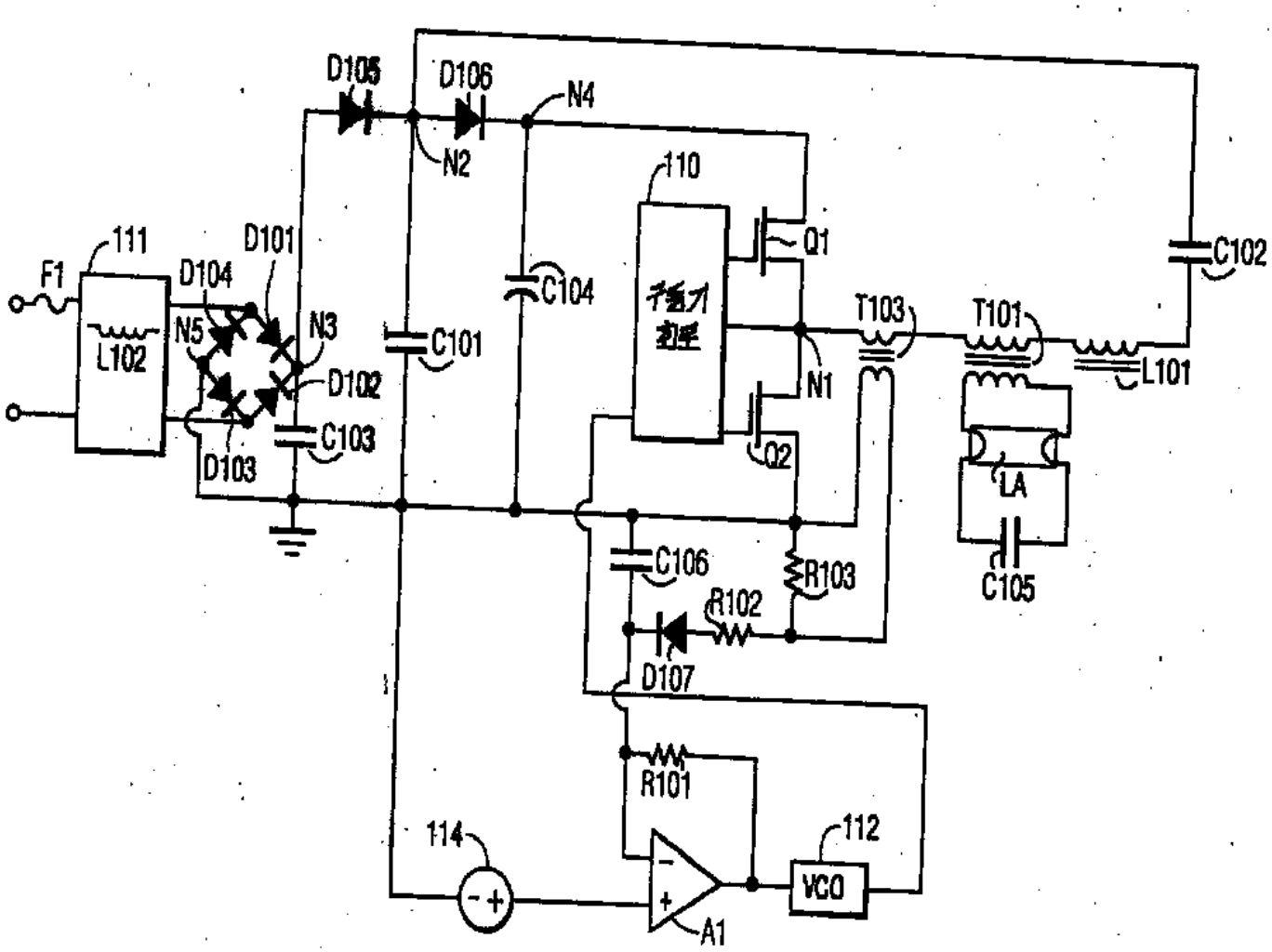
도면 2



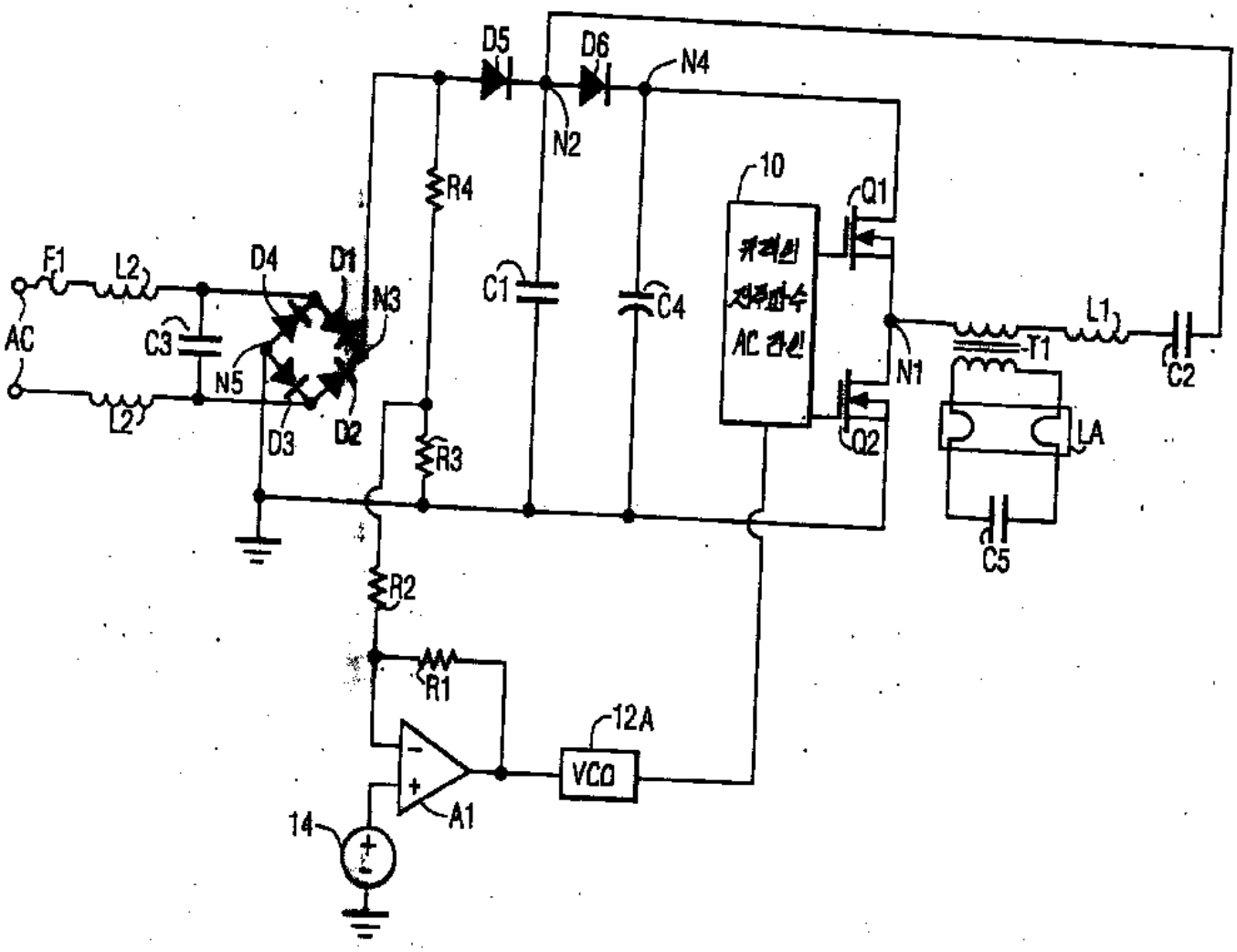
도면 3


D5
D6
N4
N2
24
C5
22
Q3
21
D4
D1
C1
C4
N1
L1
EMI
N5
N3
C2
D2
Q4
T2
D3
R3
26

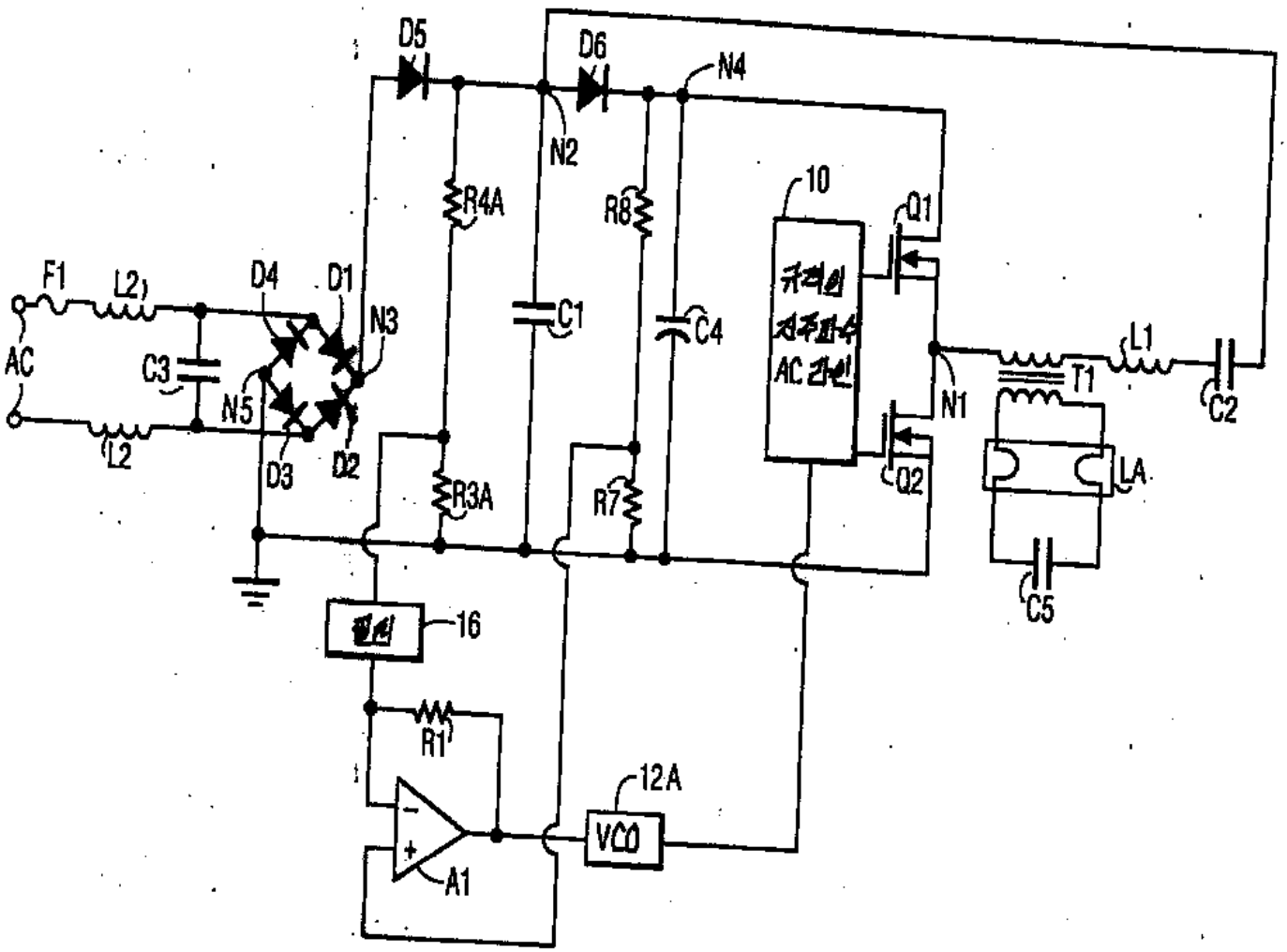
도면 4


D105
D106
N4
N2
110
111
D101
F1
D104
Q1
C102
C104
T103
T101
N5
N3
C101
L102
D102
N1
L101
C103
Q2
D103
LA
C106
R103
C105
R102
D107
R101
114
112
VCO
A1

도면 5


D5
D6
N4
N2
10
Q1
R4
F1
L2
D4
D1
N3
C1
C4
AC
C3
N5
L2
D3
D2
R3
N1
T1
L1
C2
Q2
LA
C5
R2
R1
12A
VCO
A1
14

도면 5a


D5
D6
N4
N2
R4A
R8
10
Q1
F1
L2
D4
D1
N3
C1
C4
AC
C3
N5
L2
D3
D2
R3A
R7
N1
T1
L1
C2
Q2
LA
C5
16
R1
12A
VCO
A1

도면 6

