



(12) 发明专利申请

(10) 申请公布号 CN 103180934 A

(43) 申请公布日 2013. 06. 26

(21) 申请号 201180051279. 0

H01L 21/265 (2006. 01)

(22) 申请日 2011. 10. 25

H01L 21/331 (2006. 01)

(30) 优先权数据

H01L 21/336 (2006. 01)

61/406, 364 2010. 10. 25 US

13/246, 362 2011. 09. 27 US

(85) PCT申请进入国家阶段日

2013. 04. 24

(86) PCT申请的申请数据

PCT/US2011/057679 2011. 10. 25

(87) PCT申请的公布数据

W02012/061130 EN 2012. 05. 10

(71) 申请人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72) 发明人 M-Y·状

(74) 专利代理机构 北京纪凯知识产权代理有限公司

公司 11245

代理人 赵蓉民

(51) Int. Cl.

H01L 21/328 (2006. 01)

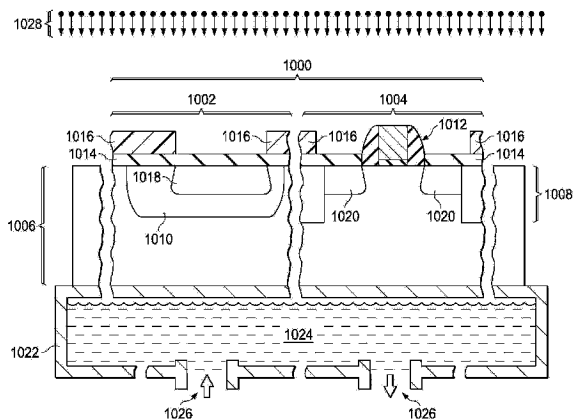
权利要求书2页 说明书4页 附图3页

(54) 发明名称

用于提高BJT 电流增益的低温注入

(57) 摘要

本发明涉及一种形成包括双极结晶体管 (BJT) (1002)和金属氧化物半导体(MOS) (1004) 晶体管的集成电路的工艺,其通过冷却集成电路衬底至 5°C 或更低温度,并且同时根据核素种类以指定的最小剂量将掺杂剂注入到 BJT 的发射极区域和 MOS 晶体管的源极和漏极中来实现。



1. 一种形成包括 npn 双极结晶体管 BJT 和 n 沟道金属氧化物半导体 NMOS 晶体管的集成电路的工艺,其包括:

在所述 npn BJT 的发射极区域和所述 NMOS 晶体管的源极和漏极区域之上,在所述集成电路的衬底的硅顶部区域的顶表面上方形成注入屏蔽介电层;

在所述注入屏蔽介电层上方形成注入掩模,使得暴露出所述发射极区域和所述源极和漏极区域;

使所述集成电路的所述衬底与衬底卡盘接触;

冷却所述衬底卡盘,使得所述集成电路的所述衬底被冷却至 5°C 的温度或更低温度;以及

当所述衬底被冷却至 5°C 或更低温度时,同时将 n 型掺杂剂离子注入到所述发射极区域和所述源极和漏极区域中,其中所述 n 型掺杂剂和所述 n 型掺杂剂的剂量选自由以下各项组成的群组:

剂量至少为 8×10^{14} 个原子 / cm^2 的磷,

剂量至少为 6×10^{13} 个原子 / cm^2 的砷,

剂量至少为 6×10^{13} 个原子 / cm^2 的锑,以及

其任意组合。

2. 根据权利要求 1 所述的工艺,其中所述 n 型掺杂剂包括剂量至少为 4×10^{14} 个原子 / cm^2 的砷。

3. 根据权利要求 1 所述的工艺,其中所述 n 型掺杂剂包括剂量至少为 1×10^{15} 个原子 / cm^2 的砷。

4. 根据权利要求 1 所述的工艺,其中所述注入屏蔽介电层包括至少 80% 的二氧化硅。

5. 根据权利要求 1 所述的工艺,其中离子注入所述 n 型掺杂剂的步骤将所述发射极区域和所述源极和漏极区域中的硅顶部区域的顶表面处的硅材料非晶化到至少 15 纳米的深度。

6. 一种形成包括 pnp 双极结晶体管 BJT 和 p 沟道金属氧化物半导体 PMOS 晶体管的集成电路的工艺,其包括:

在所述 pnp BJT 的发射极区域和所述 PMOS 晶体管的源极和漏极区域之上,在所述集成电路的衬底的硅顶部区域的顶表面上方形成注入屏蔽介电层;

在所述注入屏蔽介电层上方形成注入掩模,使得暴露出所述发射极区域和所述源极和漏极区域;

使所述集成电路的所述衬底与衬底卡盘接触;

冷却所述衬底卡盘,使得所述集成电路的所述衬底被冷却至 5°C 的温度或更低温度;以及

当所述衬底被冷却至 5°C 或更低温度时,同时将 p 型掺杂剂离子注入到所述发射极区域和所述源极和漏极区域中,其中所述 p 型掺杂剂和所述 p 型掺杂剂的剂量选自由剂量至少为 1×10^{16} 个原子 / cm^2 的硼、剂量至少为 7×10^{13} 个原子 / cm^2 的镓、剂量至少为 6×10^{13} 个原子 / cm^2 的铟及其任意组合所组成的群组。

7. 根据权利要求 6 所述的工艺,其中所述注入屏蔽介电层包括至少 80% 的二氧化硅。

8. 根据权利要求 6 所述的工艺,其中离子注入所述 p 型掺杂剂的步骤将所述发射极区

域和所述源极和漏极区域中的硅顶部区域的顶表面处的硅材料非晶化到至少 15 纳米的深度。

9. 一种形成包含注入区域的集成电路的工艺,其包括:

在所述注入区域之上,在所述集成电路的衬底的硅顶部区域的顶表面上方形成注入屏蔽介电层;

在所述注入屏蔽介电层上方形成注入掩模,使得暴露出所述注入区域;

使所述集成电路的所述衬底与衬底卡盘接触;

冷却所述衬底卡盘,使得所述集成电路的所述衬底被冷却至 5°C 的温度或更低温度;

以及

当所述衬底被冷却至 5°C 或更低温度时,离子注入原子到所述注入区域中,其中所述原子和所述原子的剂量选自由以下各项组成的群组:

剂量至少为 1×10^{16} 个原子 / cm^2 的硼,

剂量至少为 8×10^{14} 个原子 / cm^2 的磷,

剂量至少为 7×10^{13} 个原子 / cm^2 的镓,

剂量至少为 6×10^{13} 个原子 / cm^2 的锗,

剂量至少为 6×10^{13} 个原子 / cm^2 的砷,

剂量至少为 6×10^{13} 个原子 / cm^2 的铟,

剂量至少为 6×10^{13} 个原子 / cm^2 的铯,以及

其任意组合。

用于提高 BJT 电流增益的低温注入

技术领域

[0001] 本发明涉及集成电路领域,且更具体地,本发明涉及集成电路中的离子注入层。

背景技术

[0002] 集成电路可包含 npn 双极结晶体管(BJT)和 n 沟道金属氧化物半导体(NMOS)晶体管,例如用以分别提供模拟功能和逻辑功能。NMOS 晶体管的源极和漏极区域和 npn BJT 的发射极区域可同时形成以降低制造成本。形成源极和漏极区域和发射极区域的工艺步骤可包括离子注入大于 6×10^{13} 个原子/cm² 剂量的砷,例如用以在 NMOS 晶体管中获得理想的电阻。离子注入的砷可在发射极区域形成密度高于 1×10^7 个缺陷/cm² 的射程末端(end-of-range)缺陷,有时被称为位错环(dislocation loops)。射程末端缺陷可能例如通过减小电流增益(也被称为 h_{fe})不利地影响 npn 双极结晶体管的性能。后续热退火可能不足以减小射程末端缺陷至期望水平,因为在 NMOS 晶体管实例中获得期望的性能水平和成品率可通过在砷离子注入步骤后限制集成电路的总体热曲线来实现。接收产生高于 1×10^7 个射程末端缺陷/cm² 的剂量的离子注入以便例如提供电话活性掺杂剂或非晶化集成电路的衬底的集成电路中的其它装置可能由于射程末端缺陷而遭受性能参数的退化。

发明内容

[0003] 一种包括 npn 双极结晶体管(BJT)和 NMOS 晶体管的集成电路可以通过以下步骤形成:冷却集成电路的衬底至 5°C 或更低温度,并且同时穿过注入屏蔽介电层以至少 6×10^{13} 个原子/cm² 的剂量离子注入砷到 npn BJT 的发射极区域和 NMOS 晶体管的源极和漏极中。一种包括 pnp BJT 和 p 沟道金属氧化物半导体(PMOS)晶体管的集成电路可以通过以下步骤形成:冷却集成电路的衬底至 5°C 或更低温度,并且同时穿过注入屏蔽介电层以至少 6×10^{13} 个原子/cm² 的剂量离子注入镓和/或铟到 pnp BJT 的发射极区域和 PMOS 晶体管的源极和漏极中。一种包括注入区域的集成电路可以通过以下步骤形成:冷却集成电路的衬底至 5°C 或更低温度,并且穿过注入屏蔽介电层以可在冷却到 20°C 到 25°C 的衬底中产生至少 1×10^7 个射程末端缺陷/cm² 的剂量离子注入核素到注入区域中。

附图说明

[0004] 图 1 描述了根据实施本发明原理的示例性实施例的形成集成电路的工艺。

[0005] 图 2 是示出双极结晶体管(BJT)中作为衬底温度的函数的 h_{fe} 的提高了的图表。

[0006] 图 3 描述了根据经修改实施例的形成集成电路的工艺。

具体实施方式

[0007] 一种集成电路可通过以下步骤形成:冷却集成电路的衬底至 5°C 或更低温度,并且穿过注入屏蔽介电层以可在冷却到 20°C 到 25°C 的衬底中产生至少 1×10^7 个射程末端缺陷/cm² 的剂量离子注入核素到衬底的区域中。

[0008] 在一个实施例中,离子注入步骤可包括以至少 1×10^{16} 个原子/cm² 的剂量注入硼。在另一个实施例中,离子注入步骤可包括以至少 8×10^{14} 个原子/cm² 的剂量注入磷。在进一步的实施例中,离子注入步骤可包括以至少 7×10^{13} 个原子/cm² 的剂量注入镓。在另一个实施例中,离子注入步骤可包括以至少 6×10^{13} 个原子/cm² 的剂量注入锗。在进一步的实施例中,离子注入步骤可包括以至少 6×10^{13} 个原子/cm² 的剂量注入砷。在另一个实施例中,离子注入步骤可包括以至少 6×10^{13} 个原子/cm² 的剂量注入铟。在进一步的实施例中,离子注入步骤可包括以至少 6×10^{13} 个原子/cm² 的剂量注入铟。

[0009] 在第一实施例中,一种包括 npn BJT 和 NMOS 晶体管的集成电路可通过以下步骤形成:冷却集成电路的衬底至 5°C 或更低温度,并且穿过注入屏蔽介电层同时以上面列出的剂量离子注入磷、砷和 / 或铟到 npn BJT 的发射极区域和 NMOS 晶体管的源极和漏极中。

[0010] 在第二实施例中,一种包括 pnp BJT 和 p 沟道金属氧化物半导体 (PMOS) 晶体管的集成电路可通过以下步骤形成:冷却集成电路的衬底至 5°C 或更低温度,并且穿过注入屏蔽介电层同时以上面列出的剂量离子注入硼、镓和 / 或铟到 pnp BJT 的发射极区域和 PMOS 晶体管的源极和漏极中。

[0011] 在第三实施例中,一种包括注入区域的集成电路可通过以下步骤形成:冷却集成电路的衬底至 5°C 或更低温度,并且穿过注入屏蔽介电层以上面列出的剂量离子注入硼、磷、镓、锗、砷、铟和 / 或铟到注入区域中。

[0012] 图 1 描述了根据第一或第二实施例的形成集成电路的工艺。集成电路 1000 包括为 BJT1002 定义的区域和为金属氧化物半导体 (MOS)1004 晶体管定义的区域。在第一实施例中,BJT1002 为 npn BJT 且 MOS 晶体管 1004 为 NMOS 晶体管。在第二实施例中,BJT1002 为 pnp BJT 且 MOS 晶体管 1004 为 PMOS 晶体管。集成电路 1000 被形成在包括硅顶部区域 1008 的衬底中且在其上面。衬底 1006 可以是单晶硅晶片、绝缘体上的硅 (SOI) 晶片、具有不同晶体取向的硅区域的混合取向技术 (HOT) 晶片,或适用于制造集成电路 1000 的具有硅顶部区域 1008 的其他结构。

[0013] BJT1002 包括在硅顶部区域 1008 中的基底扩散区域 1010。在第一实施例中,基底扩散区域 1010 为 p 型。在第二实施例中,基底扩散区域 1010 为 n 型。MOS 晶体管 1004 包括栅极结构 1012 (其包含栅极和栅极介电层) 和可能的栅极侧壁隔板。未示出的轻掺杂漏极 (LDD) 区域可以邻近栅极在衬底 1006 的顶表面形成。注入屏蔽介电层 1014 在衬底 1006 的顶表面上方形成。注入屏蔽介电层 1014 的厚度至少为 5 纳米。在一个实施例中,注入屏蔽介电层 1014 的厚度可至少为 15 纳米。注入屏蔽介电层 1014 可以或不延伸至衬底 1006 的侧边。在一个实施例中,注入屏蔽介电层 1014 可包括至少 80% 的二氧化硅。二氧化硅可以通过硅的热氧化在衬底 1006 的顶表面上形成,可以例如通过正硅酸乙酯 (也被称为四乙氧基硅烷或 TEOS) 的分解被沉积在衬底 1006 上,或者可以通过其他工艺形成。

[0014] 注入掩模 1016 在注入屏蔽介电层 1014 上方形成,使得暴露出 BJT1002 中的发射极区域 1018 并且暴露出 MOS 晶体管 1004 中的源极和漏极区域 1020。注入掩模 1016 可利用光刻工艺由光刻胶或其他光敏复合物形成,或者例如通过掩模和刻蚀工艺由其他介电材料形成。

[0015] 衬底 1006 的背表面接触衬底卡盘 1022。衬底卡盘 1022 被冷却至 5°C 或更低温度,例如通过使冷却液流体 1024 流经衬底卡盘 1022,如图 1 中冷却液流向箭头 1026 所示,

直到衬底 1006 被冷却至 5°C 或更低温度。冷却衬底卡盘 1022 的其他手段也在本实施例的范围之内。

[0016] 当衬底 1006 被冷却至 5°C 或更低温度时,执行离子注入工艺 1028,其将掺杂核素种类注入到发射极区域 1018 和源极和漏极区域 1020 中。在第一实施例中,离子注入工艺 1028 可以注入剂量至少为 8×10^{14} 个原子/cm² 的磷,和/或可以注入剂量至少为 6×10^{13} 个原子/cm² 的砷,和/或可以注入剂量至少为 6×10^{13} 个原子/cm² 的锑。在第一实施例的一个版本中,离子注入工艺 1028 可以注入剂量至少为 4×10^{14} 个原子/cm² 的砷。在第一实施例的另一个版本中,离子注入工艺 1028 可以注入剂量至少为 1×10^{15} 个原子/cm² 的砷。在第二实施例中,离子注入工艺 1028 可以注入剂量至少为 1×10^{16} 个原子/cm² 的硼,和/或可以注入剂量至少为 7×10^{13} 个原子/cm² 的镓,和/或可以注入剂量至少为 6×10^{13} 个原子/cm² 的铟。在第一和第二实施例的一个版本中,发射极区域 1018 和源极和漏极区域 1020 中的硅顶部区域 1008 中的硅衬底材料可在衬底 1006 的顶表面处被非晶化到至少 15 纳米的深度。如参考图 1 所描述的形成发射极区域 1018 相比在衬底冷却至 20° C 到 25° C 期间利用具有同样剂量和能量的发射极注入工艺形成的类似 BJT 可提供具有提高的 h_{fe} 的 BJT1002。

[0017] 图 2 示出 npn 双极结晶体管(BJT)中作为衬底温度(在图 2 中示为“注入机冷却器温度”)的函数的 h_{fe} 的提高。平均数据点 2000 描述用如参考图 1 描述的发射极注入形成的一组 npn BJT 的 h_{fe} 的平均值。范围条 2002 描述在每个衬底温度值下的 h_{fe} 值的 ± 3 标准偏差范围。趋势线 2004 被提供作为指引以通过插值估算 h_{fe} 值。

[0018] 图 3 描述了根据第三实施例的形成集成电路的工艺。集成电路 3000 被形成在包括硅顶部区域 3004 的衬底 3002 中和其上。衬底 3002 和硅顶部区域 3004 具有如参考图 1 所描述的衬底 1006 和硅顶部区域 1008 的特性。注入屏蔽介电层 3006 在衬底 3002 的顶面上方形成。注入屏蔽介电层 3006 具有如参考图 1 所描述的注入屏蔽介电层 1014 的特性。注入掩模 3008 被形成在注入屏蔽介电层 3006 上方,使得暴露出集成电路 3000 中的注入区域 3010。注入掩模 3008 具有如参考图 1 所描述的注入掩模 1016 的特性。

[0019] 衬底 3002 的背表面接触衬底卡盘 3012。衬底卡盘 3012 被冷却至 5°C 或更低温度,例如通过使冷却液流体 3014 流经衬底卡盘 3012,如图 3 中冷却液流向箭头 3016 所示,直到衬底 3002 被冷却至 5°C 或更低温度。冷却衬底卡盘 3012 的其他手段也在本实施例的范围之内。

[0020] 当衬底 3002 被冷却至 5°C 或更低温度时,执行离子注入工艺 3018,其将一种或更多种掺杂剂和/或非晶化原子种类注入到注入区域 3010 中。在本(第三)实施例中,离子注入工艺 3018 可以注入剂量至少为 1×10^{16} 个原子/cm² 的硼,和/或可以注入剂量至少为 8×10^{14} 个原子/cm² 的磷,和/或可以注入剂量至少为 7×10^{13} 个原子/cm² 的镓,和/或可以注入剂量至少为 6×10^{13} 个原子/cm² 的锗,和/或可以注入剂量至少为 6×10^{13} 个原子/cm² 的砷,和/或可以注入剂量至少为 6×10^{13} 个原子/cm² 的铟,和/或可以注入剂量至少为 6×10^{13} 个原子/cm² 的锑。在本(第三)实施例的一个版本中,注入区域 3010 中的硅顶部区域 3004 中的硅衬底材料可以在衬底 3002 的顶表面上被非晶化到至少 15 纳米的深度。如参考图 3 所描述的形成注入区域 3010 相比利用在衬底冷却至 20° C 到 25° C 期间具有同样剂量和能量的注入工艺(其导致大于 1×10^7 个缺陷/cm²)所形成的类似注入区域可导致小于 1×10^7 个缺陷/cm²。

[0021] 本发明涉及领域的技术人员将理解,可对所描述的示例性实施例和在本发明的保护范围之内实现的其它实施例做出修改。

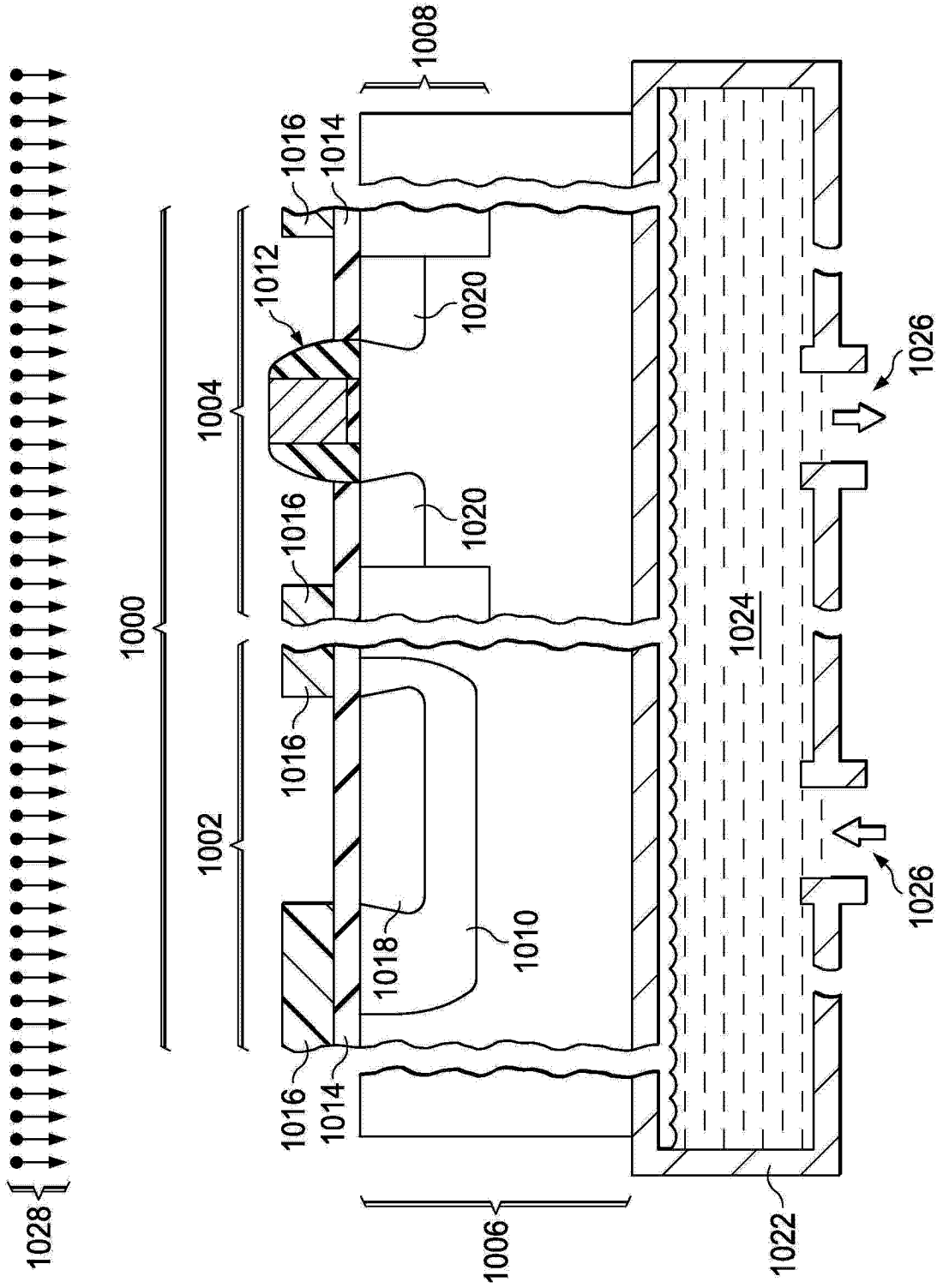


图 1

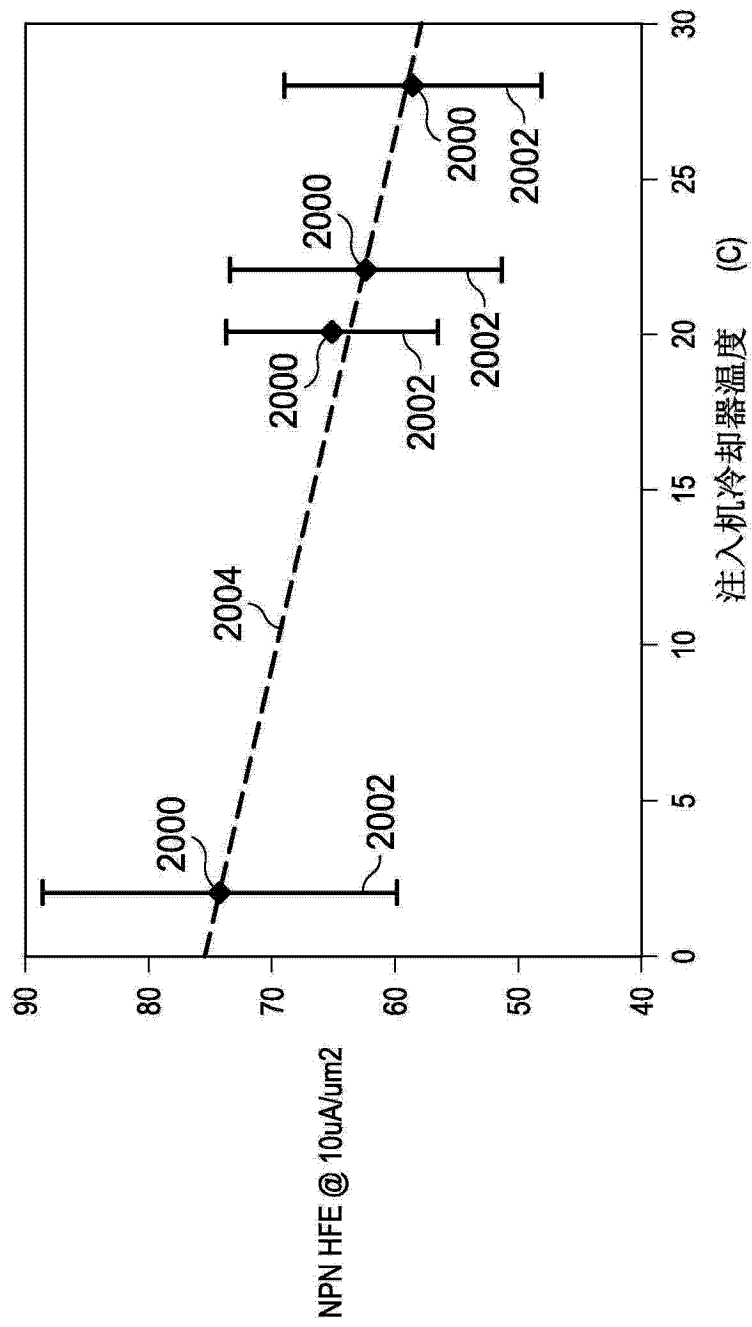


图 2

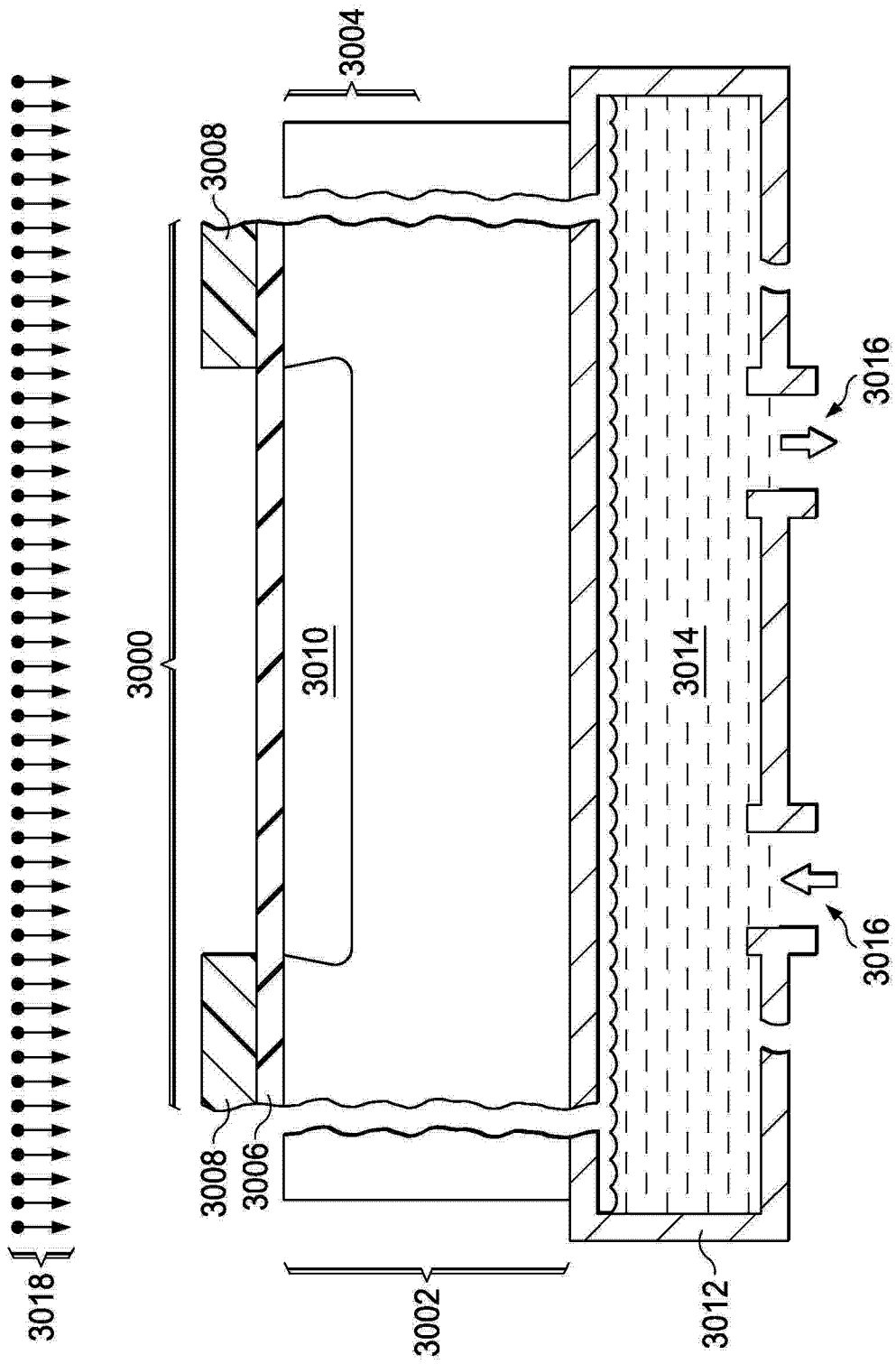


图 3