



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

253164 ✓

(11) (B1)

(51) Int. Cl.⁴

G 06 F 9/00

(22) Přihlášeno 10 12 85

(21) PV 9073-85

(40) Zveřejněno 12 03 87

(45) Vydáno 15 06 88

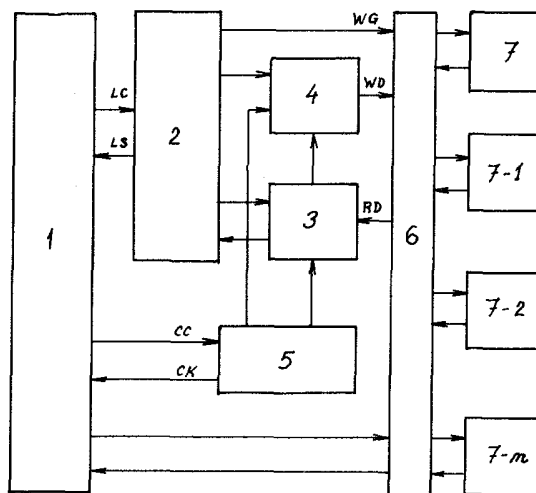
(75)

Autor vynálezu

VANĚK TOMÁŠ, KUTNÁ HORA

(54) Zapojení řadiče pamětí s blokovou strukturou dat

Řešení se týká zapojení řadiče pamětí s blokovou strukturou dat využívající komunikační řadič. Přídavné obvody, sestávající z mikroprogramovaného konečného automatu kodéru/dekodéru, mikroprogramovaného konečného automatu separátoru, fázového korektoru a hodinového generátoru, rozšiřují funkce komunikačního řadiče o další funkce, potřebné pro řízení pamětí s blokovou strukturou dat, např. pamětí s pružnými disky nebo kazetových páskových pamětí. Paměťové jednotky se k řadiči připojují prostřednictvím sběrnice. Použitím mikroprogramování je dosaženo snadné modifikovatelnosti řadiče pro různé typy pamětí, různé normy organizace dat a různé způsoby modulace při malém počtu potřebných integrovaných obvodů. Zapojení lze využít všude tam, kde nelze použít specializovaného integrovaného řadiče a kde použití integrovaného komunikačního řadiče nebrání vysoká rychlost zpracování dat. Typickou oblastí využití jsou řadiče pro řízení pamětí s pružnými disky a kazetových páskových pamětí pro mikropočítače a nejrozumnější mikroprocesorem řízené přístroje. Příklad provedení je schematically znázorněn na připojeném výkrese.



Vynález se týká zapojení řadiče pamětí s blokovou strukturou dat využívajícího komunikační řadič.

Paměti s blokovou strukturou dat, jako například diskové paměti s pružnými disky nebo magnetopáskové kazetové paměti, jsou v současné době rozsáhle používány ve výpočetní technice, měřicí a regulační technice a dalších oblastech jako velkokapacitní vnější paměti nebo prostředky pro sběr, archivaci a výměnu dat. K počítači nebo jinému zařízení se tyto paměti připojují prostřednictvím řídicí jednotky, nazývané řadič.

Dosud známá zapojení řadičů pro paměti s blokovou strukturou dat lze podle způsobu zapojení rozdělit do tří skupin. První způsob zapojení používá velký počet integrovaných obvodů malé a střední integrace, druhý způsob zapojení využívá integrovaný obvod velké integrace, navržený speciálně pro tuto funkci. Třetím známým způsobem zapojení řadiče pamětí s blokovou strukturou dat je kombinace integrovaného obvodu velké integrace, určeného pro řízení přenosu dat v sériovém tvaru - komunikačního řadiče, a přídavných obvodů, realizovaných s použitím integrovaných obvodů malé a střední integrace. Přídavné obvody rozšiřují základní funkci komunikačního řadiče, jako je serializace a deserializace dat, generace zabezpečovacího cyklického kódu či detekce synchronizačních posloupností, o další funkce, potřebné pro řízení pamětí s blokovou strukturou dat.

Nevýhodou prvního způsobu zapojení je velký počet integrovaných obvodů a z toho vyplývající velké rozměry, příkon a pracnost výroby. Nevýhodou druhého způsobu zapojení je, že integrované řadiče jsou dostupné pouze pro některé typy pamětí a některé normy organizace dat. Vývoj specializovaného integrovaného obvodu je drahý a časově náročný. Nevýhodou dosud známých zapojení třetího typu je, že přídavné obvody jsou řešeny formou tzv. montáží logiky s obvody malé a střední integrace, což má za následek jednak špatnou přizpůsobitelnost zapojení pro různé normy organizace dat a různé způsoby modulace, jednak velký počet potřebných integrovaných obvodů.

Uvedené nevýhody odstraňuje zapojení řadiče pamětí s blokovou strukturou dat využívající komunikační řadič podle vynálezu, jehož podstata spočívá v tom, že na první vstup a první výstup komunikačního řadiče je připojen svým prvním vstupem a prvním výstupem mikroprogramovaný konečný automat kodéru/dekodéru, jehož druhý výstup je připojen na příslušný vodič sběrnice a třetí výstup na první vstup fázového korektoru, přičemž čtvrtý výstup mikroprogramovaného konečného automatu kodéru/dekodéru je připojen na první vstup mikroprogramovaného konečného automatu separátoru, jehož první výstup je připojen na druhý vstup mikroprogramovaného konečného automatu kodéru/dekodéru a jehož druhý výstup je připojen na druhý vstup fázového korektoru, zatímco na druhý vstup mikroprogramovaného konečného automatu separátoru je připojen příslušný vodič sběrnice a na jeho třetí vstup je připojen první výstup hodinového generátoru, na jehož vstup je připojen druhý výstup komunikačního řadiče a jehož druhý výstup je připojen na třetí vstup fázového korektoru, připojeného svým výstupem na odpovídající vodič sběrnice. Třetí výstup hodinového generátoru je připojen na druhý vstup komunikačního řadiče. Třetí vstup a třetí výstup komunikačního řadiče je připojen na příslušné vodiče sběrnice.

Výhodou zapojení podle vynálezu je, že v přídavných obvodech je v širokém rozsahu využito techniky mikroprogramování. Použitím programovatelných pevných pamětí ROM, nebo programovatelných logických polí PLA se dosáhne snadné modifikovatelnosti funkce přídavných obvodů pro různé normy organizace dat a různé způsoby modulace, včetně možnosti programového přepínání dle potřeby. Zároveň se tím sníží počet integrovaných obvodů v přídavných obvodech, což vede ke snížení příkonu a zmenšení rozměrů celého zařízení. Protože vlastní funkci řadiče určují pouze mikroprogramy a způsob naprogramování komunikačního řadiče, lze jediné konstrukční provedení řadiče použít pro řízení nejrozličnějších typů pamětí s blokovou strukturou dat, případně přizpůsobit stávající zařízení pro připojení nového typu takové paměti nebo zvláštním požadavkům odběratele.

Příklad zapojení podle vynálezu je schematicky znázorněn na připojeném výkrese.

Zapojení sestává z komunikačního řadiče 1 mikroprogramovaného konečného automatu kodéru/dekodéru 2, mikroprogramovaného konečného automatu separátoru 3, fázového korektoru 4 a hodinového generátoru 5. Prostřednictvím sběrnice 6 lze k řadiči připojit jednu nebo více paměťových jednotek 7 až 7n.

Ke komunikačnímu řadiči 1 je připojen svým prvním vstupem LC a prvním výstupem LS mikroprogramovaný konečný automat kodéru/dekodéru 2, jehož druhý výstup je připojen na příslušný vodič WG sběrnice 6 paměťových jednotek 7 až 7n a na třetí výstup fázového korektoru 4. Čtvrtý výstup mikroprogramovaného konečného automatu kodéru/dekodéru 2 připojen na první vstup mikroprogramovaného konečného automatu separátoru 3, jehož první výstup je připojen na druhý vstup mikroprogramovaného konečného automatu kodéru/dekodéru 2 a jehož druhý výstup je připojen na druhý vstup fázového korektoru 4. Na druhý vstup mikroprogramovaného konečného automatu separátoru 3 je připojen příslušný vodič RD sběrnice 6 a na jeho třetí vstup je připojen první výstup hodinového generátoru 5, na jehož vstup CC je připojen druhý výstup komunikačního řadiče 1. Druhý výstup hodinového generátoru 5 je připojen na třetí vstup fázového korektoru 4, připojeného svým výstupem na odpovídající vodič WD sběrnice 6. Třetí výstup CK hodinového generátoru 5, pokud existuje, je připojen na druhý vstup komunikačního řadiče 1. Případný třetí vstup a třetí výstup komunikačního řadiče 1 je připojen na příslušné vodiče sběrnice 6 paměťových jednotek 7 až 7n.

Komunikační řadič 1 sestává jednak z vlastního integrovaného komunikačního řadiče, jednak z obvodu pro paralelní vstup a výstup řídicích a stavových signálů. Z komunikačního řadiče 1 přichází vstupem LC do mikroprogramovaného konečného automatu kodéru/dekodéru 2 signály pro volbu rychlosti, způsobu modulace a hustoty záznamu, signál pro přepínání směru přenosu, sériová data a další řídicí signály. Opačným směrem jsou výstupem LS vedeny hodinové signály, sériová data a další časovací a stavové signály. Při čtení vytváří automat kodéru/dekodéru 2 v závislosti na separovaných hodinách a datech, přicházejících z mikroprogramovaného konečného automatu separátoru 3 a zvoleném způsobu modulace odpovídající hodinový signál, sériová data a synchronizační signál pro komunikační řadič 1. Při zápisu vytváří automat kodéru/dekodéru 2 hodinový signál pro komunikační řadič 1 a zpracovává sériová data v závislosti na zvoleném způsobu modulace na řídicí signály pro fázový korektor 4. Automat kodéru/dekodéru 2 pracuje obvykle na dvojnásobku bitové frekvence, tj. provede dvě mikroinstrukce na jeden bit dat.

Potřebný hodinový kmitočet dodává mikroprogramovaný konečný automat separátoru 3. Tento automat pracuje při čtení jako fázový závěs, synchronizovaný signálem ze vstupu RD, zatímco při zápisu pracuje jako jednoduchý dělič, dělicí referenční kmitočet v pevném dělicím poměru. Kromě uvedeného hodinového kmitočtu vytváří při čtení signály separovaných hodin a separovaných dat pro automat 2, při zápisu synchronizační signál pro fázový korektor 4.

Fázový korektor 4 se uplatňuje pouze při zápisu, kdy podle signálu z automatu kodéru/dekodéru 2 jemně koriguje fázi signálu na výstupu WD. Časování celého řadiče zajišťuje hodinový generátor 5, sestávající obvykle z krystalového oscilátoru, děliče základního kmitočtu a kombinační logiky, zajišťující správný výběr hodinových kmitočtů pro ostatní obvody v závislosti na vstupu CC. Z generátoru 5 lze s výhodou odebírat hodinové signály i pro komunikační řadič 1 a jiné obvody výstupem CK.

Potřebný rozsah paměti mikroprogramu obou automatů závisí na typu použitelného integrovaného komunikačního řadiče, počtu pokrývaných norem organizace dat a složitosti realizovaných algoritmů, např. v realizovaném řadiči paměti s pružnými disky využívajícím integrovaný komunikační řadič z 80 - SIO, umožňujícím práci se všemi běžnými typy pružných disků a třemi způsoby modulace tj. jednoduchá hustota FM, dvojnásobná hustota MFM a M2FM jsou potřebné kapacity paměti mikroprogramu 512 x 12 bitů pro automat kodéru/dekodéru 2 a 32 x 8 bitů pro automat separátoru 3.

Zapojení podle vynálezu lze využít všude tam, kde nelze použít specializovaného integrovaného řadiče a kde použití integrovaného komunikačního řadiče nebrání vysoká rychlost zpracování dat. Typickou oblastí využití jsou řadiče pro řízení pamětí s pružnými disky a kazetových páskových pamětí pro mikropočítače a nejrůznější mikroprocesorem řízené přístroje.

P R Ě D M Ě T V Y N Á L E Z U

1. Zapojení řadiče pamětí s blokovou strukturou dat využívající komunikační řadič, vyznačený tím, že na první vstup a první komunikační řadiče (1) je připojen svým prvním vstupem a prvním výstupem mikroprogramovaný konečný automat kodéru/dekodéru (2), jehož druhý výstup je připojen na příslušný volič sběrnice (6) a třetí výstup na první vstup fázového korektoru (4), přičemž čtvrtý výstup mikroprogramového konečného automatu kodéru/dekodéru (2) je připojen na první vstup mikroprogramovaného konečného automatu separátoru (3), jehož první výstup je připojen na druhý vstup mikroprogramovaného konečného automatu kodéru/dekodéru (2) a jehož druhý výstup je připojen na druhý vstup fázového korektoru (4), zatímco na druhý vstup mikroprogramovaného konečného automatu separátoru (3) je připojen příslušný vodič sběrnice (6)^a na jeho třetí vstup je připojen první výstup hodinového generátoru (5), na jehož vstup je připojen druhý výstup komunikačního řadiče (1) a jehož druhý výstup je připojen na třetí vstup fázového korektoru (4), připojeného svým výstupem na odpovídající vodič sběrnice (6).

2. Zapojení podle bodu 1 vyznačené tím, že třetí výstup hodinového generátoru (5) je připojen na druhý vstup komunikačního řadiče (1).

3. Zapojení podle bodu 1 vyznačené tím, že třetí vstup a třetí výstup komunikačního řadiče (1) je připojen na příslušné vodiče sběrnice (6).

1 výkres

