

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-505950

(P2006-505950A)

(43) 公表日 平成18年2月16日(2006.2.16)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 7 N	5 F 1 1 0
	HO 1 L 29/78 6 1 7 K	
	HO 1 L 29/78 6 1 8 C	

審査請求 未請求 予備審査請求 有 (全 17 頁)

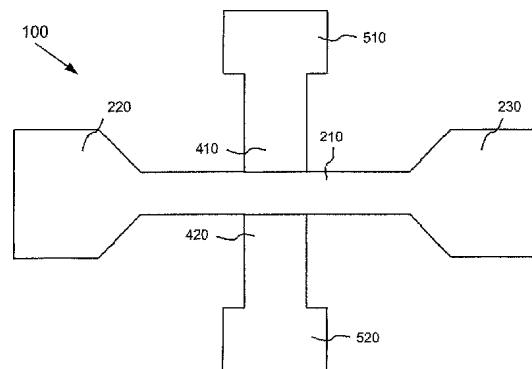
(21) 出願番号	特願2004-551527 (P2004-551527)	(71) 出願人	591016172
(86) (22) 出願日	平成15年10月14日 (2003.10.14)		アドバンスト・マイクロ・デバイス・
(85) 翻訳文提出日	平成17年6月27日 (2005.6.27)		インコーポレイテッド
(86) 国際出願番号	PCT/US2003/032662		ADVANCED MICRO DEVI
(87) 国際公開番号	W02004/044992		CES INCORPORATED
(87) 国際公開日	平成16年5月27日 (2004.5.27)		アメリカ合衆国、94088-3453
(31) 優先権主張番号	10/290, 158		カリフォルニア州、サニペイル、ピー・
(32) 優先日	平成14年11月8日 (2002.11.8)	(74) 代理人	100099324
(33) 優先権主張国	米国 (US)		弁理士 鈴木 正剛
		(74) 代理人	100111615
			弁理士 佐野 良太

最終頁に続く

(54) 【発明の名称】 分離した複数のゲートを有するダブルゲート半導体デバイス

(57) 【要約】

半導体デバイス(100)は、基板(110)およびこの基板(110)上に形成される絶縁層(120)を含む。フィン(210)は絶縁層(120)上に形成され、複数の側面および上面を含む。第1ゲート(410)は、フィン(210)の複数の側面のうちの1つに隣接する絶縁層(120)上に形成される。第2ゲート(420)は、第1ゲート(410)と分離されており、フィン(210)の複数の側面のうち他の1つに隣接する絶縁層(120)上に形成される。



【特許請求の範囲】

【請求項 1】

基板 (1 1 0) と、

この基板 (1 1 0) 上に形成される絶縁層 (1 2 0) と、

この絶縁層 (1 2 0) 上に形成され、複数の側面および上面を含むフィン (2 1 0) と

、
このフィン (2 1 0) の複数の側面のうちの 1 つに隣接する前記絶縁層 (1 2 0) 上に形成される第 1 ゲート (4 1 0) と、

この第 1 ゲート (4 1 0) と分離されており、前記フィン (2 1 0) の複数の側面のうち他の 1 つに隣接する絶縁層 (1 2 0) 上に形成される第 2 ゲート (4 2 0) と、を含む
、半導体デバイス (1 0 0) 。

10

【請求項 2】

前記第 2 ゲート (4 2 0) は、前記第 1 ゲート (4 1 0) からみて前記フィン (2 1 0) の反対側において形成される、請求項 1 記載の半導体デバイス (1 0 0) 。

【請求項 3】

前記第 1 ゲート (4 1 0) 、前記第 2 ゲート (4 2 0) はそれぞれ第 1 ゲートコンタクト (5 1 0) 、第 2 ゲートコンタクト (4 1 0) を含む、請求項 2 記載の半導体デバイス (1 0 0) 。

【請求項 4】

それぞれ前記フィン (2 1 0) の前記複数の側面に沿って形成される、複数の絶縁層 (3 1 0) をさらに有しており、

前記第 1 ゲート (4 1 0) および第 2 ゲート (4 2 0) は、前記複数の絶縁層 (3 1 0) のうちの異なる絶縁層にそれぞれ隣接する、請求項 1 記載の半導体デバイス (1 0 0)

20

【請求項 5】

前記フィン (2 1 0) の上面上に形成される窒化物および酸化物の少なくともいずれか一方を含む絶縁層 (1 4 0) をさらに有しており、

前記絶縁層 (1 4 0) の上面、前記第 1 ゲート (4 1 0) の上面、および前記第 2 ゲート (4 2 0) の上面は、実質的に共に同じ面上 (coplanar) にある、請求項 1 記載の半導体デバイス (1 0 0) 。

30

【請求項 6】

基板 (1 1 0) 上に絶縁層 (1 2 0) を提供するステップと、

この絶縁層 (1 2 0) 上に、第 1 側面、第 2 側面、および上面を含むフィン構造 (2 1 0) を形成するステップと、

前記フィン構造 (2 1 0) の端部にソースおよびドレイン領域 (2 2 0) 、 (2 3 0) を形成するステップと、

前記フィン構造 (2 1 0) 上に、前記上面および前記第 1 側面と第 2 側面を取り囲むゲート材料 (3 2 0) をたい積するステップと、

前記フィン (2 1 0) の両側に第 1 ゲート電極 (4 1 0) および第 2 ゲート電極 (4 2 0) を形成すべく、前記ゲート材料 (3 2 0) をエッチングするステップと、

40

前記フィン (2 1 0) に隣接する前記たい積されたゲート材料 (3 2 0) をプレーナ化するステップと、を含む、半導体デバイス (1 0 0) を製造する方法。

【請求項 7】

前記フィン構造 (2 1 0) の前記上面上に絶縁層 (1 4 0) を形成するステップと、

前記絶縁層 (1 4 0) 上にゲート材料 (3 2 0) が残らないように、前記ゲート材料 (3 2 0) を研磨するステップと、をさらに含む、請求項 6 記載の方法。

【請求項 8】

基板 (1 1 0) と、この基板 (1 1 0) 上に形成される絶縁層 (1 2 0) と、この絶縁層 (1 2 0) 上に形成される導電性のフィン (2 1 0) と、この導電性のフィン (2 1 0) の側面上に形成される複数のゲート絶縁層 (3 1 0) と、絶縁層 (1 2 0) 上に形成さ

50

れ、前記複数のゲート絶縁層(310)のうちの1つに隣接する前記導電性のフィン(210)の第1側面上に配置される第1ゲート(410)と、を含む半導体デバイス(100)であって、

第2ゲート電極(410)は、前記絶縁層(120)上に形成され、前記複数のゲート絶縁層(310)のうちの他の1つに隣接する前記導電性のフィン(210)の逆側に配置されると共に、前記第1ゲート電極(410)から離間される、半導体デバイス(100)。

【請求項9】

前記導電性のフィン(210)の上面上に形成される絶縁性のキャップ(140)をさらに有しており、

前記第1ゲート電極(410)および前記第2ゲート電極(420)のどちらも前記絶縁性のキャップ(140)上に広がっていない、請求項8記載の半導体デバイス(100)。

【請求項10】

前記第1ゲート(410)と前記第2ゲート(420)の上面、および前記絶縁性のキャップ(140)は、実質的に共に同一の面上(coplanar)にある、請求項9記載の半導体デバイス(100)。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体デバイス、および半導体デバイスを製造する方法に関する。本発明は特に、ダブルゲートデバイスに適用することができる。

【背景技術】

【0002】

超々大規模集積回路の半導体デバイスに関する密度の高さ、性能の高さに対する拡大する要求は、100ナノメートル(nm)未満のゲート長のような構造的要素、高い信頼性、および製造処理能力の向上を要求する。構造的要素を100nm未満に減少することは、従来の方法の限界に挑むこととなる。

【0003】

例えば、従来のプレーナ型のMOS電界効果トランジスタ(MOSFET)のゲート長を100nm未満にスケーリングした場合、ソースおよびドレイン間の過度の漏れ電流のような短チャネル効果に関連する問題を克服することがますます困難になる。さらに、移動度低下および多くのプロセス問題によって、さらに小さなデバイス構造を含めるように従来のMOSFETをスケーリングすることが困難になる。

したがって、FET性能を改善するとともにさらなるデバイス・スケーリングを可能とすべく、新規なデバイス構造が求められている。

【0004】

ダブルゲートMOSFETは、既存のプレーナ型のMOSFETに代わる候補となっている新規なデバイスである。いくつかの点において、ダブルゲートMOSFETは従来のバルクシリコンMOSFETよりも優れた特性を呈する。

これらの優れた特性は、ダブルゲートMOSFETは従来のMOSFETのようにチャンネルの片側だけではなくチャンネルの両側にゲート電極を有することから生ずる。

2つのゲートがある場合、ドレインによって生成される電界は、チャンネルのソース端からより遮断される。また、2つのゲートはシングルゲートのおよそ2倍の電流を制御することができ、このことはより強いスイッチング信号に帰着する。

【0005】

FinFETは、短チャネル耐性に優れている最近のダブルゲート構造である。

従来のFinFETは「ダブルゲート」MOSFETと呼ばれるが、この2つのゲートは一般的に、物理的、電氣的に接続され、それゆえ論理的にアドレス可能な単一のゲートを形成する。FinFETは、パーティカルフィン(vertical fin)中に形成されたチャ

10

20

30

40

50

ネルを含んでいる。このFinFET構造は、従来のプレーナ型のMOSFETで使用されるのと同様のレイアウトや製造技術を使用して製造することができる。

【発明の開示】

【0006】

本発明の趣旨に沿った実装は、導電性のフィンによって互いから効果的 (effectively) 分離される2つのゲートを有するFinFETデバイスを提供する。回路デザインのフレキシビリティを高くするように、各ゲートをそれぞれバイアスすることができる。

【0007】

本発明のさらなる利点および他の構造は、以下の詳細な説明で記載される。そしてその一部は、以下の検討に基づいて当業者に明白になるであろう。または本発明を実行することによって認識できる。本発明の効果は、添付された請求項で特に指摘されるように理解され、達成される。

10

【0008】

本発明によれば、前述およびその他の利点の一部は、基板と、この基板上に形成された絶縁層を含む半導体デバイスによって達成される。

フィンは絶縁層上に形成され、複数の側面および上面を含むことができる。

第1ゲートは、フィンの複数の側面のうちの1つと隣接する (proximate) 絶縁層上に形成されてもよい。

第2ゲートは、第1ゲートから分離されるとともに、フィンの複数の側面のうちの他の1つと隣接する絶縁層上に形成されてもよい。

20

【0009】

本発明の他の態様によれば、半導体デバイスを製造する方法は、基板上に絶縁層を形成するステップと、絶縁層上にフィン構造を形成するステップと、を含んでいる。このフィン構造は、第1側面、第2側面、および上面を有している。この方法はまた、フィン構造の端部にソースおよびドレイン領域を形成するステップと、このフィン構造上にゲート材料をたい積するステップとを含んでいてもよい。

上面および第1側面および第2側面は、ゲート材料に囲まれる。

フィンの両側に第1ゲート電極および第2ゲート電極を形成すべく、このゲート材料をエッチングしてもよい。たい積されたゲート材料は、フィンと面一になるようにプレーナ化することができる。

30

【0010】

本発明のさらなる態様によれば、半導体デバイスは、基板、およびこの基板上に形成される絶縁層を含むことができる。

導電性のフィンは、絶縁層上に形成されてもよい。また、ゲート絶縁層は、この導電性のフィンの側面上に形成されてもよい。

第1ゲート電極は、絶縁層上に形成されてもよい。この第1ゲート電極は、ゲート絶縁層の1つに隣接する導電性のフィンの片側にたい積することができる。

第2ゲート電極は、絶縁層上に形成されてもよい。この第2ゲート電極は、ゲート絶縁層の他の1つに隣接する導電性のフィンの反対側にたい積し、第1ゲート電極から離間してもよい。

40

【0011】

本発明の他の利点および構成は、以下の詳細な説明から、当業者に容易に明白になるであろう。図示および記載した実施形態は、本発明を実行するために熟考された最良のモードの例として、記載されている。本発明は、この発明内のすべての様々な明白な点における修正例ができる。このように、図面は、本来例示的なものであって、制限的なものではないとみなされる。

同じ参照符号を有する要素は類似の要素を示している、添付した図面を参照する。

【発明を実施するための最良の形態】

【0012】

以下、添付の図面に言及して本発明の趣旨に沿った実装を詳細に記載する。異なる図面

50

における同一の参照符号は、同一又は類似の要素を示す。また、以下の詳細な記載は本発明を制限するものではない。代わりに、本発明の範囲は添付の請求項および均等物によって定義される。

【0013】

本発明の趣旨に沿った実装は、ダブルゲートFinFETデバイス、およびこのようなデバイスを製造する方法を提供する。

本発明に従って形成されたFinFETデバイス中のゲートは、互いに効果的に分離される。また、バイアスを別々にかけることができる。

【0014】

図1は、本発明の実施形態に従って形成された半導体デバイス100の断面図である。

10

図1を参照して、半導体デバイス100は、シリコン基板110、埋込酸化膜120、および埋込酸化膜120上のシリコン層130を含んだSOI (silicon on insulator) 構造を含んでいてもよい。

埋込酸化膜120およびシリコン層130を、従来の方法により基板110上に形成してもよい。

【0015】

典型的な実装においては、埋込酸化膜120は、酸化シリコンを含んでおり、約1000から約3000の範囲の厚みを有し得る。

シリコン層130は、約300から約1500の範囲の厚みを有する多結晶シリコン、または単結晶シリコンを含んでいてもよい。

20

以下に詳述するように、シリコン層130は、ダブルゲート・トランジスタデバイスのフィン構造を形成するのに使用される。

【0016】

代替的な本発明の趣旨に沿った実装では、基板110および層130は、ゲルマニウムのような他の半導体材料、またはシリコンゲルマニウムのような半導体材料の組合せを含んでいてもよい。埋込酸化膜120はさらに他の絶縁材料を含んでいてもよい。

【0017】

後のエッチングプロセスの間に保護キャップとしての役割を果たすシリコン窒化物層または酸化シリコン層 (例えばSiO₂) のような絶縁層140を、シリコン層130上に形成することができる。典型的な実装においては、絶縁層140は約150から約600の範囲の厚みでたい積することができる。次に、後の処理のためのフォトレジストマスク150を形成すべく、フォトレジスト材料をたい積してパターン化してもよい。フォトレジストは、任意の従来方法によりたい積すると共にパターン化することができる。

30

【0018】

その後、半導体デバイス100をエッチングするとともに、フォトレジストマスク150を除去してもよい。典型的な実装の1つにおいては、シリコン層130は、従来の方法によりエッチングすることができ、このエッチングはフィンを形成すべく、埋込酸化膜120の上で停止する。

このフィンを形成した後、フィンの各端部に隣接するソースおよびドレイン領域を形成することができる。

40

例えば、典型的な実施形態の一例では、ソースおよびドレイン領域を形成すべく、シリコン、ゲルマニウム、またはシリコンとゲルマニウムを組合せた層を従来の方法でたい積し、パターン化し、エッチングしてもよい。

【0019】

図2Aは、このような方法で形成された半導体100上のフィン構造の概略的な上面図である。

本発明の典型的な実施形態によれば、ソース領域220およびドレイン領域230は、埋込酸化膜120上のフィン210の端部に隣接するように形成することができる。

【0020】

図2Bは、本発明の典型的な実施形態によるフィン構造を示す図2AのA-A'線に沿

50

った断面図である。フィン210を形成すべく、絶縁層140およびシリコン層130はエッチングされている。フィン210は、シリコン130および絶縁性のキャップ140を含んでいてもよい。

【0021】

図3は、本発明の典型的な実施形態によるフィン210上のゲート絶縁層およびゲート材料の形成を示す断面図である。

絶縁層をフィン210上に形成してもよい。例えば、図4に示すように、薄い酸化膜310をフィン210上に熱処理により成長させてもよい。

酸化膜310は、約10 から50 までの厚みに成長させることができ、続いて形成されるゲート電極についての絶縁層の役割を果たすべく、フィン210中の露出した側面上に形成することができる。

酸化膜310と同様に、絶縁性のキャップ140はフィン210の上面を絶縁することができる。

【0022】

酸化膜310を形成した後、ゲート材料層320を半導体デバイス100上にたい積してもよい。このゲート材料層320は、続いて形成されるゲート電極用のゲート材料を含むことができる。

典型的な実装の一例においては、ゲート材料層320は、従来の化学蒸着法(CVD)を使用して約300 から約1500 の範囲の厚みになるようにたい積されたポリシリコンを含んでいてもよい。代替的に、ゲルマニウムまたはシリコンおよびゲルマニウムの組み合わせのような他の半導体材料、または様々な金属を、ゲート材料として使用してもよい。

【0023】

2つのゲートは、リソグラフィ(例えばフォトリソグラフィ)によってゲート材料層320中に定義することができる。

デバイス100上でゲート材料層320からゲート構造を形成すべく、ゲート材料層320を選択的にエッチングすることができる。

このような方法でゲート構造を形成することは、例えば図3に示すように、絶縁性のキャップ140上にゲート材料320をいくらか残すことができる。

【0024】

図4は、本発明の典型的な実施形態によるゲート材料320のプレーナ化を示す断面図である。半導体デバイス100のフィン領域をプレーナ化すべく、(例えば絶縁性のキャップ140上から)余分なゲート材料を除去してもよい。

例えば、図4に示すように、ゲート材料(すなわち層320)の鉛直方向における高さが絶縁性のキャップ140と等しいかまたはほとんど等しくなるように、化学的機械的研磨(CMP)を実行してもよい。

【0025】

図4を参照すると、半導体デバイス100のチャネル領域のゲート材料層320は、第1ゲート410および第2ゲート420を形成すべく、2つの側面上のフィン210に接している。しかしながら、フィン210の上面は絶縁性のキャップ140によって覆われる。

この構造はまた、本発明による半導体デバイス100の上面図である図5に示される。この図5では、第1ゲート410および第2ゲート420が隣接するように図示されるが、フィン210を被覆してはいない。

【0026】

その後、2つのゲート電極を形成すべく、ゲート材料層320をパターン化し、エッチングしてもよい。

図5に示すように、半導体デバイス100は、ゲート電極510、520を有するダブルゲート構造を含んでいる。

以下に詳細に記載するように、ゲート電極510、520は、フィン210によって事

10

20

30

40

50

実上分離される。また、バイアスは別々にかけられてもよい。

簡略化のため、フィン210の側面を取り囲むゲート絶縁膜310(図4)は、図5に示していない。

【0027】

その後、ソース/ドレイン領域220、230をドーブしてもよい。例えば、n型またはp型不純物を、ソース/ドレイン領域220、230に注入してもよい。特定の注入薬量および注入エネルギーは、特定の最終製品(end device)の必要条件に基づいて選択することができる。

当業者は、回路必要条件に基づいてソース/ドレイン注入プロセスを最適化することができるであろう。また、このようなステップは過度に本発明の趣旨を不明瞭にしないように、ここには記載しない。

さらに、特定の回路必要条件に基づいてソース/ドレイン接合の位置を制御すべく、任意にサイドウォールスペーサ(図示しない)をソース/ドレイン・イオン注入より先に形成してもよい。

その後、ソース/ドレイン領域220、230を活性化すべく、活性化アニーリングを実行してもよい。

【0028】

図5に示すように、ゲート電極510およびゲート電極520は互いから物理的、電氣的に事実上分離される。

本発明の典型的な実施形態によれば、回路中で使用される際に、ゲート電極510、520の各々にバイアスを別々にかけることができる。

バイアスを独立してゲート410、420にかける(ゲート電極510、520経由で)能力は、半導体デバイス100を使用する回路設計のフレキシビリティを高める。

【0029】

図5に示される生成された半導体デバイス100は、第1ゲート410および第2ゲート420を有するダブルゲート・デバイスである。

ゲート材料層320(図3および図4)は、フィン210の2つの表面と接するとともに、従来のダブルゲート・デバイスと比較して1つのデバイス当たりのチャンネル幅が増加した半導体デバイス100を提供する。

フィン210はさらに、ゲート・エッチング中に、フィン210を保護する絶縁性のキャップ140を保持することができる。

【0030】

ゲート410とゲート420はまた、フィン210によって事実上分離される。また、デバイス100の特定の回路必要条件に基づき、これらのゲートにバイアスを別々にかけてもよい(それぞれのゲート電極510およびゲート電極520経由で)。

この分離したダブルゲート構造は、1つのゲート接続を含む従来のFinFETに比べて、回路設計中のフレキシビリティを高める。

【0031】

このように、本発明によれば、デバイスのチャンネル領域中に2つの分離したゲートを有するダブルゲートFinFETデバイスが形成される。

有利には、生成した構造は、短チャンネル耐性に優れている。さらに、本発明はフレキシビリティを増加すると共に、従来のプロセス中に容易に統合することができる。

【0032】

いくつかの実装においては、FinFETのフィン中に引張歪み(tensile strain)を生じさせることが望ましい。図6Aから図6Eは、本発明の他の実装による、フィン中の引張歪みの発生のさせ方を示す断面図である。

図6Aは、半導体デバイス600の断面を示す図である。図6Aを参照すると、デバイス600は埋込酸化物(BOX)層610、フィン層620、およびSiO₂層630を含んでいてもよい。

図1ないし図2Bに関して上述したように、構成要素610ないし630を形成しても

10

20

30

40

50

よい。

フィン層 620 は、シリコン、ゲルマニウムまたはシリコンとゲルマニウムの組合せを含んでいてもよい。

【0033】

図 6B に示すように、厚い犠牲酸化層 640 をフィン 620 上に熱処理により成長させてもよい。

この厚い犠牲酸化層 640 (例えば 200 から 400) を成長させることは、フィン 620 中に引張歪みを生じさせることができる。

その後、犠牲酸化層 640 を除去することができる。また、図 6C に示すように、薄いゲート酸化膜 650 を成長させてもよい。その後、図 6D に示すように、フィン 620 上にゲート材料 660 をたい積してもよい。

F i n F E T は一般的な方法により図 6D における構造から形成することができる。このような F i n F E T 中のフィン 620 は引っ張り歪みを有することになり、当業者によって理解される特性をフィン 620 に与えることとなる。

【0034】

他の実装の 1 つにおいては、完全にシリサイド化されたゲートを備えた F i n F E T が望まれる。

このような F i n F E T は、ポリシリコン消耗効果を除去すると共に、F i n F E T についての適切なスレショールド電圧を得るのを助ける、一体化した (incorporated) メタルゲートを有していてもよい。

図 7A および図 7B は、完全にシリサイド化されたゲートを有する F i n F E T を形成するための典型的なプロセスを示す断面図である。

図 9A を参照すると、デバイス 700 はフィン 710、ソース 720、および 720 を含んでいる。これらの層 / 構造は、図 1 ないし図 2B について記載したように形成することができる。

図 7B に示すように、フィン 710 は、上部の酸化キャップ 740、およびシリコン構造を取り囲むゲート酸化膜 750 を含んでいてもよい。

フィン 710 は、埋め込み酸化物 (B O X) 層 705 上に形成することができる。

【0035】

図 7C に示すように、フィン 710 上に薄いポリシリコン層 760 をたい積してもよい。その後、図 7D に示すように、厚い B A R C (反射防止膜) 層 770 をたい積してもよい。その後、ゲート領域およびコンタクト 780 をパターン化し、図 7E の上面図に示すようにエッチングすることができる。

【0036】

B A R C 層 770 を除去することなく、ソースおよびドレイン領域 720、730 にイオンを注入することができる。

したがって、使用されたドーパントは B A R C 層 770 により停止し、チャネル (例えばフィン 710) に入り込まないようにしている。

【0037】

図 7E および図 7F に示すように、B A R C 層 770 が除去され、メタルゲート 780 を形成すべく、ポリシリコン 760 が完全にシリサイド化される。

このゲート材料 710 はまた、図 4 に関して上述したのと同様の方法でプレーナ化することができる。

【0038】

前記記載においては、本発明について理解し易いように、特定の材料、構造、化学薬品、プロセス等のような多数の特定の詳細を記載している。

しかしながら、特にここに記載した詳細によることなく、本発明を実行することができる。その他、不必要に本発明の内容を不明瞭にしないように、周知のプロセス構造は詳細に記載していない。

【0039】

10

20

30

40

50

本発明による、半導体デバイスを製造するのに使用される絶縁層および導電層は、従来
のたい積技術によってたい積してもよい。例えば、低圧CVD(LPCVD)およびエン
ハンストCVD(ECVD)を含んだ様々な種類のCVDプロセスのようなメタライゼー
ション技術を使用することができる。

【0040】

本発明は、ダブルゲート半導体デバイスの製造、特に100nm以下の構造的要素を有
するFinFETデバイスに適用可能である。

本発明は、様々な種類の半導体デバイスの形成に適用可能である。したがって、不必要
に本発明の内容を不明瞭にしないようにその詳細は記載しない。本発明を実行する際に、
従来のたい積技術、フォトリソグラフィ技術、およびエッチング技術を使用してもよい。
なお、このような技術の詳細についてはここでは詳述していない。

10

【0041】

本発明の好ましい実施形態およびその多様性のうちのいくつかの例のみが、本発明にお
いて開示されると共に記載される。本発明は、様々な他の組み合わせおよび環境において使
用できると共に、ここに記載されるような本発明の概念の範囲内の変形または修正するこ
とができるものとして理解される。

【図面の簡単な説明】

【0042】

【図1】本発明の実施形態に従ってフィンを形成するために使用することができる典型的
な層の一例を示す図。

20

【図2A】本発明の典型的な実施形態の一例に従ったフィン構造の上面図。

【図2B】本発明の典型的な実施形態の一例に従った、図2Aのフィン構造の上面図。

【図3】本発明の典型的な実施形態の一例に従った、図2Bのデバイス上のゲート絶縁層
およびゲート材料の構成を示す断面図。

【図4】本発明の典型的な実施形態の一例に従った、図3のゲート材料のプレーナ化を示
す断面図。

【図5】本発明の典型的な実施形態の一例に従った、図4の半導体デバイスを概略的に示
す上面図。

【図6A】本発明の他の実装の一例によるフィン中の引張歪みの発生のさせ方を示す断面
図。

30

【図6B】本発明の他の実装の一例によるフィン中の引張歪みの発生のさせ方を示す断面
図。

【図6C】本発明の他の実装の一例によるフィン中の引張歪みの発生のさせ方を示す断面
図。

【図6D】本発明の他の実装の一例によるフィン中の引張歪みの発生のさせ方を示す断面
図。

【図7A】本発明の他の実装の一例によるFinFET中の完全にシリサイド化されたゲ
ートの構成を示す断面図。

【図7B】本発明の他の実装の一例によるFinFET中の完全にシリサイド化されたゲ
ートの構成を示す断面図。

40

【図7C】本発明の他の実装の一例によるFinFET中の完全にシリサイド化されたゲ
ートの構成を示す断面図。

【図7D】本発明の他の実装の一例によるFinFET中の完全にシリサイド化されたゲ
ートの構成を示す断面図。

【図7E】本発明の他の実装の一例によるFinFET中の完全にシリサイド化されたゲ
ートの構成を示す断面図。

【図7F】本発明の他の実装の一例によるFinFET中の完全にシリサイド化されたゲ
ートの構成を示す断面図。

【 図 1 】

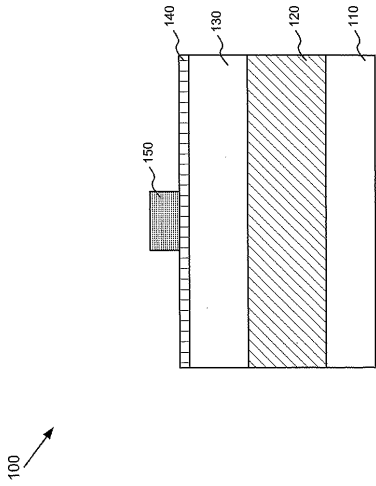


Fig. 1

Fig. 2A

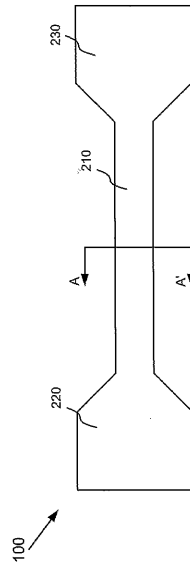
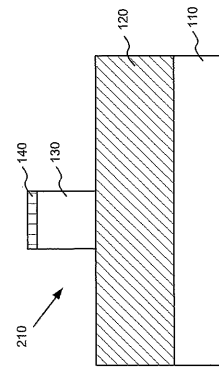


Fig. 2B



【 図 3 】

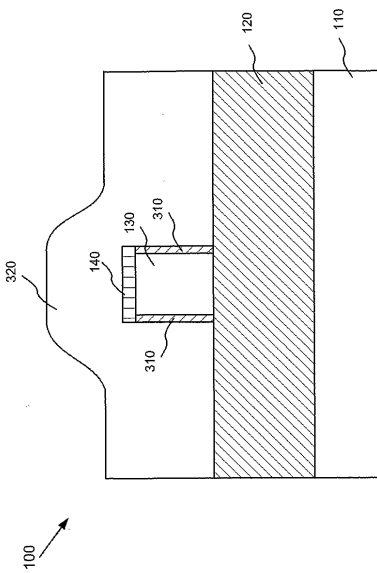


Fig. 3

【 図 4 】

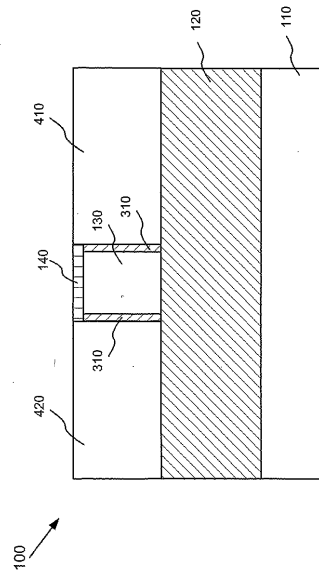


Fig. 4

【 図 5 】

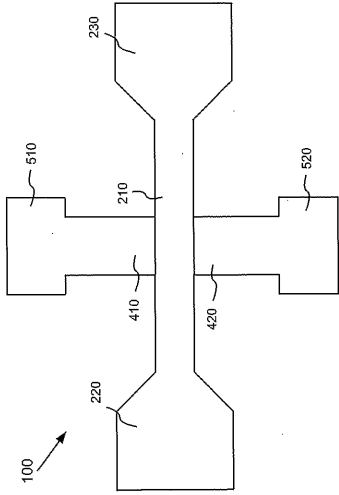


Fig. 5

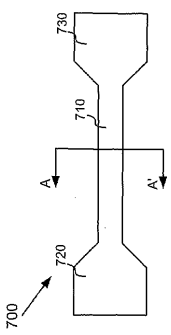


Fig. 7A

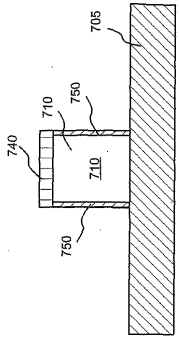


Fig. 7B

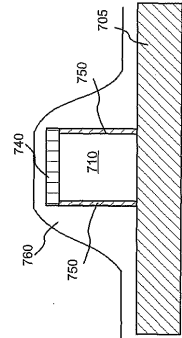


Fig. 7C

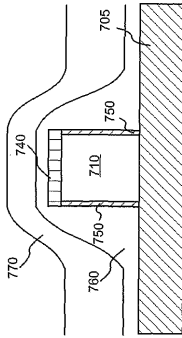


Fig. 7D

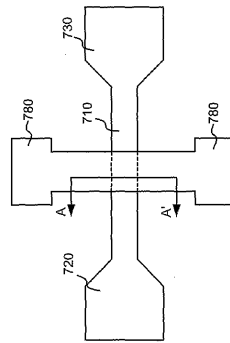


Fig. 7E

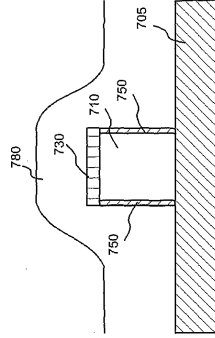


Fig. 7F

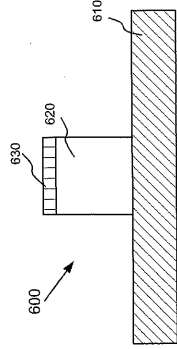


Fig. 6A

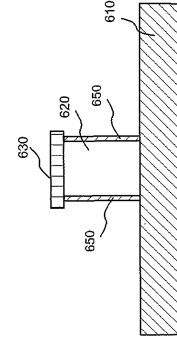


Fig. 6C

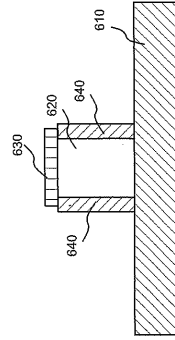


Fig. 6B

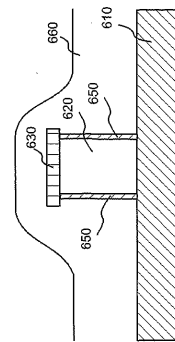


Fig. 6D

【手続補正書】

【提出日】平成16年12月8日(2004.12.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板(110)と、
この基板(110)上に形成される絶縁層(120)と、
この絶縁層(120)上に形成され、複数の側面および上面を含み、約300 から約1500 の範囲の厚みを有する導電性のフィン(210)と、
このフィン(210)の複数の側面のうちの1つに隣接する前記絶縁層(120)上に形成され、約300 から約1500 の範囲の厚みを有する第1ゲート(410)と、
この第1ゲート(410)と分離されており、前記フィン(210)の複数の側面のうち他の1つに隣接する絶縁層(120)上に形成され、約300 から約1500 の範囲の厚みを有する第2ゲート(420)と、を含む、半導体デバイス(100)。

【請求項2】

前記第2ゲート(420)は、前記第1ゲート(410)からみて前記フィン(210)の反対側において形成される、請求項1記載の半導体デバイス(100)。

【請求項3】

前記第1ゲート(410)、前記第2ゲート(420)はそれぞれ第1ゲートコンタクト(510)、第2ゲートコンタクト(410)を含む、請求項2記載の半導体デバイス(100)。

【請求項4】

それぞれ前記フィン(210)の前記複数の側面に沿って形成される、複数の絶縁層(310)をさらに有しており、

前記第1ゲート(410)および第2ゲート(420)は、前記複数の絶縁層(310)のうちの異なる絶縁層にそれぞれ隣接する、請求項1記載の半導体デバイス(100)。

【請求項5】

前記フィン(210)の上面上に形成される窒化物および酸化物の少なくともいずれか一方を含む絶縁層(140)をさらに有しており、

前記絶縁層(140)の上面、前記第1ゲート(410)の上面、および前記第2ゲート(420)の上面は、実質的に共に同一の面上(coplanar)にある、請求項1記載の半導体デバイス(100)。

【請求項6】

基板(110)上に絶縁層(120)を提供するステップと、

この絶縁層(120)上に、第1側面、第2側面、および上面を含み、約300 から約1500 の範囲の厚みを有するフィン構造(210)を形成するステップと、

前記フィン構造(210)の端部にソースおよびドレイン領域(220)(230)を形成するステップと、

前記フィン構造(210)上に、前記上面および前記第1側面と第2側面を取り囲むとともに、約300 から約1500 の範囲の厚みを有するゲート材料(320)をたい積するステップと、

前記フィン(210)の両側に第1ゲート電極(410)および第2ゲート電極(420)を形成すべく、前記ゲート材料(320)をエッチングするステップと、

前記フィン(210)に隣接する前記たい積されたゲート材料(320)をプレーナ化するステップと、を含む、半導体デバイス(100)を製造する方法。

【請求項 7】

前記フィン構造(210)の前記上面上に絶縁層(140)を形成するステップと、
前記絶縁層(140)上にゲート材料(320)が残らないように、前記ゲート材料(320)を研磨するステップと、をさらに含む、請求項6記載の方法。

【請求項 8】

基板(110)と、この基板(110)上に形成される絶縁層(120)と、この絶縁層(120)上に形成される導電性のフィン(210)と、この導電性のフィン(210)の側面上に形成される複数のゲート絶縁層(310)と、絶縁層(120)上に形成され、前記複数のゲート絶縁層(310)のうちの1つに隣接する前記導電性のフィン(210)の第1側面上に配置される第1ゲート(410)と、を含む半導体デバイス(100)であって、

前記導電性のフィン(210)は、約300 から約1500 の範囲の厚みを有しており、

第2ゲート電極(410)は、前記絶縁層(120)上に形成され、前記複数のゲート絶縁層(310)のうちの他の1つに隣接する前記導電性のフィン(210)の逆側に配置されると共に、前記第1ゲート電極(410)から離間される、半導体デバイス(100)。

【請求項 9】

前記導電性のフィン(210)の上面上に形成され、約150 から約600 の範囲の厚みを有する絶縁性のキャップ(140)をさらに有しており、

前記第1ゲート電極(410)および前記第2ゲート電極(420)のどちらも前記絶縁性のキャップ(140)上に広がっていない、請求項8記載の半導体デバイス(100)。

【請求項 10】

前記第1ゲート(410)と前記第2ゲート(420)の上面、および前記絶縁性のキャップ(140)は、実質的に共に同一の面上(coplanar)にある、請求項9記載の半導体デバイス(100)。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

 Int'l Application No
 PCT/US 03/32662

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L29/786 H01L29/423 H01L21/336		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 563 082 A (MUKAI MIKIO) 8 October 1996 (1996-10-08) figures 5-7	1-10
X	US 5 315 143 A (TSUJI KAZUHIKO) 24 May 1994 (1994-05-24) figures 7B,7C	1-10
X	US 6 396 108 B1 (BUYNSKI MATTHEW ET AL) 28 May 2002 (2002-05-28)	1-6,8-10
A	claim 1; figure 10	7
	-/-	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family
Date of the actual completion of the international search 8 April 2004		Date of mailing of the international search report 21/04/2004
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 940-2040, Tx. 31 651 epo nl, Fax: (+31-70) 940-3016		Authorized officer Juhl, A

INTERNATIONAL SEARCH REPORT

 Int'l Application No
 PCT/US 03/32662

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	LELAND CHANG ET AL: "Gate length scaling and threshold voltage control of double-gate MOSFETs" IEDM, 10 December 2000 (2000-12-10), pages 719-722, XP010531863 figure 1	1-5, 8-10
A	US 6 413 802 B1 (SUBRAMANIAN VIVEK ET AL) 2 July 2002 (2002-07-02) figures 1-6	5-7

INTERNATIONAL SEARCH REPORT

Information on patent family members

Int'l Application No
PCT/US 03/32662

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5563082	A	08-10-1996	JP 3252578 B2 JP 7193238 A	04-02-2002 28-07-1995
US 5315143	A	24-05-1994	US 5409850 A US 5541432 A US 5565368 A	25-04-1995 30-07-1996 15-10-1996
US 6396108	B1	28-05-2002	NONE	
US 6413802	B1	02-07-2002	NONE	

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA, GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ, EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,M W,MX,MZ,NO,NZ,OM,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VC,VN,YU,ZA,ZM,ZW

(74)代理人 100108604

弁理士 村松 義人

(72)発明者 シブリー エス. アーメッド

アメリカ合衆国、カリフォルニア州 95134、サン ノゼ、ナンバー105、エイラン ビレ
ッジ レイン 350

(72)発明者 ハイホン ワン

アメリカ合衆国、カリフォルニア州 94555、フレモント、ドナフエ テラス 34170

(72)発明者 ビン ユ

アメリカ合衆国、カリフォルニア州 95014、キューパーティノ、ポピー ウェイ 1373

Fターム(参考) 5F110 AA04 CC10 DD05 DD13 EE01 EE05 EE09 EE29 EE31 EE45

FF02 FF23 FF30 FF32 GG01 GG02 GG03 GG12 GG22 GG24

GG25 HJ23 QQ19