



- (51) 국제특허분류:
H01L 33/62 (2010.01) H01L 33/60 (2010.01)
H01L 33/36 (2010.01) H01L 33/64 (2010.01)
- (21) 국제출원번호: PCT/KR2016/007111
- (22) 국제출원일: 2016년 7월 1일 (01.07.2016)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2015-0095455 2015년 7월 3일 (03.07.2015) KR
- (71) 출원인: 엘지이노텍 주식회사 (LG INNOTEK CO., LTD.) [KR/KR]; 04637 서울시 중구 한강대로 416 서울스퀘어, Seoul (KR).
- (72) 발명자: 마츠다슈헤이 (MATSUDA, Shuhei); 04637 서울시 중구 한강대로 416 서울스퀘어, Seoul (KR).
- (74) 대리인: 김기문 (KIM, Ki Moon); 06252 서울시 강남구 역삼로 114 현죽빌딩 6층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ,

CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

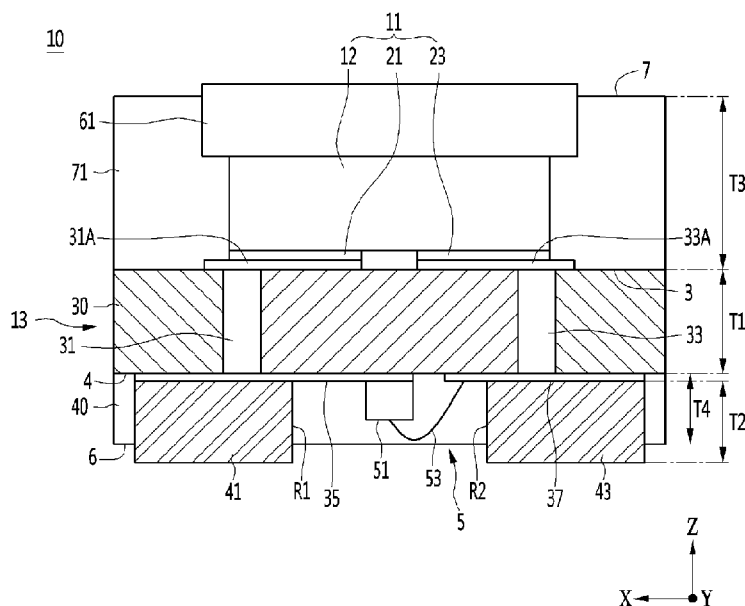
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

- 국제조사보고서와 함께 (조약 제 21 조(3))
- 청구범위 보정 기한 만료 전의 공개이며, 보정서를 접수하는 경우 그에 관하여 별도 공개함 (규칙 48.2(h))

(54) Title: LIGHT-EMITTING DEVICE AND LIGHT-EMITTING MODULE

(54) 발명의 명칭: 발광 소자 및 발광 모듈



(57) Abstract: A light-emitting device according to an embodiment comprises: a light-emitting chip having a light-emitting part comprising a plurality of semiconductor layers, and a first electrode and a second electrode which are below the light-emitting part; a first support member under the light-emitting chip; a second support member under the first support member; a first lead electrode, connected to the first electrode, and a second lead electrode, connected to the second electrode, the lead electrodes being separated from one another inside the second support member; a protective chip disposed between the first and second lead electrodes; and a reflection member disposed at the perimeter of the light-emitting chip, wherein the first support member comprises a ceramic material between the second support member and the light-emitting chip.

(57) 요약서: 실시 예에 개시된 발광 소자는, 복수의 반도체층을 갖는 발광부 및 상기 발광부의 하부에 제 1 전극 및 제 2 전극을 갖는 발광 칩; 상기 발광 칩의 아래에 제 1 지지 부재; 상기 제 1 지지 부재의 아래에 제 2 지지 부재; 상기 제 2 지지 부재 내에 서로 분리되며 상기 제 1 전극에 연결된 제 1 리드 전극 및 상기 제 2 전극에 연결된 제 2 리드 전극; 상기 제 1 및 제 2 리드 전극 사이에 배치된 보호 칩; 및 상기 발광 칩의 둘레에 배치된 반사 부재를 포함하며, 상기 제 1 지지 부재는 상기 제 2 지지 부재와 상기 발광 칩 사이에 세라믹 재질을 포함한다.

명세서

발명의 명칭: 발광 소자 및 발광 모듈

기술분야

- [1] 실시 예는 발광 소자 및 이를 구비한 발광 모듈에 관한 것이다.

배경기술

- [2] 발광 소자, 예컨대 발광 다이오드(Light Emitting Diode)는 전기 에너지를 빛으로 변환하는 반도체 소자의 일종으로, 기존의 형광등, 백열등을 대체하여 차세대 광원으로로서 각광받고 있다.
- [3] 발광 다이오드는 반도체 소자를 이용하여 빛을 생성하므로, 텅스텐을 가열하여 빛을 생성하는 백열등이나, 또는 고압 방전을 통해 생성된 자외선을 형광체에 충돌시켜 빛을 생성하는 형광등에 비해 매우 낮은 전력만을 소모한다.
- [4] 발광 다이오드는 실내 및 실외에서 사용되는 각종 램프, 액정표시장치, 전광판, 가로등, 지시등과 같은 조명 장치의 광원으로로서 사용이 증가하고 있다.

발명의 상세한 설명

기술적 과제

- [5] 실시 예는 새로운 방열 구조를 갖는 발광 소자를 제공한다.
- [6] 실시 예는 발광 칩 아래에 이종의 지지부재를 갖는 발광 소자를 제공한다.
- [7] 실시 예는 발광 칩 아래에 세라믹 재료의 제1지지 부재와 리드 전극을 갖는 제2지지부재가 적층된 발광 소자 및 이를 구비한 발광 모듈을 제공한다.
- [8] 실시 예는 발광 칩 아래에서 세라믹 기판의 상면 또는 하면에 리드 전극들 사이에 보호 칩을 구비한 발광 소자 및 이를 구비한 발광 모듈을 제공한다.

과제 해결 수단

- [9] 실시 예에 따른 발광 소자는, 복수의 반도체층을 갖는 발광부 및 상기 발광부의 하부에 제1전극 및 제2전극을 갖는 발광 칩; 상기 발광 칩의 아래에 제1지지 부재; 상기 제1지지 부재의 아래에 제2지지 부재; 상기 제2지지 부재 내에 서로 분리되며 상기 제1전극에 연결된 제1리드 전극 및 상기 제2전극에 연결된 제2리드 전극; 상기 제1 및 제2리드 전극 사이에 배치된 보호 칩; 및 상기 발광 칩의 둘레에 배치된 반사 부재를 포함하며, 상기 제1지지 부재는 상기 제2지지 부재와 상기 발광 칩 사이에 세라믹 재질을 포함한다.
- [10] 실시 예에 따른 발광 소자는, 복수의 반도체층 및 투광성의 기판을 갖는 발광부와, 상기 발광부의 하부에 제1전극 및 제2전극을 갖는 발광 칩; 상기 발광 칩의 아래에 제1지지 부재; 상기 제1지지 부재와 상기 발광 칩 사이에 제2지지 부재; 상기 제2지지 부재 내에 서로 분리되며 상기 제1전극에 연결된 제1리드 전극 및 상기 제2전극에 연결된 제2리드 전극; 상기 제1 및 제2리드 전극 사이에 배치된 보호 칩; 및 상기 발광 칩의 둘레에 배치된 반사 부재를 포함하며, 상기 제1지지 부재는 세라믹 재질을 포함한다.

- [11] 실시 예에 따른 발광 모듈은, 복수의 반도체층을 갖는 발광부 및 상기 발광부의 하부에 제1전극 및 제2전극을 갖는 발광 칩; 상기 발광 칩의 아래에 제1지지 부재; 상기 제1지지 부재의 아래에 제2지지 부재; 상기 제2지지 부재 내에 서로 분리되며 상기 제1전극에 연결된 제1리드 전극 및 상기 제2전극에 연결된 제2리드 전극; 상기 제1 및 제2리드 전극 사이에 배치된 보호 칩; 및 상기 발광 칩의 둘레에 배치된 반사 부재를 포함하며, 상기 제1지지 부재는 상기 제2지지 부재와 상기 발광 칩 사이에 세라믹 재질을 포함하는 발광 소자; 상기 발광 소자 아래에 제 1 및 제2전극 패드를 갖는 회로 기판; 및 상기 회로 기판과 상기 발광 소자 사이에 배치된 접합 부재를 포함하며, 상기 발광 소자의 제1 및 제2리드 전극은 상기 접합 부재에 의해 상기 회로 기판의 제1 및 제2전극 패드에 연결된다.

발명의 효과

- [12] 실시 예는 플립 형태의 발광 칩 아래에 보호 칩을 갖는 발광 소자를 제공한다.
- [13] 실시 예는 발광 칩 아래에 세라믹 기판의 상면 및 하면에 보호 칩을 배치함으로써, 발광 소자의 두께를 감소시켜 줄 수 있다.
- [14] 실시 예는 방열 효율의 저하를 방지할 수 있다.
- [15] 실시 예는 발광 소자 내의 발광 칩에 걸리는 열 응력을 줄여줄 수 있다.
- [16] 실시 예는 광 추출 효율이 개선된 발광 소자를 제공할 수 있다.
- [17] 실시 예는 발광 소자 및 이를 구비한 발광 모듈의 신뢰성이 개선될 수 있다.

도면의 간단한 설명

- [18] 도 1은 제1실시 예에 따른 발광 소자를 나타낸 측 단면도이다.
- [19] 도 2는 도 1의 발광 소자의 저 면도이다.
- [20] 도 3은 도 1의 발광 소자의 변형 예이다.
- [21] 도 4는 제2실시 예에 따른 발광 소자의 측 단면도이다.
- [22] 도 5는 도 4의 발광 소자의 변형 예이다.
- [23] 도 6은 실시 예에 따른 발광 소자를 갖는 발광 모듈의 측 단면도이다.
- [24] 도 7은 실시 예에 따른 발광 소자의 발광 칩을 나타낸 도면이다.
- [25] 도 8은 실시 예에 따른 발광 소자에 있어서, 세라믹 층의 두께에 따른 열 저항 값의 변화를 나타낸 그래프이다.
- [26] 도 9는 실시 예에 따른 발광 소자에 있어서, 제1지지 부재의 두께와 리드 전극의 두께의 비율에 따른 열 저항 값의 변화를 나타낸 그래프이다.
- [27] 도 10은 실시 예에 따른 비교 예와 본 발명의 제1지지 부재/리드 전극의 두께에 따라 열 저항 값 및 열 저항의 저감율을 나타낸 그래프이다.

발명의 실시를 위한 최선의 형태

- [28] 이하, 실시 예들은 첨부된 도면 및 실시 예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다. 실시 예들의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상/위(on)"에 또는

"하/아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on)"와 "하/아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 상/위 또는 하/아래에 대한 기준은 도면을 기준으로 설명한다.

[29]

[30] 이하, 첨부된 도면을 참조하여 실시 예에 따른 발광 소자를 설명한다. 첨부된 도면의 전체에 걸쳐, 동일하거나 대응하는 구성요소는 동일한 도면부호로 지칭되며, 중복되는 설명은 생략한다.

[31] 도 1은 제1실시 예에 따른 발광 소자를 나타낸 측 단면도이고, 도 2는 도 1의 발광 소자의 저 면도이다.

[32] 도 1 및 도 2를 참조하면, 발광 소자(10)는 발광 칩(11)과, 상기 발광 칩(11)의 아래에 복수의 비아 전극(31,33)을 갖는 제1지지 부재(30)와, 상기 제1지지 부재(30) 아래에 복수의 리드 전극(41,43)을 갖는 제2지지 부재(40)와, 상기 복수의 리드 전극(41,43) 사이에 배치된 보호 칩(51)과, 상기 발광 칩(11)의 둘레에 배치된 반사 부재(71)를 포함한다.

[33]

[34] 상기 발광 소자(10)는 청색, 녹색, 적색, 또는 백색 광 중 적어도 하나를 방출할 수 있다. 상기 발광 소자(10)는 상기 발광 칩(11)으로부터 발생된 광의 측면 누설을 방지하고 상면을 통해 방출시켜 줄 수 있다.

[35] 상기 발광 칩(11)은 가시광선 대역부터 자외선 대역의 범위 중에서 선택적으로 발광할 수 있다. 상기 발광 칩(11)은, 예컨대 UV(Ultraviolet) LED, 적색 LED, 청색 LED, 녹색 LED, 옐로우 그린(yellow green) LED, 적외선 LED, 또는 백색 LED 중 적어도 하나를 포함할 수 있다. 상기 발광 칩(11)은 수광 소자 또는 광 검출 소자를 포함할 수 있다. 상기 발광 칩(11)은 LED 또는 레이저 다이오드를 포함할 수 있다.

[36] 상기 발광 칩(11)은 칩 내의 두 전극이 서로 인접하게 배치된 수평형 칩 구조, 또는 두 전극이 서로 반대 측에 배치된 수직형 칩 구조 중 적어도 하나를 포함할 수 있으며, 이에 대해 한정하지는 않는다. 실시 예에 따른 발광 칩(11)은 플립 칩 방식으로 배치될 수 있다. 상기 플립 칩 방식의 발광 칩(11)은 하부에 두 전극(21,23)이 평행하게 배치될 수 있으며, 이에 대해 한정하지는 않는다. 상기 발광 칩(11)은 하부의 전극(21,23)을 포함하며, 상기 하부의 전극(21,23)은 애노드 단자와 캐소드 단자일 수 있다.

[37] 상기 발광 칩(11)의 상면은 광 추출을 위해 요철 구조를 포함할 수 있으며, 이러한 요철 구조는 방출되는 광의 임계각을 변화시켜 줄 수 있다. 또한 상기 요철 구조는 형광체층(61)과의 접촉 면적이 개선될 수 있다. 상기 발광 칩(11)은 상부에 투광성의 기판 예컨대, 사파이어 기판을 포함할 수 있으며, 이에 대해 한정하지는 않는다.

[38] 상기 발광 칩(11)은 하부에 복수의 전극 예컨대, 제1전극(21) 및 제2전극(23)을

포함하며, 상기 제1전극(21) 및 제2전극(23)은 상기 발광 칩(11)의 하부에서 서로 분리되어 배치될 수 있다. 상기 제1전극(21) 및 제2전극(23)은, 금(Au), 니켈(Ni), 크롬(Cr), 탄탈륨(Ta), 백금(Pt), 주석(Sn), 은(Ag), 인(P), 티타늄(Ti), 팔라듐(Pd), 구리(Cu) 중 적어도 하나 또는 이들의 선택적인 합금으로 형성될 수 있으며, 단층 또는 다층으로 형성될 수 있다. 상기 제1전극(21) 및 제2전극(23) 중 적어도 하나는 암(arm) 패턴을 구비할 수 있으며, 이러한 암 패턴은 전류를 확산시켜 줄 수 있다.

- [39] 상기 발광 칩(11)은 발광부(12)를 포함하며, 상기 발광부(12)는 복수의 반도체층을 포함하며, 예컨대 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 갖는 발광 구조물을 포함할 수 있다. 상기 발광부(12)는 상기 발광 구조물 상에 투광성의 기판을 포함할 수 있다. 상기 발광부(12)는 상기 제1,2전극(21,23)과 전기적으로 연결될 수 있다. 상기 제1,2전극(21,23)은 상기 발광부(12)의 아래에 배치될 수 있다.
- [40] 상기 발광 칩(11) 아래에는 지지 부재(13)가 배치된다. 상기 지지 부재(13)는 서로 다른 열 팽창 계수를 갖는 이종의 지지 부재를 포함할 수 있다. 상기 지지 부재(13)는 상기 발광 칩(11)의 제1지지 부재(30) 및 상기 제1지지 부재(30) 아래에 제2지지 부재(40)를 포함한다. 상기 이종의 지지 부재 중 어느 하나는 세라믹 재질이며, 다른 하나는 금속 지지 부재일 수 있다. 상기 이종의 지지 부재 중 어느 하나는 발광 칩(11)에 인접하며, 다른 하나는 어느 하나의 지지 부재 아래에 배치될 수 있다. 상기 제1 및 제2지지 부재(30,40)은 서로 다른 재질을 포함할 수 있다.
- [41] 상기 제1지지 부재(30)는 비 금속 또는 세라믹 재질을 포함하며, 방열 기판 또는 세라믹 기판일 수 있다. 상기 제2지지 부재(40)는 수지 재질을 포함하며, 수지 기판 또는 절연 기판일 수 있다. 상기 제2지지 부재(40)는 보호 칩(51)이 제거된 경우, 상기 보호 칩(51)을 밀봉하는 부재가 제거되므로, 리드 전극(41,43)으로 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [42] 상기 제1지지 부재(30)는 수지 재질에 비해 열 전도도가 높고 열 저항이 낮은 재질일 수 있다. 상기 제1지지 부재(30)는 예컨대, 실리콘(Si), 알루미늄(Al), 타이타늄(Ti), 지르코늄(Zr) 등과 같은 금속원소가 산소, 탄소, 질소 등과 결합하여 만든 산화물, 탄화물, 질화물로 이루어질 수 있다. 상기 제1지지 부재(30)는 질화 알루미늄(AlN) 재질을 포함할 수 있다. 상기 제1지지 부재(30)는 다른 예로서, 탄화규소(SiC), 알루미늄(Al₂O₃), 산화지르코늄(ZrO₂), 질화규소(Si₃N₄), 질소화붕소(BN) 재질 중 적어도 하나를 포함할 수 있다.
- [43] 열 전도율을 보면, AlN은 70~250W/mK, BN은 60-200W/mK, Si₃N₄은 60-90W/mK, Si는 150W/mK, SiC는 270W/mK, Al₂O₃ 및 ZrO₂는 20-30 W/mK일 수 있다. 상기 제1지지 부재(30)는 방열을 위해 열 전도율이 60W/mK 이상인 재질일 수 있다. 상기 제1지지 부재(30)는 제2지지 부재(40)의 열 전도율보다 높은 열 전도율을 갖는 재질로 형성될 수 있다. 이에 따라 상기 제1지지 부재(30)는 상기

발광 칩(11)을 통해 전도되는 열을 효과적으로 방열할 수 있다.

- [44] 상기 제1지지 부재(30)는 패드(31A,33A) 및 비아 전극(31,33)을 포함한다. 상기 패드(31A,33A)는 상기 제1지지 부재(30)의 상면(3)에 배치되며 제1전극(21)과 연결된 제1패드(31A)와, 상기 제2전극(23)과 연결된 제2패드(33A)를 포함한다. 상기 비아 전극(31,33)은 상기 제1전극(21)에 연결된 제1비아 전극(31), 및 상기 제2전극(23)에 연결된 제2비아 전극(33)을 포함한다. 상기 제1비아 전극(31)은 제1패드(31A)를 통해 제1전극(21)에 연결될 수 있으며, 상기 제2비아 전극(33)은 제2패드(33A)를 통해 제2전극(23)에 연결될 수 있다.
- [45] 상기 제1,2패드(31A,33A)는 전도성 재질일 수 있으며, 금속 예컨대, 티타늄(Ti), 팔라듐(Pd), 구리(Cu), 니켈(Ni), 금(Au), 크롬(Cr), 탄탈륨(Ta), 백금(Pt), 주석(Sn), 은(Ag), 알루미늄(Al), 인(P) 중 적어도 하나 또는 이들의 선택적인 합금으로 형성될 수 있다. 상기 제1,2패드(31A,33A)는 단층 또는 다층으로 형성될 수 있다. 상기 제1 및 제2비아 전극(31,33)은 상기 제1지지 부재(30)의 두께(T1)와 동일한 높이이거나 더 높게 형성될 수 있다. 상기 제1 및 제2비아 전극(31,33)은 전도성 재질 예컨대, 금속 재질일 수 있다. 상기 제1 및 제2비아 전극(31,33)은 티타늄(Ti), 팔라듐(Pd), 구리(Cu), 니켈(Ni), 금(Au), 크롬(Cr), 탄탈륨(Ta), 백금(Pt), 주석(Sn), 은(Ag), 인(P) 중 적어도 하나 또는 이들의 선택적인 합금으로 형성될 수 있으며, 단층 또는 다층으로 형성될 수 있다.
- [46] 상기 제1지지 부재(30)는 하면에 제1 및 제2금속층(35,37)이 배치되며, 상기 제1금속층(35)은 상기 제1비아 전극(31)에 연결되며, 상기 제2금속층(37)은 상기 제2비아 전극(33)에 연결될 수 있다. 상기 제1금속층(35)은 상기 제1비아 전극(31)과 오버랩(overlap)되며 상기 제1지지 부재(30)와 상기 제2지지 부재(40) 사이에 배치될 수 있으며, 상기 제2금속층(37)은 상기 제2비아 전극(33)과 수직 방향으로 오버랩되며 상기 제1지지 부재(30)와 제2지지 부재(40) 사이에 배치될 수 있다. 상기 제1 및 제2금속층(35,37)은 금(Au), 구리(Cu), 티타늄(Ti), 니켈(Ni) 중 적어도 하나를 포함할 수 있으며, 단층 또는 다층으로 형성될 수 있다.
- [47] 상기 제1 및 제2금속층(35,37)은 상기 제1지지 부재(30) 또는 제2지지 부재(40)에 포함될 수 있다. 또한 상기 제1 및 제2금속층(35,37)은 상기 제1 및 제2지지 부재(30,40) 사이에 별도의 구성 요소로 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [48] 상기 제2지지 부재(40)는 상기 제1지지 부재(30)의 아래에 배치된다. 상기 제2지지 부재(40)는 상기 제1지지 부재(30)의 열 전도율보다 낮은 열 전도율을 가질 수 있다. 이러한 제2지지 부재(40)의 두께는 상기 제1지지 부재(30)의 두께(T1)보다 얇을 수 있다.
- [49] 상기 제2지지 부재(40)는 수지 재질 예컨대, 실리콘, 에폭시, FR(fluoro resins) 계열, CEM(Composite Epoxy Material) 계열 중 적어도 하나를 포함할 수 있다. 상기 제2지지 부재(40)는 열 전도성 필름을 포함할 수 있다. 상기 열전도성 필름은 폴리에틸렌테레프탈레이트, 폴리부티렌테레프탈레이트,

폴리에틸렌나프탈레이트, 폴리부티렌나프탈레이트 등의 폴리에스터 수지; 폴리아미드 수지; 아크릴 수지; 폴리스티렌 및 아크릴로니트릴-스티렌 등의 스티렌계 수지; 폴리카보네이트 수지; 폴리락트산 수지; 폴리우레탄 수지; 등을 사용할 수 있다. 또한, 폴리에틸렌, 폴리프로필렌, 에틸렌-프로필렌 공중합체와 같은 폴리올레핀 수지; 폴리비닐클로라이드, 폴리비닐리덴클로라이드 등의 비닐 수지; 폴리아미드 수지; 셀론계 수지; 폴리에테르-에테르케톤계 수지; 알릴레이트계 수지; 또는 상기 수지들의 블렌드 중에서 적어도 하나를 포함할 수 있다.

- [50] 상기 제2지지 부재(40) 내에는 제1 및 제2리드 전극(41,43)이 배치된다. 상기 제1 및 제2리드 전극(41,43)은 상기 제2지지 부재(40)에 포함되거나 별도의 금속 지지부재로 구성될 수 있으며, 이에 대해 한정하지는 않는다. 상기 제1리드 전극(41)은 상기 제1금속층(35) 아래에 배치되며, 상기 제2리드 전극(43)은 상기 제2금속층(37) 아래에 배치될 수 있다. 상기 제1리드 전극(41)은 상기 제1금속층(35)에 전기적으로 연결됨으로써, 상기 제1비아 전극(31)을 통해 발광 칩(11)의 제1전극(21)에 연결될 수 있다. 상기 제2리드 전극(43)은 상기 제2금속층(37)에 전기적으로 연결됨으로써, 상기 제2비아 전극(33)을 통해 발광 칩(11)의 제2전극(23)에 연결될 수 있다.
- [51] 상기 제1리드 전극(41) 및 상기 제2리드 전극(43)의 하면은 상기 제2지지 부재(40)의 하면(6)보다 하 방향으로 더 돌출될 수 있다. 상기 제1 및 제2리드 전극(41,43)이 상기 제2지지 부재(40)의 하면(6)의 아래로 돌출될 경우, 솔더와 같은 접합 부재와의 접착력이 개선될 수 있다. 다른 예로서, 상기 제1리드 전극(41) 및 상기 제2리드 전극(43)의 하면은 상기 제2지지 부재(40)의 하면(6)과 동일 수평 면 상에 배치될 수 있다. 이 경우, 상기 제1리드 전극(41) 및 상기 제2리드 전극(43)의 하면은 상면보다 더 넓은 면적을 가질 수 있다.
- [52] 도 2와 같이, 상기 제2지지 부재(40)는 제1축 방향의 길이(x_1)와 제2축 방향의 길이(Y_1)가 서로 동일하거나 서로 다를 수 있다. 상기 제2지지 부재(40)의 하면 면적은 도 1에 도시된, 제1지지 부재(30)의 하면(4)의 면적과 동일할 수 있다. 상기 제2지지 부재(40)의 하면 면적은 도 1에 도시된, 상기 반사 부재(71)의 상면(7)의 면적과 동일하거나 더 넓을 수 있다.
- [53] 상기 제2반사 부재(40) 및 발광 칩(11)의 길이를 비교하면, 제1축 방향은 $X_1 > X_3$ 의 관계를 가지며, 제2축 방향은 $Y_1 > Y_3$ 의 관계를 가질 수 있다. 이 경우 발광 칩(11)을 안정적으로 지지하고 내부 리드 전극(41,43)을 고정시켜 줄 수 있다. 상기 리드 전극(41,43)의 제2축 방향의 길이(Y_4)는 Y_2 보다 길게 형성되어, 제1축 방향과 직교하는 제2축 방향으로의 방열 면적을 증가시켜 줄 수 있고 방열 효율을 개선시켜 줄 수 있다. 상기 제1,2리드 전극(41,43)은 상기 발광 칩(11)의 영역보다 더 외측으로 연장되어 배치됨으로써, 제1축 및 제2축 방향으로의 방열 면적을 증가시켜 줄 수 있다.

[54]

- [55] 상기 제1 및 제2리드 전극(41,43)의 두께(T2)는 상기 제2지지 부재(40)의 두께(T4)와 동일하거나 더 두꺼울 수 있다. 이에 따라 상기 제2지지 부재(40) 내에서 상기 제1,2리드 전극(41,43)의 방열 효율은 개선될 수 있다. 상기 제1 및 제2리드 전극(41,43)은 티타늄(Ti), 팔라듐(Pd), 구리(Cu), 니켈(Ni), 금(Au), 크롬(Cr), 탄탈륨(Ta), 백금(Pt), 주석(Sn), 은(Ag), 알루미늄(Al), 인(P) 중 적어도 하나 또는 이들의 선택적인 합금으로 형성될 수 있으며, 단층 또는 다층으로 형성될 수 있다. 상기 제1 및 제2리드 전극은 예컨대, 구리 또는 구리 합금을 포함할 수 있다.
- [56]
- [57] 상기 제1 및 제2리드 전극(41,43)은 전원 공급과 상기 제1지지 부재(30)로부터 전도된 열을 전도하거나 방열하게 된다. 이러한 제1 및 제2리드 전극(41,43)은 방열 표면적을 위해, 소정 크기를 가질 수 있다. 상기 제1 및 제2리드 전극(41,43)의 두께(T2)는 상기 제1지지 부재(30)의 두께(T1)의 1/2 이상이거나 상기 제1지지 부재(30)의 두께(T1) 이하일 수 있다. 상기 제1지지 부재(30)의 두께(T1)가 제1,2리드 전극(41,43)의 두께(T2)의 1/2 미만인 경우, 열 전달 효율이 저하될 수 있다. 상기 제1,2리드 전극(41,43)의 두께(T2)는 0.5T1 내지 T1의 범위로 형성됨으로써, 상기 제1지지 부재(30)를 통해 전도된 열을 효과적으로 방열할 수 있다.
- [58] 상기 제1 및 제2리드 전극(41,43)의 두께(T2)는 상기 보호 칩(51)의 두께와 상기 와이어(53)의 저점 높이를 합한 값보다 큰 값으로서, 0.15mm 이상 예컨대, 0.18mm 내지 0.3mm의 범위로 형성될 수 있다. 상기 제1 및 제2리드 전극(41,43)의 두께(T2)가 상기 범위보다 작을 경우 상기 와이어(53)의 저점이 리드 전극(41,43)의 아래로 노출되거나, 제2지지 부재(40)의 하면으로 노출되어, 전기적인 신뢰성이 저하될 수 있다. 상기 제1 및 제2리드 전극(41,43)의 두께(T2)가 상기 범위보다 두꺼운 경우 발광 소자(10)의 두께가 두꺼워지는 문제가 있다.
- [59] 이러한 지지 부재(13)의 두께(T1+T2)는 상기 제1지지 부재(30)과 리드 전극(41,43)의 두께 비율에 따라 달라질 수 있다. 상기 지지 부재(13)의 열 저항에 따른 두께를 설정할 수 있으며, 이에 대해 도 10 내지 도 12를 참조하기로 한다.
- [60] 도 10은 실시 예에 따른 발광 소자에서, 상기 제1지지 부재(30)의 재질과 열 저항 값의 관계를 나타낸 그래프이다. 도 1에 도시된, 상기 제1지지 부재(30)는 세라믹 재질로서 AlN이며, 열 저항 값은 AlN의 두께가 0.2mm까지는 감소하지만, 0.2mm±0.02mm를 초과할 경우 열 저항 값이 점차 증가하게 됨을 알 수 있다. 이러한 제1지지 부재(30)는 상기한 열 저항 값을 고려하여 0.2mm±0.02mm 범위의 두께를 가질 수 있으며, 상기 두께 범위에 의해 열 저항 값을 낮추어 전 표면을 통해 열을 확산시켜 줄 수 있다.
- [61] 도 11은 실시 예에 따른 발광 소자에서, 지지 부재(13)의 전체 두께(T1+T2)에 대한 리드 전극(41,43)의 두께(T2)의 비율에 따른 열 저항 값을 나타낸 도면이다.

- [62] 도 11을 보면, 도 1에 도시된 지지 부재(13)와 리드 전극(41,43)의 두께(T1+T2)에 대한 리드 전극(41,43)의 두께(T2)의 비율이 $50\% \pm 10\%$ 의 비율일 때 열 저항 값이 가장 낮음을 알 수 있다. 즉, 상기 리드 전극(41,43)의 두께(T2)는 두께(T1+T2)의 40% 내지 60% 범위의 비율($T2/(T1+T2)$)로 형성할 경우, 발광 소자(10)의 열 저항 값은 낮아짐을 알 수 있다. 이때, 상기 비율은 지지 부재(13)의 두께(T1+T2)는 일정하게 하고, 상기 리드 전극(41,43)의 두께(T2)만을 변화시킨 것이다.
- [63] 도 12는 실시 예에 따른 지지 부재의 전체 두께에 따른 비교 예와 실시 예를 비교한 도면이다.
- [64] 도 12를 참조하면, 비교 예는 세라믹 기판(예: AlN)을 복수로 적층한 발광 소자로서, 세라믹 기판(AlN)의 두께가 증가할수록 열 저항 값은 점차 증가됨을 알 수 있다.
- [65] 그리고, 실시 예와 같이 제1지지 부재인 세라믹 기판(AlN)의 두께(T1)을 $0.2\text{mm} \pm 0.02\text{mm}$ 로 고정한 경우, 열 저항 값의 증가는 비교 예보다 낮아짐을 알 수 있다. 즉, 제1지지 부재의 두께(T1)는 상기의 두께를 초과할 경우 열 저항 값이 다시 증가되는 문제가 발생될 수 있으므로, 상기 제1지지 부재와 리드 전극의 적층 구조를 제공한 것이다. 상기 리드 전극이 Cu인 경우로 실험하였다.
- [66] 그리고, 실시 예의 지지 부재(13) 내의 두께 비율은 제1지지부재/리드 전극의 두께 비율로서, 예컨대, AlN/Cu의 비율이 40% 내지 55% 범위일 때 열 저항의 저감율이 높게 나타남을 알 수 있다. 이때의 지지 부재의 전체 두께(T1+T2)는 상기의 비율을 고려한 경우, 0.5mm 이하 예컨대, 0.36mm 내지 0.5mm 범위일 수 있다.
- [67] 실시 예는 상기 제1 및 제2리드 전극(41,43)과 발광 칩(11) 사이에 세라믹 재질의 제1지지 부재(30)가 배치됨으로써, 회로 기판 상에 솔더와 같은 접합 부재가 접합될 때, 발광 칩(11)으로 전달되는 열 응력을 줄여줄 수 있다. 또한 상기 제1 및 제2리드 전극(41,43)이 구리(Cu) 재질인 경우, 접합 부재와의 열 팽창 계수(Coefficient of Thermal Expansion) 차이를 줄여줄 수 있어, 접합 부재의 크랙을 방지할 수 있다.
- [68]
- [69] 상기 제2지지 부재(40)는 보호 칩(51)을 포함할 수 있다. 상기 보호 칩(51)은 상기 제1 및 제2금속층(35,37) 중 적어도 하나의 아래에 배치될 수 있다. 상기 보호 칩(51)은 상기 제1 및 제2금속층(35,37)과 전기적으로 연결될 수 있다. 상기 보호 칩(51)은 상기 제1금속층(35) 아래에 배치되고 상기 제2금속층(37)과 와이어(53)로 연결될 수 있다.
- [70] 상기 보호 칩(51) 및 와이어(53)는 상기 제2지지 부재(40) 내에 밀봉됨으로써, 외부에 노출되는 것을 방지하여, 전기적으로 보호할 수 있다.
- [71] 도 2와 같이, 상기 제1리드 전극(41)에는 제1리세스(R1)가 배치될 수 있으며, 상기 제2리드 전극(43)에는 제2리세스(R2)가 배치될 수 있다. 상기

제1리세스(R1)는 상기 제1 및 제2리드 전극(41,43) 사이의 갭(gap)(5)으로부터 제1리드 전극(41) 방향 또는 상기 제2지지 부재(40)의 제1측면 방향으로 오목하게 함몰되며, 상기 제2리세스(R2)는 상기 제1 및 제2리드 전극(41,43) 사이의 갭(5)으로부터 제2리드 전극(43) 방향 또는 상기 제2지지 부재(40)의 제2측면 방향으로 오목하게 함몰될 수 있다. 상기 제1측면 및 제2측면은 서로 반대측 측면이 될 수 있다. 상기 제1,2리드 전극(41,43)의 갭(5)의 너비(B1)는 $B4 > B1$ 또는 $B5 > B1$ 의 관계를 가질 수 있다. 상기 B4는 제1리세스(R1)의 깊이이며, B5는 제2리세스(R2)의 깊이를 나타낸다. 여기서, 상기 제1 및 제2리드 전극(41,43) 간의 간격(B1)은 상기 제1 및 제2전극(21,23) 간의 간격보다 크게 배치되어, 상기 제1 및 제2리드 전극(41,43) 사이의 영역에서 열이 집중되는 것을 방지할 수 있다.

[72] 상기 제1리드 전극(41)의 상면 또는 하면 면적이 상기 제1전극(21)의 하면 면적보다 크게 배치되므로, 상기 제1리드 전극(41)에 의한 방열 효율을 개선시켜 줄 수 있다. 상기 제2리드 전극(43)의 상면 또는 하면 면적이 상기 제2전극(23)의 하면 면적보다 크게 배치되므로, 상기 제2리드 전극(43)에 의한 방열 효율을 개선시켜 줄 수 있다.

[73]

[74] 도 1 및 도 2를 참조하면, 상기 제1리세스(R1)는 바텀 뷰 형상이 다각형 형상 또는 타원 형상이거나 반구 형상일 수 있다. 상기 제1리세스(R1)는 상기 제1리드 전극(41)의 두께(T4)와 동일한 높이를 가지며, 상기 제1리드 전극(41)의 너비(X4)의 1/2 이하의 깊이(B4)를 가질 수 있다. 상기 제1리세스(R1)의 높이가 낮을 경우 보호 칩(51)의 탑재가 용이하지 않고 상기 제1리세스(R1)의 깊이(B4)가 X4의 1/2을 초과할 경우 방열 면적이 감소될 수 있다.

[75] 상기 제2리세스(R2)는 바텀뷰 형상이 다각형 형상 또는 타원 형상이거나 반구 형상일 수 있다. 상기 제2리세스(R2)는 상기 제2리드 전극(43)의 두께(T2)와 동일한 높이를 가지며, 상기 제2리드 전극(43)의 너비(X5)의 1/2 이하의 깊이(B5)를 가질 수 있다. 상기 제2리세스(R2)의 높이가 낮을 경우 와이어의 본딩이 용이하지 않고 상기 제2리세스(R2)의 깊이(B5)가 X5의 1/2을 초과할 경우 방열 면적이 감소될 수 있다.

[76] 상기 제1,2리세스(R1,R2)의 너비(B2,B3)는 서로 동일하거나 다를 수 있으며, 다를 경우 $B2 > B3$ 의 관계를 가질 수 있다. 상기 제1,2리세스(51,53)은 동일한 크기일 수 있으며, 이는 제1,2리드 전극(41,43)의 방열 특성을 균등하게 할 수 있다. 다른 예로서, 상기 보호 칩(51)이 배치된 제1리세스(R1)의 면적은 상기 와이어(53)의 단부가 배치된 제2리세스(R2)의 면적보다 더 크게 배치될 수 있다.

[77] 도 1과 같이, 상기 제1리세스(R1)에는 상기 제1금속층(35)이 배치되며, 상기 제2리세스(R2)에는 제2금속층(37)이 배치될 수 있다. 상기 제1리세스(R1)에는 상기 보호 칩(51)이 배치되며, 상기 제2리세스(R2)에는 상기 와이어(53)의 단부가 배치될 수 있다. 상기 보호 칩(51) 및 와이어(53)는 상기 제1 및 제2리세스(R1,R2)

내에서 상기 제1 및 제2금속층(37)에 연결되어, 상기 발광 칩(11)을 보호할 수 있다. 다른 예로서, 상기 보호 칩(51)은 제2리세스(R2)에 배치되고, 와이어(53)는 제1리세스(R1)에 배치될 수 있으며, 이에 대해 한정하지는 않는다.

[78] 상기 제1 및 제2리세스(R1,R2)는 상기 발광 소자(10)의 하부 센터 영역에 배치되거나, 센터 영역을 벗어난 영역에 배치될 수 있으며, 이에 대해 한정하지는 않는다. 상기 제1 및 제2리세스(R1,R2)는 리드 전극(41,43) 내에 형성되지 않을 수 있다.

[79]

[80] 상기 보호 칩(51)은 싸이리스터, 제너 다이오드, 또는 TVS(Transient voltage suppression) 소자로 구현될 수 있다. 상기 보호 칩(51)은 상기 발광 칩(11)과 병렬 또는 역 병렬로 연결될 수 있다. 상기 보호 칩(51)은 단 방향 다이오드 또는 양 방향 다이오드일 수 있다. 상기 보호 칩(51)은 상기 발광 칩(11)을 ESD(electro static discharge)로부터 보호하게 된다.

[81] 상기 보호 칩(51)의 어느 한 변의 길이는 상기 발광 칩(11)의 어느 한 변의 길이보다 짧을 수 있다. 상기 보호 칩(51)의 두께는 상기 발광 칩(11)의 두께 및 상기 리드 전극(41,43)의 두께보다 얇을 수 있다.

[82]

[83] 상기 발광 소자(10)는 형광체층(61)을 포함할 수 있다. 상기 형광체층(61)은 상기 발광 칩(11)의 상면 위에 배치될 수 있다. 상기 형광체층(61)은 상기 발광 칩(11)의 상면 상에 접촉되거나 이격되게 배치될 수 있다. 상기 형광체층(61)은 상기 발광 칩(11)의 상면 및 측면 상에 접촉되거나 이격되게 배치될 수 있다.

[84] 상기 형광체층(61)의 너비 또는 상면 면적은 상기 발광 칩(11)의 너비 또는 상면 면적과 같거나 더 넓을 수 있다. 예컨대, 도 2와 같이 형광체층(61)의 제1축 방향의 길이(X2)와 제2축 방향의 길이(Y2)를 보면, $X2 > X3$ 의 관계를 가지며, $Y2 > Y3 > B2$ 의 관계를 가질 수 있다. 이러한 형광체층(61)이 상기 발광 칩(11)의 상면 전체를 커버하는 크기로 배치되므로, 상기 발광 칩(11)으로부터 방출된 광의 파장 변환 효율이 개선될 수 있다.

[85] 상기 형광체층(61)은 상기 발광 칩(11)으로부터 방출된 일부 광을 파장 변환하게 된다. 상기 형광체층(61)은 실리콘 또는 에폭시 수지 내에 형광체를 포함하며, 상기 형광체는 적색 형광체, 녹색 형광체, 청색 형광체, 황색 형광체 중 적어도 하나를 포함할 수 있으며, 이에 대해 한정하지는 않는다. 상기 형광체는 예컨대, YAG, TAG, Silicate, Nitride, Oxy-nitride 계 물질 중에서 선택적으로 형성될 수 있다.

[86] 상기 형광체층(61)의 너비는 상기 발광 칩(11)의 너비보다는 넓고 상기 제1 및 제2지지 부재(30,40)의 너비보다는 좁을 수 있으며, 이에 대해 한정하지는 않는다. 상기 형광체층(61)의 상면은 볼록한 면, 오목한 면, 평탄한 면이거나, 또는 러프한 면 중 적어도 하나를 포함할 수 있다.

[87]

- [88] 상기 발광 칩(11)의 둘레에 반사 부재(71)가 배치된다. 상기 반사 부재(71)는 상기 발광 칩(11)의 외측 둘레에 배치될 수 있다. 상기 반사 부재(71)는 상기 지지 부재(13)의 외측 둘레 상에 배치될 수 있다. 상기 반사 부재(71)는 상기 제1지지 부재(30) 상에 배치될 수 있다. 이러한 반사 부재(71)는 상기 발광 칩(11)의 외측면을 밀봉함으로써, 습기 침투를 억제할 수 있다. 상기 반사 부재(71)의 상면(7)은 상기 발광 칩(11)의 상면 보다 높고 상기 형광체층(61)의 상면보다 낮게 배치되어, 발광 칩(11)에 의한 측면 광의 손실을 줄이고 형광체층(61)을 통한 광 추출 효율을 개선시켜 줄 수 있다.
- [89] 상기 반사 부재(71)는 발광 칩(11)의 하면 측, 제1 및 제2전극(21,23)의 하면부터 상기 발광 칩(11)의 상면의 둘레까지 형성될 수 있다. 상기 반사 부재(71)는 상기 발광 소자(10)가 형광체층(61)을 구비한 경우, 상기 발광 칩(11)의 하면부터 상기 형광체층(61)의 상면 높이까지의 둘레에 배치될 수 있다. 여기서, 상기 형광체층(61)의 상면은 상기 반사 부재(71)의 상면(7)과 동일한 수평 면 상에 배치되거나 더 높게 배치될 수 있으며, 이에 대해 한정하지는 않는다. 상기 형광체층(61)은 제거되거나 이격되게 배치될 수 있으며, 이에 대해 한정하지는 않는다.
- [90] 상기 반사 부재(71)는 발광 칩(11) 및 형광체층(61)의 둘레에 배치되어, 상기 발광 칩(11) 및 상기 형광체층(61)으로부터 입사된 광을 반사시켜 주어, 상기 형광체층(61)을 통해 광이 추출되도록 한다. 다른 예로서, 반사 부재(71)와 발광 칩(11) 사이의 영역에 광 추출을 위해, 투광성의 광 가이드층(미도시)이 배치될 수 있다. 상기 광 가이드층은 상기 반사 부재(71)와 상기 발광 칩(11) 사이에 투명한 수지 재질로 형성되며, 상기 발광 칩(11)의 측 방향으로 방출된 광을 상 방향으로 가이드할 수 있다. 상기 반사 부재(71)는 발광 칩(11)에 직접 접촉되지 않고, 광 가이드층에 접촉되므로, 광 가이드층으로 진행되는 광을 상 방향으로 반사시켜 줄 수 있다. 상기 광 가이드층은 상기 형광체층(61)과 상기 반사 부재(71) 사이에 연장되어 배치될 수 있다. 상기 형광체층(61)과 상기 반사 부재(71) 사이에 광 가이드층이 배치되므로, 형광체층(61)과 반사 부재(71) 사이의 접촉력을 개선시켜 줄 수 있다.
- [91] 상기 반사 부재(71)는 비 금속 재질 또는 절연 재질을 포함하며, 예컨대 실리콘 또는 에폭시와 같은 수지 재질로 형성될 수 있다. 상기 반사 부재(71)는 내부에 상기 수지 재질의 굴절률보다 높은 굴절률을 갖는 불순물을 포함할 수 있다. 상기 반사 부재(71)는 Al, Cr, Si, Ti, Zn, Zr 중 적어도 하나를 갖는 산화물, 질화물, 불화물, 황화물과 같은 화합물들 중 적어도 하나가 첨가될 수 있다. 상기 반사 부재(71)는 예컨대, TiO_2 , SiO_2 , Al_2O_3 중 적어도 하나를 포함할 수 있다.
- [92] 상기 반사 부재(71)의 두께는 상기 발광 칩(11) 및 형광체층(61)의 두께의 합과 같거나 더 얇을 수 있다. 이러한 반사 부재(71)의 크기에 따라 상기 발광 소자(10)의 크기가 달라질 수 있어, 이러한 발광 소자(10)의 두께는 얇은 두께로 제공될 수 있다.

[93]

[94] 도 3은 도 1의 발광 소자의 다른 예이다. 도 4를 설명함에 있어서, 도 1과 동일한 구성은 도 1의 설명을 참조하기로 한다.

[95] 도 3을 참조하면, 발광 소자는 발광 칩(11) 아래에 제1 및 제2지지 부재(30,40)가 배치되며, 상기 발광 칩(11)의 둘레에 반사 부재(71)가 배치될 수 있다.

[96] 상기 제2지지 부재(40) 내에는 보호 칩(51)이 배치될 수 있으며, 상기 보호 칩(51)은 제1 및 제2금속층(35,37) 아래에 플립 칩 형태로 탑재될 수 있다. 이에 따라 상기 제1 및 제2리드 전극(43) 간의 간격은 줄어들 수 있다. 예컨대, 도 2에 도시된, 제1 및 제2리세스(R1,R2)의 깊이가 도 2의 갭(5)의 너비(B1)와 동일하거나 깊이(B4,B5)에 비해 줄어들 수 있어, 제 1 및 제2리드 전극(41,43)의 표면적이 도 1의 구조에 비해 증가될 수 있다.

[97] 도 3의 다른 예로서, 상기 반사 부재(71)와 발광 칩(11) 사이의 영역에 광 추출을 위해, 투광성의 광 가이드층(미도시)이 배치될 수 있다. 상기 광 가이드층은 상기 반사 부재(71)와 상기 발광 칩(11) 사이에 투명한 수지 재질로 형성되며, 상기 발광 칩(11)의 측 방향으로 방출된 광을 상 방향으로 가이드할 수 있다. 상기 반사 부재(71)는 발광 칩(11)에 직접 접촉되지 않고, 광 가이드층에 접촉되므로, 광 가이드층으로 진행되는 광을 상 방향으로 반사시켜 줄 수 있다. 상기 광 가이드층은 상기 형광체층(61)과 상기 반사 부재(71) 사이에 연장되어 배치될 수 있다. 상기 형광체층(61)과 상기 반사 부재(71) 사이에 광 가이드층이 배치되므로, 형광체층(61)과 반사 부재(71) 사이의 접촉력을 개선시켜 줄 수 있다.

[98]

[99] 도 4는 제2실시 예에 따른 발광 소자를 나타낸 측 단면도이다. 상기 제2실시 예를 설명함에 있어서, 제1실시 예와 동일한 부분은 제1실시 예의 구성을 참조하기로 한다.

[100] 도 4를 참조하면, 발광 소자(10)는 발광 칩(11)과, 상기 발광 칩(11)의 아래에 복수의 리드 전극(45,47)을 갖는 제2지지 부재(40A)와, 상기 제2지지 부재(40A) 아래에 복수의 비아 전극(31,33)을 갖는 제1지지 부재(30A)와, 상기 복수의 리드 전극(45,47) 사이에 배치된 보호 칩(51)과, 상기 발광 칩(11)의 둘레에 배치된 반사 부재(71)를 포함한다.

[101] 제2실시 예는 발광 칩(11)과 제1지지 부재(30A) 사이에 제2지지 부재(40A)를 배치한 구조이다. 이는 제1지지 부재(30A)의 상면(도 1의 3) 또는 하면에 제2지지 부재(40A)를 배치하여, 발광 칩(11)으로 전달되는 열 응력에 의한 충격을 줄여줄 수 있다.

[102]

[103] 상기 제2지지 부재(40A)는 수지 재질 예컨대, 실리콘, 에폭시, FR(fluoro resins) 계열, CEM(Composite Epoxy Material) 계열 중 적어도 하나를 포함할 수 있다. 상기 제2지지 부재(40A)는 열 전도성 필름을 포함할 수 있다. 상기 열전도성

필름은 폴리에틸렌테레프탈레이트, 폴리부티렌테레프탈레이트, 폴리에틸렌나프탈레이트, 폴리부티렌나프탈레이트 등의 폴리에스터 수지; 폴리아미드 수지; 아크릴 수지; 폴리스티렌 및 아크릴로니트릴-스티렌 등의 스티렌계 수지; 폴리카보네이트 수지; 폴리락트산 수지; 폴리우레탄 수지; 등을 사용할 수 있다. 또한, 폴리에틸렌, 폴리프로필렌, 에틸렌-프로필렌 공중합체와 같은 폴리올레핀 수지; 폴리비닐클로라이드, 폴리비닐리덴클로라이드 등의 비닐 수지; 폴리아미드 수지; 셀론계 수지; 폴리에테르-에테르케톤계 수지; 알릴레이트계 수지; 또는 상기 수지들의 블렌드 중에서 적어도 하나를 포함할 수 있다.

[104]

[105] 상기 제2지지 부재(40A) 내에는 제1 및 제2리드 전극(45,47)이 배치된다. 상기 제1 및 제2리드 전극(45,47)은 상기 제2지지 부재(40A)에 포함되거나 별도의 금속 지지 부재로 구성될 수 있으며, 이에 대해 한정하지는 않는다.

[106] 상기 제1리드 전극(45)은 상기 제1전극(21) 아래에 배치되며, 상기 제2리드 전극(47)은 상기 제2전극(23) 아래에 배치될 수 있다. 상기 제1 및 제2리드 전극(45,47)은 발광 칩(11)에 연결될 수 있다.

[107] 상기 제2지지 부재(40A)의 아래에는 제1 및 제2금속층(42,44)이 배치되며, 상기 제1 및 제2금속층(42,44) 중 적어도 하나의 위에는 보호 칩(51)이 배치될 수 있다. 상기 보호 칩(51)은 상기 제1금속층(42) 상에 배치되고, 상기 보호 칩(51)에 연결된 와이어(53)는 제2금속층(44)에 연결될 수 있다. 상기 제1,2리드 전극(45,47)은 도 2와 같은 리세스(R1,R2)의 구조를 가질 수 있어, 상기 리세스(R1,R2) 내에 상기 보호 칩(51) 및 이의 와이어(53)이 배치될 수 있다.

[108] 상기 보호 칩(51)은 상기 복수의 리드 전극(45,47) 사이에 제2지지 부재(40A)로 밀봉될 수 있다. 이러한 보호 칩(51)은 밀봉되며, 발광 칩(11)을 전기적으로 보호할 수 있다. 또한 보호 칩(51)을 제2지지 부재(40A) 내에 매립하게 됨으로써, 발광 소자의 크기를 줄여줄 수 있다. 다른 예로서, 상기 보호 칩(51)은 상기 제1 및 제2금속층(42,44) 상에 플립 칩 형태로 탑재될 수 있으며, 이에 대해 한정하지는 않는다.

[109] 상기 보호 칩(51)은 싸이리스터, 제너 다이오드, 또는 TVS(Transient voltage suppression) 소자로 구현될 수 있다. 상기 보호 칩(51)은 상기 발광 칩(11)과 병렬 또는 역 병렬로 연결될 수 있다. 상기 보호 칩(51)은 단 방향 다이오드 또는 양 방향 다이오드일 수 있다. 상기 보호 칩(51)은 상기 발광 칩(11)을 ESD(electro static discharge)로부터 보호하게 된다.

[110]

[111] 상기 제1 및 제2리드 전극(45,47)의 두께(T2)는 상기 제2지지 부재(40A)의 두께와 동일할 수 있어, 방열 효율을 개선시켜 줄 수 있다. 상기 제1 및 제2리드 전극(45,47)은 티타늄(Ti), 팔라듐(Pd), 구리(Cu), 니켈(Ni), 금(Au), 크롬(Cr), 탄탈륨(Ta), 백금(Pt), 주석(Sn), 은(Ag), 인(P) 중 적어도 하나 또는 이들의

선택적인 합금으로 형성될 수 있으며, 단층 또는 다층으로 형성될 수 있다. 상기 제1 및 제2리드 전극(45,47)은 예컨대, 구리 또는 구리 합금을 포함할 수 있다.

- [112] 상기 제2지지 부재(40A) 아래에는 제1지지 부재(30A)가 배치된다. 상기 제1지지 부재(30A)는 수지 재질에 비해 열 전도도가 높고 열 저항이 낮은 재질일 수 있다. 상기 제1지지 부재(30A)는 예컨대, 실리콘(Si), 알루미늄(Al), 타이타늄(Ti), 지르코늄(Zr) 등과 같은 금속원소가 산소, 탄소, 질소 등과 결합하여 만든 산화물, 탄화물, 질화물로 이루어질 수 있다. 상기 제1지지 부재(30A)는 질화 알루미늄(AlN) 재질을 포함할 수 있다. 상기 제1지지 부재(30A)는 다른 예로서, 탄화규소(SiC), 알루미나(Al_2O_3), 산화지르코늄(ZrO_2), 질화규소(Si_3N_4), 질소화붕소(BN) 재질 중 적어도 하나를 포함할 수 있다.

[113]

- [114] 상기 제1지지 부재(30A)는 비아 전극(32,34)을 포함하며, 상기 비아 전극(32,34)은 상기 제1전극(21)에 연결된 제1비아 전극(32), 상기 제2전극(23)에 연결된 제2비아 전극(34)을 포함한다. 상기 제1 및 제2비아 전극(32,34)은 상기 제1지지 부재(30A)의 두께(T1)와 동일한 높이이거나 더 높게 형성될 수 있다. 상기 제1 및 제2비아 전극(32,34)은 전도성 재질 예컨대, 금속 재질일 수 있다. 상기 제1 및 제2비아 전극(32,34)은 티타늄(Ti), 팔라듐(Pd), 구리(Cu), 니켈(Ni), 금(Au), 크롬(Cr), 탄탈륨(Ta), 백금(Pt), 주석(Sn), 은(Ag), 인(P) 중 적어도 하나 또는 이들의 선택적인 합금으로 형성될 수 있으며, 단층 또는 다층으로 형성될 수 있다.

- [115] 실시 예에 따른 리드 전극(45,47)의 두께(T2)와 상기 제1지지 부재(30A)의 두께(T1)는 도 10 내지 도 12의 설명을 참조하기로 한다. 즉, 상기 제1지지 부재(30A)의 상면에 상기 리드 전극(45,47)을 적용하더라도, 상기 두께(T1,T2)는 제1실시 예에 개시된 범위 내에서 적용할 수 있다.

- [116] 상기 제1지지 부재(30A)의 하면에 제3 및 제4금속층(36,38)이 배치되며, 상기 제3금속층(36)은 상기 제1비아 전극(32)에 연결되며, 상기 제4금속층(38)은 상기 제2비아 전극(34)에 연결될 수 있다. 상기 제3금속층(36)은 상기 제1비아 전극(32)과 수직 방향으로 오버랩되며, 상기 제4금속층(38)은 상기 제2비아 전극(34)과 수직 방향으로 오버랩될 수 있다.

- [117] 상기 제3 및 제4금속층(36,38)은 상기 제2지지 부재(40)에 포함되거나, 별도의 본딩 패드로 형성될 수 있으며, 이에 대해 한정하지는 않는다.

- [118] 상기 제3 및 제4금속층(36,38)은 티타늄(Ti), 팔라듐(Pd), 구리(Cu), 니켈(Ni), 금(Au), 크롬(Cr), 탄탈륨(Ta), 백금(Pt), 주석(Sn), 은(Ag), 인(P) 중 적어도 하나 또는 이들의 선택적인 합금으로 형성될 수 있으며, 단층 또는 다층으로 형성될 수 있다. 상기 제3 및 제4금속층(36,38)은 패드로서, 금(Au)을 포함할 수 있다.

[119]

- [120] 상기 발광 소자(10)는 형광체층(61)을 포함할 수 있다. 상기 형광체층(61)은 상기 발광 칩(11)의 상면 위에 배치될 수 있다. 상기 형광체층(61)은 상기 발광

칩(11)의 상면 상에 접촉되거나 이격되게 배치될 수 있다. 상기 형광체층(61)은 상기 발광 칩(11)의 상면 및 측면 상에 접촉되거나 이격되게 배치될 수 있다. 상기 형광체층(61)이 상기 발광 칩(11)의 상면 전체를 커버하는 크기로 배치되므로, 상기 발광 칩(11)으로부터 방출된 광의 파장 변환 효율이 개선될 수 있다. 상기 형광체층(61)의 상면은 볼록한 면, 오목한 면, 평탄한 면이거나, 또는 러프한 면 중 적어도 하나를 포함할 수 있다.

[121]

[122] 상기 발광 칩(11)의 둘레에 반사 부재(71)가 배치된다. 상기 반사 부재(71)는 상기 발광 칩(11)의 외측 둘레 및 상기 제2지지 부재(40A)의 외측 상면 위에 배치될 수 있다. 상기 발광 칩(11)의 외 측면은 상기 반사 부재(71)의 양 측면 또는 모든 측면으로부터 이격될 수 있어, 습기 침투를 억제할 수 있다.

[123] 상기 반사 부재(71)는 발광 칩(11)의 하면 즉, 제1 및 제2전극(21,23)의 하면부터 상기 발광 칩(11)의 상면의 둘레까지 형성될 수 있다. 상기 반사 부재(71)는 상기 발광 소자(10)가 형광체층(61)을 구비한 경우, 상기 발광 칩(11)의 하면부터 상기 형광체층(61)의 상면 높이까지의 둘레에 배치될 수 있다. 여기서, 상기 형광체층(61)의 상면은 상기 반사 부재(71)의 상면과 동일한 수평 면 상에 배치되거나 더 높게 배치될 수 있으며, 이에 대해 한정하지는 않는다. 상기 형광체층(61)은 제거되거나 이격되게 배치될 수 있으며, 이에 대해 한정하지는 않는다.

[124] 상기 반사 부재(71)는 상기 제2지지 부재(40A)의 상면에 접촉될 수 있다. 상기 반사 부재(71)는 상기 제2지지 부재(40A)의 상면 외측과 상기 리드 전극(45,47)의 상면에 접촉될 수 있다. 이에 따라 반사 부재(71)는 상기 반사 부재(71)과 제2지지 부재(40A) 사이의 계면으로 습기가 침투하는 것을 방지할 수 있다. 다른 예로서, 상기 반사 부재(71)와 발광 칩(11) 사이의 영역에 광 추출을 위해, 투광성의 광 가이드층(미도시)이 배치될 수 있다. 상기 광 가이드층은 상기 반사 부재(71)와 상기 발광 칩(11) 사이에 투명한 수지 재질로 형성되며, 상기 발광 칩(11)의 측 방향으로 방출된 광을 상 방향으로 가이드할 수 있다. 상기 반사 부재(71)는 발광 칩(11)에 직접 접촉되지 않고, 광 가이드층에 접촉되므로, 광 가이드층으로 진행되는 광을 상 방향으로 반사시켜 줄 수 있다. 상기 광 가이드층은 상기 형광체층(61)과 상기 반사 부재(71) 사이에 연장되어 배치될 수 있다. 상기 형광체층(61)과 상기 반사 부재(71) 사이에 광 가이드층이 배치되므로, 형광체층(61)과 반사 부재(71) 사이의 접착력을 개선시켜 줄 수 있다.

[125] 상기 반사 부재(71)의 외 측면은 상기 제2지지 부재(40A)의 외 측면과 동일 수직 면으로 배치될 수 있으며, 이에 대해 한정하지는 않는다.

[126] 상기 반사 부재(71)는 발광 칩(11) 및 형광체층(61)의 둘레에 배치되어, 상기 발광 칩(11) 및 상기 형광체층(61)으로부터 입사된 광을 반사시켜 주어, 상기 형광체층(61)을 통해 광이 추출되도록 한다.

[127] 상기 반사 부재(71)는 비 금속 재질 또는 절연 재질을 포함하며, 예컨대 실리콘

또는 에폭시와 같은 수지 재질로 형성될 수 있다. 상기 반사 부재(71)는 내부에 상기 수지 재질의 굴절률보다 높은 굴절률을 갖는 불순물을 포함할 수 있다. 상기 반사 부재(71)는 Al, Cr, Si, Ti, Zn, Zr 중 적어도 하나를 갖는 산화물, 질화물, 불화물, 황화물과 같은 화합물들 중 적어도 하나가 첨가될 수 있다. 상기 반사 부재(71)는 예컨대, TiO_2 , SiO_2 , Al_2O_3 중 적어도 하나를 포함할 수 있다.

[128]

[129] 도 5은 도 4의 발광 소자의 다른 예이다.

[130] 도 5를 참조하면, 발광 소자는 발광 칩(11)의 제1 및 제2전극(21,23) 중 적어도 하나에 보호 칩(51)이 연결될 수 있다. 상기 보호 칩(51)은 상기 제1전극(21) 아래에 배치되고 상기 제2전극(23)과 와이어(53)로 연결될 수 있다. 다른 예로서, 상기 보호 칩(51)은 상기 제1 및 제2전극(21,23) 아래에 플립 칩 형태로 탑재될 수 있으며, 이에 대해 한정하지는 않는다.

[131] 상기 보호 칩(51) 및 와이어(53)는 제2지지 부재(40A) 내에 밀봉될 수 있다. 상기 보호 칩(51) 및 와이어(53)는 상기 제2지지 부재(40A) 내의 복수의 리드 전극(45,47) 사이에 배치될 수 있다. 상기 복수의 리드 전극(45,47)은 도 2와 같은 리세스(R1,R2)의 구조를 가질 수 있어, 상기 리세스(R1,R2) 내에 상기 보호 칩(51) 및 이의 와이어(53)이 배치될 수 있다. 이러한 보호 칩(51)이 발광 칩(11)에 직접 연결됨으로써, 발광 칩(11)을 ESD로부터 보호할 수 있고, 상기 보호 칩(51)의 탑재 공정이 용이할 수 있다. 즉, 발광 칩(11) 상에 보호 칩(51)을 탑재한 후 복수의 리드 전극(45,47) 사이에 삽입하고, 제2지지 부재(40A)를 몰딩할 수 있다.

[132] 도 5의 다른 예로서, 상기 반사 부재(71)와 발광 칩(11) 사이의 영역에 광 추출을 위해, 투광성의 광 가이드층(미도시)이 배치될 수 있다. 상기 광 가이드층은 상기 반사 부재(71)와 상기 발광 칩(11) 사이에 투명한 수지 재질로 형성되며, 상기 발광 칩(11)의 측 방향으로 방출된 광을 상 방향으로 가이드할 수 있다. 상기 반사 부재(71)는 발광 칩(11)에 직접 접촉되지 않고, 광 가이드층에 접촉되므로, 광 가이드층으로 진행되는 광을 상 방향으로 반사시켜 줄 수 있다. 상기 광 가이드층은 상기 형광체층(61)과 상기 반사 부재(71) 사이에 연장되어 배치될 수 있다. 상기 형광체층(61)과 상기 반사 부재(71) 사이에 광 가이드층이 배치되므로, 형광체층(61)과 반사 부재(71) 사이의 접착력을 개선시켜 줄 수 있다.

[133]

[134] 도 6은 실시 예에 따른 발광 소자를 갖는 발광 모듈을 나타낸 도면이다.

[135] 도 6을 참조하면, 발광 모듈은 발광 소자(10)와, 상기 발광 소자(10) 아래에 회로 기판(111)과, 상기 회로 기판(111)과 상기 발광 소자(10) 사이에 제1 및 제2접합 부재(133,143)를 포함한다.

[136] 상기 발광 소자(10)는 실시 예에 개시된 발광 소자를 포함하며, 예컨대 제1 내지 제2실시 예에 개시된 발광 소자를 선택적으로 포함할 수 있다.

[137] 상기 발광 소자(10)는 하부에 배치된 제1 및 제2리드 전극(41,43)이 상기 회로

기관(111)의 제1 및 제2전극 패드(131,141)와 대응되게 배치될 수 있다. 상기 회로 기관(111)은 상기 제1 및 제2전극 패드(131,141)를 갖는 회로 패턴을 포함할 수 있다.

[138] 제1접합 부재(133)는 상기 제1리드 전극(41)과 상기 회로 기관(111)의 제1전극 패드(131) 사이에 배치되어, 상기 제1리드 전극(41)과 제1전극 패드(131)를 전기적으로 연결시켜 준다.

[139] 제2접합 부재(143)는 상기 제2리드 전극(43)과 상기 회로 기관(111)의 제2전극 패드(141) 사이에 배치되어, 상기 제2리드 전극(43)과 상기 제2전극 패드(141)를 전기적으로 연결시켜 준다.

[140] 상기 제1 및 제2접합 부재(133,143)는 솔더 페이스트 재질을 포함할 수 있다. 상기 솔더 페이스트 재질은 금(Au), 주석(Sn), 납(Pb), 구리(Cu), 비스무트(Bi), 인듐(In), 은(Ag) 중 적어도 하나를 포함한다. 상기 제1 및 제2접합 부재(133,143)는 열 전달을 회로 기관(111)에 직접 전도하기 때문에 열 전도 효율이 개선될 수 있다.

[141] 상기 제1 및 제2접합 부재(133,143)는 다른 예로서, 전도성 필름을 포함할 수 있으며, 상기 전도성 필름은 절연성 필름 내에 하나 이상의 도전성 입자를 포함한다. 상기 도전성 입자는 예컨대, 금속이나, 금속 합금, 탄소 중 적어도 하나를 포함할 수 있다. 상기 도전성 입자는 니켈, 은, 금, 알루미늄, 크롬, 구리 및 탄소 중 적어도 하나를 포함할 수 있다. 상기 전도성 필름은 이방성(Anisotropic) 전도 필름 또는 이방성 도전 접착제를 포함할 수 있다.

[142] 상기 발광 소자(10)와 상기 회로 기관(111) 사이에는 접착 부재 예컨대, 열전도성 필름을 포함할 수 있다. 상기 열전도성 필름은 폴리에틸렌테레프탈레이트, 폴리부티렌테레프탈레이트, 폴리에틸렌나프탈레이트, 폴리부티렌나프탈레이트 등의 폴리에스터 수지; 폴리이미드 수지; 아크릴 수지; 폴리스티렌 및 아크릴로니트릴-스티렌 등의 스티렌계 수지; 폴리카보네이트 수지; 폴리락트산 수지; 폴리우레탄 수지; 등을 사용할 수 있다. 또한, 폴리에틸렌, 폴리프로필렌, 에틸렌-프로필렌 공중합체와 같은 폴리올레핀 수지; 폴리비닐클로라이드, 폴리비닐리덴클로라이드 등의 비닐 수지; 폴리아미드 수지; 설폰계 수지; 폴리에테르-에테르케톤계 수지; 알릴레이트계 수지; 또는 상기 수지들의 블렌드 중에서 적어도 하나를 포함할 수 있다.

[143] 상기 회로 기관(111)은 수지 재질의 PCB, 메탈 코어 PCB(MCPCB, Metal Core PCB), 연성 PCB(FPCB, Flexible PCB) 중 적어도 하나를 포함할 수도 있으며, 이에 대해 한정하지는 않는다.

[144] 상기 발광 소자(11)은 상기 회로 기관(111) 상에 복수개가 적어도 1열로 배치될 수 있으며, 이에 대해 한정하지는 않는다.

[145]

[146] 여기서, 실시 예와 비교 예의 발광 소자에서 발광 칩(11)에 걸리는 응력에 대해

설명하면 다음과 같다. 여기서, 실시 예는 도 1과 같이, 발광 칩(11)의 아래에 세라믹 재질의 제1지지부재(30)와 리드 전극(41,43)의 적층 구조이며, 비교 예는 발광 칩 아래에 리드 전극 만을 배치한 구조이다. 실시 예의 발광 소자는 발광 칩(11)에 걸리는 열 응력을 전 영역에 균일하게 분산시켜 줄 수 있다. 실시 예는 리드 전극으로부터 발광 칩(11)에 전달되는 열 응력을 제1지지 부재(30) 즉, 세라믹 재질의 기판이 차단하게 됨으로써, 리드 전극의 전 영역으로 열 응력이 균일한 분포로 분산될 수 있다. 비교 예의 경우, 발광 칩 아래에 리드 전극 만이 배치되면, 상기 리드 전극으로 전달되는 열 응력이 발광 칩에 직접 전달됨으로써, 발광 칩에 전달되는 열 응력은 실시 예에 비해 2배 이상 예컨대, 2.5배 이상이 높게 나타남을 알 수 있다.

- [147] 한편, 실시 예와 비교 예의 발광 소자에서 접합 부재에 걸리는 열 응력에 대해 설명하면 다음과 같다. 상기 접합 부재는 회로 기판과의 본딩을 위한 솔더의 예일 수 있다. 실시 예는 도 1과 같이, 발광 칩(11)의 아래에 세라믹 재질의 제1지지부재(30)와 리드 전극(41,43)의 적층하고 리드 전극(41,43)을 회로 기판과 접합 부재로 접합한 구조이다. 비교 예는 발광 칩 아래에 AIN기판/AIN 기판을 적층하고 회로 기판과 접합 부재로 접합한 경우이다. 실시 예의 발광 소자의 경우, 접합 부재에 전달되는 열 응력은 열 팽창 계수가 유사한 제2지지 부재(40)의 복수의 리드 전극(41,43)의 두께에 의해 분산되므로, 접합 부재에서의 열 응력을 낮추어 줄 수 있다. 또한 열 응력이 낮추어 줌으로서, 접합 부재의 크랙을 방지할 수 있다. 만약, 비교 예의 경우, 세라믹 기판을 복수로 적층한 구조이며, 이러한 복수의 세라믹 기판은 접합 부재와의 열 팽창 계수의 차이가 존재하므로, 접합 부재에 전달되는 열 응력을 낮출 수 없는 문제가 있다. 이러한 비교 예에서 접합 부재에 크랙이 발생되고, 이러한 접합 부재의 크랙은 발광 소자의 전기적 연결을 오픈시킬 수 있는 문제가 될 수 있다.

[148]

[149] 도 7은 실시 예에 따른 발광 소자의 발광 칩의 예를 나타낸 도면이다.

[150] 도 7을 참조하면, 발광 칩(11)은 발광 구조물(225) 및 복수의 전극(21,23)을 포함한다. 상기 발광 구조물(225)은 II족 내지 VI족 원소의 화합물 반도체층 예컨대, III족-V족 원소의 화합물 반도체층 또는 II족-VI족 원소의 화합물 반도체층으로 형성될 수 있다. 상기 복수의 전극(21,23)은 상기 발광 구조물(225)의 반도체층에 선택적으로 연결되며, 전원을 공급하게 된다.

[151] 상기 발광 칩은 기판(221)을 포함할 수 있다. 상기 기판(221)은 상기 발광 구조물(225) 위에 배치된다. 상기 기판(221)은 예컨대, 투광성, 절연성 기판, 또는 전도성 기판일 수 있다. 상기 기판(221)은 예컨대, 사파이어(Al_2O_3), SiC, Si, GaAs, GaN, ZnO, Si, GaP, InP, Ge, Ga_2O_3 중 적어도 하나를 이용할 수 있다. 상기 기판(221)의 탑 면 및 바닥면 중 적어도 하나 또는 모두에는 복수의 볼록부(미도시)가 형성되어, 광 추출 효율을 개선시켜 줄 수 있다. 각 볼록부의 측 단면 형상은 반구형 형상, 반타원 형상, 또는 다각형 형상 중 적어도 하나를

포함할 수 있다. 이러한 기판(221)은 제거될 수 있으며, 이에 대해 한정하지는 않는다.

- [152] 상기 발광 칩(11)은 상기 기판(221)과 상기 발광 구조물(225) 사이에 버퍼층(미도시) 및 언도프드 반도체층(미도시) 중 적어도 하나를 포함할 수 있다. 상기 버퍼층은 상기 기판(221)과 반도체층과의 격자 상수 차이를 완화시켜 주기 위한 층으로서, II족 내지 VI족 화합물 반도체 중에서 선택적으로 형성될 수 있다. 상기 버퍼층 아래에는 언도핑된 III족-V족 화합물 반도체층이 더 형성될 수 있으며, 이에 대해 한정하지는 않는다. 상기 기판(221)은 제거될 수 있다. 상기 기판(221)이 제거된 경우 형광체층(61)은 상기 제1도전형 반도체층(222)의 상면이나 다른 반도체층의 상면에 접촉될 수 있다.
- [153] 상기 발광 구조물(225)은 상기 기판(221) 아래에 배치될 수 있으며, 제1도전형 반도체층(222), 활성층(223) 및 제2도전형 반도체층(224)을 포함한다. 상기 각 층(222, 223, 224)의 위 및 아래 중 적어도 하나에는 다른 반도체층이 더 배치될 수 있으며, 이에 대해 한정하지는 않는다.
- [154]
- [155] 상기 제1도전형 반도체층(222)은 기판(221) 아래에 배치되며, 제1도전형 도펀트가 도핑된 반도체 예컨대, n형 반도체층으로 구현될 수 있다. 상기 제1도전형 반도체층(222)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 포함한다. 상기 제1도전형 반도체층(222)은 III족-V족 원소의 화합물 반도체 예컨대, GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 중에서 선택될 수 있다. 상기 제1도전형 도펀트는 n형 도펀트로서, Si, Ge, Sn, Se, Te 등과 같은 도펀트를 포함한다.
- [156] 상기 활성층(223)은 제1도전형 반도체층(222) 아래에 배치되고, 단일 양자 우물, 다중 양자 우물(MQW), 양자 선(quantum wire) 구조 또는 양자 점(quantum dot) 구조를 선택적으로 포함하며, 우물층과 장벽층의 주기를 포함한다. 상기 우물층/장벽층의 주기는 예컨대, InGaIn/GaN, GaN/AlGaIn, AlGaIn/AlGaIn, InGaIn/AlGaIn, InGaIn/InGaIn, AlGaAs/GaAs, InGaP/GaP, AlInGaP/InGaP, InP/GaAs의 페어 중 적어도 하나를 포함한다.
- [157] 상기 제2도전형 반도체층(224)은 활성층(223) 아래에 배치된다. 상기 제2도전형 반도체층(224)은 제2도전형 도펀트가 도핑된 반도체 예컨대, $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 포함한다. 상기 제2도전형 반도체층(224)은, GaN, InN, AlN, InGaIn, AlGaIn, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP와 같은 화합물 반도체 중 적어도 하나로 이루어질 수 있다. 상기 제2도전형 반도체층(224)이 p형 반도체층이고, 상기 제1도전형 도펀트는 p형 도펀트로서, Mg, Zn, Ca, Sr, Ba를 포함할 수 있다.
- [158] 상기 발광 구조물(225)은 다른 예로서, 상기 제1도전형 반도체층(222)이 p형 반도체층, 상기 제2도전형 반도체층(224)은 n형 반도체층으로 구현될 수 있다. 상기 제2도전형 반도체층(224) 아래에는 상기 제2도전형과 반대의 극성을 갖는

제3도전형 반도체층이 형성할 수도 있다. 또한 상기 발광 구조물(225)은 n-p 접합 구조, p-n 접합 구조, n-p-n 접합 구조, p-n-p 접합 구조 중 어느 한 구조로 구현할 수 있다.

[159]

[160] 상기 발광 칩(11)은 하부에는 제1 및 제2전극(21,23)이 배치된다. 상기 제1전극(21)은 상기 제1도전형 반도체층(222)과 전기적으로 연결되며, 상기 제2전극(23)은 제2도전형 반도체층(224)과 전기적으로 연결된다. 상기 제1 및 제2전극(21,23)은 바닥 형상이 다각형 또는 원 형상일 수 있다.

[161]

[162] 상기 발광 칩(11)은 제1 및 제2전극층(241,242), 제3전극층(243), 절연층(231,233)을 포함한다. 상기 제1 및 제2전극층(241,242) 각각은 단층 또는 다층으로 형성될 수 있으며, 전류 확산층으로 기능할 수 있다. 상기 제1 및 제2전극층(241,242)은 상기 발광 구조물(225)의 아래에 배치된 제1전극층(241); 및 상기 제1전극층(241) 아래에 배치된 제2전극층(242)을 포함할 수 있다. 상기 제1전극층(241)은 전류를 확산시켜 주게 되며, 상기 제2전극층(241)은 입사되는 광을 반사하게 된다.

[163] 상기 제1 및 제2전극층(241,242)은 서로 다른 물질로 형성될 수 있다. 상기 제1전극층(241)은 투광성 재질로 형성될 수 있으며, 예컨대 금속 산화물 또는 금속 질화물로 형성될 수 있다.

[164] 상기 제1전극층(241)은 예컨대 ITO(indium tin oxide), ITON(ITO nitride), IZO(indium zinc oxide), IZON(IZO nitride), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide) 중에서 선택적으로 형성될 수 있다.

[165] 상기 제2전극층(242)은 상기 제1전극층(241)의 하면과 접촉되며 반사 전극층으로 기능할 수 있다. 상기 제2전극층(242)은 금속 예컨대, Ag, Au 또는 Al를 포함한다. 상기 제2전극층(242)은 상기 제1전극층(241)이 일부 영역이 제거된 경우, 상기 발광 구조물(225)의 하면에 부분적으로 접촉될 수 있다.

[166] 다른 예로서, 상기 제1 및 제2전극층(241,242)의 구조는 무지향성 반사(ODR: Omni Directional Reflector layer) 구조로 적층될 수 있다. 상기 무지향성 반사 구조는 낮은 굴절률을 갖는 제1전극층(241)과, 상기 제1전극층(241)과 접촉된 고 반사 재질의 금속 재질인 제2전극층(242)의 적층 구조로 형성될 수 있다. 상기 전극층(241,242)은, 예컨대, ITO/Ag의 적층 구조로 이루어질 수 있다. 이러한 상기 제1전극층(241)과 제2전극층(242) 사이의 계면에서 전 방위 반사각을 개선시켜 줄 수 있다.

[167] 다른 예로서, 상기 제2전극층(242)은 제거될 수 있으며, 다른 재질의 반사층으로 형성될 수 있다. 상기 반사층은 분산형 브래그 반사(distributed bragg reflector: DBR) 구조로 형성될 수 있으며, 상기 분산형 브래그 반사 구조는 서로

다른 굴절률을 갖는 두 유전체층이 교대로 배치된 구조를 포함하며, 예컨대, SiO_2 층, Si_3N_4 층, TiO_2 층, Al_2O_3 층, 및 MgO 층 중 서로 다른 어느 하나를 각각 포함할 수 있다. 다른 예로서, 상기 전극층(241,242)은 분산형 브래그 반사 구조와 무지향성 반사 구조를 모두 포함할 수 있으며, 이 경우 98% 이상의 광 반사율을 갖는 발광 칩을 제공할 수 있다. 상기 플립 방식으로 탑재된 발광 칩은 상기 제2전극층(242)로부터 반사된 광이 기판(221)을 통해 방출하게 되므로, 수직 상 방향으로 대부분의 광을 방출할 수 있다.

- [168] 상기 발광 칩(11)의 측면으로 방출된 광은 실시 예에 따른 반사 부재에 의해 광 출사 영역으로 반사될 수 있다.
- [169] 상기 제3전극층(243)은 상기 제2전극층(242)의 아래에 배치되며, 상기 제1 및 제2전극층(241,242)과 전기적으로 절연된다. 상기 제3전극층(243)은 금속 예컨대, 티타늄(Ti), 구리(Cu), 니켈(Ni), 금(Au), 크롬(Cr), 탄탈륨(Ta), 백금(Pt), 주석(Sn), 은(Ag), 인(P) 중 적어도 하나를 포함한다. 상기 제3전극층(243) 아래에는 제1전극(21) 및 제2전극(23)이 배치된다.
- [170] 상기 절연층(231,233)은 제1 및 제2전극층(241,242), 제3전극층(243), 제1 및 제2전극(21,23), 발광 구조물(225)의 층 간의 불필요한 접촉을 차단하게 된다. 상기 절연층(231,233)은 제1 및 제2절연층(231,233)을 포함한다. 상기 제1절연층(231)은 상기 제3전극층(243)과 제2전극층(242) 사이에 배치된다. 상기 제2절연층(233)은 상기 제3전극층(243)과 제1,2전극(21,23) 사이에 배치된다.
- [171] 상기 제3전극층(243)은 상기 제1도전형 반도체층(222)과 연결된다. 상기 제3전극층(243)의 연결부(244)는 상기 제1, 2전극층(241, 242) 및 발광 구조물(225)의 내부의 비아 구조(226)로 돌출되며 제1도전형 반도체층(222)과 접촉된다. 상기 연결부(244)는 복수로 배치될 수 있다. 상기 제3전극층(243)의 연결부(244)의 둘레에는 상기 제1절연층(231)의 일부(232)가 연장되어 제3전극층(243)과 상기 제1 및 제2전극층(241,242), 제2도전형 반도체층(224) 및 활성층(223) 간의 전기적인 연결을 차단한다. 상기 발광 구조물(225)의 측면에는 측면 보호를 위해 절연 층이 배치될 수 있으며, 이에 대해 한정하지는 않는다.
- [172] 상기 제2전극(23)은 상기 제2절연층(233) 아래에 배치되고 상기 제2절연층(233)의 오픈 영역을 통해 상기 제1 및 제2전극층(241, 242) 중 적어도 하나와 접촉되거나 연결된다. 상기 제1전극(21)은 상기 제2절연층(233)의 아래에 배치되며 상기 제2절연층(233)의 오픈 영역을 통해 상기 제3전극층(243)과 연결된다. 이에 따라 상기 제2전극(23)의 돌기(248)는 제1,2전극층(241,242)을 통해 제2도전형 반도체층(224)에 전기적으로 연결되며, 제1전극(21)의 돌기(246)는 제3전극층(243)을 통해 제1도전형 반도체층(222)에 전기적으로 연결된다.
- [173]
- [174] 이러한 발광 소자 또는 발광 모듈은, 각 종 휴대 단말기, 노트북 컴퓨터의 모니터, 랩탑 컴퓨터의 모니터, TV와 같은 표시 장치에 적용되거나, 차량 램프,

3차원 디스플레이, 각종 조명등, 신호등, 차량 전조등, 전광판에 적용될 수 있다.

[175]

[176] 이상에서 실시예들에 설명된 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

[177] 또한, 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

[178]

산업상 이용가능성

[179] 실시 예는 발광 칩을 갖는 발광 소자의 방열 효율을 개선시켜 줄 수 있다.

[180] 실시 예는 발광 칩 및 보호 칩을 갖는 발광 소자의 방열 효율을 개선시켜 줄 수 있다.

[181] 실시 예는 발광 칩 및 보호 칩이 패키징된 발광 소자의 신뢰성을 개선시켜 줄 수 있다.

[182] 실시 예는 발광 칩의 둘레에 반사 부재를 배치하여 광 추출 효율을 개선시켜 줄 수 있다.

[183] 실시 예에 따른 발광 소자는 조명등, 지시등, 차량 램프, 백라이트 유닛과 같은 조명 장치에 적용될 수 있다.

[184]

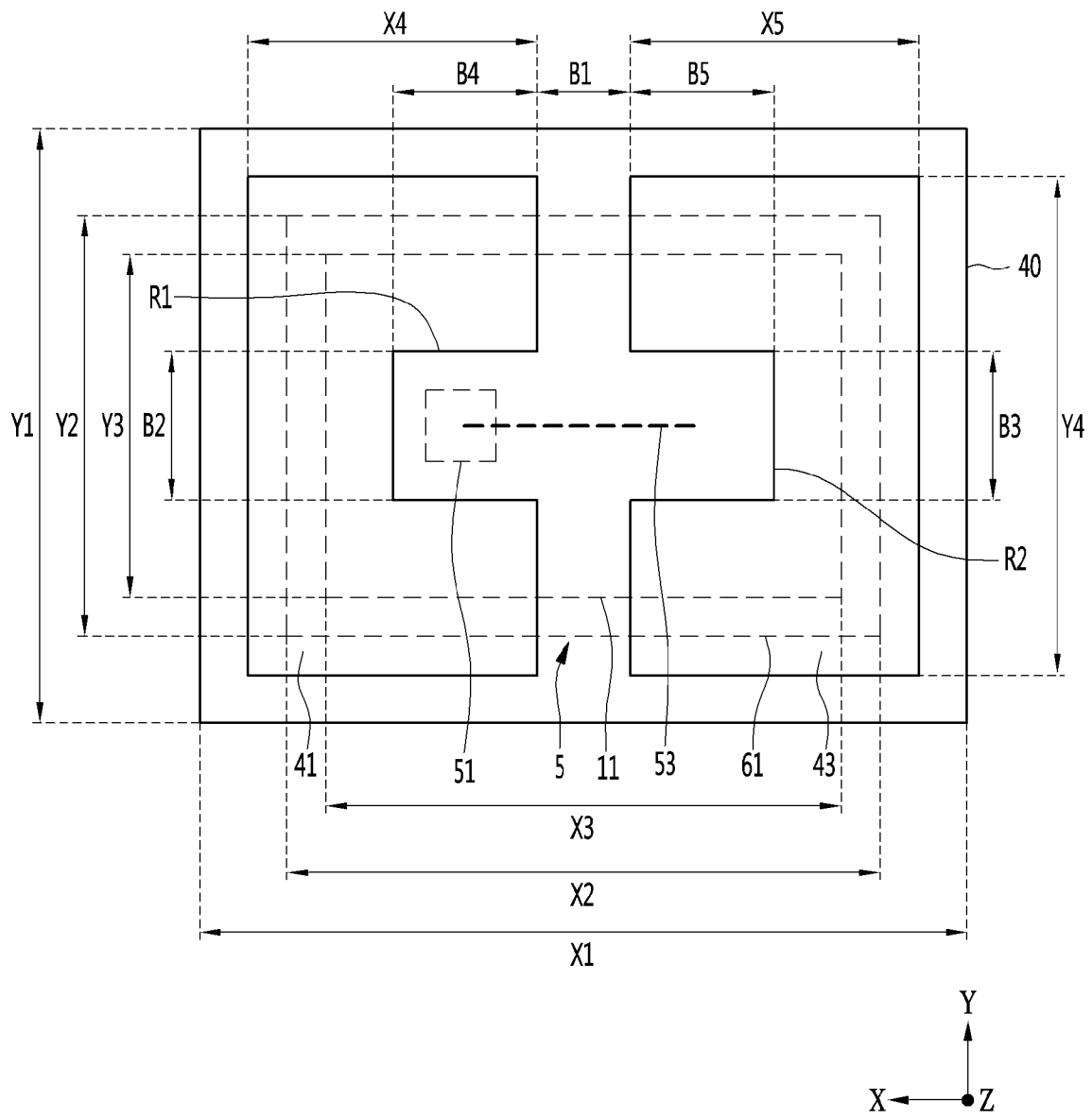
청구범위

- [청구항 1] 복수의 반도체층을 갖는 발광부 및 상기 발광부의 하부에 제1전극 및 제2전극을 갖는 발광 칩;
상기 발광 칩의 아래에 제1지지 부재;
상기 제1지지 부재의 아래에 제2지지 부재;
상기 제2지지 부재 내에 서로 분리되며 상기 제1전극에 연결된 제1리드 전극 및 상기 제2전극에 연결된 제2리드 전극;
상기 제1 및 제2리드 전극 사이에 배치된 보호 칩; 및
상기 발광 칩의 둘레에 배치된 반사 부재를 포함하며,
상기 제1지지 부재는 상기 제2지지 부재와 상기 발광 칩 사이에 세라믹 재질을 포함하는 발광 소자.
- [청구항 2] 제1항에 있어서, 상기 제2지지 부재는 상기 제1,2리드 전극의 두께보다 큰 두께를 갖고, 상기 보호 칩을 덮는 발광 소자.
- [청구항 3] 제1항에 있어서, 상기 제1리드 전극에 오목한 제1리세스; 및 상기 제2리드 전극에 오목한 제2리세스를 포함하며,
상기 보호 칩은 상기 제1리세스에 배치되는 발광 소자.
- [청구항 4] 제3항에 있어서, 상기 제2리세스에는 상기 보호 칩에 연결된 와이어의 단부가 배치되며,
상기 와이어는 상기 제2지지 부재에 의해 밀봉되며,
상기 제1리세스와 상기 제2리세스는 서로 마주보게 배치되는 발광 소자.
- [청구항 5] 제1항 내지 제3항 중 어느 한 항에 있어서, 상기 제1지지 부재는 상기 제1전극에 연결된 제1비아 전극; 및 상기 제2전극에 연결된 제2비아 전극을 포함하며,
상기 제1 및 제2지지 부재 사이에 배치되며 상기 제1비아 전극 및 제1리드 전극에 연결된 제1금속층; 및 상기 제1 및 제2지지 부재 사이에 배치되며 상기 제2비아 전극과 상기 제2리드 전극에 연결된 제2금속층을 포함하는 발광 소자.
- [청구항 6] 제5항에 있어서, 상기 보호 칩은 상기 제1,2금속층의 아래에 플립 칩 형태로 배치되는 발광 소자.
- [청구항 7] 제1항 내지 제3항 중 어느 한 항에 있어서, 상기 발광 칩 상에 형광체층을 포함하며,
상기 형광체층은 상기 발광 칩의 상면 면적보다 큰 면적을 가지며,
상기 반사 부재는 상기 형광체층의 둘레에 배치되며,
상기 형광체층의 상면은 상기 반사 부재의 상면보다 돌출되는 발광 소자.
- [청구항 8] 제1항 내지 제3항 중 어느 한 항에 있어서, 상기 제1지지 부재는 질화 알루미늄의 재질을 포함하며,
상기 제2지지 부재는 수지 재질 또는 열 전도성 필름을 포함하며,

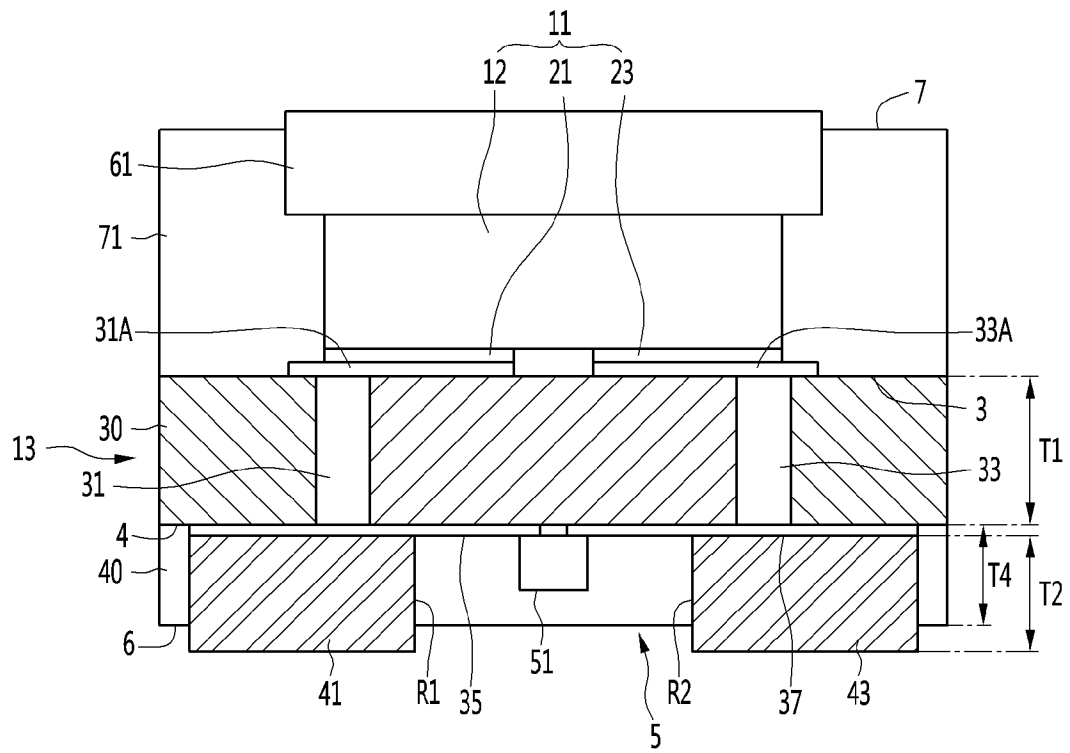
- 상기 제1,2리드 전극은 구리 재질을 포함하며,
 상기 제1 및 제2리드 전극의 두께는 상기 제1지지 부재의 두께의 1/2 이상이고 상기 제1지지 부재의 두께 이하의 범위를 갖는 발광 소자.
- [청구항 9] 제8항에 있어서, 상기 제1지지 부재의 두께는 0.18mm 내지 0.3mm의 범위를 가지며,
 상기 제1,2리드 전극의 두께가 T2이고, 상기 제1지지 부재의 두께가 T1인 경우,
 여기서, 상기 T2/(T1+T2)의 비율은 40% 내지 60%의 범위를 가지는 발광 소자.
- [청구항 10] 제8항에 있어서, 상기 반사 부재는 수지 재질 내에 상기 수지 재질의 굴절률 보다 높은 굴절률을 갖는 불순물을 포함하는 발광 소자.
- [청구항 11] 복수의 반도체층 및 투광성의 기판을 갖는 발광부와, 상기 발광부의 하부에 제1전극 및 제2전극을 갖는 발광 칩;
 상기 발광 칩의 아래에 제1지지 부재;
 상기 제1지지 부재와 상기 발광 칩 사이에 제2지지 부재;
 상기 제2지지 부재 내에 서로 분리되며 상기 제1전극에 연결된 제1리드 전극 및 상기 제2전극에 연결된 제2리드 전극;
 상기 제1 및 제2리드 전극 사이에 배치된 보호 칩; 및
 상기 발광 칩의 둘레에 배치된 반사 부재를 포함하며,
 상기 제1지지 부재는 세라믹 재질을 포함하는 발광 소자.
- [청구항 12] 제11항에 있어서, 상기 제2지지 부재는 상기 제1,2리드 전극의 두께와 동일한 두께를 갖고, 상기 보호 칩을 덮는 발광 소자.
- [청구항 13] 제11항에 있어서, 상기 제1리드 전극에 오목한 제1리세스; 및 상기 제2리드 전극에 오목한 제2리세스를 포함하며,
 상기 보호 칩은 상기 발광 칩의 아래 또는 상기 제1지지 부재 상에 배치되는 발광 소자.
- [청구항 14] 제13항에 있어서, 상기 제2리세스에는 상기 보호 칩에 연결된 와이어의 단부가 배치되며,
 상기 와이어는 상기 제2지지 부재에 의해 밀봉되는 발광 소자.
- [청구항 15] 제11항 내지 제13항 중 어느 한 항에 있어서, 상기 제1지지 부재는 상기 제1전극에 연결된 제1비아 전극; 및 상기 제2전극에 연결된 제2비아 전극을 포함하며,
 상기 제1지지 부재의 아래에 배치되며 상기 제1 및 제2비아 전극에 연결된 복수의 금속층을 포함하는 발광 소자.
- [청구항 16] 제11항 내지 제13항 중 어느 한 항에 있어서, 상기 발광 칩 상에 형광체층을 포함하며,
 상기 형광체층은 상기 발광 칩의 상면 면적보다 큰 면적을 가지며,
 상기 반사 부재는 상기 형광체층의 둘레에 배치되며,

- 상기 형광체층의 상면은 상기 반사 부재의 상면보다 돌출되는 발광 소자.
- [청구항 17] 제11항 내지 제13항 중 어느 한 항에 있어서, 상기 제1지지 부재는 질화 알루미늄의 재질을 포함하며,
상기 제2지지 부재는 수지 재질 또는 열 전도성 필름을 포함하며,
상기 제1,2리드 전극은 구리 재질을 포함하며,
상기 제1 및 제2리드 전극의 두께는 상기 제1지지 부재의 두께의 1/2 이상이고 상기 제1지지 부재의 두께 이하의 범위를 갖는 발광 소자.
- [청구항 18] 제17항에 있어서, 상기 제1,2리드 전극의 두께가 T2이고, 상기 제1지지 부재의 두께가 T1인 경우,
여기서, $T2/(T1+T2)$ 의 비율은 40% 내지 60%의 관계를 가지는 발광 소자.
- [청구항 19] 제1항 또는 제11항에 있어서, 상기 발광 칩과 상기 반사 부재 사이에 투명한 수지 재질을 갖는 광 가이드층을 포함하는 발광 소자.
- [청구항 20] 복수의 반도체층을 갖는 발광부 및 상기 발광부의 하부에 제1전극 및 제2전극을 갖는 발광 칩; 상기 발광 칩의 아래에 제1지지 부재; 상기 제1지지 부재의 아래에 제2지지 부재; 상기 제2지지 부재 내에 서로 분리되며 상기 제1전극에 연결된 제1리드 전극 및 상기 제2전극에 연결된 제2리드 전극; 상기 제1 및 제2리드 전극 사이에 배치된 보호 칩; 및 상기 발광 칩의 둘레에 배치된 반사 부재를 포함하며, 상기 제1지지 부재는 상기 제2지지 부재와 상기 발광 칩 사이에 세라믹 재질을 포함하는 발광 소자;
상기 발광 소자 아래에 제 1및 제2전극 패드를 갖는 회로 기판; 및
상기 회로 기판과 상기 발광 소자 사이에 배치된 접합 부재를 포함하며,
상기 발광 소자의 제1 및 제2리드 전극은 상기 접합 부재에 의해 상기 회로 기판의 제1 및 제2전극 패드에 연결되는 발광 모듈.

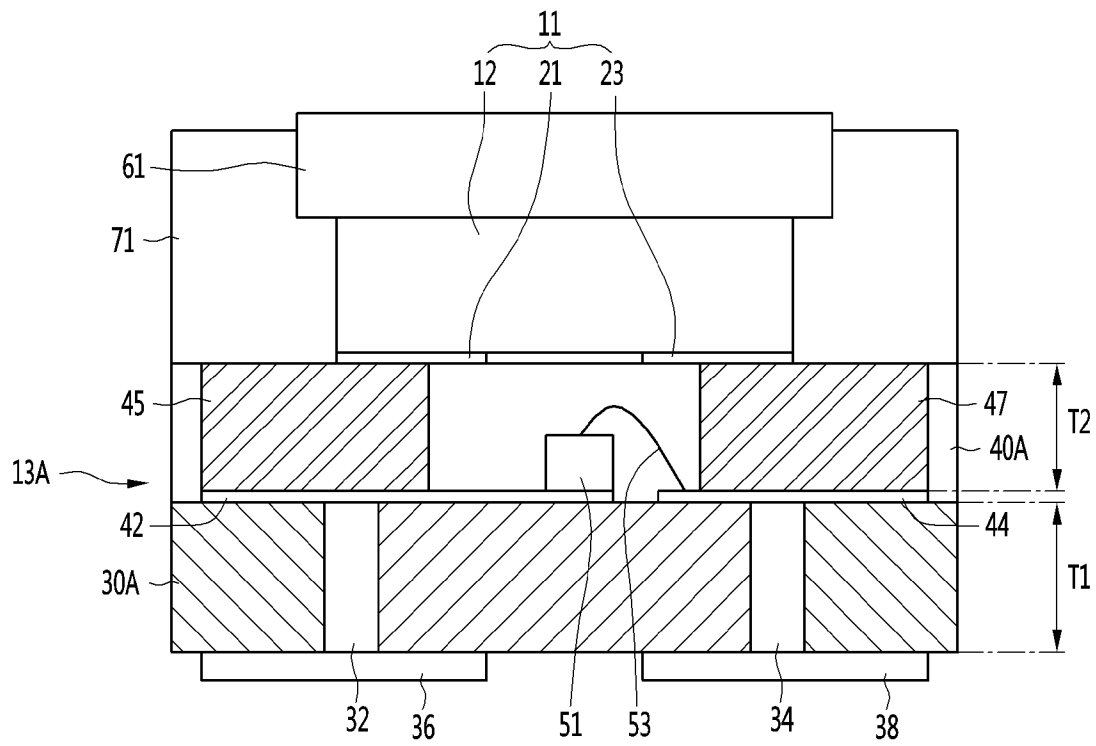
[도2]

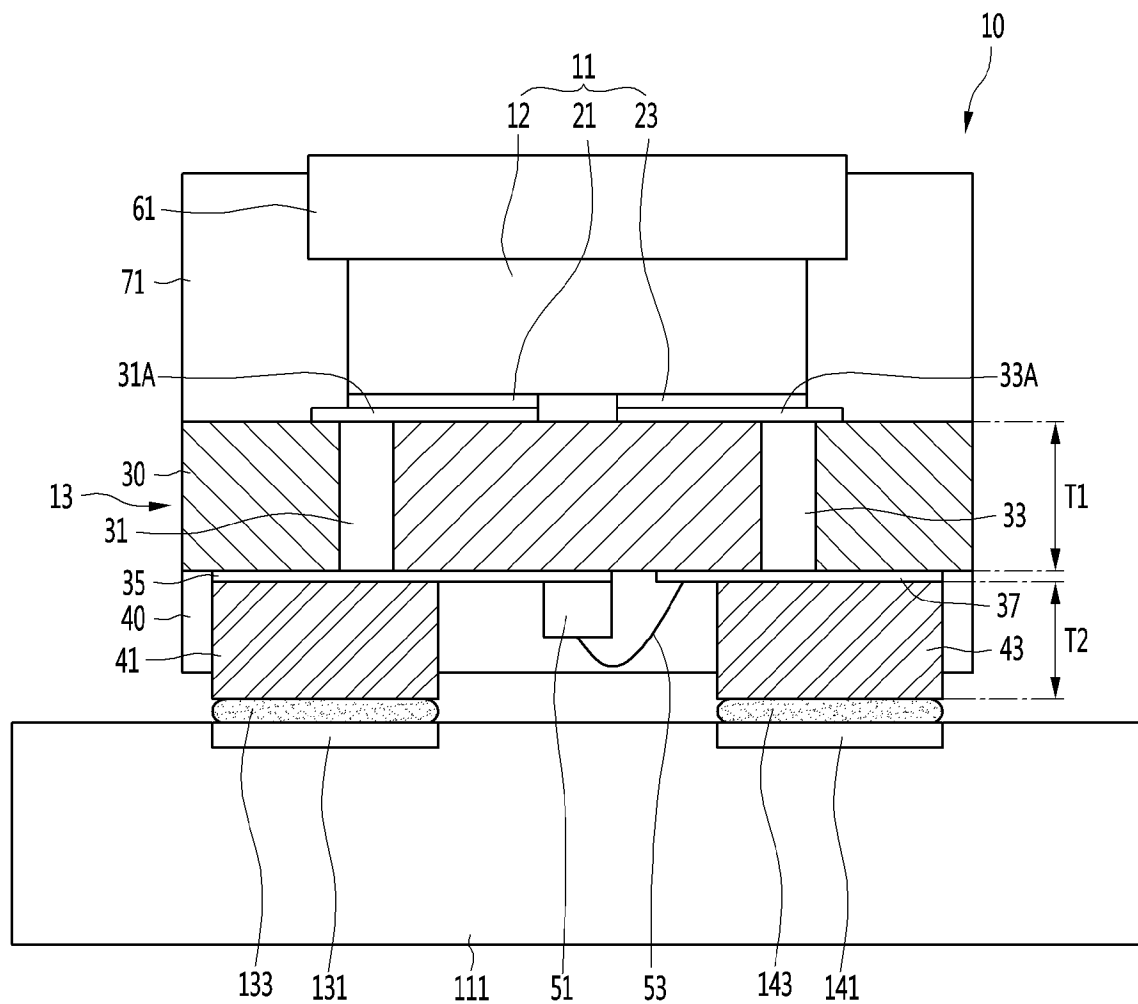


[도3]

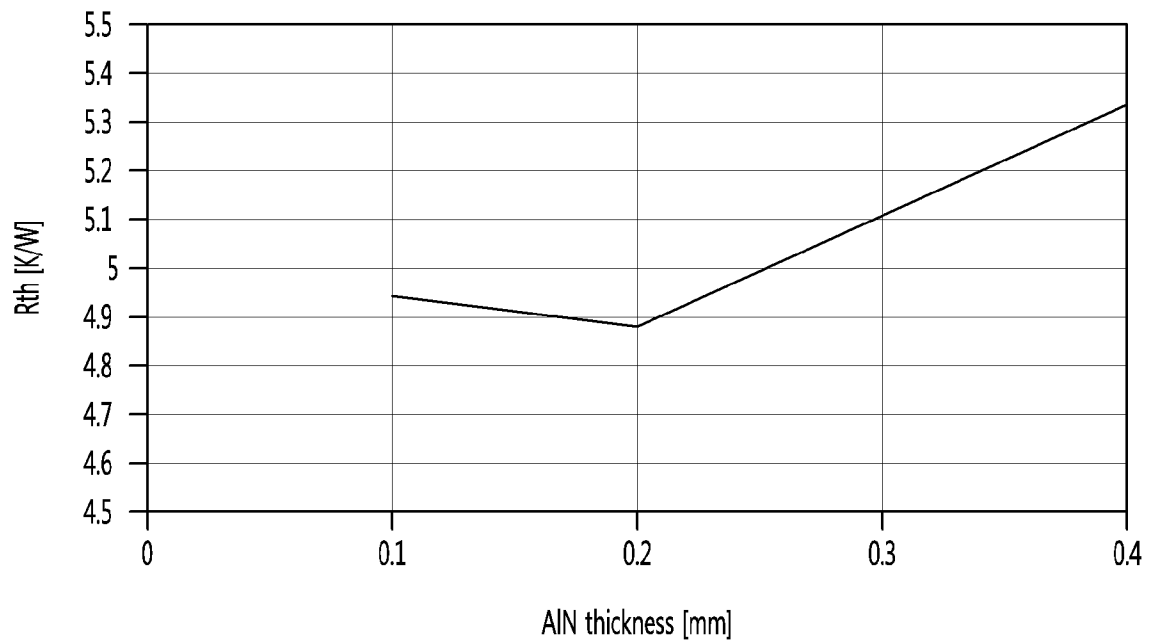


[도4]

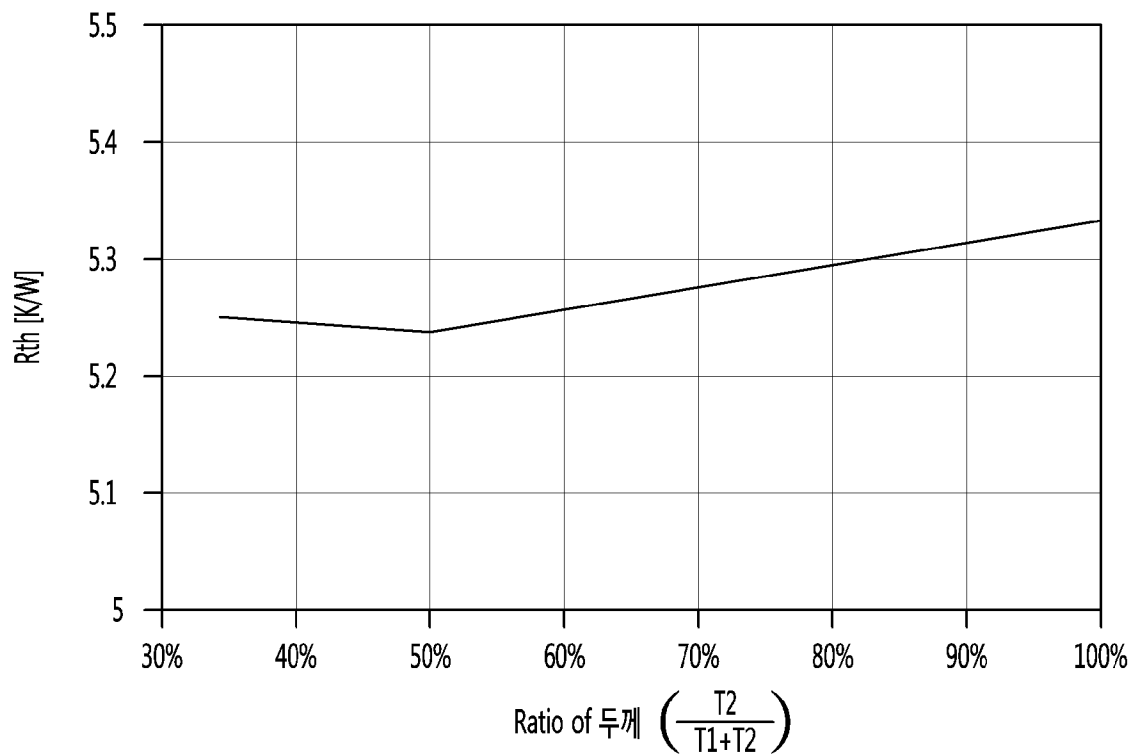




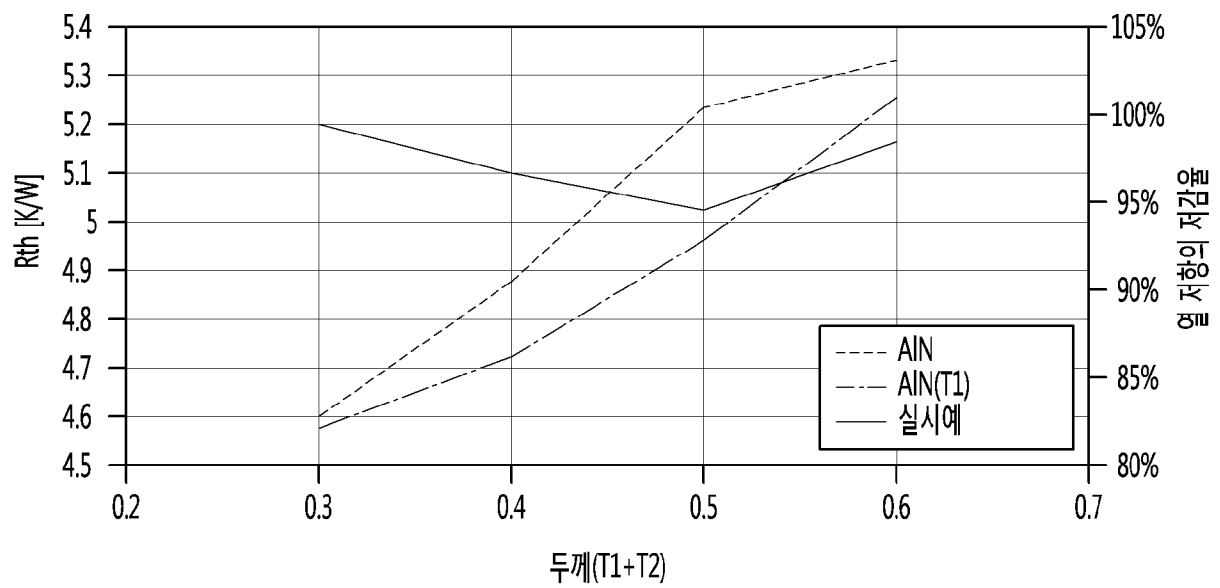
11



[도9]



[도10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2016/007111

A. CLASSIFICATION OF SUBJECT MATTER

H01L 33/62(2010.01)i, H01L 33/36(2010.01)i, H01L 33/60(2010.01)i, H01L 33/64(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/62; H01L 25/16; H05K 3/46; H01L 25/065; H01L 33/48; H01L 33/36; H01L 33/60; H01L 33/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: heat radiation, ceramic, reflectance, remote phosphor, support member

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2013-0032202 A (LG INNOTEK CO., LTD.) 01 April 2013 See paragraphs [20]-[36], [48], [58], [130], claim 1 and figures 1-5, 15.	1-7,11,13-16,19-20
A		8-10,12,17-18
Y	JP 2015-043374 A (KYOCERA CORP.) 05 March 2015 See paragraphs [12]-[20], [46], claim 1 and figures 2-7.	1-7,11,13-16,19-20
Y	KR 10-2015-0042012 A (LG DISPLAY CO., LTD.) 20 April 2015 See paragraphs [50]-[65], claim 1 and figures 1-5.	3-4,13-14
A	JP 2008-021987 A (SHINKO ELECTRIC IND. CO., LTD.) 31 January 2008 See paragraphs [23]-[33], claims 1-8 and figures 1-3B.	1-20
A	JP 2013-122951 A (NGK SPARK PLUG CO., LTD.) 20 June 2013 See paragraphs [15]-[25] and figures 1-6.	1-20

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

04 NOVEMBER 2016 (04.11.2016)

Date of mailing of the international search report

04 NOVEMBER 2016 (04.11.2016)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2016/007111

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2013-0032202 A	01/04/2013	NONE	
JP 2015-043374 A	05/03/2015	NONE	
KR 10-2015-0042012 A	20/04/2015	NONE	
JP 2008-021987 A	31/01/2008	EP 1868245 A2	19/12/2007
		EP 1868245 A3	10/04/2013
		JP 5394617 B2	22/01/2014
		KR 10-1314713 B1	07/10/2013
		TW 200802996 A	01/01/2008
		TW 1447935 B	01/08/2014
		US 2007-0290329 A1	20/12/2007
		US 8148738 B2	03/04/2012
JP 2013-122951 A	20/06/2013	CN 103959492 A	30/07/2014
		EP 2790235 A1	15/10/2014
		EP 2790235 A4	25/02/2015
		JP 5766593 B2	19/08/2015
		KR 10-2014-0097322 A	06/08/2014
		TW 201334242 A	16/08/2013
		US 2014-0301054 A1	09/10/2014
		WO 2013-084437 A1	13/06/2013

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 33/62(2010.01)i, H01L 33/36(2010.01)i, H01L 33/60(2010.01)i, H01L 33/64(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 33/62; H01L 25/16; H05K 3/46; H01L 25/065; H01L 33/48; H01L 33/36; H01L 33/60; H01L 33/64

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 방열, 세라믹, 반사, 형광체, 지지부재

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2013-0032202 A (엘지이노텍 주식회사) 2013.04.01	1-7, 11, 13-16, 19-20
A	단락 20-36, 48, 58, 130, 청구항 1 및 도면 1-5, 15 참조.	8-10, 12, 17-18
Y	JP 2015-043374 A (KYOCERA CORP.) 2015.03.05	1-7, 11, 13-16, 19-20
	단락 12-20, 46, 청구항 1 및 도면 2-7 참조.	
Y	KR 10-2015-0042012 A (엘지디스플레이 주식회사) 2015.04.20	3-4, 13-14
	단락 50-65, 청구항 1 및 도면 1-5 참조.	
A	JP 2008-021987 A (SHINKO ELECTRIC IND. CO., LTD.) 2008.01.31	1-20
	단락 23-33, 청구항 1-8 및 도면 1-3B 참조.	
A	JP 2013-122951 A (NGK SPARK PLUG CO., LTD.) 2013.06.20	1-20
	단락 15-25 및 도면 1-6 참조.	

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2016년 11월 04일 (04.11.2016)

국제조사보고서 발송일

2016년 11월 04일 (04.11.2016)

ISA/KR의 명칭 및 우편주소



대한민국 특허청

(35208) 대전광역시 서구 청사로 189,

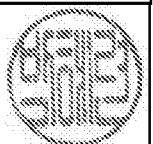
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

박혜련

전화번호 +82-42-481-3463



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2013-0032202 A	2013/04/01	없음	
JP 2015-043374 A	2015/03/05	없음	
KR 10-2015-0042012 A	2015/04/20	없음	
JP 2008-021987 A	2008/01/31	EP 1868245 A2 EP 1868245 A3 JP 5394617 B2 KR 10-1314713 B1 TW 200802996 A TW I447935 B US 2007-0290329 A1 US 8148738 B2	2007/12/19 2013/04/10 2014/01/22 2013/10/07 2008/01/01 2014/08/01 2007/12/20 2012/04/03
JP 2013-122951 A	2013/06/20	CN 103959492 A EP 2790235 A1 EP 2790235 A4 JP 5766593 B2 KR 10-2014-0097322 A TW 201334242 A US 2014-0301054 A1 WO 2013-084437 A1	2014/07/30 2014/10/15 2015/02/25 2015/08/19 2014/08/06 2013/08/16 2014/10/09 2013/06/13