

## 【特許請求の範囲】

## 【請求項 1】

第 1 層と第 2 層とを備え、複数のボンディング電極が、前記第 1 層の第 1 主面上に配置され、複数の外部端子が、前記第 1 主面が向いた方向とは反対の方向を向いた前記第 2 層の第 2 主面上に配置された多層配線基板と、

複数の電極パッドが形成された表面と、前記表面とは反対側の裏面と、を備え、前記多層配線基板の前記第 1 主面と前記表面とが対向するように前記多層配線基板の前記第 1 主面上に搭載され、前記複数の電極パッドのそれぞれが、導電性部材を介して前記多層配線基板の前記複数のボンディング電極と電氣的に接続された半導体チップと、

を有する、半導体装置。

10

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置に関し、特に、半導体チップが配線基板にフリップチップ接続されて成る半導体装置に適用して有効な技術に関する。

## 【背景技術】

## 【0002】

多層基板を有した半導体装置において、多層基板の一方の最外層には L S I チップの接続用パンプが固定される複数の接続端子が外部に露出しており、反対側の最外層には各金属パッド上にはんだボールが固定されて、マザーボードと接続するためのボールグリッドアレイ ( B G A ) 構造が開示されている ( 例えば、特許文献 1 ) 。

20

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献 1】特開 2 0 0 6 - 7 3 6 2 2 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

近年、多ピンの半導体装置 ( 半導体パッケージ ) において、コストの低減化の目的で半導体チップの小型化 ( シュリンク化 ) の要求が増えている。すなわち、半導体チップ ( 以降、単にチップともいう ) のシュリンク化によって 1 枚の半導体ウェハからのチップの取り数を増やして多ピンの半導体装置のコスト低減化を実現するものである。

30

## 【0005】

多ピン化やパッケージサイズを優先させるとリードフレームタイプより B G A ( Ball Grid Array ) などの基板タイプの半導体装置を選択することになり、その際、使用される配線基板は多ピンのため、多層配線基板となることが多い。また、多ピンの半導体装置の場合、ピン数によってパッケージサイズが決まっており、チップのみシュリンクすると、同じピン数であれば、当然、パッドピッチが狭くなる。パッドピッチが狭くなると、パッド間に配線が通らなくなる。

## 【0006】

40

すなわち、言い換えると、多ピンの半導体装置においてチップのシュリンク化を図るということは、パッド間に配線が通らなくなる程、パッドピッチを狭くしなければならない。

## 【0007】

一方で、多ピン化によりパッド数が増えた場合に、多層配線基板の層数を同じとすると、パッド配置をエリア配置にすることで、ある程度対応は可能であるが、その場合、チップの主面の外周部に配置された信号用パッドに接続する信号用配線を内側 ( チップ中央寄り ) に引き出して、さらにスルーホールによって他の層に接続して前記他の層から外側に引き出すことになる。

## 【0008】

50

一般的にはパッド数が増えると、多層配線基板を採用し、かつパッド配置をエリア配置とすることで対応している。例えば、多層配線基板では、コア層の上下両側にビルドアップ工法等で配線層を3層ずつ合計6層形成するなどし、さらにチップのパッドをエリア配置とするなどして対応している。

【0009】

ところが、多ピンの半導体装置では、チップ中央寄りのコア電源用ボンディング電極が高密度に配置されているため、多層配線基板において信号用配線を内側に引き出した際の信号用配線と電氣的に接続するスルーホールを配置するスペースの確保が容易ではない。

【0010】

したがって、多ピン化させるためには、多ピンの配線の引き回しのために多層配線基板の層数を増やすしかなく、半導体装置のコストが高くなることが問題である。

【0011】

さらに、チップのシュリンク化が行われると、前述のようにパッドピッチが狭くなって、パッド間に配線が通らなくなる。つまり、パッドのエリア配置が不可能になることが問題である。なお、再配線を採用することでパッドのエリア配置は可能になるが、再配線は、設計が困難であるとともに、チップコストも高くなるため、半導体装置のコストも増えて問題解決には至らない。

【0012】

なお、前記特許文献1に記載されたBGA構造の半導体装置においても、更なる多ピン化に対応しようとする、多層基板の配線層を増やす必要があり、半導体装置のコストが高くなることが課題である。

【0013】

本発明は、上記課題に鑑みてなされたものであり、その目的は、多ピンの半導体装置においてコストの低減化を図ることができる技術を提供することにある。

【0014】

また、本発明の他の目的は、チップシュリンク化が行われた多ピンの半導体装置においてパッドのエリア配置を実現することができる技術を提供することにある。

【0015】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0016】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0017】

代表的な実施の形態による半導体装置は、上面と前記上面の反対側の下面とを備えた多層配線基板の前記上面に半導体チップがフリップチップ実装されたものであり、主面と前記主面の反対側の裏面とを備え、前記主面に複数の電極パッドが形成された前記半導体チップと、前記上面において前記半導体チップの前記主面の周縁部に対応した第1領域に複数のボンディング電極が複数列で形成され、前記第1領域より内側の第2領域に複数の固定電位（電源/GND）用ボンディング電極がアレイ状に形成された前記多層配線基板と、前記多層配線基板の前記下面に設けられた複数の外部端子と、を有し、前記多層配線基板の前記上面において前記第1領域に配置された前記複数のボンディング電極のうち複数の信号用ボンディング電極は、内側と外側に振り分けて引き出され、前記信号用ボンディング電極から内側に引き出された複数の信号用配線は、それぞれスルーホールを介して他の層の配線部と電氣的に接続され、複数の前記スルーホールは、前記第1領域と前記第2領域の間の領域に配置されているものである。

【0018】

また、代表的な他の実施の形態による半導体装置は、上面と前記上面の反対側の下面とを備えた多層配線基板の前記上面に半導体チップがフリップチップ実装されたものであり

10

20

30

40

50

、主面と前記主面の反対側の裏面とを備え、前記主面に複数の電極パッドが形成された前記半導体チップと、前記上面において前記半導体チップの前記主面の周縁部に対応した第1領域に複数のボンディング電極が2列で形成され、前記第1領域より内側の第2領域に複数の固定電位（電源 / GND）用ボンディング電極がアレイ状に形成された前記多層配線基板と、前記多層配線基板の前記下面に設けられた複数の外部端子と、を有し、前記多層配線基板の前記上面において前記第1領域に配置された前記複数のボンディング電極のうち複数の信号用ボンディング電極は、内側と外側に振り分けて引き出され、前記信号用ボンディング電極から内側に引き出された複数の信号用配線は、それぞれスルーホールを介して他の層の配線部と電気的に接続され、複数の前記スルーホールは、前記第1領域と前記第2領域の間の領域に配置されているものである。

10

【発明の効果】

【0019】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0020】

多ピンの半導体装置において多層配線基板の層数を増やすことなく、チップシュリンク化に対応可能となり、半導体装置のコストの低減化を図ることができる。

【0021】

チップシュリンク化が行われた多ピンの半導体装置において半導体チップのパッドのエリア配置を実現することができる。

20

【図面の簡単な説明】

【0022】

【図1】本発明の実施の形態1の半導体装置の構造の一例を一部破断して示す斜視図である。

【図2】図1に示す半導体装置の構造の一例を示す断面図である。

【図3】図2のA部の構造の一例を拡大して示す部分拡大断面図である。

【図4】図1に示す半導体装置に搭載される半導体チップの電極パッドの配列の一例を示す平面図である。

【図5】図1に示す半導体装置に組み込まれる配線基板の第1配線層（L1）のチップ下部付近の配線パターンの一例を示す平面図である。

30

【図6】図1に示す半導体装置に組み込まれる配線基板の第2配線層（L2）のチップ下部付近の配線パターンの一例を示す平面図である。

【図7】図1に示す半導体装置に組み込まれる配線基板の第3配線層（L3）のチップ下部付近の配線パターンの一例を示す平面図である。

【図8】図1に示す半導体装置に組み込まれる配線基板の第4配線層（L4）のチップ下部付近の配線パターンの一例を示す平面図である。

【図9】図5のA部の構造の一例を拡大して示す部分拡大平面図である。

【図10】図6のA部の構造の一例を拡大して示す部分拡大平面図である。

【図11】図7のA部の構造の一例を拡大して示す部分拡大平面図である。

【図12】図8のA部の構造の一例を拡大して示す部分拡大平面図である。

40

【図13】図5のB部の構造の一例を拡大して示す部分拡大平面図である。

【図14】図1に示す半導体装置に搭載される半導体チップのパッド配置と基板構造の関係の一例を示すデータ図である。

【図15】本発明の実施の形態1の半導体装置における周辺パッド用の配線基板のボンディング電極とバンプと半導体チップの電極パッドの位置関係の一例を拡大して示す部分拡大断面図と部分拡大平面図である。

【図16】本発明の実施の形態1の半導体装置における中央パッド用の配線基板のボンディング電極の形状の一例を拡大して示す部分拡大平面図である。

【図17】本発明の実施の形態1の半導体装置のフリップチップ接続部におけるバンプサイズと基板のボンディング電極の大きさの関係の一例を示す平面図である。

50

【図 18】本発明の実施の形態 1 の半導体装置のフリップチップ接続部におけるバンパサイズと基板のボンディング電極の大きさの関係の一例を示す平面図である。

【図 19】本発明の実施の形態 1 の半導体装置に組み込まれる第 1 変形例の配線基板の構造の一例を拡大して示す部分拡大断面図である。

【図 20】本発明の実施の形態 1 の半導体装置に組み込まれる第 2 変形例の配線基板の構造の一例を拡大して示す部分拡大断面図である。

【図 21】本発明の実施の形態 1 の半導体装置に組み込まれる第 3 変形例の配線基板の構造の一例を拡大して示す部分拡大断面図である。

【図 22】本発明の実施の形態 1 の半導体装置に組み込まれる第 4 変形例の配線基板の構造の一例を拡大して示す部分拡大断面図である。

10

【図 23】本発明の実施の形態 1 の半導体装置に組み込まれる第 5 変形例の配線基板の構造の一例を拡大して示す部分拡大断面図である。

【図 24】本発明の実施の形態 1 の第 6 変形例の半導体装置に組み込まれる配線基板の構造の一例を示す平面図である。

【図 25】図 24 に示す配線基板を用いた半導体装置の構造の一例を示す断面図である。

【図 26】本発明の実施の形態 1 の半導体装置の第 7 変形例の配線基板のボンディング電極の形状と半導体チップの電極パッドとの関係の一例を示す平面図である。

【図 27】本発明の実施の形態 1 の第 8 変形例の半導体装置の構造を示す部分拡大断面図である。

【図 28】本発明の実施の形態 1 の第 9 変形例の半導体装置の構造を示す部分拡大断面図である。

20

【図 29】本発明の実施の形態 2 の半導体装置に組み込まれる配線基板の第 1 配線層 (L1) のチップ下部付近の配線パターンの一例を示す平面図である。

【図 30】本発明の実施の形態 2 の半導体装置に組み込まれる配線基板の第 2 配線層 (L2) のチップ下部付近の配線パターンの一例を示す平面図である。

【図 31】本発明の実施の形態 2 の半導体装置に組み込まれる配線基板の第 3 配線層 (L3) のチップ下部付近の配線パターンの一例を示す平面図である。

【図 32】本発明の実施の形態 2 の半導体装置に組み込まれる配線基板の第 4 配線層 (L4) のチップ下部付近の配線パターンの一例を示す平面図である。

【図 33】図 29 の A 部の構造の一例を拡大して示す部分拡大平面図である。

30

【図 34】図 30 の A 部の構造の一例を拡大して示す部分拡大平面図である。

【図 35】図 31 の A 部の構造の一例を拡大して示す部分拡大平面図である。

【図 36】図 32 の A 部の構造の一例を拡大して示す部分拡大平面図である。

【図 37】本発明の実施の形態 2 の半導体装置に組み込まれる変形例の配線基板の構造の一例を拡大して示す部分拡大平面図である。

【発明を実施するための形態】

【0023】

以下の実施の形態では特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0024】

40

さらに、以下の実施の形態では便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。

【0025】

また、以下の実施の形態において、要素の数など（個数、数値、量、範囲などを含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合などを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良いものとする。

【0026】

50

また、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0027】

また、以下の実施の形態において、構成要素等について、「A からなる」、「A よりなる」、「A を有する」、「A を含む」と言うときは、特にその要素のみである旨明示した場合等を除き、それ以外の要素を排除するものでないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0028】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0029】

（実施の形態 1）

図 1 は本発明の実施の形態 1 の半導体装置の構造の一例を一部破断して示す斜視図、図 2 は図 1 に示す半導体装置の構造の一例を示す断面図、図 3 は図 2 の A 部の構造の一例を拡大して示す部分拡大断面図、図 4 は図 1 に示す半導体装置に搭載される半導体チップの電極パッドの配列の一例を示す平面図である。また、図 5 は図 1 に示す半導体装置に組み込まれる配線基板の第 1 配線層（L1）のチップ下部付近の配線パターンの一例を示す平面図、図 6 は図 1 に示す半導体装置に組み込まれる配線基板の第 2 配線層（L2）のチップ下部付近の配線パターンの一例を示す平面図、図 7 は図 1 に示す半導体装置に組み込まれる配線基板の第 3 配線層（L3）のチップ下部付近の配線パターンの一例を示す平面図、図 8 は図 1 に示す半導体装置に組み込まれる配線基板の第 4 配線層（L4）のチップ下部付近の配線パターンの一例を示す平面図である。さらに、図 9 は図 5 の A 部の構造の一例を拡大して示す部分拡大平面図、図 10 は図 6 の A 部の構造の一例を拡大して示す部分拡大平面図、図 11 は図 7 の A 部の構造の一例を拡大して示す部分拡大平面図、図 12 は図 8 の A 部の構造の一例を拡大して示す部分拡大平面図、図 13 は図 5 の B 部の構造の一例を拡大して示す部分拡大平面図である。また、図 14 は図 1 に示す半導体装置に搭載される半導体チップのパッド配置と基板構造の関係の一例を示すデータ図、図 15 は本発明の実施の形態 1 の半導体装置における周辺パッド用の配線基板のボンディング電極とバンブと半導体チップの電極パッドの位置関係の一例を拡大して示す部分拡大断面図と部分拡大平面図、図 16 は本発明の実施の形態 1 の半導体装置における中央パッド用の配線基板のボンディング電極の形状の一例を拡大して示す部分拡大平面図、図 17 は本発明の実施の形態 1 の半導体装置のフリップチップ接続部におけるバンブサイズと基板のボンディング電極の大きさの関係の一例を示す平面図、図 18 は本発明の実施の形態 1 の半導体装置のフリップチップ接続部におけるバンブサイズと基板のボンディング電極の大きさの関係の一例を示す平面図である。

【0030】

図 1 及び図 2 に示す本実施の形態 1 の半導体装置は、配線基板の上面 2a 上に半導体チップ 1 がフリップチップ実装で半田接続されて成る半導体パッケージであり、本実施の形態 1 では、前記半導体装置の一例として、前記配線基板の下面 2b に外部端子である複数の半田ボール 5 がグリッド状に設けられた BGA9 を取り上げて説明する。したがって、本実施の形態 1 の半導体装置は、フリップチップ実装タイプの BGA9 であり、例えば、数百ピン以上の外部端子を備えた多ピンの半導体パッケージである。

【0031】

次に、BGA9 の詳細構成について説明すると、上面 2a と上面 2a の反対側の下面 2b とを備えた配線基板である多層配線基板 2 と、主面 1a と主面 1a の反対側の裏面 1b

10

20

30

40

50

とを備え、かつ多層配線基板 2 の上面 2 a 上にフリップチップ実装された半導体チップ 1 と、多層配線基板 2 の下面 2 b にアレイ状に配置されて設けられた複数の外部端子である半田ボール 5 とから成る。

【0032】

ここで、半導体チップ 1 は、その主面 1 a に複数の表面電極である電極パッド 1 c が形成されており、多層配線基板 2 の上面 2 a にフェイスダウン実装でフリップチップ接続されている。すなわち、半導体チップ 1 は、その主面 1 a と多層配線基板 2 の上面 2 a とが対向した状態で配置されており、この状態で多層配線基板 2 上に搭載されている。その際、半導体チップ 1 は多層配線基板 2 に半田接続で電氣的に接続されており、複数の半田バンプ 8 を介してフリップチップ接続されている。

10

【0033】

また、多層配線基板 (BGA 基板ともいう) 2 の上面 2 a には、図 5 に示すように、半導体チップ 1 をフリップチップ実装する領域に複数のボンディング電極 2 c が形成されている。つまり、多層配線基板 2 の上面 2 a のチップ搭載領域には、半導体チップ 1 の電極パッド 1 c と半田バンプ 8 を介してフリップチップ接続を行う複数のボンディング電極 2 c が形成されている。

【0034】

まず、多層配線基板 2 の上面 2 a におけるチップ搭載領域のうち、半導体チップ 1 の主面 1 a の周縁部に対応した第 1 領域 2 y には、複数のボンディング電極 2 c が 2 列で形成されている。また、第 1 領域 2 y より内側の領域である第 2 領域 2 z には、複数の電源 / GND 用ボンディング電極 (コア電源用ボンディング電極 2 m と GND 用ボンディング電極 2 n) がアレイ状に形成されている。ここで、前記電源 / GND とは、半導体チップ 1 に形成された集積回路に供給される動作電位であり、電源電位は、例えば外部電源用として 3.0 V、内部電源 (コア電源) として 1.5 V が設定され、また、GND 電位は、接地電位 0 V が設定される。

20

【0035】

すなわち、多層配線基板 2 の上面 2 a のチップ搭載領域の中央部付近である第 2 領域 2 z には、複数の前記電源 / GND 用ボンディング電極がアレイ状に形成されている。なお、第 2 領域 2 z の周囲の領域に第 1 領域 2 y が形成されており、この第 1 領域 2 y に複数のボンディング電極 2 c が 2 列で配置されている。

30

【0036】

一方、多層配線基板 2 の下面 2 b には、図 2 に示すように複数のランド 2 j がアレイ状に形成され、それぞれのランド 2 j に外部端子である半田ボール 5 が接続されている。

【0037】

なお、多層配線基板 2 と半導体チップ 1 との間に位置するフリップチップ接続部及びその周囲にはアンダーフィル樹脂 6 が充填されており、フリップチップ接続部を固めて保護している。

【0038】

さらに、多層配線基板 2 の上面 2 a の周縁部には、半導体チップ 1 を囲んだ状態にスティフナリング 7 が取り付けられている。スティフナリング 7 は、リング状テープ 7 a によって多層配線基板 2 に接着されている。スティフナリング 7 の上部にはヒートスプレッド 4 が設けられている。ヒートスプレッド 4 は、半導体チップ 1 上の放熱樹脂 3 とスティフナリング 7 / ヒートスプレッド 4 間の接着材 (例えば、テープ材) 7 b を介して、スティフナリング 7 及び半導体チップ 1 の裏面 1 b に接合されている。

40

【0039】

これにより、半導体チップ 1 から発せられる熱は放熱樹脂 3 を介してヒートスプレッド 4 に伝わり、ヒートスプレッド 4 から外方に放散されるとともに、半田バンプ 8 を介して多層配線基板 2 を経て半田ボール 5 から実装基板に伝わる。また前記熱は、ヒートスプレッド 4 から接着材 7 b 及びスティフナリング 7 を介して多層配線基板 2 に伝わり、多層配線基板 2 を経て半田ボール 5 から実装基板へと伝わって放散される。

50

## 【0040】

また、本実施の形態1のBGA9の多層配線基板2は、図3に示すように、基材の層であるコア層2h(図19参照)を有していないコアレス基板であり、ビルドアップ層2fと、ビルドアップ層2fの表側の面(多層配線基板2の上面2a)に形成された複数のボンディング電極2cと、ビルドアップ層2fの裏側の面(多層配線基板2の下面2b)に形成された複数のランド2jと、表側のボンディング電極2cと裏側のランド2jとを電氣的に接続するスルーホール(配線)2dと、ビルドアップ層2fに形成された内部配線2e等とを有している。

## 【0041】

なお、それぞれのボンディング電極2cの周囲、及び複数のランド2jの周囲には絶縁膜であるソルダレジスト膜2gが形成されている。

10

## 【0042】

また、上面2a側のボンディング電極2cとこれに対応する下面2b側のランド2jとは、ビルドアップ層2fに形成されたスルーホール(配線)2dやビアホール配線2i(図2参照)、あるいは内部配線2eを介して電氣的に接続されている。

## 【0043】

ここで、図4に示すように、半導体チップ1は、例えば、シリコンによって形成され、その主面1aには、複数の表面電極である電極パッド1cが形成されている。すなわち、主面1aの周縁部には、各辺に沿って2列で複数の電極パッド1cが設けられており、さらに、周縁部に設けられた複数の電極パッド列の内側の領域には、複数の電極パッド1c

20

## 【0044】

また、図2に示すようにチップ-基板間に塗布されたアンダーフィル樹脂6は、例えば、エポキシ系樹脂などである。さらにスティフナリング7やヒートスプレッダ4は、熱伝導率の高い金属によって形成され、また、フリップチップ接続の半田バンプ8及び外部端子である半田ボール5は、例えば、鉛フリー半田等の半田材から成る。

## 【0045】

また、多層配線基板2におけるボンディング電極2c、ビアホール配線2i、内部配線2e及びスルーホール2d等は、例えば、純銅または銅に少量(1%以下)のアルミニウム、シリコン(Si)等の不純物が添加された銅合金から成る。

30

## 【0046】

本実施の形態1のBGA9の多層配線基板2は、コア層2h(図19参照)を有していない厚さの薄いコアレス基板である。コアレス基板を採用することで、スルーホール2dを形成する際に、レーザー加工やフォトリソ加工等で貫通孔を形成することができ、その結果、スルーホールピッチを小さくすることができ、さらにバンプピッチも小さくすることができる。上記コアレス基板の厚さは、0.2mm以下であり、本実施の形態1の場合、例えば0.03~0.05mm程度である。

## 【0047】

ここで、図14は、本実施の形態1のBGA9の多層配線基板2の構造を決める上でのパッド配置と基板構造の関係を示すものであり、本発明者が検討したデータである。本発明は、多ピン化をコスト低減化して実現するものであり、そのためには多ピン化を図る上で、スルーホールピッチやバンプピッチを小さく形成する必要があるとともに、コスト低減化を図る上では多層配線基板2の配線層の層数になるべく減らすことが必要となる。

40

## 【0048】

すなわち、配線層の層数を多数形成可能であるのなら、スルーホールピッチやバンプピッチを小さく形成することは容易であるが、コストが高くなるためこれは採用不可である。

## 【0049】

今回、図14に示すように信号パッドピッチを従来の64μmから20μm程度に小さくすることで、配線層の層数を低減しつつ多ピン化を図ることができることを導き出して

50

おり、したがって、信号パッドピッチを $20\mu\text{m}$ 程度に小さくする(図14のB矢印の方向)ことができるような条件を見出す必要がある。

【0050】

図14に示すように信号パッド列数をエリア配置で4列から12列に増やす(図14のA矢印の方向)と、信号パッドピッチを $64\mu\text{m}$ から $21\mu\text{m}$ に減らすことができるが、コアレス基板(多層配線基板2)の配線層の層数が6層必要となってしまうコスト低減化を図ることができない。

【0051】

そこで、信号パッド配置を周辺配置の2列とすることで、信号パッドピッチを $20\mu\text{m}$ とすることができ(図14のC部)、さらにコアレス基板を採用することで配線層の層数を4層に抑えることができる(図14のD部)。これにより、多層配線基板2のコストの低減化を図ることができる。なお、信号パッドピッチの $20\mu\text{m}$ については、信号パッド列数を周辺配置で2列とし、コア有リ基板を採用して配線層の層数を8層とすることでも実現可能であるが、その場合、配線層の層数が8層であるため、コストの低減化を図ることができない。

【0052】

したがって、本実施の形態1のBGA9の多層配線基板2では、信号パッド列数を周辺配置で2列とし、コアレス基板を採用して配線層の層数を4層とすることで、薄い多層配線基板2を実現するとともにコストの低減化も図ることができる。すなわち、コアレス基板を採用したことで薄い多層配線基板2を実現して、スルーホールピッチを $150\sim 200\mu\text{m}$ と小さくすることができ、さらにバンプピッチも $100\sim 150\mu\text{m}$ と小さくすることができる。

【0053】

これにより、信号パッドピッチを $20\mu\text{m}$ 程度にすることができ、多ピン化が図れるとともに、配線層の層数を4層として少なくできるため、多層配線基板2のコストの低減化も図ることが可能になる。

【0054】

次に、図5～図13を用いて、本実施の形態1の多層配線基板2の4層の配線層の各層の配線パターンについて説明する。

【0055】

図5は、図2に示す多層配線基板2の最も上面2a側の配線層である第1配線層L1の配線パターンを示す図であり、フリップチップ接続が行われる半導体チップ1の主面1aと対向する配線層である。この第1配線層L1では、半導体チップ1の主面1aの周縁部に対応した第1領域2yには、複数のボンディング電極2cが2列で形成されている。また、第1領域2yより内側の領域である第2領域2zには、複数の電源/GND用ボンディング電極(図9に示すコア電源用ボンディング電極2mとGND用ボンディング電極2n)がアレイ状に形成されている。

【0056】

つまり、チップ搭載領域の中央部付近である第2領域2zには、図9に示すような複数のコア電源用ボンディング電極2mとGND用ボンディング電極2nとがアレイ状に形成されており、さらに、第2領域2zの周囲の第1領域2yには、複数のボンディング電極2cが2列で形成されている。

【0057】

また、図9及び図13に示すように第1領域2yの複数のボンディング電極2cは、複数の信号用ボンディング電極2kを含んでおり、複数のボンディング電極2cのうちの複数の信号用ボンディング電極2kは、内側と外側に振り分けて引き出されている。さらに、信号用ボンディング電極2kから内側に引き出された複数の信号用配線2uは、それぞれスルーホール2dを介して他の層の配線部2ca(図15参照)と電気的に接続されており、図5に示すように、複数のスルーホール2dは、第1領域2yと第2領域2zの間の領域に配置されている。

10

20

30

40

50

## 【 0 0 5 8 】

なお、図 1 3 に示すように、第 1 領域 2 y に配置された複数のボンディング電極 2 c のうち、複数の信号用ボンディング電極 2 k のみに注目すると、外側列と内側列とで 2 列に配置された複数のボンディング電極 2 c において、前記外側列の信号用ボンディング電極 2 k に電氣的に接続された信号用配線 2 u は外側に引き出され、一方、前記内側列の信号用ボンディング電極 2 k に電氣的に接続された信号用配線 2 u は内側に引き出されている。

## 【 0 0 5 9 】

つまり、外側列のボンディング電極 2 c は、引き出し配線によって外側に引き出され、一方、内側列のボンディング電極 2 c は、引き出し配線によって内側に引き出されている。したがって、図 9 に示すように、内側列の信号用ボンディング電極 2 k から内側に引き出された複数の信号用配線 2 u は、それぞれ信号用スルーホール 2 q に電氣的に接続されており、これら複数の信号用スルーホール 2 q は、第 1 領域 2 y と第 2 領域 2 z の間の領域に配置されている。なお、本実施の形態 1 の例では第 1 領域 2 y の 2 列に配置された複数のボンディング電極 2 c のうち、外側列は全て信号用ボンディング電極 2 k である。

## 【 0 0 6 0 】

また、第 1 領域 2 y に配置された複数のボンディング電極 2 c は、信号用ボンディング電極 2 k 以外にも、図 1 3 に示すように複数の GND 用ボンディング電極 2 n と複数の IO 電源用ボンディング電極 2 p を含んでおり、これら複数の GND 用ボンディング電極 2 n と複数の IO 電源用ボンディング電極 2 p は、何れも第 1 領域 2 y の内側列に設けられている。

## 【 0 0 6 1 】

また、第 1 領域 2 y より内側の領域には、GND 用ボンディング電極 2 n と GND 用配線 2 w を介して電氣的に接続された複数の GND 用スルーホール 2 s、及び IO 電源用ボンディング電極 2 p と IO 電源用配線 2 x を介して電氣的に接続された複数の IO 電源用スルーホール 2 t がそれぞれ設けられている。すなわち、複数の GND 用スルーホール 2 s 及び複数の IO 電源用スルーホール 2 t は、それぞれ第 1 領域 2 y と第 2 領域 2 z の間の領域に配置されている。

## 【 0 0 6 2 】

したがって、図 5 に示すように、第 1 領域 2 y と第 2 領域 2 z の間の領域には、複数の信号用スルーホール 2 q と、複数の GND 用スルーホール 2 s と、複数の IO 電源用スルーホール 2 t が配置されている。

## 【 0 0 6 3 】

一方、図 5 及び図 9 に示すように第 2 領域 2 z には、複数の電源 / GND 用ボンディング電極が形成されているが、このうち、複数の電源用ボンディング電極のそれぞれは、コア電源用ボンディング電極 2 m である。つまり、第 2 領域 2 z には、複数のコア電源用ボンディング電極 2 m と複数の GND 用ボンディング電極 2 n がアレイ状に形成されており、コア電源用ボンディング電極 2 m にはコア電源用配線 2 v を介してコア電源用スルーホール 2 r が形成されており、さらに、GND 用ボンディング電極 2 n には GND 用配線 2 w を介して GND 用スルーホール 2 s が形成されている。

## 【 0 0 6 4 】

したがって、第 2 領域 2 z には、複数のコア電源用スルーホール 2 r と複数の GND 用スルーホール 2 s とがアレイ状に配置されている。

## 【 0 0 6 5 】

なお、第 1 領域 2 y と第 2 領域 2 z の間の領域に形成された複数のスルーホール 2 d (信号用スルーホール 2 q、GND 用スルーホール 2 s、IO 電源用スルーホール 2 t)、及び第 2 領域 2 z に形成された複数のスルーホール 2 d (コア電源用スルーホール 2 r、GND 用スルーホール 2 s) は、共にスルーホールピッチが 150 ~ 200  $\mu\text{m}$  の狭ピッチで形成されている。

## 【 0 0 6 6 】

次に、図 6 は、多層配線基板 2 の第 1 配線層 L 1 の下層の配線層である第 2 配線層 L 2 の配線パターンを示す図である。すなわち、多層配線基板 2 の上面 2 a から下面 2 b に向かう方向の上面 2 a 側から 2 番目の配線層（上面 2 a の次の配線層）の配線パターンを示すものである。

【 0 0 6 7 】

図 6 に示すように、第 2 配線層 L 2 には、主に、GND プレーン 2 w a が広い面積で形成されている。この GND プレーン 2 w a は、第 1 配線層 L 1 の GND 用ボンディング電極 2 n と GND 用配線 2 w や GND 用スルーホール 2 s を介して電氣的に接続されている。

【 0 0 6 8 】

さらに、第 2 配線層 L 2 には、図 1 0 に示すように、複数の信号用スルーホール 2 q、I/O 電源用スルーホール 2 t 及びコア電源用スルーホール 2 r が GND プレーン 2 w a とは絶縁された状態でそれぞれ配置されている。

【 0 0 6 9 】

なお、第 2 配線層 L 2 に GND プレーン 2 w a が形成されているのは、第 1 配線層 L 1 に複数の信号用配線 2 u が形成されているため、これらの信号用配線 2 u の近くに GND プレーン 2 w a を設けることで信号用配線 2 u がノイズを受けにくくして信号の安定化を図るものである。

【 0 0 7 0 】

すなわち、第 1 配線層 L 1 に形成された複数の信号用配線 2 u は、図 1 3 に示すように、第 1 配線層 L 1 においても近傍（両隣）に GND 用配線 2 w や I/O 電源用配線 2 x が配置されており、さらに加えて直下の第 2 配線層 L 2 に図 1 0 に示す GND プレーン 2 w a が形成されているため、電源や GND によって囲まれた状態となっており、したがって、ノイズの影響を受けにくく、信号の安定化を図ることができる。

【 0 0 7 1 】

次に、図 7 は、多層配線基板 2 の第 2 配線層 L 2 の下層の配線層である第 3 配線層 L 3 の配線パターンを示す図である。すなわち、多層配線基板 2 の上面 2 a から下面 2 b に向かう方向の上面 2 a 側から 3 番目の配線層（第 2 配線層 L 2 の次の配線層）の配線パターンを示すものである。

【 0 0 7 2 】

図 7 及び図 1 1 に示すように第 3 配線層 L 3 には、その中央付近にコア電源プレーン 2 v a が形成されているとともに、その周囲には細長い複数の I/O 電源プレーン 2 x a が形成されている。すなわち、多層配線基板 2 の上面 2 a から下面 2 b に向かう方向において、GND プレーン 2 w a が形成された第 2 配線層 L 2 の次の（下層の）第 3 配線層 L 3 に電源プレーンであるコア電源プレーン 2 v a と I/O 電源プレーン 2 x a が形成されている。

【 0 0 7 3 】

ここで、コア電源プレーン 2 v a は、第 1 配線層 L 1 の第 2 領域 2 z の複数のコア電源用ボンディング電極 2 m とコア電源用配線 2 v やコア電源用スルーホール 2 r を介して電氣的に接続されている。一方、I/O 電源プレーン 2 x a は、第 1 配線層 L 1 の第 1 領域 2 y の複数の I/O 電源用ボンディング電極 2 p と I/O 電源用配線 2 x や I/O 電源用スルーホール 2 t を介して電氣的に接続されている。

【 0 0 7 4 】

以上のように、多層配線基板 2 では第 1 配線層 L 1 の中央の第 2 領域 2 z に設けられた複数の GND 用ボンディング電極 2 n に電氣的に接続された GND プレーン 2 w a は、第 2 配線層 L 2 に配置され、同じく第 1 配線層 L 1 の第 2 領域 2 z に設けられた複数のコア電源用ボンディング電極 2 m に電氣的に接続されたコア電源プレーン 2 v a は、第 3 配線層 L 3 に配置されている。つまり、第 1 配線層 L 1 の GND と電源がそれぞれ第 2 配線層 L 2 と第 3 配線層 L 3 に切り分けて配置されている。

【 0 0 7 5 】

10

20

30

40

50

これは各スルーホール 2 d の直径と配置ピッチの両者が小さいからこそ可能になるものであり、レーザー加工によって形成された貫通孔から成るスルーホール 2 d を第 1 配線層 L 1 の第 2 領域 2 z に密度高く形成可能であるからこそ実現できる構造である。

【 0 0 7 6 】

また、第 3 配線層 L 3 には、複数の信号用配線 2 u が設けられている。第 3 配線層 L 3 の信号用配線 2 u は、第 1 配線層 L 1 の第 1 領域 2 y の信号用ボンディング電極 2 k と信号用配線 2 u や信号用スルーホール 2 q を介して電氣的に接続されている。つまり、第 1 配線層 L 1 の第 1 領域 2 y の複数の信号用ボンディング電極 2 k のうち、内側に引き出された複数の信号用配線 2 u が第 1 領域 2 y と第 2 領域 2 z の間に配置された信号用スルーホール 2 q を介して第 3 配線層 L 3 の信号用配線 2 u に電氣的に接続されており、さらに

10

【 0 0 7 7 】

言い換えると、第 1 配線層 L 1 の第 1 領域 2 y の複数の信号用ボンディング電極 2 k のうち、内側に引き出された複数の信号用配線 2 u と信号用スルーホール 2 q を介して電氣的に接続された第 3 配線層 L 3 (他の層) の信号用配線 (配線部) 2 u は、この第 3 配線層 L 3 において外側に引き出されている。したがって、第 1 配線層 L 1 において、信号用スルーホール 2 q は、全て第 2 領域 2 z の外側に形成されている。

【 0 0 7 8 】

なお、第 3 配線層 L 3 において信号用配線 2 u は、2 本ずつセットで配置され、2 本の信号用配線 2 u の左右両側には細長い I O 電源プレーン 2 x a が配置されている。

20

【 0 0 7 9 】

本実施の形態 1 の B G A 9 は数百ピン以上の多ピンの半導体装置であり、少ない配線層で所望数の信号用ピンに繋ぐ信号用配線 2 u の引き回しを実現するためには、第 1 配線層 L 1 において第 1 領域 2 y より外側へのみの信号用配線 2 u の引き出しでは信号用配線 2 u の数が足りないため、第 1 領域 2 y より内側の領域 (第 1 領域 2 y と第 2 領域 2 z の間の領域) にも信号用スルーホール 2 q を配置して、他の配線層 (ここでは、第 3 配線層 L 3) で信号用配線 2 u を外側に引き出すことで、少ない配線層の数百ピン以上の多ピンの半導体装置の構造を可能にしている。

【 0 0 8 0 】

30

そのため、コアレス基板等の薄い基板を採用してチップ下の第 2 領域 2 z に形成する複数のスルーホール 2 d のスルーホール径とスルーホールピッチを小さくすることで、第 1 配線層 L 1 の第 1 領域 2 y と第 2 領域 2 z の間にも複数の信号用スルーホール 2 q を形成するための領域が確保することができ、この第 1 領域 2 y と第 2 領域 2 z の間に複数の信号用スルーホール 2 q を配置することで、前記少ない配線層の数百ピン以上の多ピンの半導体装置の構造を可能にできる。

【 0 0 8 1 】

次に、図 8 は、多層配線基板 2 の第 3 配線層 L 3 の下層の配線層である第 4 配線層 L 4 の配線パターンを示す図である。すなわち、多層配線基板 2 の上面 2 a から下面 2 b に向かう方向の上面 2 a 側から 4 番目の配線層 (第 3 配線層 L 3 の次の配線層) の配線パターンを示すものである。

40

【 0 0 8 2 】

図 8 及び図 1 2 に示すように第 4 配線層 L 4 には、第 2 配線層 L 2 の G N D プレーン 2 w a と G N D 用スルーホール 2 s を介して電氣的に接続された G N D プレーン 2 w a や、第 3 配線層 L 3 のコア電源プレーン 2 v a とコア電源用スルーホール 2 r を介して接続された複数のコア電源プレーン 2 v a 等が設けられており、それぞれのプレーンと電氣的に接続された G N D 用、電源用、及び信号用の各ランド 2 j が設けられている。各ランド 2 j には、B G A 9 の外部端子となる半田ボール 5 が接続されている。

【 0 0 8 3 】

なお、第 4 配線層 L 4 の G N D プレーン 2 w a は、複数の G N D 用スルーホール 2 s の

50

みを介して第2配線層L2のGNDプレーン2waとダイレクトに電氣的に接続されている。したがって、多層配線基板2におけるGND電位の安定化を図ることができる。

【0084】

次に、図15と図16は多層配線基板2の上面2aにおいて、ソルダレジスト膜2gの開口部2gaに露出する配線部2caとボンディング電極2cの構造を示すものであり、図15は上面2aの第1領域2yでの周辺パッド用のボンディング電極2cを示しており、一方、図16は上面2aの第2領域2zでのエリア配置用のボンディング電極2cを示している。どちらのボンディング電極2cにおいても、フリップチップ接続では、ボンディング電極2c上に形成されたメッキ層2cbと半田パンプ8を接続させてフリップチップ接続を行うが、その際、本実施の形態1のBGA9では信号パッドピッチが20μmと小さいため、半田パンプ8を例えば円柱形状とすることで狭パッドピッチによるフリップチップ接続を実現させることができる。

10

【0085】

次に、図17と図18は、フリップチップ接続部におけるチップ側のパンプサイズと基板側の配線の最小間隔の関係の一例を示すものである。図17に示すパンプサイズAと配線の間隔Bの関係において、半田パンプ8が図18に示すように位置ずれした際に半田パンプ8とボンディング電極2cの間に隙間Cが形成されるように、パンプサイズ(半田パンプ8のサイズ)A<基板配線(ボンディング電極2c)の間隔Bとすることで、半田パンプ8が位置ずれした際にも電氣的なショートが発生を防ぐことができる。

【0086】

20

本実施の形態1のBGA9によれば、多ピンのBGA9において、多層配線基板2の上面2aのチップ周縁部に対応した領域(第1領域2y)に配置された複数の信号用ボンディング電極2kが内側と外側に振り分けて引き出されており、内側に引き出された複数の信号用配線2uと接続する複数の信号用スルーホール2qが、複数の信号用ボンディング電極2kの電極列の領域である第1領域2yと複数のコア電源用ボンディング電極2mとGND用ボンディング電極2nが配置された中央の第2領域2zとの間の領域に配置されていることで、チップのパッドピッチを詰めることができる。

【0087】

すなわち、多層配線基板2として、薄いコアレス基板を用いたことでチップ下の第2領域2zに形成する複数のスルーホール2dのスルーホール径とスルーホールピッチを小さくすることができ、上面2a(第1配線層L1)の第1領域2yと第2領域2zの間にも複数の信号用スルーホール2qを形成するための領域を確保することができる。

30

【0088】

その結果、第1領域2yに形成された複数の信号用ボンディング電極2kを内側と外側に振り分けて引き出すことができ、したがって、チップのパッドピッチを詰めることができるとともに、信号用ボンディング電極2kを周辺配置(第1領域2y)に対応させ、かつコア電源用ボンディング電極2mやGND用ボンディング電極2nをエリア配置(第2領域2z)に対応させて配置することができる。

【0089】

これにより、多層配線基板2の層数を増やすことなく、チップシュリンク化にも対応可能となる。

40

【0090】

すなわち、再配線を採用することなく、かつ多層配線基板2の層数を増やさずに多ピン化を図れるため、多ピンのBGA9のコストの低減化を図ることができるとともに、チップシュリンク化にも対応することができる。なお、フリップチップ接続タイプの半導体装置は、ワイヤボンディングタイプの半導体装置に比べてコストが高いため、本実施の形態1のBGA9のようなフリップチップ接続タイプの半導体装置のコスト低減化は非常に有効である。

【0091】

また、再配線を採用することなく電極パッド1cのエリア配置が行えるため、チップ設

50

計としても容易に行うことができる。

【0092】

また、多層配線基板2では、スルーホール径を小さくしたことで、第2領域2zのコア電源は、そのままコア電源用スルーホール2rを介して第4配線層L4のコア電源用のランド2jに接続されるため、配線層の層数を増やすことなく、ピン数を増やして多ピン化に対応させることができる。

【0093】

また、半導体チップ1の電極パッド1cのエリア配置が可能なため、チップシュリンク化が行われた多ピンの半導体装置においても半導体チップ1の電極パッド1cのエリア配置を実現することができる。

10

【0094】

さらに、チップシュリンク化が行われた半導体チップ1においてもその電極パッド1cのエリア配置を実現することができるため、半導体チップ1の中央部付近である第2領域2zに複数のコア電源用ボンディング電極2mを配置することができ、チップシュリンク化が行われた多ピンのBGA9において電源の安定化を図ることができる。

【0095】

特に、BGA9が高パワーデバイス用途の場合には、電源の安定化を図ることができるため、非常に有効である。

【0096】

次に本実施の形態1の変形例について説明する。

20

【0097】

図19は本発明の実施の形態1の半導体装置に組み込まれる第1変形例の配線基板の構造の一例を拡大して示す部分拡大断面図である。図19に示す第1変形例の多層配線基板2は、コア層2hを有する配線基板であり、コア層2hを薄くすることで基板の厚さを薄くした配線基板である。

【0098】

図19に示すコア層2hを薄くした多層配線基板2においても、コア層2hが薄いため径の小さいドリルを用いて小さい孔径の貫通孔を形成することができ、コアレス基板のスルーホール径やスルーホールピッチと同程度のスルーホール2dを形成することができる。

30

【0099】

その結果、コア層2hを有する多層配線基板2を用いた半導体装置の場合においても、コアレス基板の多層配線基板2を用いた半導体装置の場合と同程度の効果を得ることができる。上記コア層2hを有する多層配線基板2の厚さは、例えば0.4mmや0.6mm程度であり、上記実施の形態1で説明したコアレス基板に比べてその厚さは厚くなるが、基板の剛性を向上することが可能である。ここでは、厚さ0.4mm以上で、かつ1.0mm以下の基板をコア層2hを有する薄型の多層配線基板2と称し、上記コア層2hを有する薄型の多層配線基板2は、例えば、パッケージサイズが、20~35mm程度と比較的大きめで、かつ高信頼性が要求される車載用途の半導体パッケージ基板として用いられる。

40

【0100】

また、上記実施の形態1で説明したコアレス基板は、例えば、パッケージサイズが、10~20mm程度と比較的小さく、小型化が要求される携帯電話等のモバイル用途の半導体パッケージ基板として用いられる。

【0101】

次に、図20は本発明の実施の形態1の半導体装置に組み込まれる第2変形例の配線基板の構造の一例を拡大して示す部分拡大断面図である。図20に示す第2変形例の半導体装置は、フリップチップ接続構造において、半導体チップ1と多層配線基板2のソルダレジスト膜2gとの隙間Dが5μm程度と小さいため、アンダーフィル樹脂6(図2参照)が入りにくいことがあるため、前記アンダーフィル樹脂6を充填しない構造とするもので

50

ある。

【0102】

したがって、アンダーフィル樹脂6を充填しないことでアンダーフィル樹脂6の充填ムラが生じることを防止できる。なお、配線部2caの表面にはニッケル-金等からなるメッキ層2cbが形成されている。

【0103】

次に、図21は本発明の実施の形態1の半導体装置に組み込まれる第3変形例の配線基板の構造の一例を拡大して示す部分拡大断面図である。図21に示す第3変形例の半導体装置は、フリップチップ接続構造において、多層配線基板2に図20に示すようなソルダレジスト膜2gが設けられていない構造のものであり、ソルダレジスト膜2gの代わりとして、配線部2caと同等の高さの絶縁膜2gbを設けて基板表面の平坦化を行うものである。

10

【0104】

これにより、多層配線基板2と半導体チップ1の主面1aとの間隔を15μm程度に広げ、そこにアンダーフィル樹脂6を充填するものである。

【0105】

したがって、多層配線基板2と半導体チップ1の主面1aとの隙間が広げられたため、アンダーフィル樹脂6の充填ムラを低減することができる。

【0106】

次に、図22は本発明の実施の形態1の半導体装置に組み込まれる第4変形例の配線基板の構造の一例を拡大して示す部分拡大断面図である。図22に示す第4変形例の半導体装置は、フリップチップ接続構造において、多層配線基板2の上面2aにおけるチップ搭載領域の全面にソルダレジスト膜2gが設けられていない構造のものであり、前記ソルダレジスト膜2gは、チップ搭載領域の外側のみに設けられている。この場合、配線部2caの露出部分には全面的にニッケル-金等からなるメッキ層2cbが形成されている。

20

【0107】

その結果、多層配線基板2と半導体チップ1の主面1aとの隙間が広がるため、アンダーフィル樹脂6の充填ムラを低減することができる。

【0108】

次に、図23は本発明の実施の形態1の半導体装置に組み込まれる第5変形例の配線基板の構造の一例を示す部分拡大断面図である。図24に示す第5変形例の半導体装置は、フリップチップ接続構造において、半田バンプ8が設けられた半導体チップ1をボンディング電極2c上に配置した後、半田バンプ8を溶かし、その後、アンダーフィル樹脂6を充填して最後に加熱してアンダーフィル樹脂6を硬化させたものである。

30

【0109】

これにより、アンダーフィル樹脂6の充填ムラを低減することができる。

【0110】

次に、図24は本発明の実施の形態1の第6変形例の半導体装置に組み込まれる配線基板の構造の一例を示す平面図、図25は図24に示す配線基板を用いた半導体装置の構造の一例を示す断面図である。図25に示す第6変形例の半導体装置は、フリップチップ接続に金バンプ11を用いたBGA10であり、したがって、図24に示すボンディング電極2cの表面には、錫メッキが施されている。

40

【0111】

また、図24に示すように多層配線基板2の上面2a(図25参照)は、図22に示す多層配線基板2のようにチップ搭載領域のみにソルダレジスト膜2gが形成されていない構造となっており、前記チップ搭載領域の周囲にソルダレジスト膜2gが形成されている。したがって、BGA10においても、図25に示すようにアンダーフィル樹脂6を充填ムラを発生させることなく充填することができる。なお、ソルダレジスト膜2gの開口部2gaでアンダーフィル樹脂6の流れを止めることが可能な構造となっている。

【0112】

50

次に、図 2 6 は本発明の実施の形態 1 の半導体装置の第 7 変形例の配線基板のボンディング電極の形状と半導体チップの電極パッドとの関係の一例を示す平面図である。図 2 6 に示す第 7 変形例の半導体装置は、フリップチップ接続に用いられる半田バンプ 8 の形状を、多層配線基板 2 の半田バンプ 8 が接続する配線部 2 c a の延在方向に沿った長方形とするものである。

【0113】

これによって、配線部 2 c a の配線幅が  $20\mu\text{m}$  と細い場合であってもフリップチップ接続の半田バンプ 8 による接続面積を確保することができる。

【0114】

次に、図 2 7 は本発明の実施の形態 1 の第 8 変形例の半導体装置の構造を示す部分拡大断面図である。図 2 7 に示す第 8 変形例の半導体装置は、搭載される半導体チップ 1 の厚さを薄くした B G A 1 3 であるとともに、多層配線基板 2 の上面 2 a の半導体チップ 1 の周囲に積層用半田バンプ 1 2 をボンディング電極 2 c に接続して搭載したものである。

【0115】

B G A 1 3 においては、半導体チップ 1 を薄くすることで半導体チップ 1 の裏面 1 b 側にも封止用樹脂を周り込ませることができ、封止体 1 5 内に半導体チップ 1 を埋め込んで多層配線基板 2 をチップ内蔵基板とすることができる。半導体チップ 1 を覆う封止体 1 5 とソルダレジスト膜 2 g とを接続した上面部 2 g c を平坦にすることで、積層用半田バンプ 1 2 を上面部 2 g c から突出させることができる。

【0116】

また、図 2 8 は本発明の実施の形態 1 の第 9 変形例の半導体装置の構造を示す部分拡大断面図である。図 2 8 に示す第 9 変形例の半導体装置は、図 2 8 に示す B G A 1 3 を 2 段に積層した P O P (Package On Package) 1 4 である。

【0117】

すなわち、半導体チップ 1 を薄くすることでチップ内蔵型の多層配線基板 2 を有した B G A 1 3 を形成し、これらの B G A 1 3 を複数段に積層して P O P 1 4 を構成することも可能である。

【0118】

(実施の形態 2)

図 2 9 は本発明の実施の形態 2 の半導体装置に組み込まれる配線基板の第 1 配線層 (L 1) のチップ下部付近の配線パターンの一例を示す平面図、図 3 0 は本発明の実施の形態 2 の半導体装置に組み込まれる配線基板の第 2 配線層 (L 2) のチップ下部付近の配線パターンの一例を示す平面図、図 3 1 は本発明の実施の形態 2 の半導体装置に組み込まれる配線基板の第 3 配線層 (L 3) のチップ下部付近の配線パターンの一例を示す平面図、図 3 2 は本発明の実施の形態 2 の半導体装置に組み込まれる配線基板の第 4 配線層 (L 4) のチップ下部付近の配線パターンの一例を示す平面図である。また、図 3 3 は図 2 9 の A 部の構造の一例を拡大して示す部分拡大平面図、図 3 4 は図 3 0 の A 部の構造の一例を拡大して示す部分拡大平面図、図 3 5 は図 3 1 の A 部の構造の一例を拡大して示す部分拡大平面図、図 3 6 は図 3 2 の A 部の構造の一例を拡大して示す部分拡大平面図、図 3 7 は本発明の実施の形態 2 の半導体装置に組み込まれる変形例の配線基板の構造の一例を拡大して示す部分拡大平面図である。

【0119】

本実施の形態 2 は、多層配線基板 2 を有する半導体装置において、実施の形態 1 の B G A 9 よりピン数を低減する場合の構造の一例を示すものである。ここでは、多層配線基板 2 の第 1 配線層 L 1 の第 2 領域 2 z において、図 3 3 に示すコア電源用ボンディング電極 2 m と G N D 用ボンディング電極 2 n の数を減らして半導体装置のピン数の低減化を図っている。つまり、第 1 配線層 L 1 の第 2 領域 2 z におけるボンディング電極 2 c (コア電源用ボンディング電極 2 m と G N D 用ボンディング電極 2 n) の数を、実施の形態 1 の B G A 9 の多層配線基板 2 の第 2 領域 2 z のボンディング電極 2 c の数に比べて減らしている。

10

20

30

40

50

## 【 0 1 2 0 】

図 2 9 ~ 図 3 6 を用いて、本実施の形態 2 の多層配線基板 2 の 4 層の配線層の各層の配線パターンについて説明する。

## 【 0 1 2 1 】

図 2 9 及び図 3 3 は第 1 配線層 L 1、図 3 0 及び図 3 4 は第 2 配線層 L 2、図 3 1 及び図 3 5 は第 3 配線層 L 3、図 3 2 及び図 3 6 は第 4 配線層 L 4 の配線パターンをそれぞれ示すものである。それぞれの図において、第 1 領域 2 y、及びこの第 1 領域 2 y と第 2 領域 2 z の間の領域の配線パターンについては、実施の形態 1 の多層配線基板 2 のものと全く同じである。

## 【 0 1 2 2 】

実施の形態 1 と異なっている点について説明すると、図 2 9 に示す第 1 配線層 L 1 の配線パターンにおいて、第 2 領域 2 z のボンディング電極 2 c の数が、実施の形態 1 のものより少なくなっており、これによって、半導体装置のピン数の低減化を図ることができる。図 3 3 に示すように、第 2 領域 2 z に設けられた GND 用ボンディング電極 2 n は、GND 用配線 2 w 及び GND 用スルーホール 2 s を介して、図 3 0 及び図 3 4 に示す第 2 配線層 L 2 の GND プレーン 2 w a と電氣的に接続されている。

## 【 0 1 2 3 】

一方、第 1 配線層 L 1 の第 2 領域 2 z のコア電源用ボンディング電極 2 m は、コア電源用配線 2 v 及びコア電源用スルーホール 2 r を介して図 3 1 及び図 3 5 に示す第 3 配線層 L 3 のコア電源プレーン 2 v a と電氣的に接続されている。

## 【 0 1 2 4 】

また、図 3 2 及び図 3 6 に示すように第 4 配線層 L 4 には、第 2 配線層 L 2 の GND プレーン 2 w a と GND 用スルーホール 2 s を介して電氣的に接続された GND プレーン 2 w a や、第 3 配線層 L 3 のコア電源プレーン 2 v a とコア電源用スルーホール 2 r を介して接続された複数のコア電源プレーン 2 v a ( 2 j ) 等が設けられており、それぞれのプレーンと電氣的に接続された GND 用、電源用、及び信号用の各ランド 2 j が設けられている。

## 【 0 1 2 5 】

なお、実施の形態 1 の多層配線基板 2 の配線パターンと同様に、実施の形態 2 の多層配線基板 2 についても、第 1 配線層 L 1 の第 1 領域 2 y の複数の信号用ボンディング電極 2 k のうち、内側に引き出された複数の信号用配線 2 u と信号用スルーホール 2 q を介して電氣的に接続された第 3 配線層 L 3 ( 他の層 ) の信号用配線 ( 配線部 ) 2 u は、この第 3 配線層 L 3 において外側に引き出されている。したがって、第 1 配線層 L 1 において、信号用スルーホール 2 q は、全て第 2 領域 2 z の外側に形成されている。

## 【 0 1 2 6 】

また、第 3 配線層 L 3 において信号用配線 2 u は、2 本ずつセットで配置され、2 本の信号用配線 2 u の左右両側には細長い I O 電源プレーン 2 x a が配置されている。

## 【 0 1 2 7 】

本実施の形態 1 の BGA 9 と同様、本実施の形態 2 の半導体装置も多ピンの半導体装置であり、少ない配線層で所望数の信号用ピンに繋ぐ信号用配線 2 u の引き回しを実現するためには、第 1 配線層 L 1 において第 1 領域 2 y より外側へのみの信号用配線 2 u の引き出しでは信号用配線 2 u の数が足りない。そのため、第 1 領域 2 y より内側の領域 ( 第 1 領域 2 y と第 2 領域 2 z の間の領域 ) にも信号用スルーホール 2 q を配置して、他の配線層 ( ここでは、第 3 配線層 L 3 ) で信号用配線 2 u を外側に引き出すことで、少ない配線層の半導体装置の多ピン化構造を可能にしている。

## 【 0 1 2 8 】

そのため、コアレス基板等の薄い基板を採用してチップ下の第 2 領域 2 z に形成する複数のスルーホール 2 d のスルーホール径とスルーホールピッチを小さくすることで、第 1 配線層 L 1 の第 1 領域 2 y と第 2 領域 2 z の間にも複数の信号用スルーホール 2 q を形成するための領域を確保することができ、この第 1 領域 2 y と第 2 領域 2 z の間に複数の信

10

20

30

40

50

号用スルーホール 2 q を配置することで、前記少ない配線層の多ピンの半導体装置の構造を可能にできる。

【0129】

なお、本実施の形態 2 の多層配線基板 2 の第 1 配線層 L 1、第 2 配線層 L 2、第 3 配線層 L 3 及び第 4 配線層 L 4 におけるその他の配線パターンについては、実施の形態 1 の多層配線基板 2 の各配線層の配線パターンと同じであるため、その重複説明は省略する。

【0130】

また、本実施の形態 2 の多層配線基板 2 を有する半導体装置によって得られる効果についても、実施の形態 1 の半導体装置 (BGA 9) によって得られる効果と同様であり、その重複説明は省略する。

10

【0131】

次に、本実施の形態 2 の変形例について説明する。

【0132】

図 37 は本実施の形態 2 の変形例の配線基板の構造を示す図であり、第 1 配線層 L 1 の第 1 領域 2 y における複数のボンディング電極 2 c が千鳥配置で設けられているものである。すなわち、第 1 配線層 L 1 の第 1 領域 2 y に 2 列で配置された複数のボンディング電極 2 c が千鳥配置で設けられているものである。この場合、図 4 に示す半導体チップ 1 の主面 1 a の周縁部に 2 列で配置された複数の電極パッド 1 c も千鳥配置にすることでフリップチップ実装が可能となる。

【0133】

これにより、多層配線基板 2 の配線ルールが、ライン / スペース =  $20\mu\text{m} / 20\mu\text{m}$  の場合には、ボンディング電極 2 c の配置ピッチを  $20\mu\text{m}$  にすることができる。その結果、狭パッドピッチ化への対応が可能になり、半導体装置の更なる多ピン化を実現することができる。

20

【0134】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0135】

例えば、前記実施の形態 1 では、多層配線基板 2 の上面 2 a の周縁部の第 1 領域 2 y におけるボンディング電極 2 c の配置が並列 (千鳥配置ではない) 配置の場合について説明したが、実施の形態 1 の BGA 9 の多層配線基板 2 においても、上面 2 a の第 1 領域 2 y (第 2 領域 2 z も含む) のボンディング電極 2 c の配置を千鳥配置としてもよい。

30

【0136】

このように実施の形態 1 の BGA 9 において多層配線基板 2 の上面 2 a の第 1 領域 2 y のボンディング電極 2 c の配置を千鳥配置とすることで、BGA 9 においても更なる狭パッドピッチ化への対応が可能になり、BGA 9 の更なる多ピン化を実現することができる。

【0137】

また、前記実施の形態 1 では、半導体装置の構造の一例として、スティフナリング 7 が取り付けられた BGA 9 の場合を取り上げて説明したが、スティフナリング 7 は設けられていなくても良い。その場合、ヒートスプレッド 4 は、半導体チップ 1 の裏面 1 b のみに放熱樹脂 3 等を介して接合される。

40

【産業上の利用可能性】

【0138】

本発明は、フリップチップ接続タイプの電子装置に好適である。

【符号の説明】

【0139】

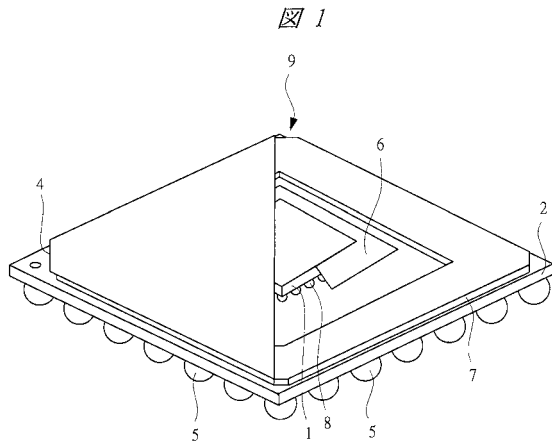
1 半導体チップ

1 a 主面

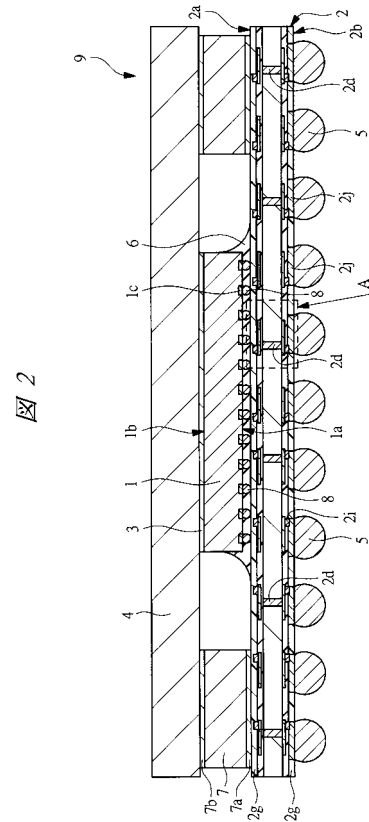
50

1 b	裏面	
1 c	電極パッド	
2	多層配線基板	
2 a	上面	
2 b	下面	
2 c	ボンディング電極	
2 d	スルーホール	
2 e	内部配線	
2 f	ビルドアップ層	
2 g	ソルダレジスト膜	10
2 h	コア層	
2 i	ビアホール配線	
2 j	ランド	
2 k	信号用ボンディング電極	
2 m	コア電源用ボンディング電極	
2 n	GND用ボンディング電極	
2 p	I O 電源用ボンディング電極	
2 q	信号用スルーホール	
2 r	コア電源用スルーホール	
2 s	GND用スルーホール	20
2 t	I O 電源用スルーホール	
2 u	信号用配線	
2 v	コア電源用配線	
2 w	GND用配線	
2 x	I O 電源用配線	
2 y	第 1 領域	
2 z	第 2 領域	
2 c a	配線部	
2 c b	メッキ層	
2 g a	開口部	30
2 g b	絶縁膜	
2 g c	上面部	
2 v a	コア電源プレーン	
2 w a	GNDプレーン	
2 x a	I O 電源プレーン	
3	放熱樹脂	
4	ヒートスプレッダ	
5	半田ボール ( 外部端子 )	
6	アンダーフィル樹脂	
7	スティフナリング	40
7 a	リング状テープ	
7 b	接着材	
8	半田バンプ	
9	B G A ( 半導体装置 )	
1 0	B G A ( 半導体装置 )	
1 1	金バンプ	
1 2	積層用半田バンプ	
1 3	B G A ( 半導体装置 )	
1 4	P O P ( 半導体装置 )	
1 5	封止体	50

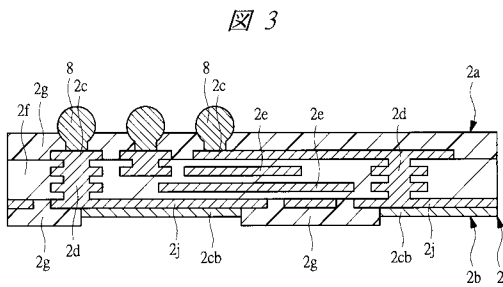
【図 1】



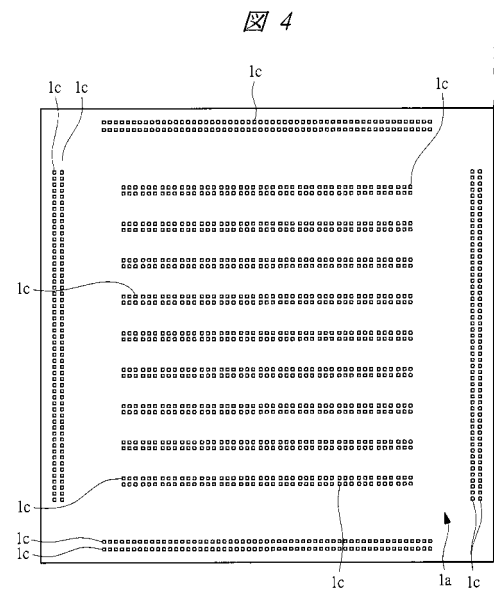
【図 2】



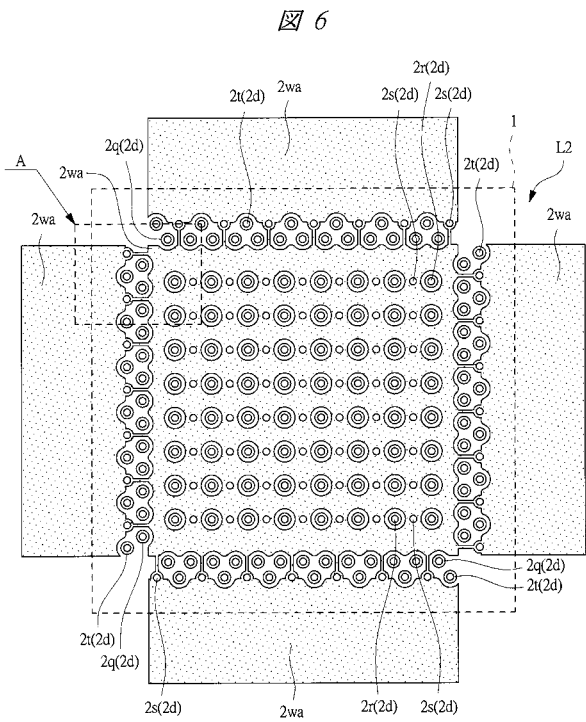
【図 3】



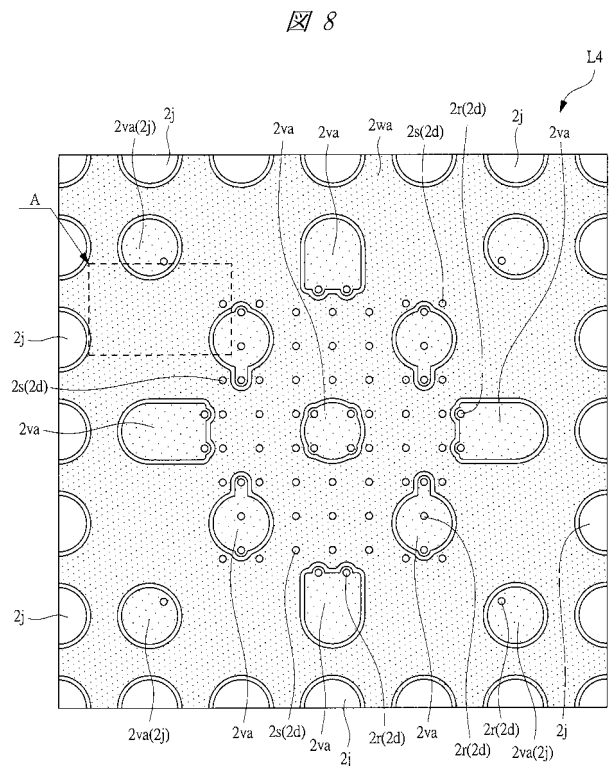
【図 4】



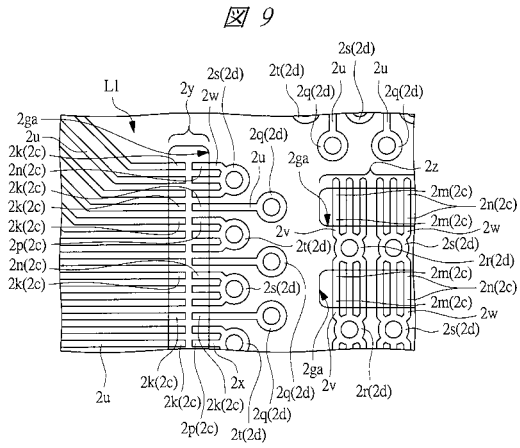
【 図 6 】



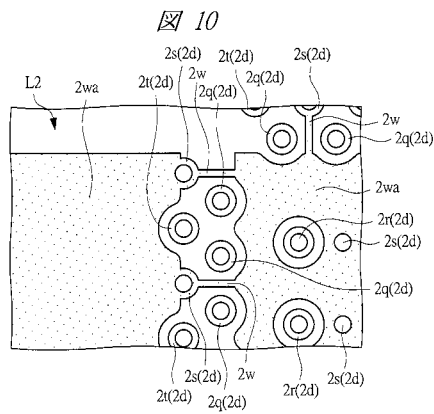
【 図 8 】



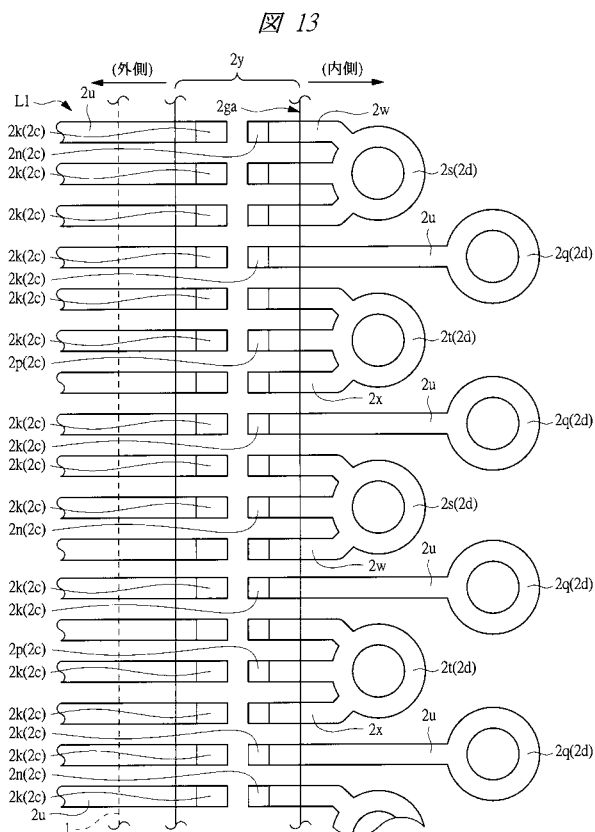
【 図 9 】



【 図 1 0 】

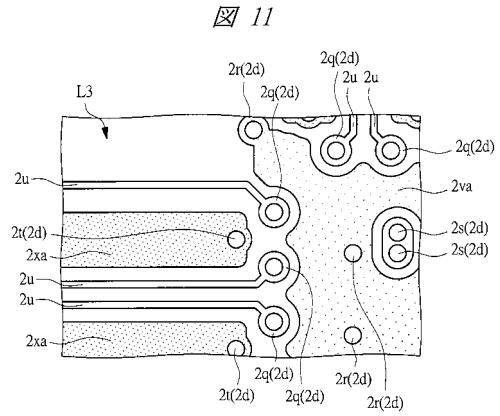


【 図 1 3 】

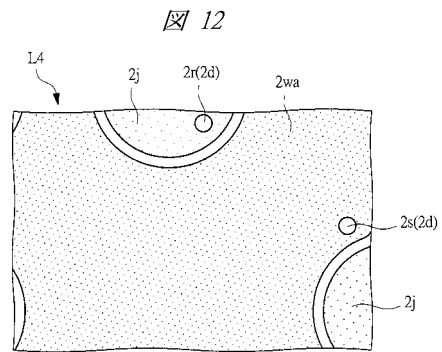


1: 半導体チップ  
2c: ボンディング電極  
2k: 信号用ボンディング電極  
2q: 信号用スルーホール  
2u: 信号用配線  
2y: 第1領域

【 図 1 1 】



【 図 1 2 】



【 図 1 4 】

Figure 14 shows a square with a diagonal line from the top-left corner to the bottom-right corner. The top-left corner is labeled 'A' and the bottom-right corner is labeled 'B'. The diagonal line is labeled 'AB'.

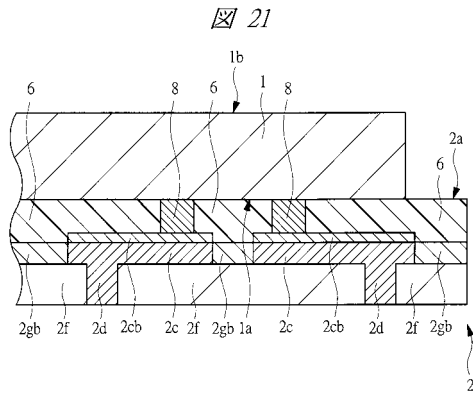
IO配置	信号パッド列数	信号パッドピッチ	コア有基板	コアレス基板
エリア配置	4列	64um	4層	3層
	6列	43um	6層	4層
	8列 A ~	32um B ~	8層	4層
	10列	26um	8層	6層
	12列 ↓	21um ↓	8層	6層
周辺配置	1列	40um	4層	3層
	2列	20um	8層	4層

C

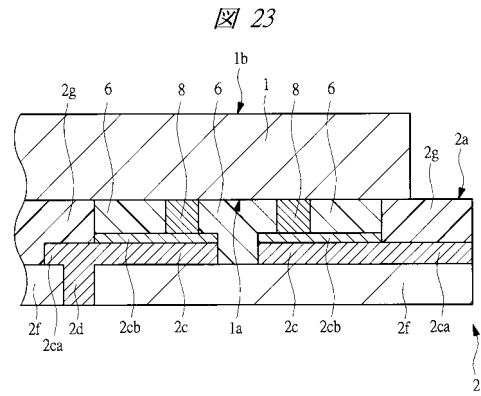
D



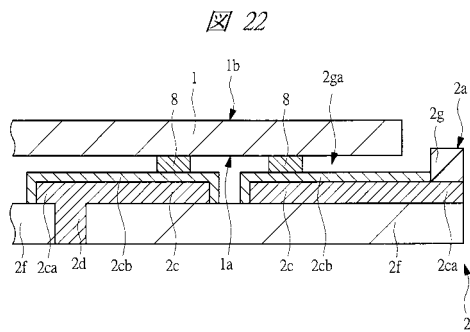
【図 2 1】



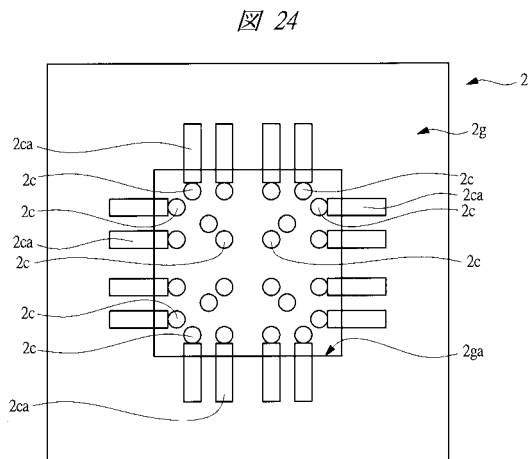
【図 2 3】



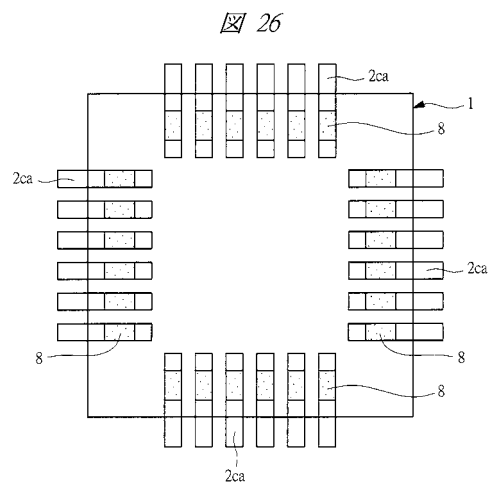
【図 2 2】



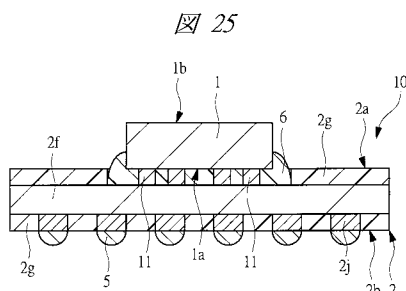
【図 2 4】



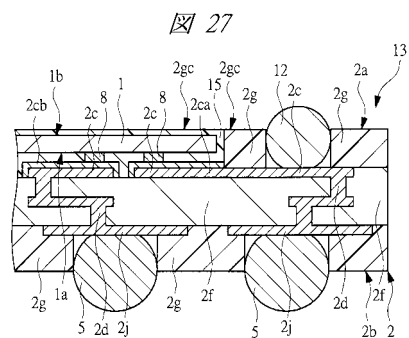
【図 2 6】



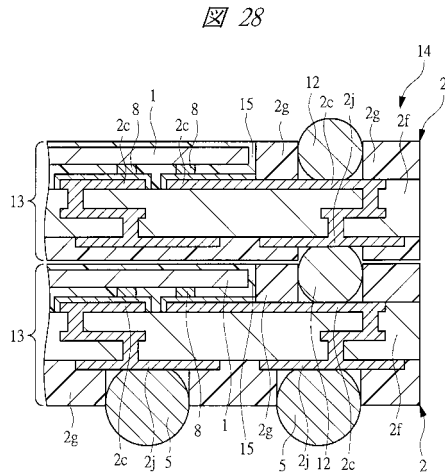
【図 2 5】



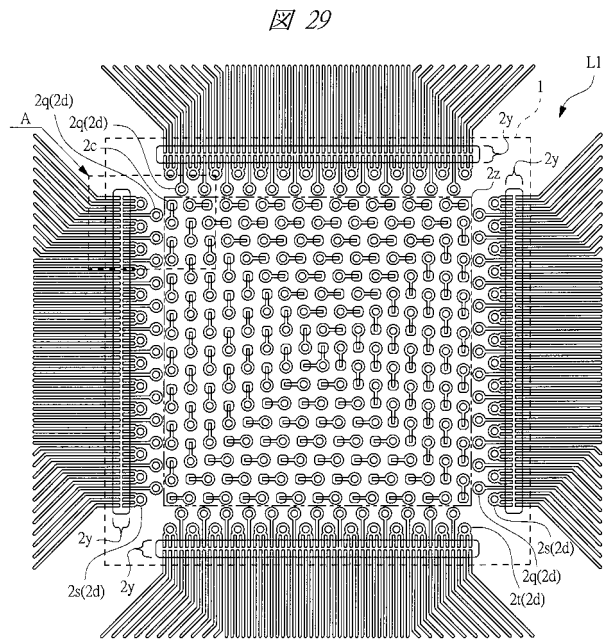
【図 2 7】



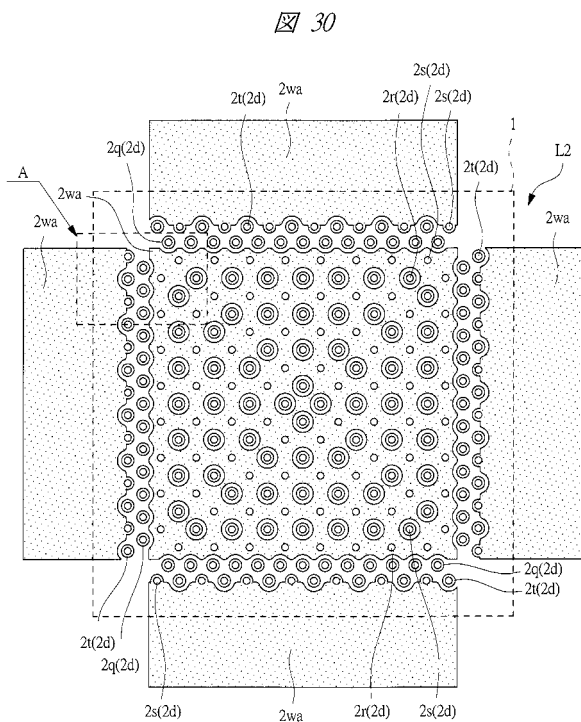
【 図 2 8 】



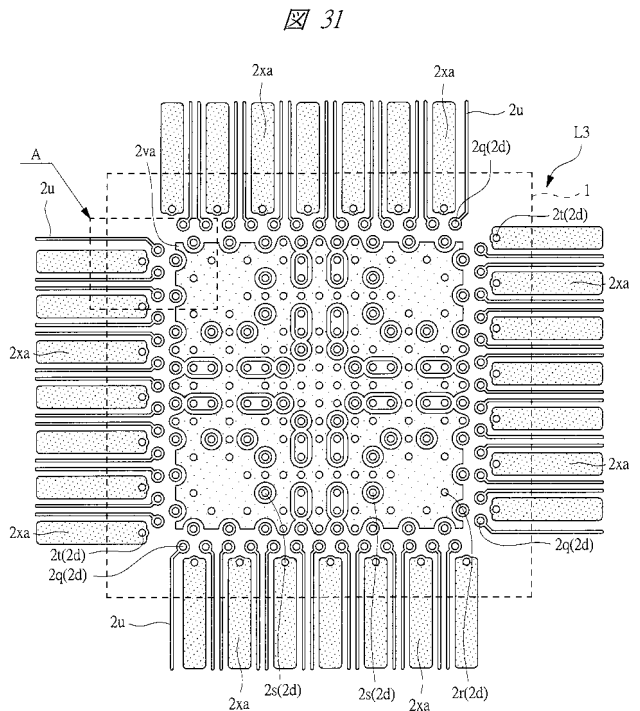
【 図 2 9 】



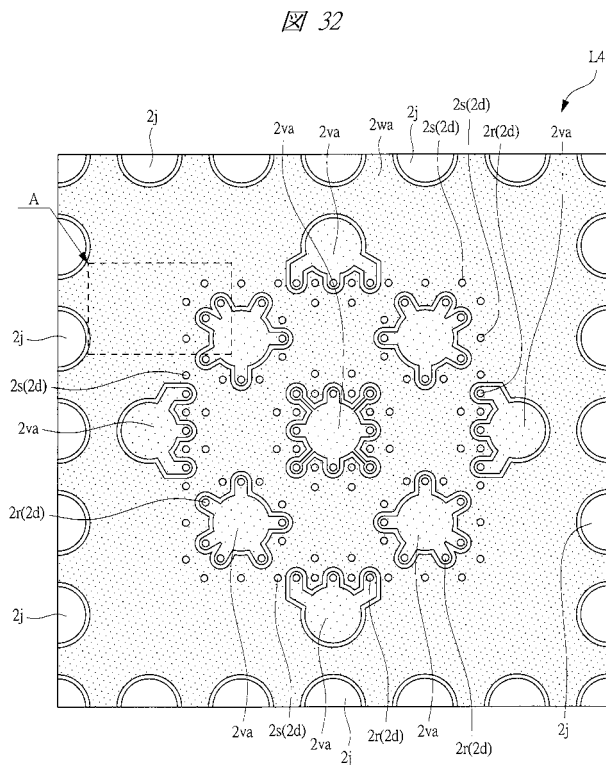
【 図 3 0 】



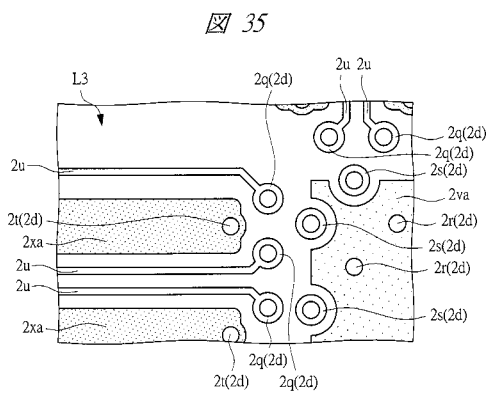
【 ㄨ 3 1 】



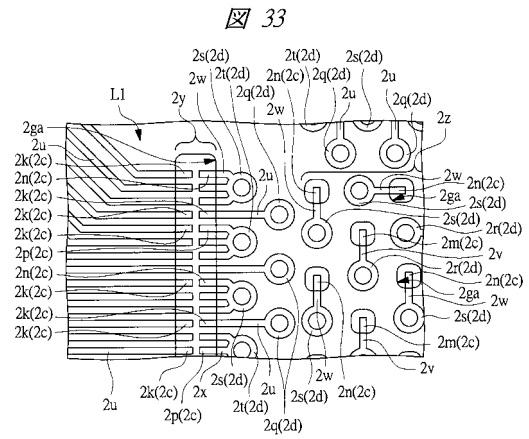
【 図 3 2 】



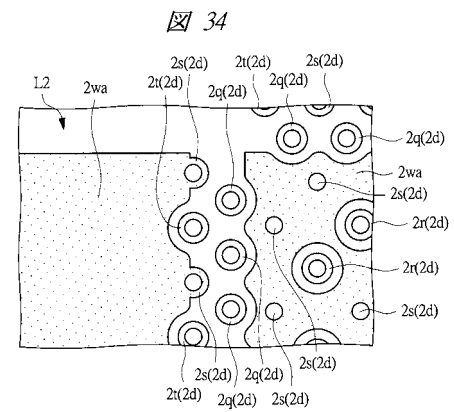
【 図 3 5 】



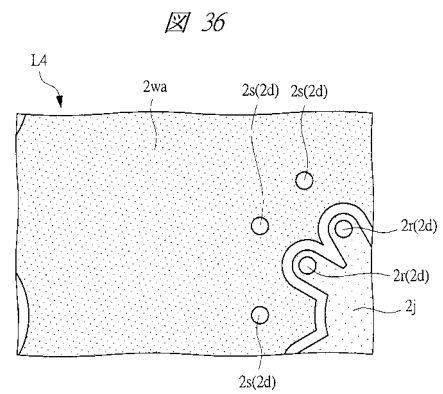
【 図 3 3 】



【 図 3 4 】

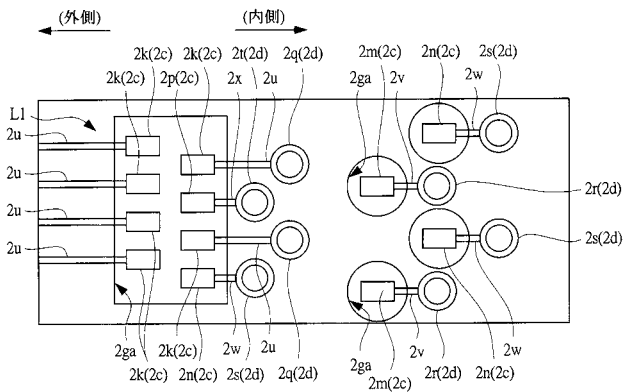


【 図 3 6 】



【図 37】

図 37



## 【手続補正書】

【提出日】平成26年4月8日(2014.4.8)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1主面と前記第1主面とは反対側の面である第2主面とを備えた第1絶縁層を有する配線基板と、

複数のポンプ電極が形成された表面と前記表面とは反対側の裏面とを備え、前記配線基板上に搭載された半導体チップと、を有し、

前記配線基板は、

複数のスルーホールが、前記第1絶縁層の前記第1主面から前記第2主面にかけて貫通して形成され、

複数の配線が、前記複数のスルーホールのそれぞれに電氣的に接続され、かつ前記第1絶縁層の前記第1主面上に形成され、

ソルダーレジスト層が、前記複数のスルーホールのそれぞれの前記第1絶縁層の前記第1主面上に配置された部分を覆うように前記第1主面上に形成され、

前記半導体チップは、前記表面が前記配線基板の前記第1絶縁層の前記第1主面と対向するように前記第1主面上に搭載され、

複数の開口部が、前記複数の配線のそれぞれの一部が前記複数の開口部のそれぞれから露出するように形成され、それによって、前記複数の配線の前記複数の開口部のそれぞれから露出した部分は複数の電極端子として規定され、

前記半導体チップの前記複数のパンプ電極は、前記複数の電極端子のそれぞれと電氣的に接続され、

前記配線基板の前記第 1 絶縁層の前記第 1 主面を見たときに、複数の第 1 電極端子は、前記第 1 主面の第 1 領域に行列状に配置され、

前記配線基板の前記第 1 絶縁層の前記第 1 主面を見たときに、複数の第 2 電極端子は、前記第 1 主面の前記第 1 領域を囲む第 2 領域に配置され、

前記配線基板の前記第 1 絶縁層の前記第 1 主面を見たときに、少なくともある 1 方向において、前記複数の第 2 電極端子の内の 2 つの電極端子の中心間距離は、前記複数の第 1 電極端子の内の 2 つの電極端子の中心間距離よりも小さい、半導体装置。

**【請求項 2】**

請求項 1 に記載の半導体装置において、

前記複数の開口部は、第 1 開口部と複数の第 2 開口部とを有し、

前記複数の第 1 電極端子は、前記第 1 開口部から露出し、

前記複数の第 2 電極端子のそれぞれは、前記複数の第 2 開口部のそれぞれから露出している、半導体装置。

**【請求項 3】**

請求項 1 に記載の半導体装置において、

前記配線基板の前記第 1 絶縁層の前記第 1 主面を見たときに、前記第 1 主面の前記第 1 領域と前記第 2 領域との間に第 3 領域が配置され、

前記複数の第 1 電極端子を形成する前記複数の配線と電氣的に接続された前記複数のスルーホールは、前記第 3 領域に配置されている、半導体装置。