

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 10 月 5 日 (05.10.2017)



(10) 国际公布号
WO 2017/167096 A1

- (51) 国际专利分类号:
G01R 19/00 (2006.01)
- (21) 国际申请号: PCT/CN2017/077697
- (22) 国际申请日: 2017 年 3 月 22 日 (22.03.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610181285.2 2016 年 3 月 28 日 (28.03.2016) CN
- (71) 申请人: 比亚迪股份有限公司 (BYD COMPANY LIMITED) [CN/CN]; 中国广东省深圳市坪山新区比亚迪路 3009 号, Guangdong 518118 (CN)。
- (72) 发明人: 罗广泉 (LUO, Guangquan); 中国广东省深圳市坪山新区比亚迪路 3009 号, Guangdong 518118 (CN)。 白青刚 (BAI, Qinggang); 中国广东省深圳市坪山新区比亚迪路 3009 号, Guangdong 518118 (CN)。
- (74) 代理人: 北京清亦华知识产权代理事务所 (普通合伙) (TSINGYIHUA INTELLECTUAL PROP-

ERTY LLC); 中国北京市海淀区清华园清华大学照澜院商业楼 301 室, Beijing 100084 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: NEGATIVE VOLTAGE DETECTION CIRCUIT

(54) 发明名称: 负电压检测电路

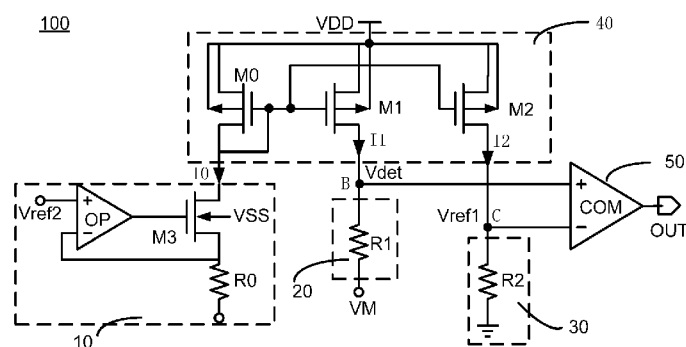


图 2

(57) Abstract: A negative voltage detection circuit comprises a constant current source branch (10), a negative sampling branch (20), a comparative reference voltage branch (30), a current mirror (40), and a comparator (50). The current mirror (40) is used for mirroring a current generated by the constant current source branch (10) to the negative sampling branch (20) and the comparative reference voltage branch (30). When a voltage of a positive going input end of the comparator (50) is greater than or equal to a voltage of a negative going input end of the comparator (50), the output of the comparator (50) is reversed, and it can be determined that a voltage to be detected is detected. By mirroring the current generated by the constant current source branch (10) to the negative sampling branch (20) and the comparative reference voltage branch (30), temperature compensation can be well implemented, thereby improving the detection precision of a negative voltage.

(57) 摘要:

[见续页]



WO 2017/167096 A1



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种负电压检测电路，包括：恒流源支路（10）、负电压采样支路（20）、比较基准电压支路（30）、电流镜（40）和比较器（50），其中电流镜（40）用于将恒流源支路（10）产生的电流镜像至负电压采样支路（20）和比较基准电压支路（30），当比较器（50）的正向输入端的电压大于或者等于比较器（50）的负向输入端的电压时，比较器（50）输出翻转，即此时判断检测到待测负电压。通过将恒流源支路（10）产生的电流镜像至负电压采样支路（20）和比较基准电压支路（30），能很好地实现温度补偿，提高负电压的检测精度。

负电压检测电路

技术领域

本发明涉及电压检测技术领域，特别涉及一种负电压检测电路。

5

背景技术

传统的电压检测电路只能检测正电压，对于负电压的检测，受控于常规的比较器只能比较零伏以上的电平，一般需要经过电平的移位到正电平后才能进行检测。现有技术中一般通过加压的方式抬升电压。图1为现有技术中常见的一种负电压检测电路，通过
10 在检测端 VM 与电源端 VDD 串联电阻 R1 与二极管 D1，利用正向导通时二极管 D1 上会产生压降的原理，将比较器 COM 输入端 VN 的电压抬升，以此完成电位的转换来实现负电压检测。在实现本发明过程中，发明人发现现有技术中至少存在如下问题：这种检测电路没有经过温度补偿和修正，因此，检测精度不高，受温度影响较大。

15 发明内容

本发明的目的旨在至少解决上述技术缺陷之一。

为此，本发明的目的在于提出一种负电压检测电路，该负电压检测电路能很好的实现温度补偿，检测精度高。

为达到上述目的，本发明的实施例提出了一种负电压检测电路，该负电压检测电路
20 包括：恒流源支路，用于产生恒定的电流；负电压采样支路，所述负电压采样支路包括第一电阻，所述第一电阻的第一端接待测负电压；比较基准电压支路，所述比较基准电压支路包括第二电阻，所述第二电阻的第一端接地；电流镜，所述电流镜分别与所述恒流源支路、负电压采样支路和所述比较基准电压支路连接，用于将所述恒流源支路产生的电流镜像至所述负电压采样支路和所述比较基准电压支路；比较器，所述第一电阻的
25 第二端接所述比较器的正向输入端，所述第二电阻的第二端接所述比较器的负向输入端，当所述比较器的正向输入端的电压大于或者等于所述比较器的负向输入端的电压时，所述比较器输出翻转。

根据本发明实施例的负电压检测电路，通过将恒流源支路产生的电流镜像至所述负电压采样支路和所述比较基准电压支路，能很好的实现温度补偿，提高负电压的检测精
30 度。

可选地，所述电流镜包括：第一 MOS 管、第二 MOS 管和第三 MOS 管，所述第一 MOS 管、所述第二 MOS 管和所述第三 MOS 管共栅极和源极，所述第一 MOS 管的栅极和漏极相连且所述第一 MOS 管的源极接电源，所述第一 MOS 管的漏极接所述恒流源支路，所述第二 MOS 管的漏极接所述第一电阻的第二端，所述第三 MOS 管的漏极接所述
35 第二电阻的第二端。

可选地，所述待测负电压的大小可以用如下公式表示：

$$V_M = I_0(R_2 - R_1)$$

其中， V_M 为待测负电压， I_0 为恒流源支路产生的恒定的电流， R_1 为第一电阻， R_2 为第二电阻。

可选地，所述恒流源支路包括恒流源，所述第一 MOS 管的漏极接所述恒流源。

5 可选地，所述恒流源支路包括：第四 MOS 管、运算放大器和第三电阻，所述第四 MOS 管与所述第三电阻串联，所述第四 MOS 管的漏极接所述第一 MOS 管的漏极，所述第四 MOS 管的栅极接所述运算放大器的输出端，所述第四 MOS 管的源极接所述运算放大器的负向输入端，所述运算放大器的正向输入端接参考电压。

10 可选地，所述第三电阻与所述第一电阻和第二电阻为相同类型的电阻，所述第三电阻与所述第一电阻和第二电阻具有相同的温度系数。

可选地，所述负电压采样支路还包括修调电阻，所述修调电阻的一端与所述第一电阻的第二端连接，所述修调电阻的另一端接所述比较器的正向输入端。

可选地，所述修调电阻与所述第一电阻和第二电阻为相同类型的电阻，所述修调电阻与所述第一电阻和第二电阻具有相同的温度系数。

15 可选地，所述电流镜包括：

第一 MOS 管，所述第一 MOS 管的栅极和漏极相连且所述第一 MOS 管的源极接电源，所述第一 MOS 管的漏极接所述恒流源支路，

20 第二 MOS 管组合，所述第二 MOS 管组合包括第二 MOS 管和 N 个第一支路，每个所述第一支路包括第一支路 MOS 管和熔断电阻，所述第一支路 MOS 管与所述第二 MOS 管共栅极和源极，所述熔断电阻的一端接所述第一支路 MOS 管的漏极，所述熔断电阻的另一端接所述第一电阻的第二端。

25 第三 MOS 管组合，所述第三 MOS 管组合包括第三 MOS 管和 N 个第二支路，每个所述第二支路包括第二支路 MOS 管和熔断电阻，所述第二支路 MOS 管与所述第三 MOS 管共栅极和源极，所述熔断电阻的一端接所述第二支路 MOS 管的漏极，所述熔断电阻的另一端接所述第二电阻的第二端。

可选地，所述第一 MOS 管、第二 MOS 管和第三 MOS 管均为 P 沟道增强型 MOS 管。

本发明附加的方面和优点将在下面的描述中部分给出，部分将从下面的描述中变得明显，或通过本发明的实践了解到。

30

附图说明

本发明上述的和/或附加的方面和优点从下面结合附图对实施例的描述中将变得明显和容易理解，其中：

图 1 为现有的负电压检测电路的电路图；

35 图 2 为根据本发明一实施例的负电压检测电路的电路图；

图 3 为图 2 的仿真结果示意图；

图 4 为根据本发明另一实施例的负电压检测电路的电路图；

图 5 为根据本发明又一实施例的负电压检测电路的电路图。

具体实施方式

下面详细描述本发明的实施例，所述实施例的示例在附图中示出，其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的，仅用于解释本发明，而不能解释为对本发明的限制。

下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开，下文中对特定例子的部件和设置进行描述。当然，它们仅仅为示例，并且目的不在于限制本发明。此外，本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施例和/或设置之间的关系。

在本发明的描述中，需要说明的是，除非另有规定和限定，术语“安装”、“相连”、“连接”、“接”应做广义理解，例如，可以是机械连接或电连接，也可以是两个元件内部的连通，可以是直接相连，也可以通过中间媒介间接相连，对于本领域的普通技术人员而言，可以根据具体情况理解上述术语的具体含义。

参照下面的描述和附图，将清楚本发明的实施例的这些和其他方面。在这些描述和附图中，具体公开了本发明的实施例中的一些特定实施方式，来表示实施本发明的实施例的原理的一些方式，但是应当理解，本发明的实施例的范围不受此限制。相反，本发明的实施例包括落入所附加权利要求书的精神和内涵范围内的所有变化、修改和等同物。

首先参照附图来描述根据本发明一实施例提出的一种负电压检测电路。

本发明的一实施例提供了一种负电压检测电路，如图 2 所示，该负电压检测电路 100 包括恒流源支路 10、负电压采样支路 20、比较基准电压支路 30、电流镜 40 和比较器 50。其中，恒流源支路 10 用于产生恒定的电流；负电压采样支路 20 用于检测负电压，包括第一电阻 R1，第一电阻 R1 的第一端接待测负电压 VM，第一电阻 R1 的第二端接比较器 50 的正向输入端；比较基准电压支路 30 包括第二电阻 R2，第二电阻 R2 的第一端接地，第二电阻 R2 的第二端接比较器 50 的负向输入端，第一电阻 R1 和第二电阻 R2 具有相同的温度系数；电流镜 40 分别与恒流源支路 10、负电压采样支路 20 和比较基准电压支路 30 连接，用于将恒流源支路 10 产生的电流镜像至负电压采样支路 20 和比较基准电压支路 30，即流过负电压采样支路 20 的电流与流过比较基准电压支路 30 的电流相等；当比较器 50 的正向输入端的电压大于或者等于比较器 50 的负向输入端的电压时，比较器 50 输出翻转，即此时判断检测到待测负电压 VM。

根据本实施例的负电压检测电路，通过将恒流源支路 10 产生的电流镜像至负电压采样支路 20 和比较基准电压支路 30，能很好的实现温度补偿，提高负电压的检测精度。

具体地，本实施例中的电流镜 40 由第一 MOS 管 M0、第二 MOS 管 M1 和第三 MOS

管 M2 组成, 其中, 第一 MOS 管 M0、第二 MOS 管 M1 和第三 MOS 管 M2 共栅极和源极, 第一 MOS 管 M0 的栅极和漏极相连且第一 MOS 管 M0 的源极接电源 VDD, 第一 MOS 管 M0 的漏极接恒流源支路 10, 第二 MOS 管 M1 的漏极接第一电阻 R1 的第二端, 第三 MOS 管 M2 的漏极接第二电阻 R2 的第二端。

5 本发明中的电流镜 40 可以是任何结构, 不限于上述实施例中描述的结构, 只要能够实现将恒流源支路 10 产生的电流镜像至负电压采样支路 20 和比较基准电压支路 30, 均在本发明的保护范围以内。

同样地, 本实施例中的恒流源支路 10 可以是恒流源、也可以由其他任何电子元件组成, 只要是能产生恒定的电流, 均在本发明的保护范围以内。

10 可选地, 本实施例中的恒流源支路 10 包括第四 MOS 管 M3、运算放大器 OP 和第三电阻 R0, 第四 MOS 管 M3 与第三电阻 R0 串联, 第四 MOS 管 M3 的漏极接第一 MOS 管 M0 的漏极, 第四 MOS 管 M3 的栅极接运算放大器 OP 的输出端, 第四 MOS 管 M3 的源极接运算放大器 OP 的负向输入端, 运算放大器 OP 的正向输入端接参考电压 Vref2。

下面结合图 2 来说明本实施例中负电压检测电路 100 的工作原理。

15 本发明中 MOS 管的类型可以是任意的, 本实施例中仅以第一 MOS 管、第二 MOS 管和第三 MOS 管均为 P 沟道增强型 MOS 为例来说明。

恒流源支路 10 产生恒定的电流 I0 后, 由于负电压采样支路 20 和比较基准电压支路 30 为恒流源支路 10 的电流镜像电路, 则流过负电压采样支路 20 的电流 I1 和流过比较基准电压支路 30 的电流 I2 相等且均等于 I0, 进一步地可以认为电流 I0、I1 和 I2 的大小以及温度系数是相同的。

负电压采样支路 20 中, 当待测负电压 VM 为负时, 那么 B 点的电压 $V_{det}=I1 \times R1+VM$, 其中, Vdet 为第一电阻 R1 第二端的电压, I1 为流过负电压采样支路 20 的电流, VM 为待测电压。也就是说当 $I1 \times R1 > VM$ 时, B 点的电压为正值; 即可以通过调整 I1 和第一电阻 R1 来调整 B 点的电压, 从而达到负电压检测转换为正电压检测的目的。

25 比较基准电压支路 30 中, C 点电压 $V_{ref1}=I2 \times R2$, 其中, Vref1 为第二电阻 R2 第二端的电压, I2 为流过比较基准电压支路 30 的电流; 且第二电阻 R2 与第三电阻 R0、第一电阻 R1 为相同类型的电阻, 通常认为相同类型电阻的温度系数是相同的。

假设待测的负电压为 VM, 则有:

$$V_{ref1}=I2 \times R2 \quad (1)$$

30 $V_{det}=I1 \times R1+VM \quad (2)$

当 Vdet 大于或等于 Vref1 时, 比较器 50 输出翻转, 则: $V_{det}=V_{ref1}$ 时, 即可检测出待测的负电压。

$$\text{又有, } I1=I2=I0 \quad (3)$$

$$\text{则有, } VM=I0(R2-R1) \quad (4)$$

35 假设各电阻的温度系数为 X, 则增加电阻温度系数后的计算如下:

$$R0'=R0(1+X) \quad (5)$$

$$R1'=R1(1+X) \quad (6)$$

$$R2'=R2(1+X) \quad (7)$$

$$I0'=Vref2/R0(1+X)=I0/(1+X) \quad (8)$$

$$\text{又有 } I1'=I2'=I0' \quad (9)$$

5 则有，

$$Vref1'=I2' \times R2' = I0' \times R2' = I0/(1+X) \times R2 \times (1+X) = I0 \times R2 \quad (10)$$

同理可有，

$$Vdet' = I1' \times R1' + VM = I0' \times R1' + VM = I0/(1+X) \times (R1 \times (1+X)) + VM = I0 \times R1 + VM \quad (11)$$

$$10 \quad \text{又有 } Vdet' = Vref1' \quad (12)$$

其中， $R0'$ 表示考虑电阻温度系数后的第三电阻， $R1'$ 表示考虑电阻温度系数后的第一电阻， $R2'$ 表示考虑电阻温度系数后的第二电阻， $I0'$ 表示考虑电阻温度系数后的恒流源支路 10 产生恒定的电流， $I1'$ 表示考虑电阻温度系数后的流过负电压采样支路 20 的电流， $I2'$ 表示考虑电阻温度系数后的流过比较基准电压支路 30 的电流， $Vref1'$ 表示考虑电阻温度系数后的第二电阻 $R2'$ 第二端的电压， $Vdet'$ 表示考虑电阻温度系数后的第一电阻 $R1'$ 第二端的电压。

$$\text{则有， } VM = I0(R2 - R1) \quad (13)$$

从上面的公式可知，待测负电压 VM 的大小与电阻温度系数无关，只与 $R1$ 、 $R2$ 和 $I0$ 相关，也就是待测负电压 VM 的大小不随温度变化而变化。

20 上述公式的推导是基于镜像电流完全相等的前提，即 $I1=I2=I0$ ，但是，实际上有可能镜像得到的电流 $I1$ 和 $I2$ 与 $I0$ 是有一定误差的，这个误差是可能由于制作工艺上的误差以及 MOS 管 DS 电压的不同，从而导致镜像的电流不一致。使用相同电流镜所得的 $I2$ 则可以与 $I1$ 有相同的镜像电流误差，该镜像电流误差设为 A ；

$$\text{即有： } I1'=I2'=AI0 \quad (14)$$

25 其中， $I1'$ 表示考虑镜像电流误差后的流过负电压采样支路 20 的电流， $I2'$ 表示考虑镜像电流误差后的流过比较基准电压支路 30 的电流。

基于上述的推导过程也可以推导出：

$$VM = AI0(R2 - R1) \quad (15)$$

30 同样也得到一个与电阻温度系数无关的公式，也就是待测负电压 VM 的大小不随温度变化而变化。

图 3 是图 2 的仿真结果，此时 $Vref2$ 设为 0.050V，假设需要检测 -0.050V 电压，那么只需取电阻 $R1$ 使得 $I1 \times R1 = 0.1V$ ，如此 $Vdet = 0.050V$ 。在 VM 端加 -0.050V 电压，如图 3 所示的仿真结果显示：在全温下， $Vref2$ 与 $Vdet$ 的变化曲线是基本一致的，且它们之间的差值基本维持在 0.0003V 左右，即实际通过比较器检测的负电压在全温下是基本没有变化的，也就保证了良好的负电压检测的温度特性。

图 4 为根据本发明另一实施例的负电压检测电路的电路图，如图 4 所示，本实施例

中的负电压检测电路与图 2 中的负电压检测电路的区别在于，本实施例中负电压采样支路 20 包括修调电阻 RS 和第一电阻 R1，修调电阻 RS 的一端与第一电阻 R1 的第二端连接，第一电阻 R1 的第一端接待测负电压 VM，修调电阻 RS 的另一端接比较器 50 的正向输入端。可选地，修调电阻 RS 与第一电阻 R1、第二电阻 R2 和第三电阻 R0 是相同类型的电阻，且具有相同的温度系数。接入修调电阻后的待测负电压 VM 的计算公式为 $VM=AI_0(R_2-R_1-R_S)$ ，即可以通过调节修调电阻 RS 的大小来调节待测负电压 VM 的大小，调节更加方便。

图 5 为根据本发明又一实施例的负电压检测电路的电路图，如图 5 所示，其中，电流镜 40 包括第一 MOS 管 M0，第二 MOS 管组合 41 和第三 MOS 管组合 42。

第一 MOS 管 M0 的栅极和漏极相连且第一 MOS 管 M0 的源极接电源 VDD，第一 MOS 管 M0 的漏极接恒流源支路 10。

第二 MOS 管组合 41 包括第二 MOS 管 M1 和 N 个第一支路，每个所述第一支路包括第一支路 MOS 管（如图 5 中 M11 至 M1N 所示）和熔断电阻（如图 5 中 R11 至 R1N 所示），第一支路 MOS 管与第二 MOS 管 M1 共栅极和源极，熔断电阻的一端接第一支路 MOS 管的漏极，熔断电阻的另一端接第一电阻的第二端。例如其中一个第一支路包括第一支路 MOS 管 M11 和熔断电阻 R11，第一支路 MOS 管 M11 与第二 MOS 管 M1 共栅极和源极，熔断电阻 R11 的一端接第一支路 MOS 管 M11 的漏极，熔断电阻 R11 的另一端接第一电阻 R1 的第二端。

第三 MOS 管组合 42 包括第三 MOS 管 M2 和 N 个第二支路，每个所述第二支路包括第二支路 MOS 管（如图 5 中 M21 至 M2N 所示）和熔断电阻（如图 5 中 R11 至 R1N 所示），第二支路 MOS 管与所述第三 MOS 管 M2 共栅极和源极，熔断电阻的一端接第二支路 MOS 管的漏极，熔断电阻的另一端接第二电阻的第二端。例如其中一个第二支路包括第二支路 MOS 管 M21 和熔断电阻 R11，第二支路 MOS 管 M21 与第三 MOS 管 M2 共栅极和源极，熔断电阻 R11 的一端接第二支路 MOS 管 M21 的漏极，熔断电阻 R11 的另一端接第二电阻 R2 的第二端。

本实施例中，通过对熔断电阻修调熔断，可以控制接入的第一支路和第二支路的数量，即控制接入电流镜 40 的 MOS 管的数量，进而调整流过负电压采样支路 20 的电流 I1 和流过比较基准电压支路 30 的电流 I2 的大小。如果接入的第一支路和第二支路的数量均为 N，则此时 $I_1=I_2=N \times I_0$ ，则待测负电压 VM 的计算公式为： $VM=N \times I_0 \times (R_2-R_1)$ 。即可以通过调节接入的第一支路和第二支路的数量和/或 R1 和 R2 来调节待测负电压 VM 的大小，调节更加方便。

此外，参照图 2 所示实施例进行描述的恒流源支路 10 可用于本实施例，同时，参照图 4 所示实施例进行描述的负压检测电路 20 亦可用于本实施例，关于电路细节可参见关于图 2 和图 4 的描述，为避免冗余，不再赘述。

应当理解，本发明的各部分可以用硬件、软件、固件或它们的组合来实现。在上述实施方式中，多个步骤或方法可以用存储在存储器中且由合适的指令执行系统执行的软

件或固件来实现。例如，如果用硬件来实现，和在另一实施方式中一样，可用本领域公知的下列技术中的任一项或他们的组合来实现：具有用于对数据信号实现逻辑功能的逻辑门电路的离散逻辑电路，具有合适的组合逻辑门电路的专用集成电路，可编程门阵列（PGA），现场可编程门阵列（FPGA）等。

5 在本说明书的描述中，参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”、或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本发明的至少一个实施例或示例中。在本说明书中，对上述术语的示意性表述不一定指的是相同的实施例或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施例或示例中以合适的方式结合。

10 尽管已经示出和描述了本发明的实施例，对于本领域的普通技术人员而言，可以理解在不脱离本发明的原理和精神的情况下可以对这些实施例进行多种变化、修改、替换和变型，本发明的范围由所附权利要求及其等同限定。

权利要求书

1、一种负电压检测电路，其特征在于，包括：

恒流源支路，用于产生恒定的电流；

5 负电压采样支路，所述负电压采样支路包括第一电阻，所述第一电阻的第一端接待测负电压；

比较基准电压支路，所述比较基准电压支路包括第二电阻，所述第二电阻的第一端接地，所述第一电阻与所述第二电阻具有相同的温度系数；

10 电流镜，所述电流镜分别与所述恒流源支路、负电压采样支路和所述比较基准电压支路连接，用于将所述恒流源支路产生的电流镜像至所述负电压采样支路和所述比较基准电压支路；

比较器，所述第一电阻的第二端接所述比较器的正向输入端，所述第二电阻的第二端接所述比较器的负向输入端，当所述比较器的正向输入端的电压大于或者等于所述比较器的负向输入端的电压时，所述比较器输出翻转。

15 2、如权利要求 1 所述的负电压检测电路，其特征在于，所述电流镜包括：

第一 MOS 管、第二 MOS 管和第三 MOS 管，所述第一 MOS 管、所述第二 MOS 管和所述第三 MOS 管共栅极和源极，所述第一 MOS 管的栅极和漏极相连且所述第一 MOS 管的源极接电源，所述第一 MOS 管的漏极接所述恒流源支路，所述第二 MOS 管的漏极接所述第一电阻的第二端，所述第三 MOS 管的漏极接所述第二电阻的第二端。

20 3、如权利要求 2 所述的负电压检测电路，其特征在于，所述待测负电压的大小用如下公式表示：

$$V_M = I_0(R_2 - R_1)$$

其中， V_M 为待测负电压， I_0 为恒流源支路产生的恒定的电流， R_1 为第一电阻， R_2 为第二电阻。

25 4、如权利要求 2 或 3 所述的负电压检测电路，其特征在于，所述恒流源支路包括恒流源，所述第一 MOS 管的漏极接所述恒流源。

5、如权利要求 2 或 3 所述的负电压检测电路，其特征在于，所述恒流源支路包括：

30 第四 MOS 管、运算放大器和第三电阻，所述第四 MOS 管与所述第三电阻串联，所述第四 MOS 管的漏极接所述第一 MOS 管的漏极，所述第四 MOS 管的栅极接所述运算放大器的输出端，所述第四 MOS 管的源极接所述运算放大器的负向输入端，所述运算放大器的正向输入端接参考电压。

6、如权利要求 5 所述的负电压检测电路，其特征在于，所述第三电阻与所述第一电阻和第二电阻为相同类型的电阻，所述第三电阻与所述第一电阻和第二电阻具有相同的温度系数。

35 7、如权利要求 2 至 6 中任一项所述的负电压检测电路，其特征在于，所述负电压采样支路还包括修调电阻，所述修调电阻的一端与所述第一电阻的第二端连接，所述修

调电阻的另一端接所述比较器的正向输入端。

8、如权利要求 7 所述的负电压检测电路，其特征在于，所述修调电阻与所述第一电阻和第二电阻为相同类型的电阻，所述修调电阻与所述第一电阻和第二电阻具有相同的温度系数。

5 9、如权利要求 1 所述的负电压检测电路，其特征在于，所述电流镜包括：

第一 MOS 管，所述第一 MOS 管的栅极和漏极相连且所述第一 MOS 管的源极接电源，所述第一 MOS 管的漏极接所述恒流源支路；

10 第二 MOS 管组合，所述第二 MOS 管组合包括第二 MOS 管和 N 个第一支路，每个所述第一支路包括第一支路 MOS 管和熔断电阻，所述第一支路 MOS 管与所述第二 MOS 管共栅极和源极，所述熔断电阻的一端接所述第一支路 MOS 管的漏极，所述熔断电阻的另一端接所述第一电阻的第二端；

15 第三 MOS 管组合，所述第三 MOS 管组合包括第三 MOS 管和 N 个第二支路，每个所述第二支路包括第二支路 MOS 管和熔断电阻，所述第二支路 MOS 管与所述第三 MOS 管共栅极和源极，所述熔断电阻的一端接所述第二支路 MOS 管的漏极，所述熔断电阻的另一端接所述第二电阻的第二端。

10、根据权利要求 9 所述的负电压检测电路，其特征在于，所述恒流源支路包括恒流源，所述第一 MOS 管的漏极接所述恒流源。

11、如权利要求 9 所述的负电压检测电路，其特征在于，所述恒流源支路包括：

20 第四 MOS 管、运算放大器和第三电阻，所述第四 MOS 管与所述第三电阻串联，所述第四 MOS 管的漏极接所述第一 MOS 管的漏极，所述第四 MOS 管的栅极接所述运算放大器的输出端，所述第四 MOS 管的源极接所述运算放大器的负向输入端，所述运算放大器的正向输入端接参考电压。

25 12、如权利要求 11 所述的负电压检测电路，其特征在于，所述第三电阻与所述第一电阻和第二电阻为相同类型的电阻，所述第三电阻与所述第一电阻和第二电阻具有相同的温度系数。

13、如权利要求 9 至 12 中任一项所述的负电压检测电路，其特征在于，所述负电压采样支路还包括修调电阻，所述修调电阻的一端与所述第一电阻的第二端连接，所述修调电阻的另一端接所述比较器的正向输入端。

30 14、如权利要求 13 所述的负电压检测电路，其特征在于，所述修调电阻与所述第一电阻和第二电阻为相同类型的电阻，所述修调电阻与所述第一电阻和第二电阻具有相同的温度系数。

15、如权利要求 2 至 14 中任一项所述的负电压检测电路，其特征在于，所述第一 MOS 管、第二 MOS 管和第三 MOS 管均为 P 沟道增强型 MOS 管。

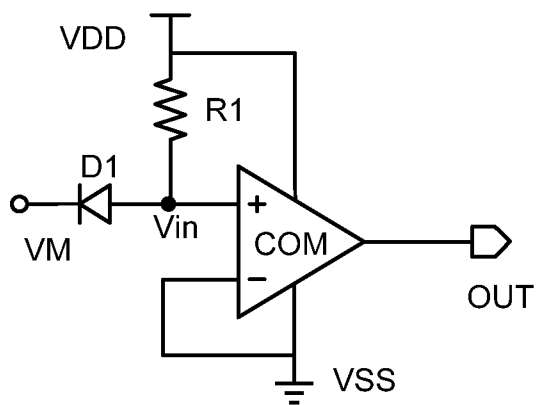


图 1

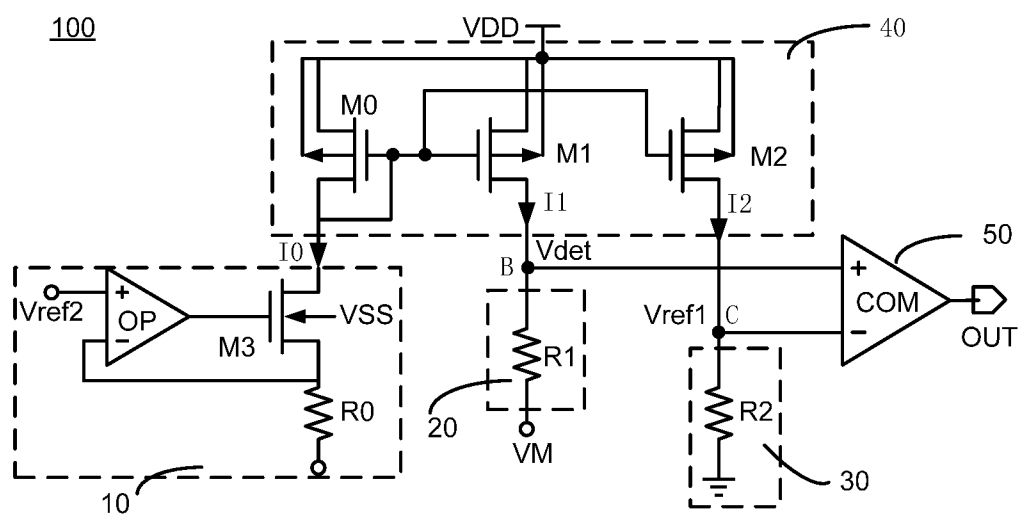


图 2

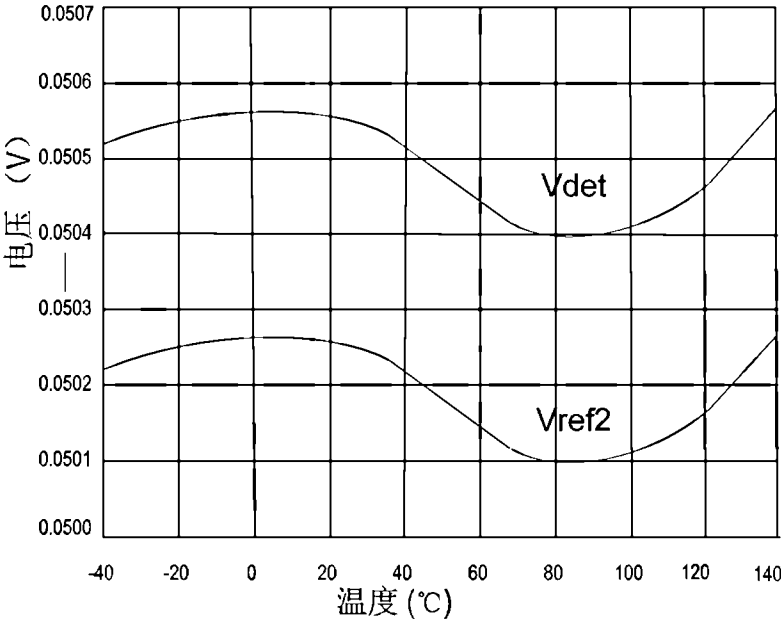


图 3

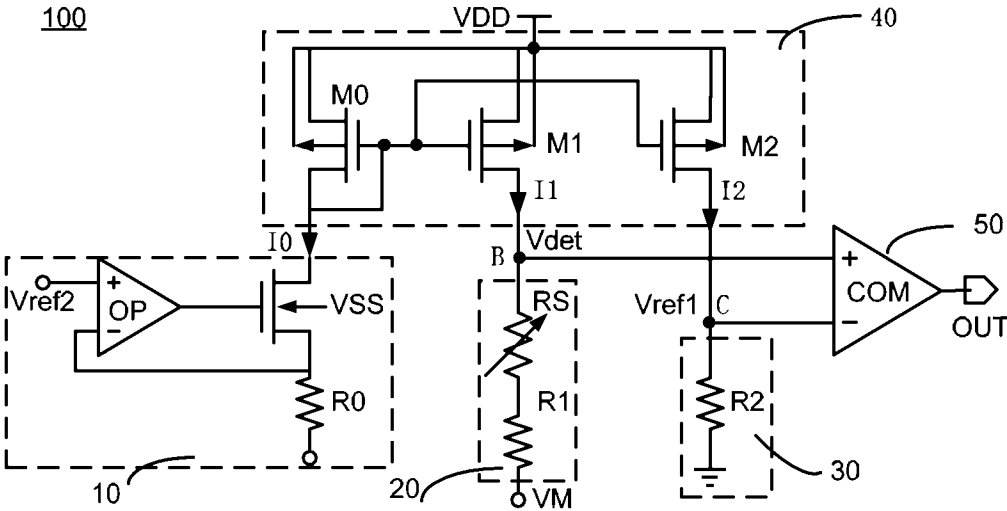


图 4

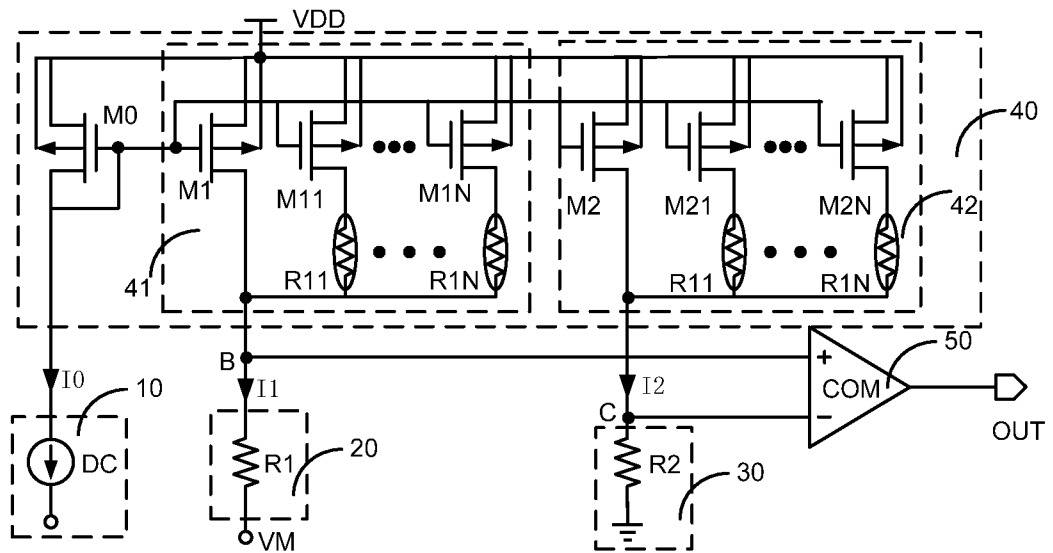


图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/077697

A. CLASSIFICATION OF SUBJECT MATTER

G01R 19/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R 19; CPC: G01R 19/0038; G01R 19/0046; G01R 19/0084

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, CNKI, VEN: negative 3w voltage, mirror, temperature, 10w compensate+, reference base, compar+, resistor, current, equal, same, invert, current mirror, temperature correction, correction, remedy, reference

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2009080281 A1 (TOSHIBA K.K.) 26 March 2009 (26.03.2009) description, paragraphs [0019]-[0040], and figures 1 and 2	1-15
Y	CN 104422809 A (FREESCALE SEMICONDUCTOR INC.) 18 March 2015 (18.03.2015) description, paragraphs [0015]-[0036], and figure 4	1-15
A	CN 101976094A (CHANGSHA JINGJIA MICROELECTRONICS CO., LTD.) 16 February 2011 (16.02.2011) description, paragraph [0008], and figure 1	1-15
A	CN 104483529 A (QINGDAO GOERTEK CO., LTD.) 01 April 2015 (01.04.2015) the whole document	1-15
A	CN 101153880 A (ADVANCED ANALOG TECHNOLOGY INC.) 02 April 2008 (02.04.2008) the whole document	1-15
A	US 2004120200 A1 (INFINEON TECHNOLOGIES AG et al.) 24 June 2004 (24.06.2004) the whole document	1-15
A	US 6448823 B1 (XILINX INC.) 10 September 2002 (10.09.2002) the whole document	1-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 20 June 2017	Date of mailing of the international search report 27 June 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer SU, Aihua Telephone No. (86-10) 62085740

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/077697

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2009080281 A1	26 March 2009	JP 4660526 B2	30 March 2011
		US 7733730 B2	08 June 2010
		JP 2009074973 A	09 April 2009
CN 104422809 A	18 March 2015	US 2015061637 A1	05 March 2015
		EP 2843426 A1	04 March 2015
		US 9329208 B2	03 May 2016
		EP 2843426 B1	28 December 2016
CN 101976094 A	16 February 2011	CN 101976094 B	30 May 2012
CN 104483529 A	01 April 2015	CN 104483529 B	12 April 2017
CN 101153880 A	02 April 2008	None	
US 2004120200 A1	24 June 2004	EP 1573740 A1	14 September 2005
		AU 2003294886 A1	14 July 2004
		DE 60305208 T2	14 December 2006
		WO 2004057619 A1	08 July 2004
		EP 1573740 B1	10 May 2006
		AU 2003294886 A8	14 July 2004
		DE 60305208 D1	14 June 2006
		US 6946882 B2	20 September 2005
		US 2003006805 A1	09 January 2003
		US 6593779 B2	15 July 2003
US 6448823 B1	10 September 2002		

A. 主题的分类 G01R 19/00 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G01R19; CPC: G01R19/0038, G01R19/0046, G01R19/0084 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS, CNTXT, CNKI, VEN: 负电压, 负电平, 镜像, 电流镜, 温度补偿, 温补, 温度修正, 校正, 补正, 基准, 参考, 比较, 电阻, 电流, 相等, 翻转; negative 3w voltage, mirror, temperature 10w compensat+, reference base, compar+, resistor, current, equal, same, invert		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	US 2009080281 A1 (TOSHIBA KK) 2009年 3月 26日 (2009 - 03 - 26) 说明书第0019-0040段, 图1-2	1-15
Y	CN 104422809 A (飞思卡尔半导体公司) 2015年 3月 18日 (2015 - 03 - 18) 说明书第0015-0036段, 图4	1-15
A	CN 101976094 A (长沙景嘉微电子有限公司) 2011年 2月 16日 (2011 - 02 - 16) 说明书第0008段, 图1	1-15
A	CN 104483529 A (青岛歌尔声学科技有限公司) 2015年 4月 1日 (2015 - 04 - 01) 全文	1-15
A	CN 101153880 A (台湾类比科技股份有限公司) 2008年 4月 2日 (2008 - 04 - 02) 全文	1-15
A	US 2004120200 A1 (INFINEON TECHNOLOGIES AG等) 2004年 6月 24日 (2004 - 06 - 24) 全文	1-15
A	US 6448823 B1 (XILINX INC) 2002年 9月 10日 (2002 - 09 - 10) 全文	1-15
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2016年 6月 20日		国际检索报告邮寄日期 2017年 6月 27日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		受权官员 苏爱华 电话号码 (86-10) 62085740

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/077697

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2009080281	A1	2009年 3月 26日	JP	4660526	B2	2011年 3月 30日
				US	7733730	B2	2010年 6月 8日
				JP	2009074973	A	2009年 4月 9日
CN	104422809	A	2015年 3月 18日	US	2015061637	A1	2015年 3月 5日
				EP	2843426	A1	2015年 3月 4日
				US	9329208	B2	2016年 5月 3日
				EP	2843426	B1	2016年 12月 28日
CN	101976094	A	2011年 2月 16日	CN	101976094	B	2012年 5月 30日
CN	104483529	A	2015年 4月 1日	CN	104483529	B	2017年 4月 12日
CN	101153880	A	2008年 4月 2日	无			
US	2004120200	A1	2004年 6月 24日	EP	1573740	A1	2005年 9月 14日
				AU	2003294886	A1	2004年 7月 14日
				DE	60305208	T2	2006年 12月 14日
				WO	2004057619	A1	2004年 7月 8日
				EP	1573740	B1	2006年 5月 10日
				AU	2003294886	A8	2004年 7月 14日
				DE	60305208	D1	2006年 6月 14日
				US	6946882	B2	2005年 9月 20日
US	6448823	B1	2002年 9月 10日	US	2003006805	A1	2003年 1月 9日
				US	6593779	B2	2003年 7月 15日

表 PCT/ISA/210 (同族专利附件) (2009年7月)