

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-33664

(P2006-33664A)

(43) 公開日 平成18年2月2日(2006.2.2)

(51) Int. Cl.

H03F 3/19 (2006.01)

F I

H03F 3/19

テーマコード (参考)

5J500

審査請求 未請求 請求項の数 20 O L (全 18 頁)

(21) 出願番号 特願2004-212593 (P2004-212593)

(22) 出願日 平成16年7月21日 (2004.7.21)

(71) 出願人 503121103

株式会社ルネサステクノロジ

東京都千代田区丸の内二丁目4番1号

(74) 代理人 100068504

弁理士 小川 勝男

(74) 代理人 100086656

弁理士 田中 恭助

(72) 発明者 増田 徹

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 白水 信弘

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 可変インピーダンス素子を用いた増幅器及び無線通信装置

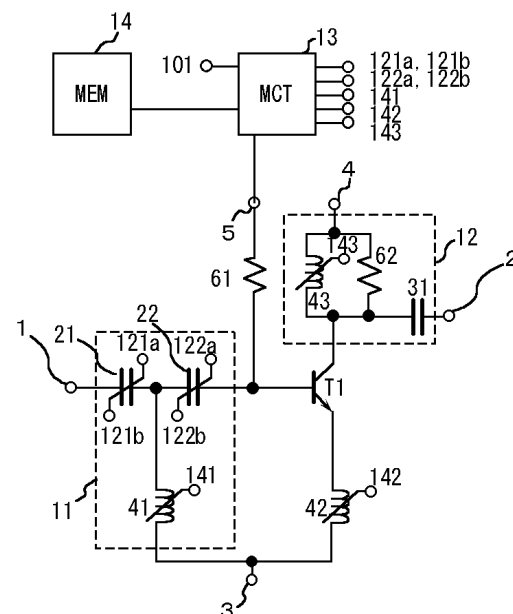
(57) 【要約】

【課題】消費電流の増大を招くことなくインダクタンスを変えることができる可変インダクタを用いて構成される低消費電力の増幅器及びそれを用いた無線通信装置を提供すること。

【解決手段】増幅器は、交流信号を増幅する増幅素子T1と、入力部、出力部の少なくとも一方に含まれる可変インダクタ41、43とを具備する。可変インダクタ41、43のそれぞれは、一方の端子と他方の端子の間の少なくとも1個所にタップが設けられたタップ付きインダクタと、固定容量を介して上記タップと上記他方の端子の間に接続された、印加電圧によって容量オン、容量オフが制御される可変容量とを含んで構成される。可変インダクタは、可変容量の容量オン、容量オフに応じて一方の端子と他方の端子の間でインダクタンスが変化する。

【選択図】 図1

図 1



【特許請求の範囲】

【請求項 1】

交流信号を増幅する増幅素子と、
増幅器の入力部、出力部の少なくとも一方に含まれる可変インダクタとを具備して成り

、
上記可変インダクタは、一方の端子と他方の端子の間の少なくとも1個所にタップが設けられたタップ付きインダクタと、固定容量を介して上記タップと上記他方の端子の間に接続された、印加電圧によって容量オン、容量オフが制御される可変容量とを含んで構成され、

上記可変インダクタは、上記可変容量の容量オン、容量オフに応じて上記一方の端子と上記他方の端子の間でインダクタンスが変化することを特徴とする増幅器。 10

【請求項 2】

請求項 1 において、

上記増幅素子はバイポーラトランジスタであり、上記バイポーラトランジスタのベースが上記入力部に接続され、上記バイポーラトランジスタのコレクタが上記出力部に接続され、上記バイポーラトランジスタのエミッタに帰還回路が形成されていることを特徴とする増幅器。

【請求項 3】

請求項 1 において、

上記増幅素子は MOS トランジスタであり、上記 MOS トランジスタのゲートが上記入力部に接続され、上記 MOS トランジスタのドレインが上記出力側に接続され、上記 MOS トランジスタのソースに帰還回路が形成されていることを特徴とする増幅器。 20

【請求項 4】

請求項 1 において、

上記タップ付きインダクタは、マイクロストリップライン型インダクタであることを特徴とする増幅器。

【請求項 5】

請求項 1 において、

上記タップ付きインダクタは、半導体集積回路上に形成されたスパイラル型インダクタであることを特徴とする増幅器。 30

【請求項 6】

請求項 1 において、

上記可変容量の容量オンのときに短絡される抵抗が上記可変容量に直列に接続されていることを特徴とする増幅器。

【請求項 7】

請求項 1 において、

上記可変容量は MOS 型容量であり、上記 MOS 型容量のゲート端子とバルク端子の間に上記印加電圧が供給されることを特徴とする増幅器。

【請求項 8】

請求項 1 において、

上記可変容量は PN 空乏層容量であり、上記 PN 空乏層容量の P 電極端子と N 電極端子の間に上記印加電圧が供給されることを特徴とする増幅器。 40

【請求項 9】

請求項 2 において、

上記入力部に上記可変インダクタによる第 1 の可変インダクタ及び第 1 の可変容量を有する入力整合回路と、上記ベースにバイアス電圧を供給するための抵抗とが備えられ、

上記出力部に上記可変インダクタによる第 2 の可変インダクタと第 2 の可変容量とを有する出力整合回路が備えられ、

上記帰還回路が上記可変インダクタによる第 3 の可変インダクタを含んで構成されており、

上記第 1 ~ 第 3 の可変インダクタのインダクタンス値及び上記第 1、第 2 の可変容量の容量値を設定するための制御電圧、並びに上記バイアス電圧を生成する制御回路が備えられ、

上記制御回路は、複数の通信方式のそれぞれの周波数に応じて上記制御電圧及び上記バイアス電圧の電圧値を設定することを特徴とする増幅器。

【請求項 10】

請求項 9 において、

上記増幅器は、同一基板上に形成された 1 チップで構成されていることを特徴とする増幅器。

【請求項 11】

差動入力信号の正極性信号を増幅する第 1 の増幅器要素と、上記差動入力信号の逆極性信号を増幅する第 2 の増幅器要素とを具備して成る増幅器であって、

上記第 1 及び第 2 の増幅器要素の各々は、

交流信号を増幅する増幅素子と、

増幅器要素の入力部、出力部の少なくとも 1 方に含まれる可変インダクタとを具備して成り、

上記可変インダクタは、一方の端子と他方の端子の間の少なくとも 1 個所にタップが設けられたタップ付きインダクタと、固定容量を介して上記タップと上記他方の端子の間に接続された、印加電圧によって容量オン、容量オフが制御される可変容量とを含んで構成され、

上記可変インダクタは、上記可変容量の容量オン、容量オフに応じて上記一方の端子と上記他方の端子の間にインダクタンスが変化することを特徴とする増幅器。

【請求項 12】

請求項 11 において、

上記増幅素子はバイポーラトランジスタであり、上記バイポーラトランジスタのベースが上記入力部に接続され、上記バイポーラトランジスタのコレクタが上記出力部に接続され、上記バイポーラトランジスタのエミッタに帰還回路が形成されていることを特徴とする増幅器。

【請求項 13】

請求項 11 において、

上記増幅素子は MOS トランジスタであり、上記 MOS トランジスタのゲートが上記入力部に接続され、上記 MOS トランジスタのドレインが上記出力側に接続され、上記 MOS トランジスタのソースに帰還回路が形成されていることを特徴とする増幅器。

【請求項 14】

請求項 11 において、

上記タップ付きインダクタは、マイクロストリップライン型インダクタであることを特徴とする増幅器。

【請求項 15】

請求項 11 において、

上記タップ付きインダクタは、半導体集積回路上に形成されたスパイラル型インダクタであることを特徴とする増幅器。

【請求項 16】

請求項 11 において、

上記可変容量の容量オンのときに短絡される抵抗が上記可変容量に直列に接続されていることを特徴とする増幅器。

【請求項 17】

請求項 12 において、

上記入力部に上記可変インダクタによる第 1 の可変インダクタ及び第 1 の可変容量を有する入力整合回路と、上記ベースにバイアス電圧を供給するための抵抗とが備えられ、

上記出力部に上記可変インダクタによる第 2 の可変インダクタと第 2 の可変容量とを有

10

20

30

40

50

する出力整合回路が備えられ、

上記帰還回路が上記可変インダクタによる第3の可変インダクタを含んで構成されており、

上記第1～第3の可変インダクタのインダクタンス値及び上記第1、第2の可変容量の容量値を設定するための制御電圧、並びに上記バイアス電圧を生成する制御回路が備えられ、

上記制御回路は、複数の通信方式のそれぞれの周波数に応じて上記制御電圧及び上記バイアス電圧の電圧値を設定することを特徴とする増幅器。

【請求項18】

請求項17において、

上記増幅器は、同一基板上に形成された1チップで構成されていることを特徴とする増幅器。

【請求項19】

アンテナからの受信信号を増幅する第1の増幅回路と、

上記第1の増幅回路の出力信号の周波数変換を行なうミキサと、

上記ミキサの出力信号を増幅する第2の増幅回路と、

上記第2の増幅回路の出力信号を入力してベースバンド信号を出力する出力回路とを具備して成り、

上記第1の増幅回路は増幅器を含んで成り、

上記増幅器は、

交流信号を増幅する増幅素子と、

上記増幅器の入力部、出力部の少なくとも1方に含まれる可変インダクタとを具備して成り、

上記可変インダクタは、一方の端子と他方の端子の間の少なくとも1個所にタップが設けられたタップ付きインダクタと、固定容量を介して上記タップと上記他方の端子の間に接続された、印加電圧によって容量オン、容量オフが制御される可変容量とを含んで構成され、

上記可変インダクタは、上記可変容量の容量オン、容量オフに応じて上記一方の端子と上記他方の端子の間にインダクタンスが変化することを特徴とする無線通信装置。

【請求項20】

請求項19において、

上記受信信号は、同相成分と直交成分を含んで成り、同相成分と直交成分のそれぞれに対して上記ミキサ及び上記第2の増幅回路が備えられ、上記出力回路は、同相成分用の第2の増幅回路の出力信号及び直交成分用の上記第2の増幅回路の出力信号を入力してベースバンド信号を出力することを特徴とする無線通信装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、小型で低消費電力の無線通信機器に適用して好適な増幅器に係り、特に集積回路上にて実現され、かつ特性が可変の増幅器に関する。

【背景技術】

【0002】

従来より、無線通信機に必要な不可欠な構成要素として無線通信増幅器が開発されてきた。現在では、増幅器開発を牽引する応用は、GSM(Global System for Mobile Communications)やPDC(Personal Digital Cellular)、PHS(Personal Handy-phone System)、PCS(Personal Communication Services)などの携帯電話用無線通信機や、IEEE(Institute of Electrical and Electronics Engineers)規格に定められた無線通信仕様である802.11a、802.11b、802.11gに準拠するワイヤレスLAN(Local Area Network)を構成する無線通信機が主流である。これら無線通信機には常に、低価格化、小型化、そして長時間動作のための低消費電力化が求められている。これらの要

10

20

30

40

50

求に応える方法の一つに、無線通信用回路をより少ない個数の半導体集積回路（以下「IC：Integrated Circuit」という）に搭載することがある。特に、基板材料が低コストであることと、半導体プロセスの高い成熟度によって高歩留まりが得られることから、シリコンICにて無線通信用回路を実現する試みが多くなされ、現在まで多くの低価格かつ小型な無線通信機が提供されてきた。

【0003】

そのような無線通信機に用いる増幅器の構成例として、複数の無線通信仕様のそれぞれの動作周波数に対応した増幅器をIC上に設けてスイッチ等で切り替える構成が非特許文献1に記載されている。また、増幅器を構成する整合回路を特性可変なインダクタ回路や容量回路で実現し、複数の無線通信仕様のそれぞれの動作周波数に合わせて整合回路の特性を調整可能にした増幅器の例が特許文献1に開示されている。更に、分布定数回路の途中に複数の中間引出線を設け、入力される周波数に応じて中間引出線を選択することによってインダクタンスの値を可変にするインダクタの例が特許文献2に開示されている。

10

【0004】

【非特許文献1】1996年電子情報通信学会通信ソサイエティ大会B-360「Software Radioのローカル発振周波数精度」

【特許文献1】特開平11-289229号公報

【特許文献2】特開平6-276003号公報

【発明の開示】

【発明が解決しようとする課題】

20

【0005】

今後の開発においては、更なる低価格化と小型化を進め、かつ、ユーザーの所在やその目的に応じて最適な無線通信を行なうために、上記した様々の携帯電話や無線LAN等による複数の無線通信仕様に対応可能な無線通信機の実現が期待されている。

【0006】

しかしながら、従来のIC上の無線通信用増幅器では、様々の無線通信仕様でその動作周波数や利得特性が異なっているために、同一の増幅器では対応することができないという問題点があった。また、逆に着目する複数の無線通信仕様の動作周波数をカバーする広帯域の増幅器を構成しても、個々の動作周波数に合わせた狭帯域の増幅器に比べて利得が小さくなってしまいう上に、低雑音化が難しくなるという問題点があった。

30

【0007】

IC上に複数の増幅器を設け、それらをスイッチ等で切り替える構成は、その対策の一案であるが、回路規模が増大する欠点を有している。

【0008】

また、整合回路の特性を調整可能にした特許文献1に記載の増幅器では、消費電力が大きくなることが避けられない。以下にそのことについて説明する。特許文献1の図4に特性可変なインダクタの回路構成が示されている。この可変インダクタは、入力端子501と出力端子502との間に、インダクタ素子503とバイアス電流カット用容量508、514を直列に接続し、コンデンサ508とコンデンサ514との間の点Uにチョークコイル504を接続することによって構成される。そして、制御回路512から並列に引き出された線は、図4では3本のバイアス電流カット用コンデンサ505、506、507の一端に接続され、これらコンデンサ505、506、507の他端はインダクタ素子503の途中の異なる部分に接続されている。また、制御回路512からバイアス電流カット用コンデンサ505、506、507に接続する線の途中からそれぞれ分岐した線がPINダイオード509、510、511のアノード側に接続され、509、510、511のカソード側は接続点Uとバイアスカット用コンデンサ508との間の点Vに接続される。この可変インダクタの構成では、あるPINダイオードを選択してオン状態にすることによって低抵抗がその端子間に発生し、インダクタの途中にある接点がバイパスして端子Vに接続される。それによって、実効インダクタンスが変化する。

40

【0009】

50

しかしながら、選択した P I N ダイオードには数 m A のオン電流が常時流れることから、インダクタンスを所望の値に保持して増幅器を動作させておく場合には、オン電流分の消費電流が増大する。例えば、現在の無線 L A N 用の無線通信回路のうち、初段の低雑音増幅器には、おおむね消費電流 1 0 m A 程度が割り当てられているが、P I N ダイオードのオン電流は 3 m A 程度となるので、一つのインダクタを可変にするためだけに、目標とする消費電流の 3 0 % が消費されることになる。そのため、増幅器の消費電力が大きくならざるを得ない。実際には可変インダクタは複数個用いられる場合も考えられ、その際には可変インダクタでの消費電流が更に増大することになる。

【 0 0 1 0 】

本発明は、従来の上記問題点を克服するためになされたもので、消費電流の増大を招くことなくインダクタンスを変えることができる可変インダクタを用いて構成される低消費電力の増幅器を提供すること、又はそれを用いた無線通信装置を提供することを目的とする。 10

【課題を解決するための手段】

【 0 0 1 1 】

上記目的を達成するための本発明の増幅器は、交流信号を増幅する増幅素子と、増幅器の入力部、出力部の少なくとも一方に含まれる可変インダクタとを具備し、可変インダクタは、一方の端子と他方の端子の間の少なくとも 1 個所にタップが設けられたタップ付きインダクタと、固定容量を介して上記タップと上記他方の端子の間に接続された、印加電圧によって容量オン、容量オフが制御される可変容量とを含んで構成され、可変インダクタは、可変容量の容量オン、容量オフに応じて一方の端子と他方の端子の間にインダクタンスが変化することを特徴とする。 20

【 0 0 1 2 】

上記構成により、インダクタンスの変化が電流によらずに可変容量への印加電圧によって成されるので、消費電流の増大が無く、増幅器が低消費電力化される。

【 0 0 1 3 】

上記目的を達成するための本発明の別の増幅器は、差動入力信号の正極性信号を増幅する第 1 の増幅器要素と、上記差動入力信号の逆極性信号を増幅する第 2 の増幅器要素とを具備して成る増幅器であって、第 1 及び第 2 の増幅器要素の各々は、交流信号を増幅する増幅素子と、増幅器要素の入力部、出力部の少なくとも一方に含まれる可変インダクタとを具備し、可変インダクタは、一方の端子と他方の端子の間の少なくとも 1 個所にタップが設けられたタップ付きインダクタと、固定容量を介してタップと他方の端子の間に接続された、印加電圧によって容量オン、容量オフが制御される可変容量とを含んで構成され、可変インダクタは、可変容量の容量オン、容量オフに応じて一方の端子と他方の端子の間にインダクタンスが変化することを特徴とする。 30

【 0 0 1 4 】

増幅器が差動信号を増幅する場合にも、上記構成により、インダクタンスの変化が電流によらずに可変容量への印加電圧によって成されるので、消費電流の増大が無く、差動型の増幅器が低消費電力化される。

【 0 0 1 5 】

上記目的を達成するための本発明の無線通信装置は、アンテナからの受信信号を増幅する第 1 の増幅回路と、第 1 の増幅回路の出力信号の周波数変換を行なうミキサと、ミキサの出力信号を増幅する第 2 の増幅回路と、第 2 の増幅回路の出力信号を入力してベースバンド信号を出力する出力回路とを具備し、第 1 の増幅回路は増幅器を含んで成り、増幅器は、交流信号を増幅する増幅素子と、増幅器の入力部、出力部の少なくとも一方に含まれる可変インダクタとを具備し、上記可変インダクタは、一方の端子と他方の端子の間の少なくとも 1 個所にタップが設けられたタップ付きインダクタと、固定容量を介して上記タップと上記他方の端子の間に接続された、印加電圧によって容量オン、容量オフが制御される可変容量とを含んで構成され、可変インダクタは、可変容量の容量オン、容量オフに応じて一方の端子と他方の端子の間にインダクタンスが変化することを特徴とする。 40 50

【0016】

上記構成により、インダクタンスの変化が電流によらずに可変容量への印加電圧によって成されるので、消費電流の増大が無く、無線通信装置が低消費電力化される。

【発明の効果】

【0017】

本発明によれば、インダクタンスの変化が電流によらずに可変容量への印加電圧によって成されるので、消費電流の増大を招くことなくインダクタンスを変えることができる可変インダクタを用いて構成される低消費電力の増幅器又はそれを用いた無線通信装置を実現することが期待される。

【発明を実施するための最良の形態】

10

【0018】

以下、本発明に係る可変インピーダンス素子を用いた増幅器及び無線通信装置を図面に示した実施形態を参照して更に詳細に説明する。

【0019】

図1に本発明の第1の実施形態を示す。本実施形態の増幅器は、その入力端子1に印加された交流信号を、設計により決められた利得によって増幅し、出力端子2に接続される後段の通信回路へ与えるために用いられる。増幅器は、その入力部に備えられた入力整合回路11、増幅素子であるバイポーラトランジスタT1、そのベースバイアス抵抗61、トランジスタT1のエミッタ帰還回路である可変インダクタ42、増幅器の出力部に備えられた出力整合回路12を含んで構成される。

20

【0020】

入力部に備えられた入力整合回路11は、信号経路に可変容量21、22が直列接続され、可変インダクタ41は前記容量21と前記容量22の接続点から直流電圧を印加する端子3へと接続されている。また、出力部に備えられた出力整合回路12は、可変インダクタ43、増幅回路全体の安定化係数を改善するための抵抗61、固定値の容量31で構成される。

【0021】

ベースバイアス抵抗の端子5には、増幅器のモード制御回路(MEM)13からバイアス電圧が与えられる。また、モード制御回路13は、各可変素子の素子値を変化させるための制御電圧を端子121、122、141、143から出力する。増幅器では、モードに応じてそれぞれの無線通信仕様に適した整合回路11及び12の特性、帰還回路42のインピーダンス、及びベースバイアス電圧によって決まるトランジスタT1のバイアス電流を変えることができ、各モードにおいてどのような制御を行なうかの制御内容が記憶回路(MEM)14によって記憶されている。

30

【0022】

可変インダクタ41、42及び43については、図2に示す構成で実効インダクタを可変にすることができる。図2に示す可変インダクタの構成は、インダクタの2端子のうち一方が交流的に接地される場合を示しており、端子N1に交流信号が、端子N2に直流電圧が印加される。また、端子N3に同様に直流電圧が印加される。インダクタ71～74は、一本のマイクロリップライン型インダクタを任意の位置の三つのタップA、B及びCにて分割した場合のタップ間のインダクタを示している。各タップは、直流遮断用容量81～83を介して、素子値制御回路(ECT)15の出力に接続され、更に可変容量84～86を介して端子N3に接続されている。

40

【0023】

以上の構成の可変インダクタにおいて、素子値制御回路15の出力電圧によって可変容量84～86のそれぞれの端子間の印加電圧が変化し、変容量84～86のそれぞれが容量オンと容量オフの2状態に変化する。それにより、マイクロストリップラインの長さが変わり、インダクタンスを可変にすることができる。なお、可変容量84～86には電流は流れず端子間電圧が変化するだけであるから、可変容量84～86において電力消費はない。

50

【0024】

ここで、回路シミュレータを用いて可変インダクタの特性を計算した例を示す。端子N1に交流信号が入力され、端子N2、N3はグランド接地に接続され、端子N4に図1中のモード制御回路13からの制御電圧が入力される例で計算する。直流遮断用容量81~83は、IC上での実現性を考慮してMIM (Metal Insulator Metal) 容量で構成されるとし、等しく3 pFとする。また、可変容量84~86には、ゲート・ソース間電圧によって容量値が変化するMOS (Metal Oxide Semiconductor) 型容量が用いられる。MOS型容量は、ソースとなる半導体基板(バルク)と、その上に絶縁膜を介して形成されたゲート電極とによって構成され、バルク端子とゲート端子の間に容量が形成される。なお、可変容量84~86として、pn接合によるpn空乏層容量を用いることができる。pn空乏層容量は、半導体基板上に形成したpn接合のp電極端子とn電極端子の間に逆バイアスを掛けることによって形成され、両端子間に印加する電圧を変えることによってその容量値が変化する。

【0025】

本例のMOS型容量は、ゲート・ソース間電圧を閾値1.5 Vに対して高電圧側にして容量オフとしたときに0.09 pF、低電圧側にして容量オンとしたときに0.6 pFに変化する。また、マイクロストリップラインの全長は2 mmで、タップは3箇所にて等間隔で設定され、特性インピーダンスは20 Ωである。この条件で、可変容量が全て容量オフ、86のみ容量オン、85のみ容量オン、84のみ容量オン、全て容量オンの場合にそれぞれ実効インダクタは0.72 nHから0.96 nHへと段階的に変化し、インダクタンスの最大値の25%を可変とすることができる。従って、図2に示す可変インダクタを図1に示した増幅器で用いることによって、増幅器の特性を可変とすることができる。

【0026】

可変容量121、122は、図3の(a)に示す構成で実効容量値が変化させられる。固定容量C1と固定容量C2の間に、端子間の電圧によってその容量値が変化する可変容量C3が直列に接続され、端子CN3、CN4からチョークインダクタL1及びL2を経て可変容量C3の端子間電圧が変化させられる。固定容量C1、C2の値を可変容量C3に対して十分大きくすることにより、端子CN1、CN2間に構成される可変容量121、122の実効容量値を可変容量C3の容量値によって決めることができる。この可変容量121及び122が図3の(b)に示すシンボルを用いて図1中に示される。図1では、モード制御回路13出力の差動制御電圧121a及び121b、122a及び122bが端子間に与えられることにより、可変容量121、122の容量値が変化する。なお、可変容量C3として、上記のMOS型容量又はpn空乏層容量を用いることができる。

【0027】

図1の増幅器全体の動作について説明する。予め、対応する無線通信仕様の情報が端子101に電圧として入力されると、モード制御回路13は、記憶回路14から、その電圧に応じたメモリアドレスにあるデータを読み込み、電圧レベルとして出力端子121、122、141、142、143、及び端子5に出力する。図2に示すように、素子値制御回路15が端子N4の電圧値に応じた制御電圧を各可変容量の印加電圧に変換して出力することにより、可変インダクタ141~143は、所望のインダクタンスが設定される。可変容量21、22は、モード制御回路13出力の差動制御電圧を入力することにより、容量値が設定される。また、増幅トランジスタT1のバイアス電流は端子5の電圧によって決定され、増幅器の各可変パラメータが決定される。以上により、増幅器は、対応する無線通信仕様に対し所定の整合状態と増幅特性を設定することができ、その入力端子1に輸入された交流信号に対し、増幅動作を行なう。

【0028】

なお、図1の説明に用いた図2に示す可変インダクタにおいて、例としてインダクタのタップ数を3個設けた場合について説明を行なったが、タップ数は1以上であれば上記のインダクタンスの可変性を得ることができる。

【0029】

以上、本実施形態により、インダクタンスの設定が可変容量を用いて行なわれ、消費電力を増大させる電流による制御が行なわれないので、複数の無線通信仕様を満たす低消費電力の高周波増幅器を実現することができる。低消費電力が実現されるため、増幅器をICに組み込み、同一基板上に形成された1チップで構成することが容易となる。

【0030】

なお、増幅器が比較的狭帯域で動作する場合は、可変インダクタを入力整合回路11、出力整合回路12のいずれかに用いるように構成することが可能になる。また、トランジスタT1のエミッタに配置される帰還回路においては、可変インダクタ42の代わりに抵抗を用いることが可能であり、更にエミッタを直接に接地することも可能である。

【0031】

図4に本発明の第2の実施形態を示す。図1に示した増幅器に対して、トランジスタT1のコレクタ側にカスコードトランジスタT2を接続し、T2のコレクタ端子に出力整合回路が接続される。トランジスタT2は、トランジスタT1のコレクタ電位の振幅を抑えてトランジスタT1のベース端子に発生するミラー容量の値を低減するために用いられる。ミラー容量によって増幅器の高域特性が劣化するが、そのミラー容量の低減によって増幅器の高域特性が改善される。高域の同一周波数での利得を比較すると、例えば3dBの利得向上を得ることが可能になる。

【0032】

本実施形態により、第1の実施形態に比べてトランジスタが増加する分、構成が複雑になるが、増幅器を高速化・広帯域化することが可能になる。

【0033】

図5に本発明の第3の実施形態を示す。図1に示した増幅器の二組が差動回路形式で用いられる。第1の実施形態の増幅器が単相の信号に対して増幅を行なうのに対して、本実施形態の増幅器は、差動回路形式を採用することによって二つの入力端子1a、1bの間の差動信号に対する増幅を行ない、二つの出力端子2a、2bの間に増幅した差動信号を出力する。差動信号は正極性信号と逆極性信号とからなり、例えば、入力端子1aに正極性信号が、入力端子1bに逆極性信号が与えられ、出力端子2aから逆極性信号が、出力端子2bから正極性信号が出力される。

【0034】

本実施形態により、単相増幅器に対し、優れた入力信号の同相信号成分除去比を得ることができる。

【0035】

図6に本発明の第4の実施形態を示す。本実施形態では、増幅用のトランジスタT1のコレクタにカスコードトランジスタT2が配置され、かつ差動回路形式が採用される。これにより、トランジスタT1でのミラー効果抑圧による高利得と、優れた入力信号の同相信号成分除去比を実現することができる。本実施形態の増幅器は、前記第2と第3の実施形態における特徴を同時に合わせ持つ。

【0036】

図7に本発明の第5の実施形態を示す。図1に示した増幅器に対して、トランジスタT1がバイポーラ型トランジスタからnMOSトランジスタに置き換えられる。nMOSトランジスタは動作速度の点でバイポーラ型トランジスタに及ばない場合があるが、必要な電源電圧の値を下げる事が可能になる。例えば、バイポーラとトランジスタがそのベース・エミッタ間電圧に0.9V程度が必要で、図1の電源電圧(端子4と端子3の間の電圧)が2V程度であるのに対し、本実施形態において、MOSトランジスタの閾値電圧 V_{th} を0.4Vとすることにより、電源電圧を1V程度まで低減することができる。

【0037】

図8に本発明の第6の実施形態を示す。図7に示した増幅器に対して、MOSトランジスタT1のコレクタ側にカスコードMOSトランジスタT2を接続し、MOSトランジスタT2のドレイン端子に出力整合回路が接続される。MOSトランジスタT2は、MOSトランジスタT1のドレイン電位の振幅を抑えてMOSトランジスタT1のゲート端子に

10

20

30

40

50

発生するミラー容量の値を低減するために用いられる。ミラー容量によって増幅器の高域特性が劣化するが、そのミラー容量の低減によって増幅器の高域特性が改善される。

【0038】

本実施形態により、第5の実施形態に比べてトランジスタが増加する分、構成が複雑になるが、電源電圧を低減することができるほか、増幅器を高速化・広帯域化することが可能になる。

【0039】

図9に本発明の第7の実施形態を示す。図7に示した増幅器の二組が差動回路形式で用いられる。第5の実施形態の増幅器が単相の信号に対して増幅を行なうのに対して、本実施形態の増幅器は、差動回路形式を採ることによって二つの入力端子1a、1bの間の差動信号に対する増幅を行ない、二個の出力端子2a、2bの間に増幅した差動信号を出力する。

10

【0040】

本実施形態により、単相増幅器に対し、優れた入力信号の同相信号成分除去比を得ることができるほか、増幅用トランジスタにMOSトランジスタを適用することで電源電圧を低減することができる。

【0041】

図10に本発明の第8の実施形態を示す。増幅用MOSトランジスタT1のドレインにカスコードMOSトランジスタT2を配置し、かつ差動回路形式をとることによって、MOSトランジスタT1でのミラー効果抑圧による高域での高利得と、優れた入力信号の同相信号成分除去比を実現することができる。更に、増幅トランジスタにMOSトランジスタを適用することで電源電圧を低減することができる。

20

【0042】

以上の第1～第8の実施形態において使用する可変インダクタを別の構成にすることが可能である。図11に示す第1の別の可変インダクタの構成では、インダクタの2端子のうち一方が交流的に接地される。そして、端子N1に交流信号が印加され、端子N2と端子N3にそれぞれ直流電圧が印加される。

【0043】

ここで、インダクタ75～78のそれぞれは、IC上に作成したスパイラル型インダクタである。インダクタ75～78の各々の接続点においてタップA、B、Cが形成される。各タップは、直流遮断用容量81～83を介して、素子値制御回路15の出力に接続され、更に可変容量84～86を介して端子N3に接続されている。

30

【0044】

以上の構成の可変インダクタは、素子値制御回路15の出力電圧によって可変容量84～86のそれぞれを容量オンと容量オフの2状態に変えることによって、交流信号が経由するスパイラル型インダクタの個数を変え、そのインダクタンスを可変にする。直流遮断用容量81～83はIC上での実現性を考慮してMIM(Metal Insulator Metal)容量で構成され、また可変容量84～86はゲート・ソース間電圧によって容量値が変化するMOS型容量で構成される。

【0045】

本構成のインダクタには、図2に示したマイクロストリップライン採用の可変インダクタに比較し、形状が細長い形状から縦横比がほぼ等しい形状に変わるが、IC上の面積が小さいという利点がある。これはスパイラルインダクタが、螺旋形状をとることによって線間に正の相互インダクタンスを発生させ、所望のインダクタンスを得るために必要な実際の総配線長を短くすることができるためである。よって、本実施形態を用いれば、IC面積のより低減することができる。

40

【0046】

第1～第8の実施形態において使用する可変インダクタを図12に示す更に別の構成にすることが可能である。図12に示す第2の別の可変インダクタの構成では、インダクタの2端子のうち一方が交流的に接地される。そして、端子N1に交流信号が印加され、端

50

子N2と端子N3にそれぞれ直流電圧が印加される。

【0047】

ここで、インダクタ71～74は、IC上に作成したマイクロストリップ型インダクタをそれぞれ示しており、各々の接続点にタップA、B、Cが形成される。各タップは、直流遮断用容量81～83を介して、3個のN型MOSトランジスタM1～M3のドレインにそれぞれ接続され、また抵抗63～69を介して端子N5へ接続されている。素子値制御回路15の出力は、MOSトランジスタM1～M3のゲート電圧となっており、その電圧がMOSトランジスタの閾値電圧 V_{th} よりも0.2V程度大きければそのドレインソース間に電流が導通し、低抵抗が現れる。従って、インダクタ71～74を直流遮断用容量81～83を介して、端子N3へ接地させることができる。

10

【0048】

第1～第8の実施形態において使用する可変インダクタを図13に示す更に別の構成にすることが可能である。図13に示す第3の別の可変インダクタの構成では、インダクタの2端子のうち一方が交流的に接地される。そして、端子N1に交流信号が印加され、端子N2と端子N3にそれぞれ直流電圧が印加される。

【0049】

ここで、インダクタ75～78は、IC上に作成したスパイラル型インダクタをそれぞれ示しており、各々の接続点にタップA、B、Cが形成される。各タップは、直流遮断用容量81～83を介して、それぞれN型MOSトランジスタM4～M6のドレインに接続されている。各MOSトランジスタのソースは、素子値制御回路15の出力に接続され、更に可変容量84～86を介して端子N3に接続されている。各MOSトランジスタのソース・ドレイン間には約数 $k\Omega$ の抵抗が接続されている。

20

【0050】

以上の構成の可変インダクタにおいては、素子値制御回路15の出力電圧によって可変容量84～86のそれぞれが容量オンと容量オフの2状態に変わり、交流信号が経路するスパイラル型インダクタの個数が変わる。それにより、インダクタンスを可変にすることができる。

【0051】

素子値制御回路15の出力は、例えば可変容量85を容量オンにする場合には、接点Hに低電位が、MOSトランジスタM5のゲートには高電位が与えられる。一方、接点G及びIには高電位が、またMOSトランジスタM4及びM6のゲートには低電位が与えられる。このようにバイアス電圧を与えることで、交流信号の経路でないパスは直列抵抗によって高抵抗となる。

30

【0052】

いま、MOSトランジスタM4、M6が接続されていない場合、交流信号の経路でないパスに可変容量84、86の容量オフによる小容量が接続され、この小容量とインダクタ75～78の間で共振ループが形成される場合がある。本構成では、この小容量に上記高抵抗が直列に接続されるので、共振ループの共振の鋭さが抑えられる。また、たとえ共振が発生したとしても、増幅回路の特性に与える影響を小さく抑えることができる。直流遮断用容量81～83は、IC上での実現性を考慮してMIM(Metal Insulator Metal)容量で構成され、また可変容量84～86は、ゲート・ソース間電圧によって容量値が可変なMOS型容量で構成される。

40

【0053】

以上の第1～第8の実施形態の整合回路では、一方の端子N1に交流信号が入力され、他方の端子N2が交流的に接地される可変インダクタが用いられる。図示していないが、交流信号が一方の端子から他方の端子に伝達して取り出される可変インダクタを用いて整合回路を構成する場合がある。そのような場合に使用する可変インダクタの構成の例を図14に示す。

【0054】

図14に示す第4の別の可変インダクタは、端子N1、N2ともに交流信号を取り出す

50

ことができるように構成される。ここで、インダクタ71～74は、IC上に作成したマイクロストリップライン型のインダクタであり、任意の位置からタップA、B、Cが引き出される。各タップは、直流遮断用容量81～83を介して、素子値制御回路15の出力に接続され、更に可変容量84～86を介してチョークインダクタ79に接続される。チョークインダクタ79の可変容量84～86が接続されない他方の端子は接地されており、可変容量84～86に直流電位を与える電圧伝達経路が形成される。また、容量87及び88は、端子N1、N2に直流電位が印加されないように直流遮断用容量として動作する。

【0055】

図15に、端子N1、N2ともに交流信号を取り出すことができるように構成される第5の別の可変インダクタを示す。ここで、インダクタ75～78のそれぞれは、IC上に作成したスパイラルインダクタであり、それぞれの接続の位置からタップA、B、Cが引き出される。各タップは、直流遮断用容量81～83を介して、素子値制御回路15の出力に接続され、更に可変容量84～86を介してチョークインダクタ79に接続される。チョークインダクタ79の可変容量84～86が接続されない他方の端子は接地されており、可変容量84～86に直流電位を与える電圧伝達経路が形成される。また、容量87及び88は、端子N1、N2に直流電位が印加されないように直流遮断用容量として動作する。

【0056】

本可変インダクタは、図14のマイクロストリップラインを用いた可変インダクタと比較してIC上の面積が小さくすることができる。小面積になるのは、螺旋形状をとることによって線間に正の相互インダクタンスを発生させ、所望のインダクタンスを得るために必要な実際の総配線長を短くできるためである。

【0057】

図16に本発明の第9の実施形態を示す。図16では上記の本発明の増幅器を含んで構成される無線通信装置が示される。本実施形態の無線通信装置は、ヘテロダイン形式の無線受信機として構成され、まず、アンテナ301で受信された受信信号は、増幅回路302によって増幅され、ミキサ303の一方の端子へ入力される。局部発振回路制御回路(CTL)304によって制御される局部発振回路305の出力信号がミキサ303の他方の端子へ入力される局部発振信号となる。ミキサ303において周波数変換によって受信信号の搬送波周波数が下げられ、中間周波信号がミキサ303から出力される。中間周波信号は、帯域通過フィルタ306によって不要周波数成分を減衰させられた後、中間周波増幅回路307で増幅され、復調を行なう出力回路(OUT)308に入力される。出力回路308からベースバンド信号が取り出される。

【0058】

本発明の増幅器が増幅回路302の内部で用いられる。それにより、複数の無線通信仕様を満たすヘテロダイン形式の低消費電力の無線通信装置を実現することができる。

【0059】

図17に本発明の第10の実施形態を示す。図17では上記の本発明の増幅器を含んで構成される別の無線通信装置が示される。本実施形態の無線通信装置は、ダイレクトコンバージョン形式の無線受信装置として構成される。図17において、アンテナ301で受信された受信信号は増幅回路302で増幅され、二個のミキサ303a、303bの一方の入力端子に入力される。受信信号は、同相成分と直交成分によって変調された互いに直交する変調波を成している。局部発振回路制御回路(CTL)304によって制御される局部発振回路305の出力信号は二つに分岐され、90°の位相差をつけてそれぞれミキサ303a、303bの他方の入力端子に入力される局部発振信号となる。局部発振信号の周波数(fL0)は受信信号の搬送波周波数(fRF)と等しくなるように設定されるので、周波数変換によって同相成分と直交成分とが直接取り出される。同相成分と直交成分は、低域通過フィルタ309a、309bによって不要周波数成分を減衰させられた後、増幅器310a、310bで増幅され、増幅後の同相成分と直交成分は出力回路(OUT)311でベースバンド信号となって出力される。

【 0 0 6 0 】

本発明の増幅器が増幅回路302の内部で用いられる。それにより、複数の無線通信仕様を満たすダイレクトコンバージョン形式の低消費電力の無線通信装置を実現することができる。

【 0 0 6 1 】

なお、本発明の効果は、増幅器にバイポーラトランジスタ又はMOSトランジスタを用いた場合のみに発生するものではなく、その他の電界効果トランジスタ、ヘテロ接合バイポーラトランジスタ、高電子移動度トランジスタ、金属半導体接合電界効果トランジスタに置き換えても同様の効果が得られることはいうまでもない。また、バイポーラトランジスタに関してはnpn型、MOSトランジスタはnMOS型の回路構成を示したが、電源電圧の極性を考慮した上で、pnp型及びpMOS型による回路構成をとっても同様の効果が得られることはいうまでもない。

10

【図面の簡単な説明】

【 0 0 6 2 】

【図1】本発明の第1の実施形態を説明するための回路図。

【図2】第1の実施形態における本発明の可変インダクタの例を説明するための回路図。

【図3】第1の実施形態における可変容量の例を説明するための回路図。

【図4】本発明の第2の実施形態を説明するための回路図。

【図5】本発明の第3の実施形態を説明するための回路図。

【図6】本発明の第4の実施形態を説明するための回路図。

20

【図7】本発明の第5の実施形態を説明するための回路図。

【図8】本発明の第6の実施形態を説明するための回路図。

【図9】本発明の第7の実施形態を説明するための回路図。

【図10】本発明の第8の実施形態を説明するための回路図。

【図11】本発明の第1の別の可変インダクタを説明するための回路図。

【図12】本発明の第2の別の可変インダクタを説明するための回路図。

【図13】本発明の第3の別の可変インダクタを説明するための回路図。

【図14】本発明の第4の別の可変インダクタを説明するための回路図。

【図15】本発明の第5の別の可変インダクタを説明するための回路図。

【図16】本発明の第9の実施形態を説明するための構成図。

30

【図17】本発明の第10の実施形態を説明するための構成図。

【符号の説明】

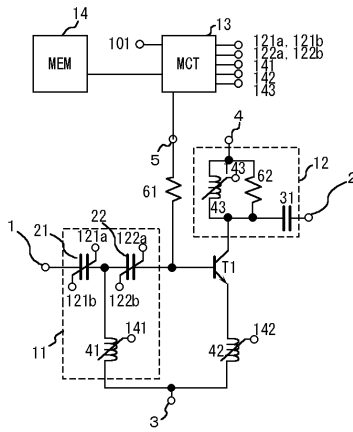
【 0 0 6 3 】

1 ... 入力端子、2 ... 出力端子、3, 4 ... 電源端子、5, 6 ... バイアス電圧印加端子、11 ... 入力整合回路1、12 ... 出力整合回路1、13 ... モード制御回路、14 ... 記憶回路、15 ... 素子値制御回路、21, 22 ... 可変容量、31 ... 容量、41, 42, 43 ... 可変インダクタ、61 ... 抵抗素子、101 ... 増幅器モード制御端子、121, 122 ... 可変容量制御端子、141, 142, 143 ... 可変インダクタ制御端子、301 ... アンテナ、302, 307, 310 ... 増幅回路、303 ... ミキサ、304 ... 局部発振回路制御回路、305 ... 局部発振回路、306, 309 ... フィルタ、307, 310 ... 中間周波増幅回路、308, 311 ... 出力回路。

40

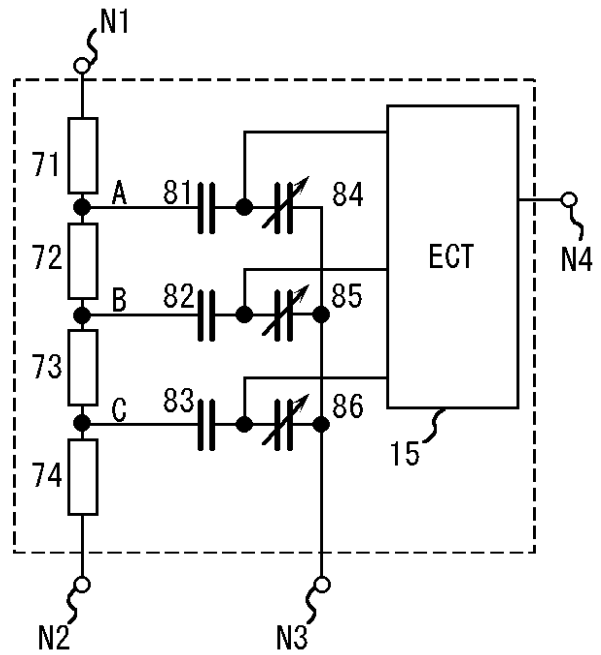
【図 1】

図 1



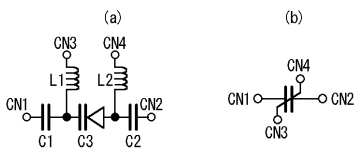
【図 2】

図 2



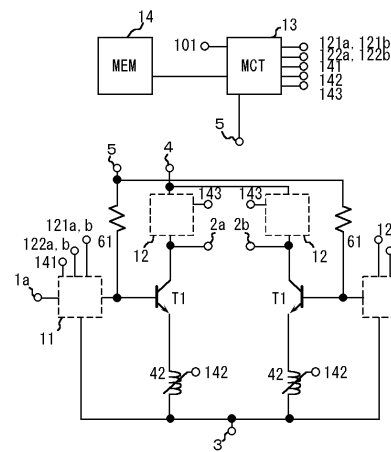
【図 3】

図 3



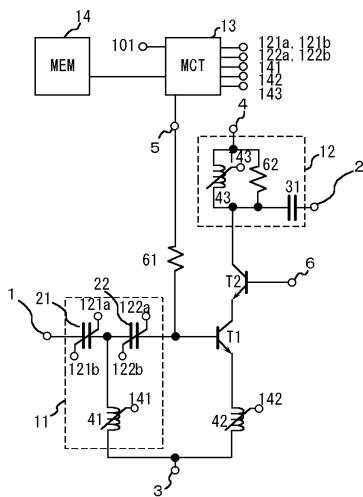
【図 5】

図 5



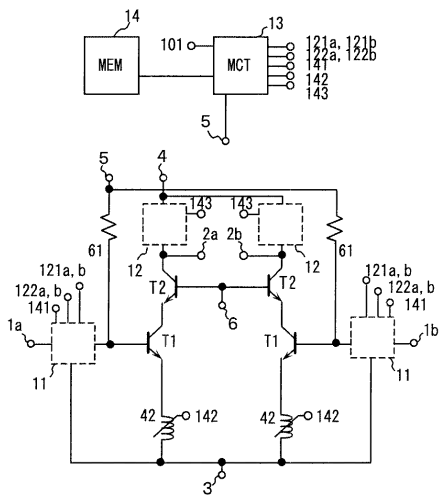
【図 4】

図 4



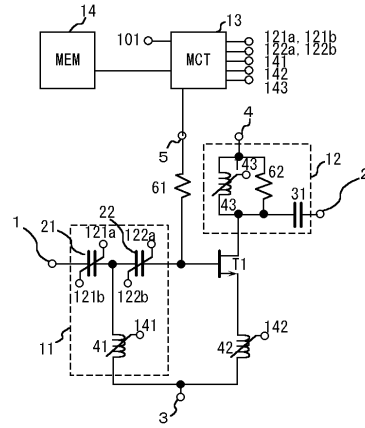
【図 6】

図 6



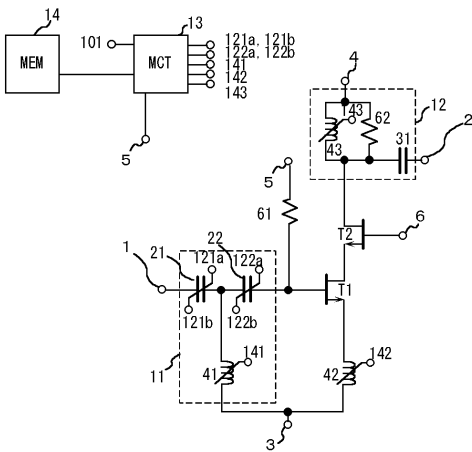
【図 7】

図 7



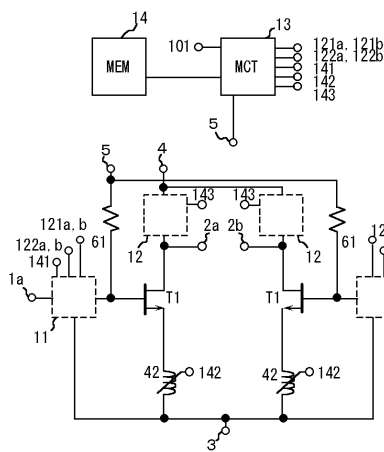
【図 8】

図 8



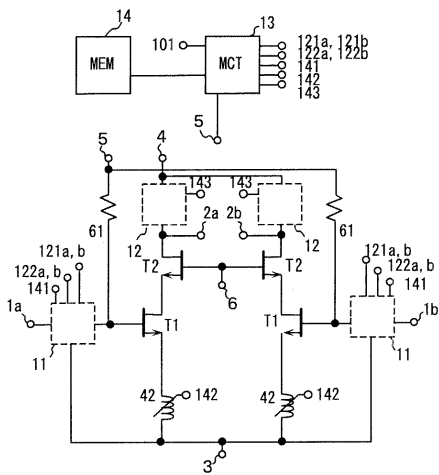
【図 9】

図 9



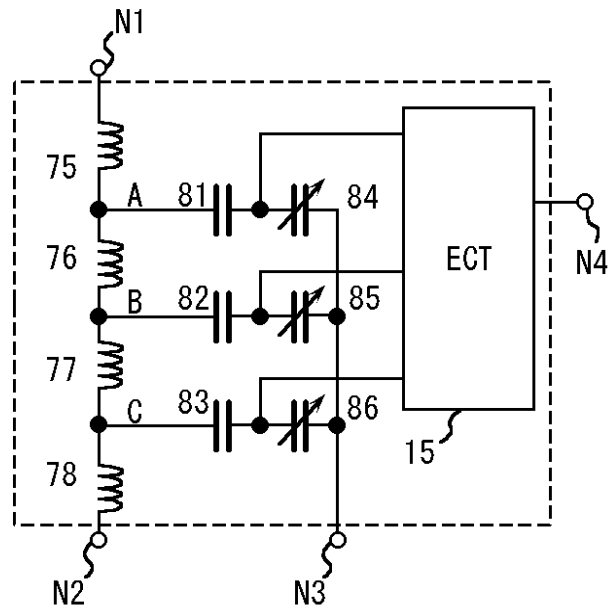
【図 10】

図 10



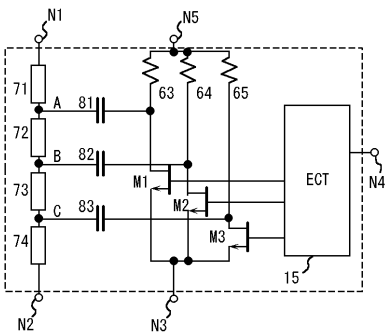
【図 11】

図 11



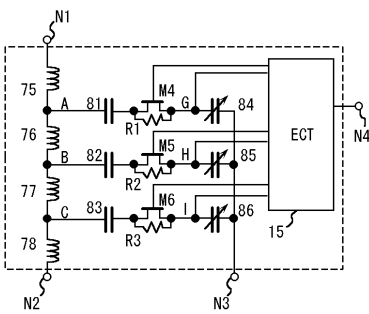
【図 12】

図 12



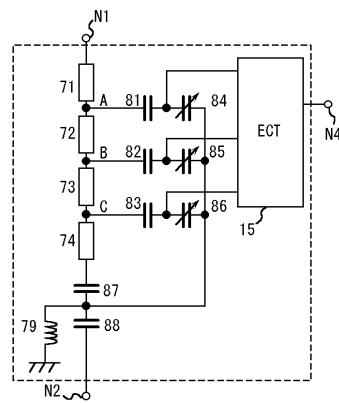
【図 13】

図 13



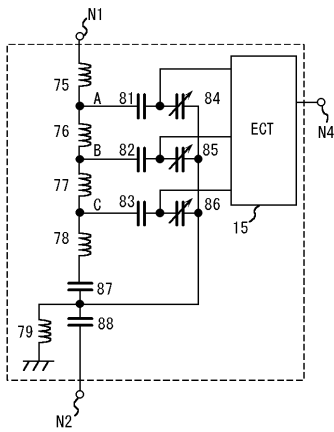
【図 14】

図 14



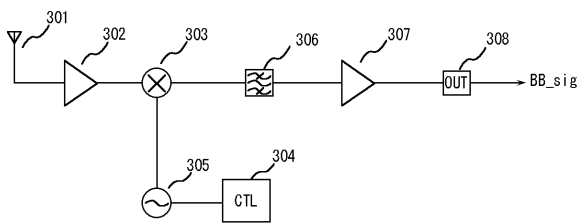
【図 15】

図 15



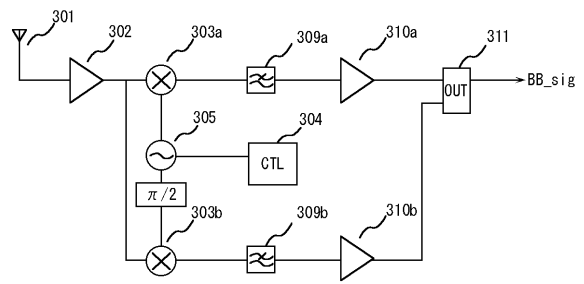
【図 16】

図 16



【図 17】

図 17



フロントページの続き

F ターム(参考) 5J500 AA01 AA04 AC36 AC61 AC71 AC91 AC92 AF20 AH02 AH09
AH25 AH29 AH30 AH34 AK29 AK32 AK42 AK44 AS13 AT01