



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I675357 B

(45)公告日：中華民國 108 (2019) 年 10 月 21 日

(21)申請案號：107121350

(22)申請日：中華民國 99 (2010) 年 06 月 08 日

(51)Int. Cl. : G09G3/20 (2006.01)

G09G3/36 (2006.01)

(30)優先權：2009/06/25 日本

2009-150617

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：梅崎敦司 UMEZAKI, ATSUSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200506800A

US 2006/0001637A1

US 2006/0227093A1

US 2008/0174580A1

審查人員：陳恩笙

申請專利範圍項數：13 項 圖式數：15 共 68 頁

(54)名稱

顯示裝置及電子裝置

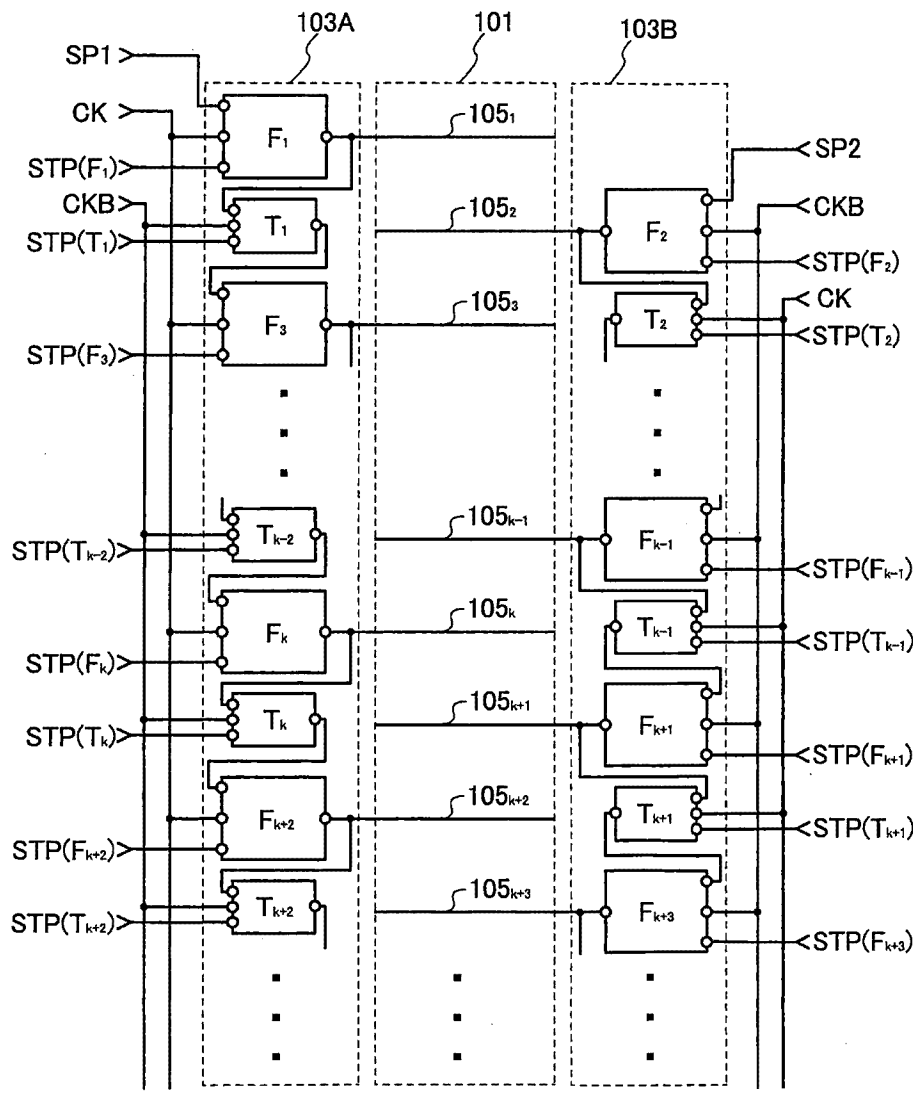
(57)摘要

目的是提供可順利地顯示影像而無信號延遲或失真的顯示裝置。該顯示裝置包括第一閘極驅動器和第二閘極驅動器。第一閘極驅動器和第二閘極驅動器分別包括複數個正反電路和複數個傳送信號產生電路。正反電路和傳送信號產生電路兩者皆為以半時脈週期延遲，將輸入之信號輸出至第一輸入端的電路。另外，傳送信號產生電路的輸出端直接連接至在下一級之正反電路的第一輸入端。因此，可減少從傳送信號產生電路輸入至正反電路的信號之延遲和失真。

It is an object to provide a display device which can favorably display a image without delayed or distorted signals. The display device includes a first gate driver and a second gate driver. The first gate driver and the second gate driver each include a plurality of flip flop circuits and a plurality of transfer signal generation circuits. Both the flip flop circuit and the transfer signal generation circuit are circuits which output a signal inputted to a first input terminal with a half clock cycle delay. In addition, an output terminal of the transfer signal generation circuit is directly connected to a first input terminal of the flip flop circuit in the next stage. Therefore, delay and distortion of the signal which is inputted from the transfer signal generation circuit to the flip flop circuit can be reduced.

指定代表圖：

第2圖



- 符號簡單說明：
- 101 . . . 畫素部份
 - 103A . . . 第一閘極驅動器
 - 103B . . . 第二閘極驅動器
 - 105₁ . . . 閘極線
 - 105₂ . . . 閘極線
 - 105₃ . . . 閘極線
 - 105_k . . . 第 k 閘極線
 - 105_{k+1} . . . 第(k+1) 閘極線
 - F₁ . . . 第一正反電路
 - T₁ . . . 第一傳送信號產生電路
 - F₃ . . . 第三正反電路
 - F₂ . . . 第二正反電路
 - T₂ . . . 週期
 - T_{k-2} . . . 傳送信號產生電路
 - F_k . . . 正反電路
 - T_k . . . 第 k 傳送信號產生電路
 - F_{k+2} . . . 第(k+2)正反電路
 - T_{k-1} . . . 第(k-1)傳送信號產生電路
 - F_{k+1} . . . 第(k+1)正反電路
 - T_{k+1} . . . 第(k+1)傳送信號產生電路
 - F_{k+3} . . . 第(k+3)正反電路

SP1 . . . 第一起始脈
衝信號

CK . . . 時脈信號

STP(F₁) . . . 第一正
反電路的停止脈衝信
號

CKB . . . 反向時脈
信號

STP(T₁) . . . 第一傳
送信號產生電路的停
止脈衝信號

STP(F_k) . . . 第 k 正
反電路的停止脈衝信
號

STP(T_k) . . . 第 k 傳
送信號產生電路的停
止脈衝信號

SP2 . . . 第二起始脈
衝信號

STP(F₂) . . . 第二正
反電路的停止脈衝信
號

STP(T₂) . . . 第二傳
送信號產生電路的停
止脈衝信號

STP(F_{k+1}) . . . 第(k
+1)正反電路的停止脈
衝信號

STP(T_{k+1}) . . . 第(k
+1)傳送信號產生電路
的停止脈衝信號

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

顯示裝置及電子裝置

DISPLAY DEVICE AND ELECTRONIC DEVICE

【技術領域】

本發明的實施例是關於由主動陣列模式所驅動的顯示裝置，以及包括該顯示裝置的電子裝置。

【先前技術】

由主動陣列模式所驅動的顯示裝置包括：例如作用如畫素中的開關之電晶體的元件、電連接至該畫素並在該開關導通時將影像信號輸出至該畫素的驅動電路(源極驅動器)、以及控制開關之切換的驅動電路(閘極驅動器)。

此外，該電晶體不僅可作用如畫素中的開關，亦可形成閘極驅動器。因此，開發出一種顯示裝置，其包括使用電晶體所形成之畫素中的開關和閘極驅動器，且該等電晶體是使用設置於絕緣基板上的非單晶半導體所形成。

上述閘極驅動器被設置為靠近顯示裝置的畫素部份。但被設置為靠近畫素部份一側的閘極驅動器會導致顯示部份比其他側更靠近某一側。所以，開發出一種具有閘極驅動器的顯示裝置，且該等閘極驅動器是藉由分割位於畫素部份之左右兩側的閘極驅動器所形成(舉例來說，見專利

文件 1)。

第 10 圖解說專利文件 1 所揭示之顯示裝置的結構。在第 10 圖所解說之顯示裝置中，將第一閘極驅動器 1002A 和第二閘極驅動器 1002B 設置為互相面對，且其間夾有畫素部份 1001。第一閘極驅動器 1002A 的輸出端電連接至奇數閘極線。第一閘極驅動器 1002B 的輸出端電連接至偶數閘極線。也就是說，第一閘極驅動器 1002A 控制源極驅動器和位於畫素部份 1001 中之奇數線上的畫素之間的電連接，而第二閘極驅動器 1002B 控制源極驅動器和位於畫素部份 1001 中之偶數線上的畫素之間的電連接。

此外，第一閘極驅動器 1002A 和第二閘極驅動器 1002B 分別包括複數個移位暫存器。第一移位暫存器 (SRC_1) 的輸出端是經由第一閘極線 1003₁ 電連接至第二移位暫存器 (SRC_2) 的輸入端之一。第二移位暫存器 (SRC_2) 的輸出端是經由第二閘極線 1003₂ 電連接至第三移位暫存器 (SRC_3) 的輸入端之一。以類似方式，第 k 移位暫存器 (SRC_k) 的輸出端是經由第 k 閘極線 1003_k 電連接至第 (k+1) 移位暫存器 (SRC_{k+1}) 的輸入端之一。也就是說，用於設置在某一條線上之源極驅動器和畫素之間的電連接之信號，是被用來作為移位暫存器的起始脈衝信號，且該移位暫存器的輸出端是連接至設置於下一條線之畫素。

[參考文獻]

[專利文件 1] 日本專利第 4163416 號

【發明內容】

延伸於畫素部份的閘極線具有各種寄生電容和寄生電阻。特別是，由該閘極線所持有之寄生電容和寄生電阻的影響會隨著畫素部份的品質提高而變大。如上所述，在第 10 圖所解說之顯示裝置中，移位暫存器的起始脈衝信號是經由閘極線所輸入。因此，可以說在第 10 圖所解說之顯示裝置中，信號將很可能因解析度和尺寸增加而成爲延遲或失真信號。

鑒於上述問題，本發明的實施例之目的是提供能夠順利地顯示影像的顯示裝置。

此外，本發明的實施例之目的是提供使用單極電晶體來形成其閘極驅動器的顯示裝置。

此外，本發明的實施例之目的是提供包括電路面積縮減之閘極驅動器的顯示裝置。

本發明的實施例爲顯示裝置。該顯示裝置包括：複數個閘極線，被設置爲互相平行或大致平行；第一閘極驅動器，電連接至奇數列中的各閘極線；以及第二閘極驅動器，電連接至偶數列中的各閘極線。第一閘極驅動器包括第 k 正反電路和第 k 傳送信號產生電路(k 是等於或大於 3 的奇數)。在第 k 正反電路中，輸出端電連接至第 k 閘極線；第一輸入端電連接至第 $(k-2)$ 傳送信號產生電路的輸出端，第二輸入端電連接至時脈信號線，而第三輸入端電連接至用於第 k 正反電路的停止脈衝信號線。在第 k 傳送信號產生電路中，輸出端電連接至第 $(k+2)$ 正反電路的第一

輸入端，第一輸入端電連接至第 k 正反電路的輸出端，第二輸入端電連接至反向時脈信號線，而第三輸入端電連接至用於第 k 傳送信號產生電路的停止脈衝信號線。第二閘極驅動器包括第 $(k+1)$ 正反電路和第 $(k+1)$ 傳送信號產生電路。在第 $(k+1)$ 正反電路中，輸出端電連接至第 $(k+1)$ 閘極線，第一輸入端電連接至第 $(k-1)$ 傳送信號產生電路的輸出端，第二輸入端電連接至該反向時脈信號線，而第三輸入端電連接至用於第 $(k+1)$ 正反電路的停止脈衝信號線。在第 $(k+1)$ 傳送信號產生電路中，輸出端電連接至第 $(k+3)$ 正反電路的第一輸入端，第一輸入端電連接至第 $(k+1)$ 正反電路的輸出端，第二輸入端電連接至該時脈信號線，而第三輸入端電連接至用於第 k 傳送信號產生電路的停止脈衝信號線。

此外，第 k 正反電路的結構與第 k 傳送信號產生電路的結構相同之顯示裝置亦為本發明之實施例。

應注意，上述停止脈衝信號線是將停止脈衝信號輸入至各電路的線路。

具體來說，可將第 k 傳送信號產生電路的輸出信號用來作為用於第 k 正反電路的停止脈衝信號。

或是，可將第 $(k+1)$ 正反電路的輸出信號用來作為用於第 k 正反電路的停止脈衝信號。

同樣地，可將第 $(k+2)$ 正反電路的輸出信號用來作為用於第 k 傳送信號產生電路的停止脈衝信號。

或是，可將第 $(k+1)$ 傳送信號產生電路的輸出信號用

來作為用於第 k 傳送信號產生電路的停止脈衝信號。

另外，包括具有上述結構之顯示裝置的電子裝置亦為本發明的實施例。

設置於本發明實施例之顯示裝置的第一閘極驅動器和第二閘極驅動器包括傳送信號產生電路，該傳送信號產生電路以半時脈週期延遲將輸入之信號輸出。因此，可以提供可順利地顯示影像而無信號延遲或失真的顯示裝置。

【圖式簡單說明】

附圖中：

第 1 圖解說實施例 1 所述之顯示裝置；

第 2 圖解說實施例 1 所述之閘極驅動器的結構；

第 3 圖解說實施例 1 所述之閘極驅動器的時序圖；

第 4 圖解說實施例 2 所述之電路結構的具體範例；

第 5 圖解說實施例 2 所述之電路的時序圖；

第 6 圖解說實施例 3 所述之電路結構的具體範例；

第 7A 圖和第 7B 圖分別解說實施例 3 所述之反向器電路的具體範例；

第 8 圖解說實施例 4 所述之電路結構的具體範例；

第 9A 圖和第 9B 圖分別解說實施例 4 所述之控制電路的具體範例；

第 10 圖解說專利文件 1 所示之閘極驅動器的結構；

第 11A 圖至第 11F 圖分別解說實施例 6 所述之電子裝置的具體範例；

第 12A 圖至第 12D 圖分別解說實施例 6 所述之電子裝置的具體範例；

第 13A 圖至第 13D 圖分別解說實施例 6 所述之電子裝置的具體範例；

第 14A 圖解說習知電路結構，而第 14B 圖解說本說明書範例 1 所述之電路結構；以及

第 15 圖解說範例 1 所述之習知閘極驅動器的正反電路之輸出信號，和本說明書所揭示之閘極驅動器的正反電路之輸出信號。

【實施方式】

下文中將參照附圖來詳述本發明的實施例及範例。應注意，本發明不限於以下說明，且熟習該項技藝者將可輕易了解，可在不脫離本發明之精神及範疇下進行各種變更及修改。因此，本發明不應被解釋為受限於以下實施例及範例之說明。

(實施例 1)

實施例 1 說明為本發明實施例之顯示裝置的範例。具體來說，參照第 1 圖、第 2 圖及第 3 圖來說明包括第一閘極驅動器和第二閘極驅動器的主動陣列顯示裝置。

[顯示裝置的結構之範例]

第 1 圖解說主動陣列顯示裝置 100。顯示裝置 100 包

括畫素部份 101、源極驅動器 102、第一閘極驅動器 103A、第二閘極驅動器 103B、被設置為互相平行或大致平行的 m 條(m 為正整數)源極線 $104_1 \sim 104_m$ 、以及被設置為互相平行或大致平行的 n 條(n 為正整數)閘極線 $105_1 \sim 105_n$ 。應注意，畫素部份 101 是設置於顯示裝置 100 的中央部份。源極驅動器 102 被設置為靠近畫素部份 101 的一側。第一閘極驅動器 103A 和第二閘極驅動器 103B 被設置為靠近畫素部份 101 的其他側，且被設置為互相面對而畫素部份 101 位於其間。此外，源極驅動器 102 是經由 m 條源極線 $104_1 \sim 104_m$ 電連接至畫素部份 101。第一閘極驅動器 103A 是經由 n 條閘極線 $105_1 \sim 105_n$ 中的奇數源極線電連接至畫素部份 101。第二閘極驅動器 103B 是經由 n 條閘極線 $105_1 \sim 105_n$ 中的偶數源極線電連接至畫素部份 101。

另外，經由軟性印刷電路 106A 和 106B，從外部將信號(時脈信號、起始脈衝信號等)輸入至源極驅動器 102、第一閘極驅動器 103A、以及第二閘極驅動器 103B。

此外，畫素部份 101 包括 $n \times m$ 個畫素 $107_{11} \sim 107_{nm}$ 。應注意，畫素 $107_{11} \sim 107_{nm}$ 是被配置為 n 列和 m 行。另外， m 條源極線 $104_1 \sim 104_m$ 的每一者是電連接至配置於同一列的 n 個畫素。換言之，配置於 i 列和 j 行(i 和 j 為正整數)($1 \leq i \leq n$ 且 $1 \leq j \leq m$)的畫素 105_{ij} 是電連接至源極線 104_j 和閘極線 105_i 。

也就是說，源極驅動器 102 是經由 m 條源極線 $104_1 \sim$

104_m 電連接至畫素部份 101 所包括的各個畫素。第一閘極驅動器 103A 是經由 n 條閘極線 $105_1 \sim 105_n$ 中的奇數閘極線，電連接至畫素部份 101 中配置於奇數列的各個畫素。第二閘極驅動器 103B 是經由 n 條閘極線 $105_1 \sim 105_n$ 中的偶數閘極線，電連接至畫素部份 101 中配置於偶數列的各個畫素。

[顯示裝置的操作範例]

顯示裝置 100 中，源極驅動器 102 是將影像信號輸出至畫素部份 101 所包括之畫素 $107_{11} \sim 107_{nm}$ 的電路。第一閘極驅動器 103A 和第二閘極驅動器 103B 是控制源極驅動器 102 和畫素 $107_{11} \sim 107_{nm}$ 之間的電連接之電路。

顯示裝置 100 藉由輸入至 $n \times m$ 個畫素 $107_{11} \sim 107_{nm}$ 的影像信號，在畫素部份 101 顯示影像。以下說明顯示裝置 100 的具體操作。

首先，第一閘極驅動器 103A 選擇配置於第一列的 m 個畫素(源極驅動器 102 和配置於第一列的 m 個畫素電連接)；然後，經由源極線 $104_1 \sim 104_m$ ，將影像信號輸入至配置於第一列的 m 個畫素 $107_{11} \sim 107_{1m}$ 。接著，第二閘極驅動器 103B 選擇配置於第二列的 m 個畫素；然後，經由源極線 $104_1 \sim 104_m$ ，將影像信號輸入至配置於第二列的 m 個畫素 $107_{21} \sim 107_{2m}$ 。之後，第一閘極驅動器 103A 和第二閘極驅動器 103B 以類似方式交替地選擇各列中的 m 個畫素。顯示裝置 100 藉由後續執行上述操作來顯示影

像。

[閘極驅動器的結構範例]

第 2 圖是解說主動陣列顯示裝置 100 所包括的第一閘極驅動器 103A 和第二閘極驅動器 103B 之詳細結構範例的方塊圖。

第一閘極驅動器 103A 和第二閘極驅動器 103B 分別包括具有至少三個輸入端和一個輸出端的複數個正反電路和複數個傳送信號產生電路。

在第一閘極驅動器 103A 所包括的第一正反電路(F_1)中，輸出端電連接至第一閘極線 105_1 ，第一輸入端電連接至第一起始脈衝信號(SP1)線，第二輸入端電連接至時脈信號(CK)線，而第三輸入端電連接至用於第一正反電路的停止脈衝信號(STP(F_1))線。

此外，在第一閘極驅動器 103A 所包括的第一傳送信號產生電路(T_1)中，輸出端電連接至第三正反電路(F_3)的第一輸入端，第一輸入端電連接至第一正反電路(F_1)的輸出端，第二輸入端電連接至反向時脈信號(CKB)線，而第三輸入端電連接至用於第一傳送信號產生電路的停止脈衝信號(STP(T_1))線。

在第二閘極驅動器 103B 所包括的第二正反電路(F_2)中，輸出端電連接至第二閘極線 105_2 ，第一輸入端電連接至第二起始脈衝信號(SP2)線，第二輸入端電連接至反向時脈信號(CKB)線，而第三輸入端電連接至用於第二正反

電路的停止脈衝信號(STP(F₂))線。

此外，在第二閘極驅動器 103B 所包括的第二傳送信號產生電路(T₂)中，輸出端電連接至第四正反電路(未顯示)的第一輸入端，第一輸入端電連接至第二正反電路(F₂)的輸出端，第二輸入端電連接至時脈信號(CK)線，而第三輸入端電連接至用於第二傳送信號產生電路的停止脈衝信號(STP(T₂))線。

在第一閘極驅動器 103A 所包括的第 k(k 是等於或大於三的奇數)正反電路(F_k)中，輸出端電連接至第 k 閘極線 105_k，第一輸入端電連接至第(k-2)傳送信號產生電路(T_{k-2})的輸出端，第二輸入端電連接至時脈信號(CK)線，而第三輸入端電連接至用於第 k 正反電路的停止脈衝信號(STP(F_k))線。

此外，在第一閘極驅動器 103A 所包括的第 k 傳送信號產生電路(T_k)中，輸出端電連接至第(k+2)正反電路(F_{k+2})，第一輸入端電連接至第 k 正反電路(F_k)的輸出端，第二輸入端電連接至反向時脈信號(CKB)線，而第三輸入端電連接至用於第 k 傳送信號產生電路的停止脈衝信號(STP(T_k))線。

在第二閘極驅動器 103B 所包括的第(k+1)正反電路(F_{k+1})中，輸出端電連接至第(k+1)閘極線 105_{k+1}，第一輸入端電連接至第(k-1)傳送信號產生電路(T_{k-1})的輸出端，第二輸入端電連接至反向時脈信號(CKB)線，而第三輸入端電連接至用於第(k+1)正反電路的停止脈衝信號

(STP(F_{k+1}))線。

此外，在第二閘極驅動器 103B 所包括的第(k+1)傳送信號產生電路(T_{k+1})中，輸出端電連接至第(k+3)正反電路(F_{k+3})，第一輸入端電連接至第(k+1)正反電路(F_{k+1})的輸出端，第二輸入端電連接至時脈信號(CK)線，而第三輸入端電連接至用於第(k+1)傳送信號產生電路的停止脈衝信號(STP(T_{k+1}))線。

上述第一閘極驅動器 103A 所包括的複數個正反電路和複數個傳送信號產生電路，以及上述第二閘極驅動器 103B 所包括的複數個正反電路和複數個傳送信號產生電路在電連接關係上具有相似及相異處。以下說明具體差異。

首先，以下說明第一閘極驅動器所包括的正反電路和傳送信號產生電路，以及第二閘極驅動器所包括的正反電路和傳送信號產生電路之間的電連接關係之差異。

在第一閘極驅動器 103A 中，正反電路的第二輸入端電連接至時脈信號(CK)線，而傳送信號產生電路的第二輸入端電連接至反向時脈信號(CKB)線。另一方面，在第二閘極驅動器 103B 中，正反電路的第二輸入端電連接至反向時脈信號(CKB)線，而傳送信號產生電路的第二輸入端電連接至時脈信號(CK)線。

接著，以下說明該正反電路和該傳送信號產生電路的電連接關係之差異。

因第一正反電路(F_1)的輸出端連接至第一閘極線

105₁，故正反電路的輸出端電連接至設置於同一列的閘極線。另一方面，因第一傳送信號產生電路(T₁)的輸出端電連接至第三正反電路(F₃)的第一輸入端，故傳送信號產生電路的輸出端電連接至設置於下一級的正反電路之第一輸入端。應注意，在前幾級不具有傳送信號電路的第一正反電路(F₁)和第二正反電路(F₂)的第一輸入端，是分別電連接至第一起始脈衝信號(SP1)線和第二起始脈衝信號(SP2)線。

另外，所有正反電路和所有傳送信號產生電路的第三輸入端之每一者是電連接至對應的停止脈衝信號(STP)線。

[閘極驅動器的操作之範例]

第 3 圖為時序圖。應注意，第 3 圖中解說時脈信號(CK)、反向時脈信號(CKB)、第一起始脈衝信號(SP1)、第二起始脈衝信號(SP2)、第一正反電路的輸出信號(F₁OUT)至第四正反電路的輸出信號(F₄OUT)、以及第一傳送信號產生電路的輸出信號(T₁OUT)至第四傳送信號產生電路的輸出信號(T₄OUT)。應注意，時脈信號(CK)是以固定頻率振盪於高(下文中稱之為 H)位準和低(下文中稱之為 L)位準之間的信號。反向時脈信號(CKB)是位準自時脈信號之位準反向的信號。

在週期 T1，第一起始脈衝信號(SP1)到達 H 位準，並將 H 位準信號輸入至第一正反電路(F₁)的第一輸入端。

在週期 T_2 ，第二起始脈衝信號(SP2)到達 H 位準，並將 H 位準信號輸入至第二正反電路(F_2)的第一輸入端。另外，從第一正反電路(F_1)輸出 H 位準信號。應注意，經由第一閘極線 105_1 ，將從第一正反電路(F_1)輸出之 H 位準信號輸入至畫素部份 101 中配置於第一列的畫素 $107_{11} \sim 107_{1m}$ 之每一者。據此，配置於第一列的畫素 $107_{11} \sim 107_{1m}$ 之每一者和源極驅動器 102 電連接，以便從源極驅動器 102 將影像信號輸入至配置於第一列的畫素 $107_{11} \sim 107_{1m}$ 之每一者。此外，將從第一正反電路(F_1)輸出之 H 位準信號輸入至第一傳送信號產生電路(T_1)的第一輸入端。

在週期 T_3 ，從第二正反電路(F_2)輸出 H 位準信號。如同當第一正反電路(F_1)的輸出信號處於 H 位準時，經由第一閘極線 105_2 ，將從第二正反電路(F_2)輸出的 H 位準信號輸入至畫素部份 101 中配置於第二列的畫素 $107_{21} \sim 107_{2m}$ 之每一者。據此，配置於第二列的畫素 $107_{21} \sim 107_{2m}$ 之每一者和源極驅動器 102 電連接，以便從源極驅動器 102 將影像信號輸入至配置於第二列的畫素 $107_{21} \sim 107_{2m}$ 之每一者。另外，從第一傳送信號產生電路(T_1)輸出 H 位準信號，並將其輸入至第三正反電路(F_3)的第一輸入端。

自週期 T_4 重複上述操作。也就是說，從第三正反電路(F_3)起的下幾個正反電路依序輸出 H 位準信號，使得影像信號被輸出至每一列中的複數個經配置之畫素。

本實施例中所述之顯示裝置是包括第一閘極驅動器和

第二閘極驅動器的主動陣列顯示裝置。此外，第一閘極驅動器和第二閘極驅動器分別包括複數個正反電路和複數個傳送信號產生電路。該正反電路和該傳送信號產生電路皆為以半時脈週期延遲將輸入之信號輸出至第一輸入端的電路。另外，傳送信號產生電路的輸出端是直接連接至在下一級之正反電路的第一輸入端。因此，可減少從傳送信號產生電路輸入至正反電路的信號之延遲和失真。

應注意，在本實施例中是說明包括一個源極驅動器和兩個閘極驅動器的顯示裝置之範例。但本發明的實施例不限於此結構。舉例來說，以下結構亦為本發明的實施例之一：顯示裝置僅包括兩個閘極驅動器且影像信號是從外部所輸入的結構、顯示裝置包括兩個源極驅動器和兩個閘極驅動器且影像信號是從該兩個源極驅動器所輸入的結構、以及各畫素是經由兩條閘極線電連接至閘極驅動器的結構。

(實施例 2)

在實施例 2 中，參照第 4 圖和第 5 圖來說明可應用於實施例 1 所述之正反電路和傳送信號產生電路的電路之具體範例。具體來說，解說使用電晶體來形成正反電路和傳送信號產生電路的範例。應注意，由於電晶體的源極端和汲極端會依該電晶體的結構、操作狀態等而改變，故難以定義何者為源極端或汲極端。因此，下文中將源極端和汲極端其中一者稱為第一端，並將另一者稱為第二端以供判

別。

[電路結構的範例]

第 4 圖是解說可被應用於實施例 1 所述之第一閘極驅動器 103A 所包括的第 k 正反電路(F_k)和第 k 傳送信號產生電路(T_k)之電路的範例圖式。應注意，實施例 2 所述之第 k 正反電路(F_k)包括第一電晶體 401 至第四電晶體 404，而第 k 傳送信號產生電路(T_k)包括第五電晶體 405 至第八電晶體 408。另外，在實施例 2 中，將第 k 傳送信號產生電路的輸出信號($T_k\text{OUT}$)用來作為用於第 k 正反電路的停止脈衝信號($\text{STP}(F_k)$)。將第 $(k+2)$ 正反電路的輸出信號($F_{k+2}\text{OUT}$)用來作為用於第 k 傳送信號產生電路的停止脈衝信號($\text{STP}(T_k)$)。

在第一電晶體 401 中，閘極端和第一端是電連接至第 $(k-2)$ 傳送信號產生電路(未顯示)的輸出端。

第二電晶體 402 的閘極端電連接至第 k 傳送信號產生電路(T_k)的輸出端，第二電晶體 402 的第一端電連接至接地電位(V_{SS})線，而第二電晶體 402 的第二端電連接至第一電晶體 401 的第二端。

第三電晶體 403 的閘極端電連接至第一電晶體 401 的第二端和第二電晶體 402 的第二端，第三電晶體 403 的第一端電連接至時脈信號(CK)線，而第三電晶體 403 的第二端電連接至第 k 傳送信號產生電路(T_k)的第一輸入端。

第四電晶體 404 的閘極端電連接至第 k 傳送信號產生

電路(T_k)的輸出端，第四電晶體 404 的第一端電連接至接地電位(VSS)線，而第四電晶體 404 的第二端電連接至第 k 傳送信號產生電路(T_k)的第一輸入端和第三電晶體 403 的第二端。

第五電晶體 405 的閘極端和第一端電連接至第 k 正反電路(F_k)的輸出端。

第六電晶體 406 的閘極端電連接至第 $(k+2)$ 正反電路(未顯示)的輸出端，第六電晶體 406 的第一端電連接至接地電位(VSS)線，而第六電晶體 406 的第二端電連接至第五電晶體 405 的第二端。

第七電晶體 407 的閘極端電連接至第五電晶體 405 的第二端和第六電晶體 406 的第二端，第七電晶體 407 的第一端電連接至反向時脈信號(CKB)線，第七電晶體 407 的第二端電連接至第 k 正反電路(F_k)的第三輸入端和第 $(k+2)$ 正反電路(未顯示)的第一輸入端。

第八電晶體 408 的閘極端電連接至第 $(k+2)$ 正反電路(未顯示)的輸出端，第八電晶體 408 的第一端電連接至接地電位(VSS)線，而第八電晶體 408 的第二端電連接至第 k 正反電路(F_k)的第三輸入端、第 $(k+2)$ 正反電路(未顯示)的第一輸入端、以及第七電晶體 407 的第二端。

如第 4 圖所解說的，可將相同的電路結構應用於第 k 正反電路(F_k)和第 k 傳送信號產生電路(T_k)。應注意，在設計電路時，最好考慮以下所述之要點。

第 k 正反電路(F_k)是用以驅動第 k 閘極線的電路。第

k 傳送信號產生電路(T_k)是用以驅動第 $(k+2)$ 正反電路的電路。如上所述，第 k 閘極線具有各種寄生電容和寄生電阻。因此，第 k 正反電路(F_k)的負載會重於第 k 傳送信號產生電路(T_k)的負載。也就是說，在設計上述電路時，第一電晶體 401 的電流驅動能力最好高於第五電晶體 405 的電流驅動能力。舉例來說，第一電晶體 401 的通道寬度可大於第五電晶體 405 的通道寬度。由於相同的原因，最好是第二電晶體 402 的電流驅動能力高於第六電晶體 406 的電流驅動能力，第三電晶體 403 的電流驅動能力高於第七電晶體 407 的電流驅動能力，而第四電晶體 404 的電流驅動能力高於第八電晶體 408 的電流驅動能力。舉例來說，可藉由使通道寬度對通道長度的比率(通道寬度/通道長度(W/L))變大來提高電流驅動能力。

此外，在第 k 正反電路(F_k)所包括的第一電晶體 401 至第四電晶體 404 中，直接促成第 k 閘極線之驅動的第三電晶體 403 最好具有最高的電流驅動能力。同樣地，在第 k 傳送信號產生電路(T_k)所包括的第五電晶體 405 至第八電晶體 408 中，直接促成第 $(k+2)$ 正反電路之驅動的第七電晶體 407 最好具有最高的電流驅動能力。

另外，可將第 4 圖所解說之電路結構應用於第一閘極驅動器 103A 所包括的第一正反電路(F_1)和第一傳送信號產生電路(T_1)。應注意，在第一正反電路(F_1)中，與第 4 圖所解說之結構的差異是，第一電晶體 401 的閘極端和第一段是電連接至第一起始脈衝信號(SP1)線。

此外，可將第 4 圖所解說之電路結構應用於第二閘極驅動器 103B 所包括的第 $(k+1)$ 正反電路 (F_{k+1}) 和第 $(k+1)$ 傳送信號產生電路 (T_{k+1})。應注意，在第 $(k+1)$ 正反電路 (F_{k+1}) 和第 $(k+1)$ 傳送信號產生電路 (T_{k+1}) 中，與第 4 圖所解說之結構的差異是，第三電晶體 403 的第一端是電連接至反向時脈信號 (CKB) 線，且第七電晶體 407 的第一端是電連接至時脈信號 (CK) 線。

此外，可將第 4 圖所解說之電路結構應用於第二閘極驅動器 103B 所包括的第二正反電路 (F_2) 和第二傳送信號產生電路 (T_2)。應注意，在第二正反電路 (F_2) 和第二傳送信號產生電路 (T_2) 中，與第 4 圖中之結構的差異如下：第一電晶體 401 的閘極端和第一端是電連接至第二起始脈衝信號 (SP2) 線，電晶體 403 的第一端電連接至反向時脈信號 (CKB) 線，且第七電晶體 407 的第一端電連接至時脈信號 (CK) 線。

應注意，在實施例 2 中，將第 $(k+2)$ 正反電路的輸出信號 ($F_{k+2}OUT$) 用來作為用於第 k 傳送信號產生電路的停止脈衝 (STP(T_k))。因此，對於被配置為 n 列的複數個畫素，必須將第 $(n+1)$ 正反電路設置為第一閘極驅動器 103A 中的仿真電路 (dummy circuit)，且必須將第 $(n+2)$ 正反電路設置為第二閘極驅動器 103B 中的仿真電路。應注意，可使用僅供應用於傳送信號產生電路的停止脈衝信號而不驅動閘極線的正反電路來作為該仿真電路。或是，藉由提供不與該仿真電路一起促成顯示的線路 (仿真閘極線)，可使

用供應用於傳送信號產生電路的停止脈衝信號且驅動該線路的正反電路來作為該仿真電路。

[電路操作的範例]

第 5 圖是第 4 圖所解說之第 k 正反電路(F_k)和第 k 傳送信號產生電路(T_k)的輸入信號和輸出信號之時序圖。以下說明第 k 正反電路(F_k)和第 k 傳送信號產生電路(T_k)的操作。

在週期 $t1$ ，第 $(k-2)$ 傳送信號產生電路的輸出信號($T_{k-2}OUT$)到達 H 位準。所以，連接成二極體的(diode-connected)第一電晶體 401 被導通，而第三電晶體 403 的閘極端之電位提高至 H 位準。因此，將在週期 $t1$ 處於 L 位準的時脈信號(CK)輸出作為第 k 正反電路的輸出信號(F_kOUT)。

在週期 $t2$ ，第 $(k-2)$ 傳送信號產生電路的輸出信號($T_{k-2}OUT$)到達 L 位準，而時脈信號(CK)到達 H 位準。所以，連接成二極體的第一電晶體 401 被關閉；據此，處於浮動狀態之第三電晶體 403 的閘極端之電位會由被輸入至第三電晶體 403 的第一端之 H 位準信號所拉高(自舉操作)並進而提升。此外，第三電晶體 403 保持 ON，並將 H 位準信號輸出作為第 k 正反電路(F_k)的輸出信號(F_kOUT)。此 H 位準信號被輸入至第五電晶體 405 的閘極端和第一端。所以，連接成二極體的第五電晶體 405 被導通；據此，第七電晶體 407 的閘極端之電位提高至 H 位準。因

此，將在週期 t_2 處於 L 位準的反向時脈信號(CKB)輸出作為第 k 傳送信號產生電路(T_k)的輸出信號(T_kOUT)。

在週期 t_3 ，時脈信號到達 L 位準，而反向時脈信號(CKB)到達 H 位準。所以，連接成二極體的第五電晶體 405 被關閉；據此，處於浮動狀態之第七電晶體 407 的閘極端之電位會由被輸入至第七電晶體 407 的第一端之 H 位準信號所拉高(自舉操作)並進而提升。此外，第七電晶體 407 保持 ON，並將 H 位準信號輸出至第 k 傳送信號產生電路(T_k)的輸出信號(T_kOUT)。此 H 位準信號被輸入至第二電晶體 402 和第四電晶體 404 的閘極端。所以，第二電晶體 402 被導通，而第三電晶體 403 的閘極端之電位到達 L 位準。因此，第三電晶體 403 被關閉。另外，由於第四電晶體 404 被導通，故將 L 位準信號輸出作為第 k 正反電路(F_k)的輸出信號(F_kOUT)。

在週期 t_4 ，第 $(k+2)$ 正反電路的輸出信號($F_{k+2}OUT$)到達 H 位準。所以，第六電晶體 406 被導通，而第七電晶體 407 的閘極端之電位到達 L 位準。因此，第七電晶體 407 被關閉。此外，由於第八電晶體 408 亦被導通，故將 L 位準信號輸出作為第 k 傳送信號產生電路(T_k)的輸出信號(T_kOUT)。

應注意，以下電路的電路操作是與上述第 k 正反電路(F_k)和第 k 傳送信號產生電路(T_k)的電路操作相同：第一正反電路和第一傳送信號產生電路，第 $(k+1)$ 正反電路和第 $(k+1)$ 傳送信號產生電路，以及第二正反電路和第二傳

送信號產生電路。

[變更例]

實施例 2 中，分別將第 k 傳送信號產生電路(T_k)的輸出信號和第 $(k+2)$ 正反電路(F_{k+2})的輸出信號用來作為用於第 k 正反電路的停止脈衝信號($STP(F_k)$)和用於第 k 傳送信號產生電路的停止脈衝信號($STP(T_k)$)。但實施例 2 的結構不限於此。

舉例來說，可分別將第 $(k+1)$ 正反電路(F_{k+1})的輸出信號和第 $(k+1)$ 傳送信號產生電路(T_{k+1})的輸出信號用來作為用於第 k 正反電路的停止脈衝信號($STP(F_k)$)和用於第 k 傳送信號產生電路的停止脈衝信號($STP(T_k)$)。在此情況中，當與上述結構中的做比較時，用於第 k 正反電路的停止脈衝信號($STP(F_k)$)和用於第 k 傳送信號產生電路的停止脈衝信號($STP(T_k)$)為延遲或失真信號。但由於該週期中的第 k 正反電路(F_k)之輸出信號和第 k 傳送信號產生電路(T_k)之輸出信號進入 L 位準，故延遲或失真信號不會帶來嚴重的問題。

(實施例 3)

在實施例 3 中，參照第 6 圖以及第 7A 圖和第 7B 圖來說明可被應用於實施例 1 所述之正反電路和傳送信號產生電路的電路之具體範例，其與實施例 2 中的具體範例不同。

[電路結構的範例]

第 6 圖解說可被應用於實施例 1 所述之第一閘極驅動器 103A 所包括的第 k 正反電路(F_k)和第 k 傳送信號產生電路(T_k)之電路的範例。實施例 3 中，第 k 正反電路(F_k)包括第一電晶體 601 至第五電晶體 605 和反向器電路 600，而第 k 傳送信號產生電路(T_k)包括第六電晶體 606 至第八電晶體 608。應注意，換言之，第 6 圖所解說之電路是如下所製成：將反向器電路 600 和第五電晶體 605 加至第 4 圖所解說之第 k 正反電路(F_k)，並從第 4 圖所解說之第 k 傳送信號產生電路(T_k)移除第八電晶體 408。

第一電晶體 601、第二電晶體 602、以及第三電晶體 603 之間的電連接關係是與第 4 圖所解說之電路中的相同。因此，實施例 2 中的說明適用於此。

反向器電路 600 的輸入端電連接至第一電晶體 601 的第二端、第二電晶體 602 的第二端、以及第三電晶體 603 的閘極端。

第四電晶體 604 的閘極端電連接至反向器電路 600 的輸出端，第四電晶體 604 的第一端電連接至接地電位(VSS)線，而第四電晶體 604 的第二端電連接至第三電晶體 603 的第二端和第 k 傳送信號產生電路(T_k)的第一輸入端。

第五電晶體 605 的閘極端電連接至反向器電路 600 的輸出端，第五電晶體 605 的第一端電連接至接地電位

(VSS)線，而第五電晶體 605 的第二端電連接至第一電晶體 601 的第二端、第二電晶體 602 的第二端、第三電晶體 603 的閘極端、以及反向器電路 600 的輸入端。

第 6 圖所解說之第 k 傳送信號產生電路(T_k)是自第 4 圖所解說之第 k 傳送信號產生電路(T_k)將第八電晶體 408 移除的電路。其他電晶體之間的電連接關係是與第 4 圖所解說之電路中的相同。因此，實施例 2 中的說明適用於此。

應注意，必須如以下所述來設計第 6 圖所解說之電路。

必須設計第 6 圖所解說之電路，使得當 H 位準信號被輸入至第 k 正反電路(F_k)(連接成二極體的第一電晶體 601)時， H 位準信號會確實被輸入至反向器電路 600 的輸入端。更具體來說，第一電晶體 601 的電流驅動能力必須高於第五電晶體 605 的電流驅動能力。舉例來說，第一電晶體 601 的通道寬度必須大於第五電晶體 605 的通道寬度。

此外，在第 5 圖所解說之週期 t_4 ，第 k 傳送信號產生電路的輸出信號(T_kOUT)到達 L 位準。更具體來說，第八電晶體 608 的電流驅動能力必須高於第七電晶體 607 的電流驅動能力。所以，在以下操作之前，可於週期 t_4 將第 k 傳送信號產生電路的輸出信號(T_kOUT)降低至與反向時脈信號(CKB)位準相等的 L 位準：將 H 位準信號輸入至第七電晶體 607 的閘極端，第七電晶體 607 被導通，將接地電位(VSS)輸入至第八電晶體 608 的閘極端，然後，第八電

晶體 608 被關閉。

此外，在設計第 6 圖所解說之電路時，最好將實施例 2 中的說明列入考慮。

也就是說，最好是第一電晶體 601 的電流驅動能力高於第六電晶體 606 的電流驅動能力，第二電晶體 602 的電流驅動能力高於第七電晶體 607 的電流驅動能力，而第三電晶體 603 的電流驅動能力高於第八電晶體 608 的電流驅動能力。

此外，在第 k 正反電路(F_k)所包括的第一電晶體 601 至第五電晶體 605 中，最好是第三電晶體 603 具有最高的電流驅動能力。另外，在第 k 傳送信號產生電路(T_k)所包括的第六電晶體 606 至第八電晶體 608 中，最好是第八電晶體 608 具有最高的電流驅動能力。

應注意，雖然第 6 圖僅解說第 k 正反電路(F_k)和第 k 傳送信號產生電路(T_k)，但亦可將第 6 圖中的電路應用於第 $(k+1)$ 正反電路、第 $(k+1)$ 傳送信號產生電路等。應注意，如實施例 2 所述，部份端子的電連接關係不同。實施例 2 的說明適用於該連接關係的具體差異。

第 7A 圖和第 7B 圖是解說可被應用於第 6 圖所解說之反向器電路 600 的電路之具體範例的圖式。應注意，在第 7A 圖和第 7B 圖中，標為「IN」的線路為輸入線路，而標為「OUT」的線路為輸出線路。

第 7A 圖所解說之反向器電路 600A 包括連接成二極體的電晶體 701A 和電晶體 702A。

電晶體 701A 的閘極端和第一端電連接至電源供應 (VDD) 線，而電晶體 701A 的第二端電連接至反向器電路 600A 的輸出端。

電晶體 702A 的閘極端電連接至反向器電路 600A 的輸入端，電晶體 702A 的第一端電連接至接地電位 (VSS) 線，而電晶體 702A 的第二端電連接至反向器電路 600A 的輸出端和電晶體 701A 的第二端。

由於第 7A 圖所解說之反向器電路 600A 是使用該兩個電晶體 701A 和 702B 所形成，故可將電路面積的增加最小化。

應注意，在將第 7A 圖所解說之反向器電路 600A 應用於第 6 圖中之反向器電路 600 的情況中，必須設計該電路，使得在電晶體 702A 為 ON 時，輸出信號處於 L 位準。更具體來說，電晶體 702A 的電流驅動能力必須高於電晶體 701A 的電流驅動能力。舉例來說，電晶體 702A 的通道長度必須小於電晶體 701A 的通道長度，或是電晶體 702A 的通道寬度必須大於電晶體 701A 的通道寬度。

第 7B 圖所解說之反向器電路 600B 包括連接成二極體的電晶體 701B、電晶體 702B、電晶體 703B、以及電晶體 704B。

電晶體 701B 的閘極端和第一端電連接至電源供應 (VDD) 線。

電晶體 702B 的閘極端電連接至反向器電路 600B 的輸入端，電晶體 702B 的第一端電連接至接地電位 (VSS)

線，而電晶體 702B 的第二端電連接至電晶體 701B 的第二端。

電晶體 703B 的閘極端電連接至電晶體 701B 的第二端和電晶體 702B 的第二端，電晶體 703B 的第一端電連接至電源供應電位(VDD)線，而電晶體 703B 的第二端電連接至反向器電路 600B 的輸出端。

電晶體 704B 的閘極端電連接至反向器電路 600B 的輸入端，電晶體 704B 的第一端電連接至接地電位(VSS)線，而電晶體 704B 的第二端電連接至反向器電路 600B 的輸出端和電晶體 703B 的第二端。

在第 7B 圖所解說之反向器電路 600B 中，連接成二極體的電晶體 701B 不直接連接至反向器電路 600B 的輸出端。因此，可防止輸出信號自電源供應電位(VDD)降低或自接地電位(VSS)提高。

應注意，在將第 7B 圖所解說之反向器電路 600B 應用於第 6 圖所解說之反向器電路 600 的情況中，必須設計該電路，使得在電晶體 702B 為 ON 時，電晶體 703B 被關閉。更具體來說，電晶體 702B 的電流驅動能力必須高於電晶體 701B 的電流驅動能力。舉例來說，電晶體 702B 的通道長度必須小於電晶體 701B 的通道長度，或是電晶體 702B 的通道寬度必須大於電晶體 701B 的通道寬度。

[與實施例 2 所述之電路的差異]

第 6 圖所解說之第 k 正反電路(F_k)包括反向器電路

600 和第五電晶體 605，且第五電晶體 605 的閘極端電連接至反向器電路 600 的輸出端，第一端電連接至接地電位 (VSS) 線，而第二端電連接至反向器電路 600 的輸入端。所以，一旦第五電晶體 605 被導通，電連接至反向器電路 600 的第五電晶體 605 會恆為 ON。當第五電晶體 605 為 ON 時，第三電晶體 603 的閘極端之電位維持在接地電位 (VSS)。因此，即使在雜訊進入第三電晶體 603 的閘極端時，第三電晶體 603 仍不會被導通。也就是說，顯示裝置的影像或圖片無不良，且可實現顯示裝置的高性能。

由於第 6 圖所解說之第 k 傳送信號產生電路 (T_k) 是使用三個電晶體 606 ~ 608 所形成，故可減少電路面積。

[變更例]

實施例 3 中說明使用五個電晶體 601 ~ 605 和反向器電路 600 所形成的正反電路，以及使用三個電晶體 606 ~ 608 所形成的傳送信號產生電路之範例。但實施例不限於此一結構。舉例來說，第 k 正反電路 (F_k) 和第 k 傳送信號產生電路 (T_k) 兩者皆可具有和第 6 圖所解說之第 k 正反電路 (F_k) 或第 k 傳送信號產生電路 (T_k) 相同的結構。此外，可藉由組合實施例 2 中的電路 (第 4 圖) 和實施例 3 中的電路 (第 6 圖) 來形成正反電路和傳送信號產生電路。

此外，在實施例 3 中，將第 k 傳送信號產生電路 (T_k) 的輸出信號和第 $(k+2)$ 正反電路 (F_{k+2}) 的輸出信號分別應用至用於第 k 正反電路的停止脈衝信號 ($STP(F_k)$) 和用於第 k

傳送信號產生電路的停止脈衝信號(STP(T_k))。但實施例 3 中的結構不限於此一結構。

(實施例 4)

實施例 4 中是參照第 8 圖及第 9A 圖和第 9B 圖來說明可被應用於實施例 1 所述之正反電路和傳送信號產生電路的電路之具體範例，其與實施例 2 和實施例 3 中的具體範例不同。

[電路結構的範例]

第 8 圖解說可被應用於實施例 1 所述之第一閘極驅動器 103A 所包括之第 k 正反電路(F_k)和第 k 傳送信號產生電路(T_k)的電路之範例。實施例 4 中，第 k 正反電路(F_k)包括第一電晶體 801 至第五電晶體 805 和控制電路 800，而第 k 傳送信號產生電路(T_k)包括第六電晶體 806 至第九電晶體 809。應注意，換言之，第 8 圖所解說之電路是如下所製成：將控制電路 800 和第五電晶體 805 加至第 4 圖所解說之電路，且第六電晶體 806(對應於第 4 圖中的第五電晶體 405)的第一端是電連接至電源供應電位(VDD)線，而非電晶體 806 的閘極端。

第一電晶體 801、第二電晶體 802、以及第三電晶體 803 之間的電連接關係與第 4 圖和第 6 圖所解說之電路中的相同。因此，實施例 2 中的說明適用於此。

控制電路 800 的第一輸入端電連接至第一電晶體 801

的第二端、第二電晶體 802 的第二端、以及第三電晶體 803 的閘極端，而控制電路 800 的第二輸入端電連接至時脈信號(CK)線。

第四電晶體 804 的閘極端電連接至控制電路 800 的輸出端，第四電晶體 804 的第一端電連接至接地電位(VSS)線，而第四電晶體 804 的第二端電連接至第三電晶體 803 的第二端和第 k 傳送信號產生電路(T_k)的第一輸入端。

第五電晶體 805 的閘極端電連接至控制電路 800 的輸出端，第五電晶體 805 的第一端電連接至接地電位(VSS)線，第五電晶體 805 的第二端電連接至第一電晶體 801 的第二端、第二電晶體 802 的第二端、第三電晶體 803 的閘極端、以及控制電路 800 的第一輸入端。

第六電晶體 806 的閘極端電連接至第 k 正反電路(F_k)的輸出端，而第六電晶體 806 的第一端電連接至電源供應電位(VDD)線。

第七電晶體 807、第八電晶體 808、以及第九電晶體 809 之間的電連接關係是與第 6 圖所解說之第六電晶體 606、第七電晶體 607、以及第八電晶體 608 的相同。因此，實施例 2 中的說明適用於此。

應注意，必須如以下所述來設計第 8 圖所解說之電路。

必須設計第 8 圖所解說之電路，使得當 H 位準信號被輸入至第 k 正反電路(F_k)(連接成二極體的第一電晶體 801)時，H 位準信號會確實被輸入至控制電路 800 的輸入端。

更具體來說，第一電晶體 801 的電流驅動能力必須高於第五電晶體 805 的電流驅動能力。舉例來說，第一電晶體 801 的通道寬度必須大於第五電晶體 805 的通道寬度。

此外，在設計第 8 圖所解說之電路時，最好將實施例 2 中的說明列入考慮。

也就是說，最好是第一電晶體 801 的電流驅動能力高於第六電晶體 806 的電流驅動能力，第二電晶體 802 的電流驅動能力高於第七電晶體 807 的電流驅動能力，第三電晶體 803 的電流驅動能力高於第八電晶體 808 的電流驅動能力，而第四電晶體 804 的電流驅動能力高於第九電晶體 809 的電流驅動能力。

此外，在第 k 正反電路(F_k)所包括的第一電晶體 801 至第五電晶體 805 中，最好是第三電晶體 803 具有最高的電流驅動能力。另外，在第 k 傳送信號產生電路(T_k)所包括的第六電晶體 806 至第九電晶體 809 中，最好是第八電晶體 808 具有最高的電流驅動能力。

雖然第 8 圖僅解說第 k 正反電路(F_k)和第 k 傳送信號產生電路(T_k)，但可將第 8 圖中的電路應用於第 $(k+1)$ 正反電路(F_{k+1})、第 $(k+1)$ 傳送信號產生電路(T_{k+1})等。應注意，如實施例 2 所述，部份端子的電連接關係不同。實施例 2 之說明適用於該連接關係的具體差異。

第 9A 圖和第 9B 圖是解說可被應用於第 8 圖所解說之控制電路 800 的電路之具體範例的圖式。第 9A 圖和第 9B 圖中，標為「IN」的線路是第一輸入線路，標為

「CK」的線路是電連接至時脈信號(CK)線的第二輸入線路，而標為「OUT」的線路是輸出線路。

第 9A 圖所解說之控制電路 800A 包括電容元件 901A 和電晶體 902A。

電容元件 901A 的其中一端電連接至時脈信號(CK)線，而另一端電連接至控制電路 800A 的輸出端。

電晶體 902A 的閘極端電連接至控制電路 800A 的第一輸入端，電晶體 902A 的第一端電連接至接地電位(VSS)線，而電晶體 902A 的第二端電連接至控制電路 800A 的輸出端和電容元件 901A 的另一端。

在第 5 圖中的週期 t_3 之後，將 L 位準信號輸入至控制電路 800A 的第一輸入端，而電晶體 902A 被關閉。據此，控制電路 800A 的輸出信號變成處於浮動狀態。因此，將調諧至時脈信號(CK)的信號輸出作為控制電路 800A 的輸出信號。

應注意，在將第 9A 圖所解說之控制電路 800A 應用於第 8 圖中之控制電路 800 的情況中，必須設計控制電路 800A，使得在發生由週期 t_2 過渡至週期 t_3 時，其輸出端在電容元件 901A 的其中一端之電位到達 L 位準後進入浮動狀態。

第 9B 圖所解說之控制電路 800B 包括連接成二極體的電晶體 901B、電晶體 902B、電晶體 903B、以及電晶體 904B。

電晶體 901B 的閘極端和第一端是電連接至時脈信號

(CK)線。

電晶體 902B 的閘極端電連接至控制電路 800B 的第一輸入端，電晶體 902B 的第一端電連接至接地電位(VSS)線，而電晶體 902B 的第二端電連接至電晶體 901B 的第二端。

電晶體 903B 的閘極端電連接至電晶體 901B 的第二端和電晶體 902B 的第二端，電晶體 903B 的第一端電連接至時脈信號(CK)線，而電晶體 903B 的第二端電連接至控制電路 800B 的輸出端。

電晶體 904B 的閘極端電連接至控制電路 800B 的輸入端，電晶體 904B 的第一端電連接至接地電位(VSS)線，而電晶體 904B 的第二端電連接至控制電路 800B 的輸出端和電晶體 903B 的第二端。

應注意，在將第 9B 圖所解說之控制電路 800B 應用於第 8 圖所解說之控制電路 800 的情況中，必須設計該電路使得在電晶體 902B 為 ON 時，電晶體 903B 被關閉。更具體來說，電晶體 902B 的電流驅動能力必須高於電晶體 901B 的電流驅動能力。舉例來說，電晶體 902B 的通道長度必須小於電晶體 901B 的通道長度，或是電晶體 902B 的通道寬度必須大於電晶體 901B 的通道寬度。

[與實施例 2 和實施例 3 所述之電路的差異]

第 9A 圖和第 9B 圖所解說之控制電路 800A 和 800B 輸出時脈信號(CK)或調諧至時脈信號(CK)的信號。因此，

即使當雜訊進入第三電晶體 803 的閘極端時，若第四電晶體 804 和第五電晶體 805 被導通，則可將該雜訊消除。此外，第四電晶體 804 和第五電晶體 805 並非恆為 ON，藉此可抑制第四電晶體 804 和第五電晶體 805 的劣化。也就是說，顯示裝置的影像無不良，所以可提高顯示裝置的性能和可靠度。

[變更例]

實施例 4 中說明使用五個電晶體 801 ~ 805 和控制電路 800 所形成的正反電路，以及使用四個電晶體 806 ~ 809 所形成的傳送信號產生電路之範例。但實施例不限於此一結構。舉例來說，第 k 正反電路(F_k)和第 k 傳送信號產生電路(T_k)兩者皆可具有和第 8 圖所解說之第 k 正反電路(F_k)或第 k 傳送信號產生電路(T_k)相同的結構。此外，可藉由組合實施例 2(第 4 圖)或實施例 3(第 6 圖)中的電路和實施例 4(第 8 圖)中的電路來形成該正反電路和該傳送信號產生電路。

此外，在實施例 4 中，將第 k 傳送信號產生電路(T_k)的輸出信號和第 $(k+2)$ 正反電路(F_{k+2})的輸出信號分別應用至用於第 k 正反電路的停止脈衝信號($STP(F_k)$)和用於第 k 傳送信號產生電路的停止脈衝信號($STP(T_k)$)。但實施例 4 中之結構不限於此一結構。

(實施例 5)

實施例 5 中說明實施例 2 ~ 4 所述之正反電路和傳送信號產生電路所包括之電晶體的具體範例。

可將使用各種材料和結構所形成之電晶體用來作為該電晶體。也就是說，並未限制所使用之電晶體的類型。舉例來說，可使用包括非單晶半導體膜的薄膜電晶體 (TFT)，而該非單晶半導體膜典型上是由非晶矽、多晶矽、微晶質 (亦被稱為微晶、奈米晶、或半非晶) 矽等所製成之膜。

使用薄膜電晶體來製造顯示裝置具有各種好處。由於可以低於形成使用單晶矽之電晶體的溫度來形成薄膜電晶體，故可實現降低顯示裝置的製造成本，或是提高製造裝置的尺寸。此外，由於可以低溫製造薄膜電晶體，故可在具有低耐熱性之基板上形成薄膜電晶體。因此，可使用具有低耐熱性之透光基板來形成該電晶體。另外，由於薄膜電晶體的厚度很薄，部份形成該電晶體的膜可透光。據此，可提高孔徑比。

另外，可使用 MOS 電晶體、接面電晶體、雙極電晶體等來作為該電晶體。應注意，藉由使用 MOS 電晶體來作為該電晶體，可減少電晶體的大小。或是，使用雙極電晶體來作為該電晶體會允許大量的電流通過。因此，高速操作為可能。應注意，可將 MOS 電晶體和雙極電晶體形成在一基板上。所以，可實現降低功率消耗、縮減尺寸、高速操作等。

應注意，藉由使用催化劑 (例如：鎳) 來形成多晶矽，

可進一步改善結晶度，並可形成具有極佳電子特性的薄膜電晶體。據此，可在相同基板上形成閘極驅動器電路、源極驅動器電路、以及信號處理電路(例如：信號產生電路、灰階校正電路、或 DA 轉換器電路)。

此外，藉由使用催化劑(例如：鎳)來形成微晶質矽，可進一步改善結晶度，並可形成具有極佳電子特性的電晶體。此時，結晶度可僅由執行熱處理來加以改善，而不需執行雷射光照射。因此，可在相同基板上形成閘極驅動器電路和部份源極驅動器電路(例如：類比開關)。應注意，在不執行用於結晶之雷射照射的情況中，可抑制矽的結晶度不均。所以，可顯示具有改善之影像品質的影像。

應注意，可不使用催化劑(例如：鎳)來形成多晶矽或微晶質矽。

此外，最好改善整個矽的結晶度，但實施例 5 不限於此。可僅改善部份矽的結晶度。可藉由選擇性之雷射照射等來達成選擇性提高結晶度。舉例來說，可以雷射光照射閘極驅動器、源極驅動器等之區域。因此，可僅在電路需以高速操作的區域改善矽的結晶度。由於不需以高速驅動畫素部份，故即使當結晶度未改善，仍可驅動畫素電路而無嚴重問題；所以，改善結晶度的區域縮減，且製造過程變短。因此，產量提升，使得顯示裝置的製造成本可被降低。

另外，該電晶體不限於使用矽所形成的電晶體。可採用使用例如矽銻和砷化鎵之化合物半導體，或是例如氧化

鋅及包括銦和鎵的氧化鋅之氧化物半導體所形成的電晶體來作為該電晶體。此外，可採用包括由此一化合物半導體或氧化物半導體所形成之薄膜的薄膜電晶體。由於可以低溫製造薄膜電晶體，故舉例來說，可以室溫形成電晶體。據此，可直接將該電晶體形成在具有低耐熱性的基板上，例如塑膠基板或膜基板。應注意，此一化合物半導體或氧化物半導體不僅可被用於電晶體的通道部份，亦可被用於其他用途。舉例來說，可將此一化合物半導體或氧化物半導體用於線路、電阻、畫素電極、透光電極等。由於此一元件可和該電晶體同時被沉積或形成，故可降低顯示裝置的製造成本。

此外，可使用包括有機半導體或奈米碳管的電晶體來作為該電晶體。據此，可將電晶體形成於可被彎折的基板上。使用此一基板的顯示裝置可抗震。

另外，該電晶體的製造方法不限。可採用光微影法、噴墨法、印刷法等作為製造方法。應注意，由於在以噴墨法和印刷法製造期間不使用遮罩(光罩)，故可輕易改變電晶體的佈局。此外，由於可不使用光阻來形成該電晶體，故會降低材料成本，並可減少步驟數量。另外，由於可在所需之處形成膜，故不會浪費材料。因此，可降低成本。

或是，可使用具有兩個或以上之閘極端的多閘極電晶體來作為該電晶體。藉由該多閘極結構，因通道區串聯而獲得複數個電晶體串聯之結構。因此，藉由該多閘極結構，電晶體的關閉電流降低，並可提高電晶體的耐受電壓

(可改善可靠度)。

亦可使用具有將閘極端形成在通道區上方或下方之結構的電晶體來作為該電晶體。藉由在通道區上方和下方提供閘極端，而獲得並聯複數個電晶體之結構。也就是說，通道區增加。所以，可增加電流量。此外，藉由採用在通道區上方和下方形形成閘極端的結構，容易形成空乏層；所以，可改善 S 值。

另外，可使用具有以下結構的電晶體來作為該電晶體：在通道區上方形成閘極端的結構、在通道區下方形成閘極端的結構、正向交錯(forward staggered)結構、反向交錯(inverted staggered)結構、將通道區分為複數個區域的結構、通道區為並聯或串聯的結構等。

又或是，可使用具有源極端或汲極端與通道區(或其一部份)重疊之結構的電晶體來作為該電晶體。當使用源極端或汲極端與通道區(或其一部份)重疊之結構時，可防止電荷累積於部份通道區，其原可能導致操作不穩定。

此外，可將設有 LDD 區的結構應用於該電晶體。藉由提供 LDD 區，電晶體的關閉電流降低，並可提高電晶體的耐受電壓(可改善可靠度)。另外，藉由提供 LDD 區，當電晶體操作於飽和區時，即使在汲極-源極電壓改變時，汲極-源極電流也不會改變太多，因而可獲得斜率平緩之電壓-電流特性。

應注意，可使用各種基板來形成該電晶體。也就是說，基板的種類不限於某一類型。舉例來說，可使用半導

體基板(例如：單晶基板或矽基板)、SOI 基板、玻璃基板、石英基板、塑膠基板、金屬基板、不鏽鋼基板、包括不鏽鋼箔的基板、鎢基板、包括鎢箔的基板、柔性基板、附著膜(attachment film)、包括纖維材料的紙張、基底材料膜等來作為該基板。可提出鋇硼矽酸玻璃基板、鋁硼矽酸玻璃基板、鹼石灰玻璃基板等來作為玻璃基板的範例。對於柔性基板，舉例來說，可使用例如典型為聚對苯二甲酸乙二酯(PET)、聚萘二甲酸乙二酯(PEN)、及聚醚砜(PES)之塑膠的柔性合成樹脂或壓克力。附著膜的範例為使用聚丙烯、聚酯、乙烯、聚氟乙烯、聚氯乙烯等所形成之附著膜。基底膜的範例為使用聚酯、聚醯胺、聚醯亞胺、無機汽相沉積膜、紙張等所形成的基底膜。特別是，當使用半導體基板、單晶基板、SOI 基板等來形成電晶體時，可形成具有少量特性、尺寸、形狀等之偏差、高電流供應能力、以及小尺寸的電晶體。藉由使用此種電晶體來形成電路，可降低該電路的功率消耗，或是可將該電路高度積體化。

或是，可使用一基板來形成該電晶體，然後可將該電晶體轉移及設置在另一基板上。除了上述可將該電晶體形成於其上的基板之外，電晶體所轉移至之基板的範例為紙基板、玻璃紙基板、石材基板、木質基板、布質基板(包括天然纖維(例如：絲、棉、或麻)、合成纖維(例如：尼龍、聚胺甲酸酯、或聚酯)、再生纖維(例如：醋酸鹽、銅鉍、嫻縈、或再生聚酯)等)、皮質基板、橡膠基板等。藉

由使用此種基板，可形成具有極佳特性的電晶體，或是具有低功率消耗的電晶體和具有高耐用性、高耐熱性、重量輕、或厚度薄的裝置。

(實施例 6)

在實施例 6 中，參照第 11A 圖至第 11F 圖、第 12A 圖至第 12D 圖、以及第 13A 圖至第 13D 圖來說明包括實施例 1 所述之顯示裝置的電子裝置之範例。

第 11A 圖至第 11F 圖和第 12A 圖至第 12D 圖解說包括實施例 1 所述之顯示裝置的電子裝置。這些電子裝置可包括外殼 5000、顯示部份 5001、喇叭 5003、LED 燈 5004、操作鍵 5005(包括電源開關或操作開關)、連接端 5006、感測器 5007(具有量測力量、位移、位置、速度、加速度、角速度、轉動頻率、距離、可見光、液體、磁性、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射、流率、溼度、梯度、振盪、氣味、或紅外線之功能的感測器)、麥克風 5008 等。在這些電子裝置中，實施例 1 所述之顯示裝置是包含於顯示部份 5001 中。

第 11A 圖解說一行動電腦，除了上述物件之外，其可包括開關 5009、紅外線埠 5010 等。第 11B 圖解說設置有記憶媒體的可攜式影像再生裝置(例如：DVD 再生裝置)，除了上述物件之外，其可包括第二顯示部份 5002、記憶媒體讀取部份 5011 等。第 11C 圖解說一投影機，除了上

述物件之外，其可包括光源 5033、投影透鏡 5034 等。第 11D 圖解說一可攜式遊戲機，除了上述物件之外，其可包括記憶媒體讀取部份 5011 等。第 11E 圖解說一電視接收機，除了上述物件之外，其可包括選台器、影像處理部份等。第 11F 圖解說一可攜式電視接收機，除了上述物件之外，其可包括能夠傳送及接收信號的充電器 5017 等。第 12A 圖解說一顯示器，除了上述物件之外，其可包括支撐基座 5018 等。第 12B 圖解說一相機，除了上述物件之外，其可包括外部連接埠 5019、快門按鈕 5015、影像接收部分 5016 等。第 12C 圖解說一電腦，除了上述物件之外，其可包括指向裝置 5020、外部連接埠 5019、讀寫器 5021 等。第 12D 圖解說一行動電話，除了上述物件之外，其可包括天線、用於行動電話和行動終端之單波段 (1seg 數位 TV 廣播) 部份接收服務的調諧器等。

第 11A 圖至第 11F 圖和第 12A 圖至第 12D 圖所解說之電子裝置可具有各種功能，例如，在顯示部份上顯示許多資訊(例如：靜態影像、動態影像、以及文字影像)的功能；觸控面板功能；顯示日曆、日期、時間等的功能；控制藉由多個軟體(程式)之處理的功能；無線通訊功能；藉由無線通訊功能與各種電腦網路連線的功能；藉由無線通訊功能傳送及接收許多資料的功能；以及讀取儲存於記憶媒體中的程式或資料，並將該程式或資料顯示於顯示部份的功能。此外，包括複數個顯示部份的電子裝置可具有：主要將影像資訊顯示於一顯示部份同時將文字資訊顯示於

另一顯示部份的功能、藉由在複數個顯示部份上顯示考量到視差的影像來顯示立體影像的功能等。此外，包括影像接收部份的電子裝置可具有拍攝靜態影像的功能、拍攝動態影像的功能、自動或手動修正所拍攝之影像的功能、將所拍攝之影像儲存於記憶媒體(外部記憶媒體或相機內含之記憶媒體)的功能、在顯示部份上顯示所拍攝之影像的功能等。應注意，可提供給第 11A 圖至第 11F 圖和第 12A 圖至第 12D 圖所解說之電子裝置的功能不限於此，且該等電子裝置可具有各種功能。

參照第 13A 圖和第 13B 圖來說明建築物內含之電子裝置的範例。

第 13A 圖解說建築物內含之電子裝置的範例。該電子裝置包括外殼 5022、顯示部份 5023、喇叭 5025 等。該電子裝置可由遙控器 5024 加以操作。該電子裝置是以壁掛式併入該建築物中，且可不需大量空間來加以設置。

第 13B 圖解說建築物內含之電子裝置的範例。該電子裝置包括顯示部份 5026 且被設置於浴缸 5027 附近，使得浴缸中的人可觀看顯示部份 5026。

應注意，雖然在實施例 6 中提出牆壁和浴缸來作為建築物之範例，但實施例 6 不限於此。可將該顯示面板設置於各種建築物中。

接著，參照第 13C 圖和第 13D 圖來說明動態物件內含之電子裝置的範例。

第 13C 圖解說汽車內含之電子裝置的範例。該電子裝

置包括內含於車體 5029 中的顯示部份 5028。該電子裝置可應要求顯示與該汽車之操作有關的資訊，或是從內部或車外所輸入的資訊。應注意，該電子裝置可具有導航功能。

第 13D 圖解說設置於客機中之電子裝置的範例。更具體來說，第 13D 圖解說設置於客機之座位上方的天花板 5030 上之電子裝置的應用。該電子裝置是以鉸鏈部份 5032 安裝於天花板 5030，且乘客可藉由將鉸鏈部份 5032 拉長來觀看顯示部份 5031。該電子裝置具有由乘客之操作來顯示資訊的功能。

應注意，雖然在實施例 6 中將汽車車體和飛機機體敘述為動態物件的範例，但實施例 6 不限於此。可將該等電子裝置提供給各種對象，例如兩輪交通工具、四輪交通工具(包括汽車、巴士等)、列車(包括單軌、鐵路等)、以及船艦。

本實施例所述之電子裝置的特徵是具有用以顯示某種資訊的顯示部份，以及具有內含於該顯示部份中的實施例 1 所述之顯示裝置。

[範例 1]

範例 1 中，藉由與習知範例做比較，而以電路模擬來驗證包括傳送信號產生電路的閘極驅動器中之失真或延遲信號的抑制效果。

第 14A 圖和第 14B 圖分別解說習知閘極驅動器和本

說明書中之閘極驅動器的電路模擬模型。第 14A 圖解說將各正反電路的輸出信號用來作為下一個正反電路的起始脈衝信號之習知閘極驅動器的結構。第 14B 圖解說將傳送信號產生電路設置於正反電路之間的本說明書中之閘極驅動器的結構。

範例 1 中，在將第 4 圖所解說之電路用來作為正反電路和傳送信號產生電路的情況中之正反電路的輸出信號是由電路模擬所計算出。應注意，所使用的計算軟體為 PSpice。此外，假設正反電路和傳送信號產生電路所包括的電晶體之臨限電壓為 8 V，且其場效移動率為 $0.5 \text{ cm}^2/\text{Vs}$ 。另外，假設在各閘極線形成有 100 pF 的寄生電容。此外，假設時脈信號的電壓振幅為 30 V(H 位準的電位為 30 V，而 L 位準的電位為 0 V)、接地電壓為 0 V、而時脈頻率為 41.7 kHz(週期為 24 μs)。

第 15 圖解說由電路模擬所計算出之正反電路的輸出信號。如第 15 圖所解說的，確認在本說明書的閘極驅動器中，延遲和失真信號減少。

本申請案是根據於 2009 年 6 月 25 日向日本專利局申請之日本專利申請案序號 2009-150617，在此併入其完整內容以供參考。

【符號說明】

100：顯示裝置

101：畫素部份

- 102：源極驅動器
- 103A：第一閘極驅動器
- 103B：第二閘極驅動器
- 104₁：源極線
- 104_m：源極線
- 105₁：閘極線
- 105₂：閘極線
- 105₃：閘極線
- 105_n：閘極線
- 106A：軟性印刷電路
- 106B：軟性印刷電路
- 107₁₁：畫素
- 107_{nm}：畫素
- 401：電晶體
- 402：電晶體
- 403：電晶體
- 404：電晶體
- 405：電晶體
- 406：電晶體
- 407：電晶體
- 408：電晶體
- 600：反向器電路
- 600A：反向器電路
- 600B：反向器電路

601 : 電 晶 體

602 : 電 晶 體

603 : 電 晶 體

604 : 電 晶 體

605 : 電 晶 體

606 : 電 晶 體

607 : 電 晶 體

608 : 電 晶 體

701A : 電 晶 體

701B : 電 晶 體

702A : 電 晶 體

702B : 電 晶 體

703B : 電 晶 體

704B : 電 晶 體

800 : 控 制 電 路

800A : 控 制 電 路

800B : 控 制 電 路

801 : 電 晶 體

802 : 電 晶 體

803 : 電 晶 體

804 : 電 晶 體

805 : 電 晶 體

806 : 電 晶 體

807 : 電 晶 體

808：電晶體
 809：電晶體
 901A：電容元件
 901A：電晶體
 901B：電晶體
 902A：電晶體
 902B：電晶體
 903B：電晶體
 904B：電晶體
 1001：畫素部份
 1002A：第一閘極驅動器
 1002B：第二閘極驅動器
 1003₁：閘極線
 1003₂：閘極線
 1003_k：閘極線
 5000：外殼
 5001：顯示部份
 5002：第二顯示部份
 5003：喇叭
 5004：LED 燈
 5005：操作鍵
 5006：連接端
 5007：感測器
 5008：麥克風

- 5009：開關
- 5010：紅外線埠
- 5011：記憶媒體讀取部份
- 5015：快門按鈕
- 5016：影像接收部分
- 5017：充電器
- 5018：支撐基座
- 5019：外部連接埠
- 5020：指向裝置
- 5021：讀寫器
- 5022：外殼
- 5023：顯示部份
- 5024：遙控器
- 5025：喇叭
- 5026：顯示部份
- 5027：浴缸
- 5028：顯示部份
- 5029：車體
- 5030：天花板
- 5031：顯示部份
- 5032：鉸鏈部份
- 5033：光源
- 5034：投影透鏡

I675357

發明摘要

【發明名稱】(中文/英文)

顯示裝置及電子裝置

DISPLAY DEVICE AND ELECTRONIC DEVICE

【中文】

目的是提供可順利地顯示影像而無信號延遲或失真的顯示裝置。該顯示裝置包括第一閘極驅動器和第二閘極驅動器。第一閘極驅動器和第二閘極驅動器分別包括複數個正反電路和複數個傳送信號產生電路。正反電路和傳送信號產生電路兩者皆為以半時脈週期延遲，將輸入之信號輸出至第一輸入端的電路。另外，傳送信號產生電路的輸出端直接連接至在下一級之正反電路的第一輸入端。因此，可減少從傳送信號產生電路輸入至正反電路的信號之延遲和失真。

【 英文 】

It is an object to provide a display device which can favorably display a image without delayed or distorted signals. The display device includes a first gate driver and a second gate driver. The first gate driver and the second gate driver each include a plurality of flip flop circuits and a plurality of transfer signal generation circuits. Both the flip flop circuit and the transfer signal generation circuit are circuits which output a signal inputted to a first input terminal with a half clock cycle delay. In addition, an output terminal of the transfer signal generation circuit is directly connected to a first input terminal of the flip flop circuit in the next stage. Therefore, delay and distortion of the signal which is inputted from the transfer signal generation circuit to the flip flop circuit can be reduced.

【代表圖】

【本案指定代表圖】：第(2)圖。

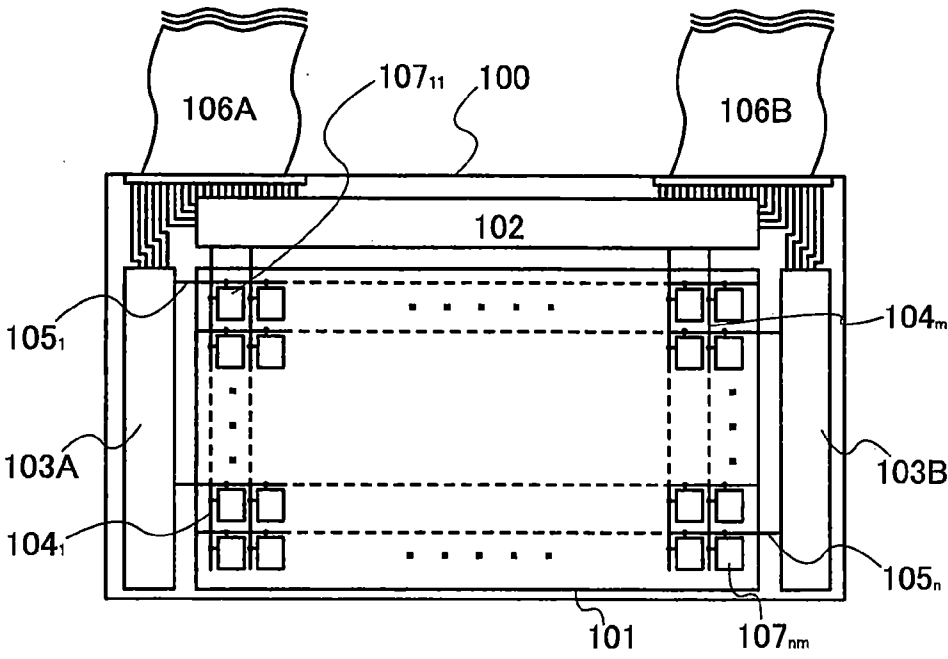
【本代表圖之符號簡單說明】：

101：畫素部份
 103A：第一閘極驅動器
 103B：第二閘極驅動器
 105₁：閘極線
 105₂：閘極線
 105₃：閘極線
 105_k：第 k 閘極線
 105_{k+1}：第(k+1)閘極線
 F₁：第一正反電路
 F₂：第二正反電路
 T₁：第一傳送信號產生電路
 T_{k-2}：傳送信號產生電路
 F₃：第三正反電路
 F_k：正反電路
 T₂：週期
 T_k：第 k 傳送信號產生電路
 F_{k+2}：第(k+2)正反電路
 T_{k-1}：第(k-1)傳送信號產生電路
 F_{k+1}：第(k+1)正反電路
 T_{k+1}：第(k+1)傳送信號產生電路
 F_{k+3}：第(k+3)正反電路
 SP1：第一起始脈衝信號
 CK：時脈信號
 STP(F₁)：第一正反電路的停止脈衝信號
 CKB：反向時脈信號
 STP(T₁)：第一傳送信號產生電路的停止脈衝信號
 STP(F_k)：第 k 正反電路的停止脈衝信號
 STP(T_k)：第 k 傳送信號產生電路的停止脈衝信號
 SP2：第二起始脈衝信號
 STP(F₂)：第二正反電路的停止脈衝信號
 STP(T₂)：第二傳送信號產生電路的停止脈衝信號
 STP(F_{k+1})：第(k+1)正反電路的停止脈衝信號
 STP(T_{k+1})：第(k+1)傳送信號產生電路的停止脈衝信號

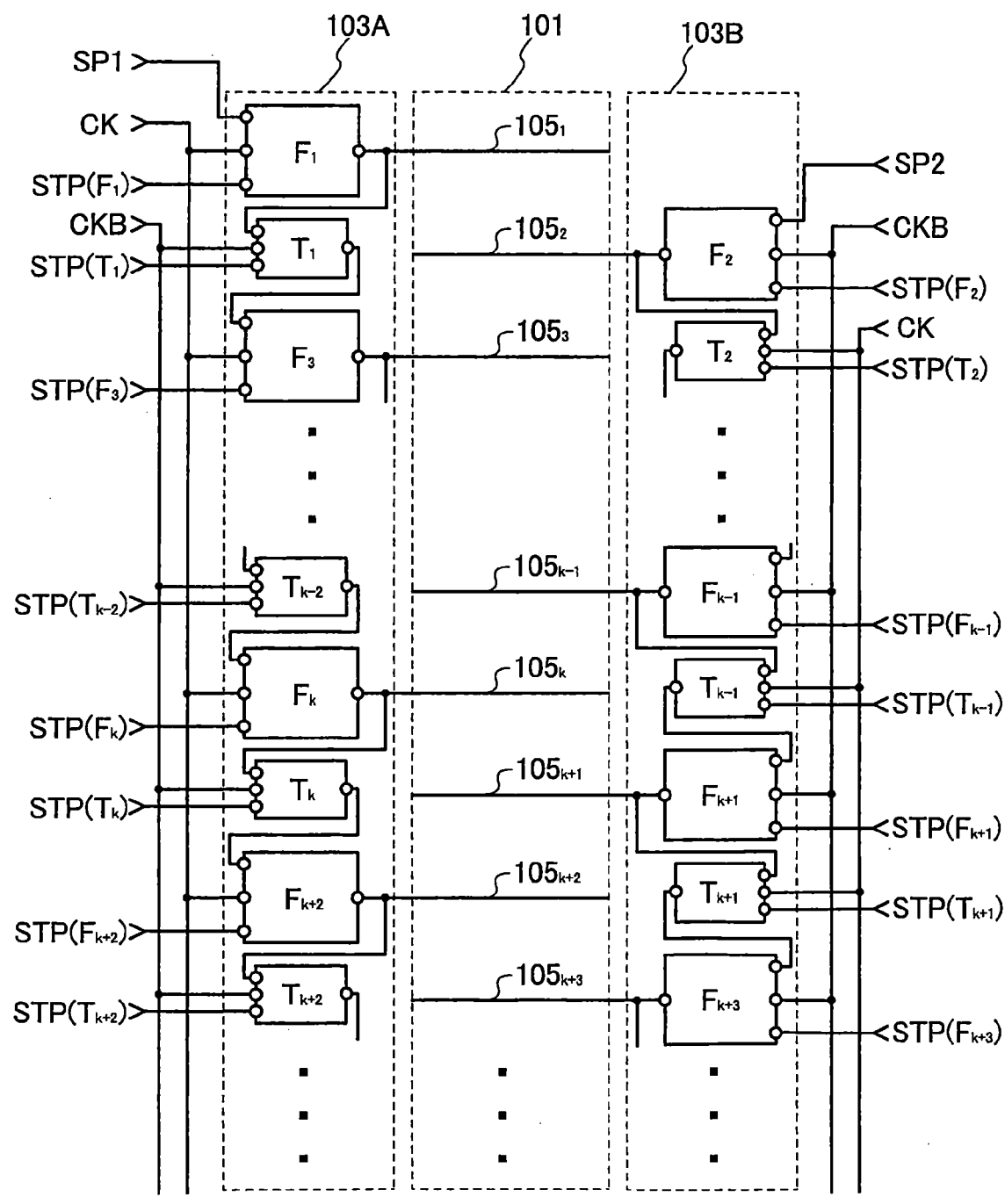
【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

圖式

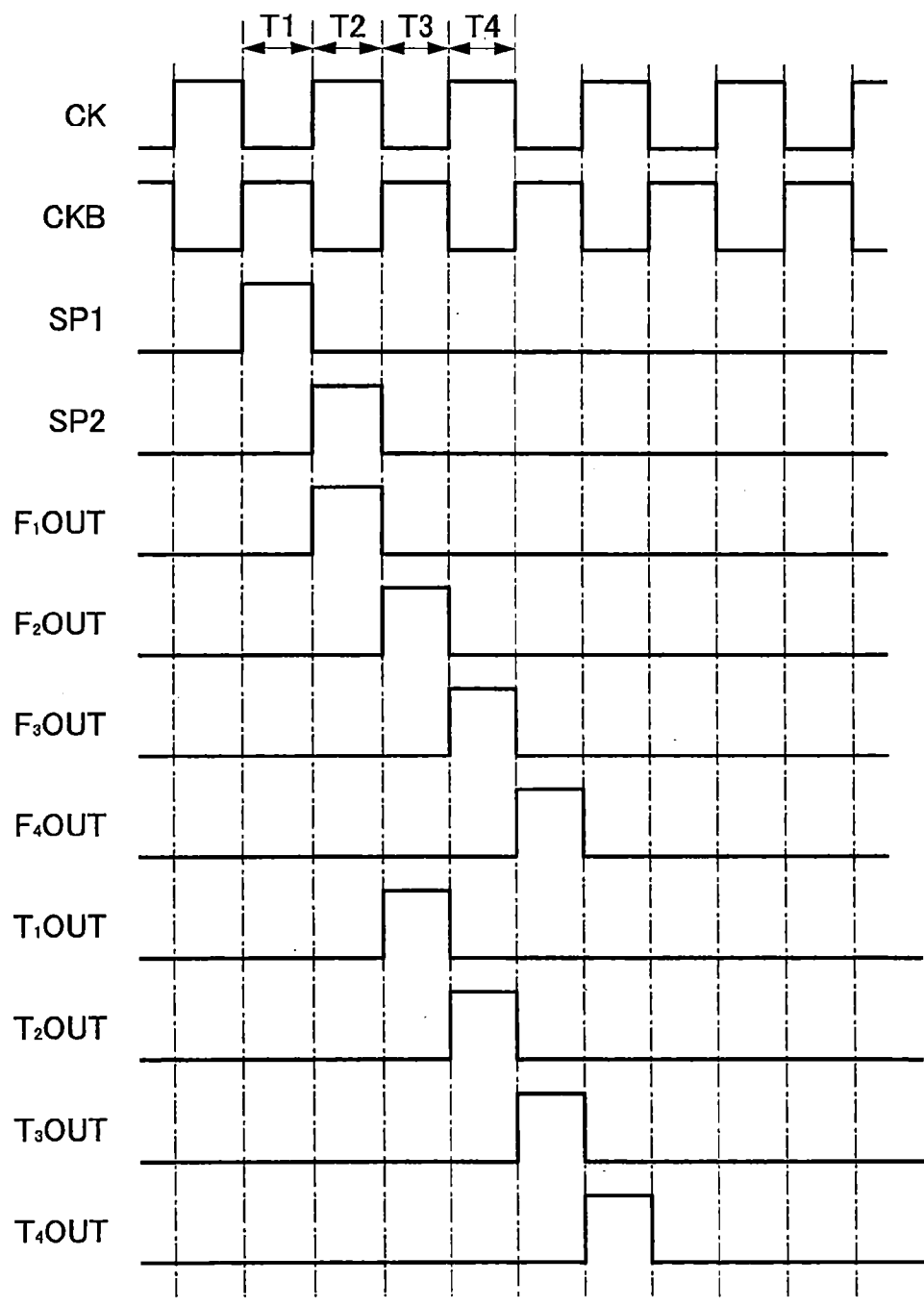
第1圖



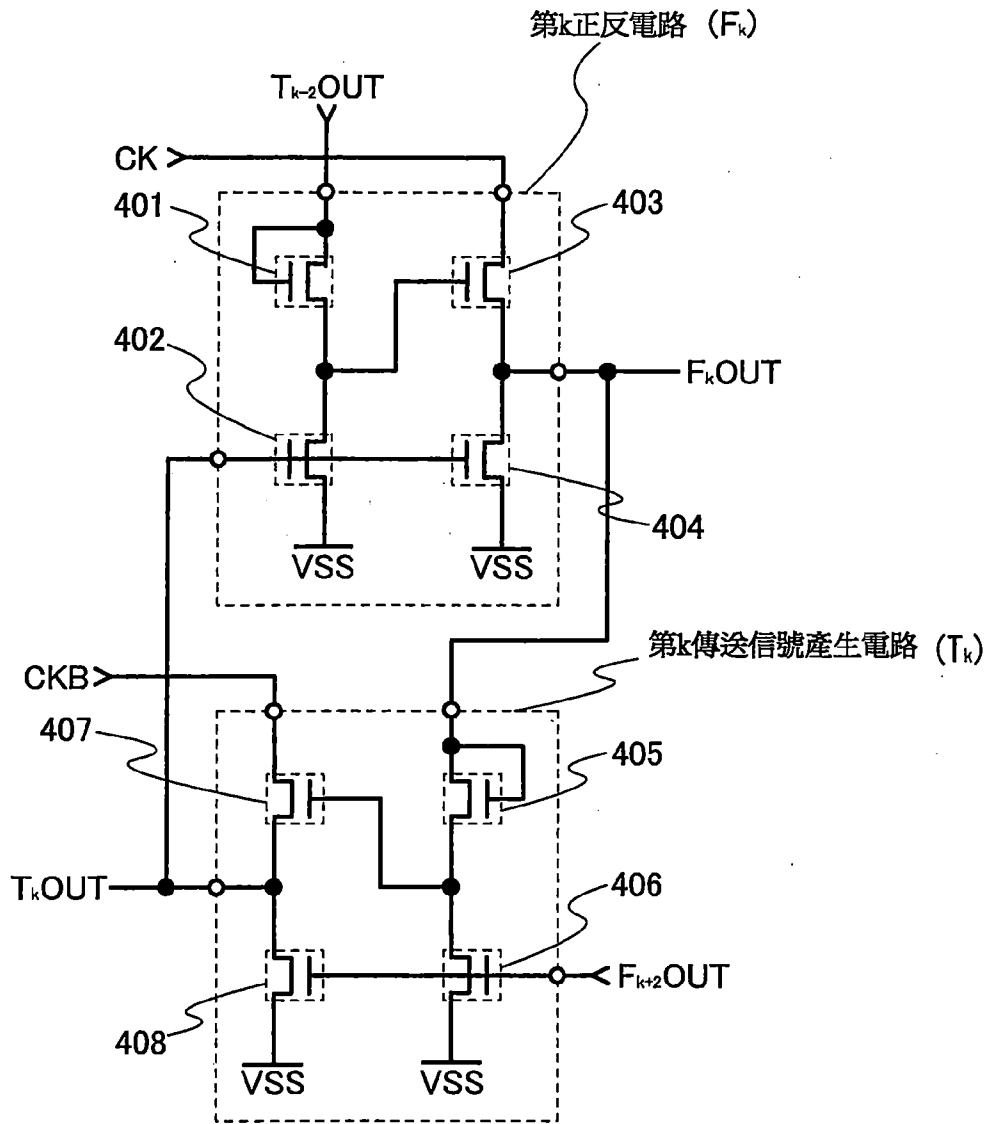
第2圖



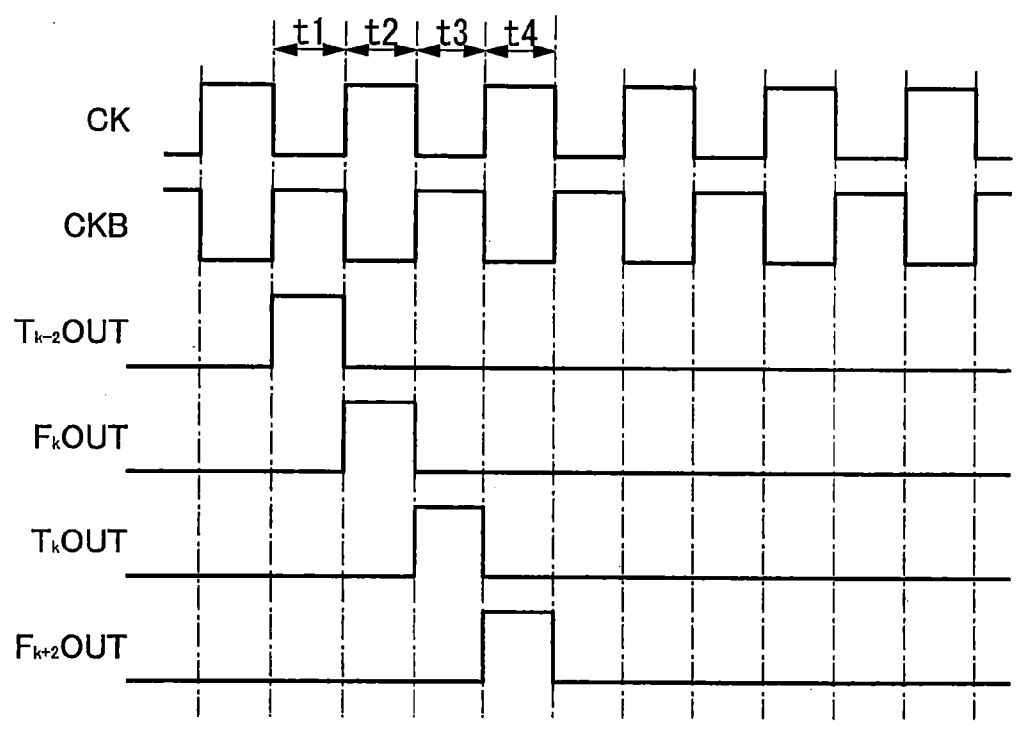
第3圖



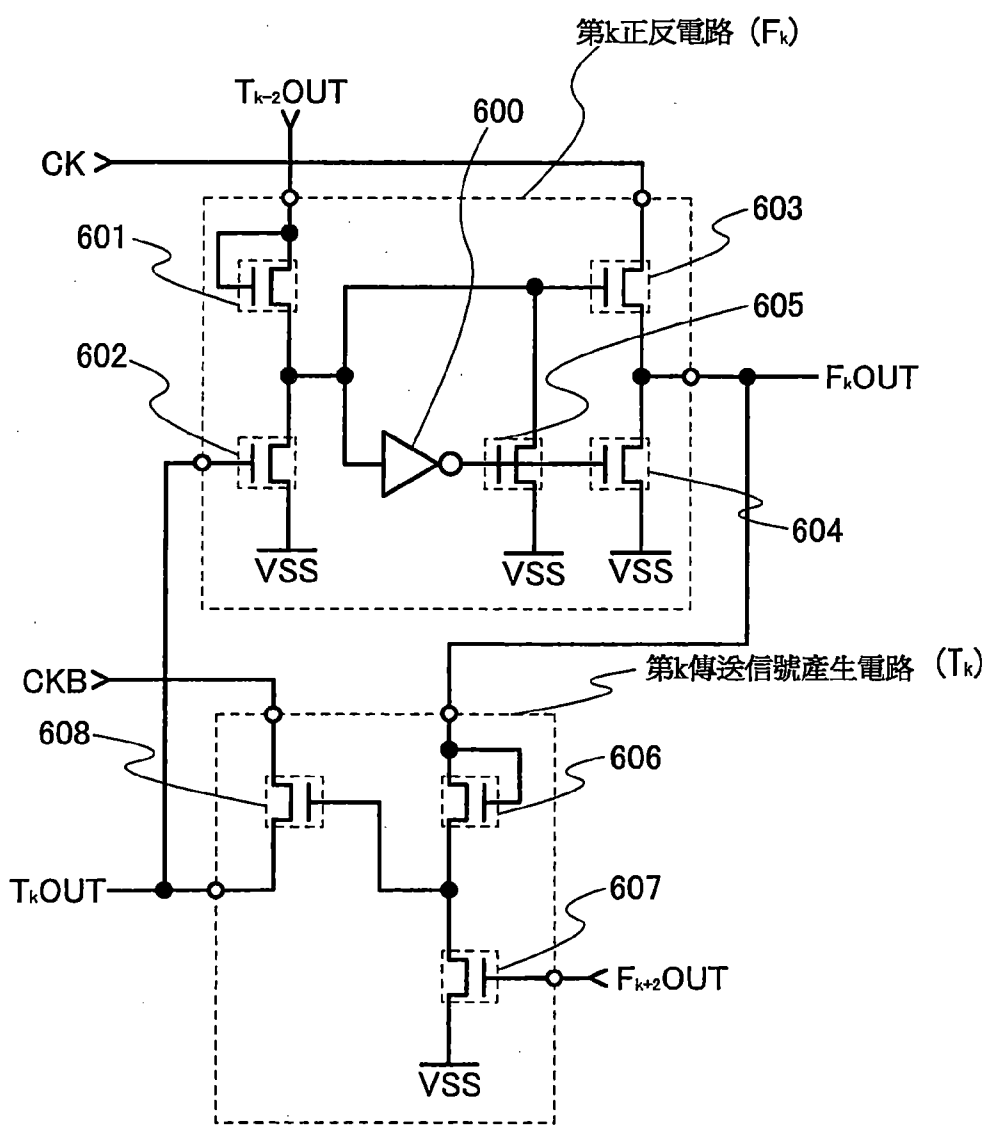
第4圖



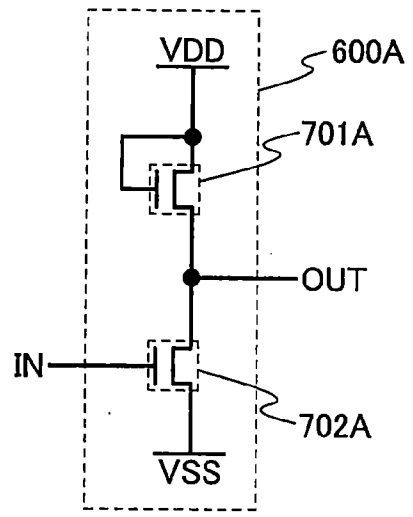
第5圖



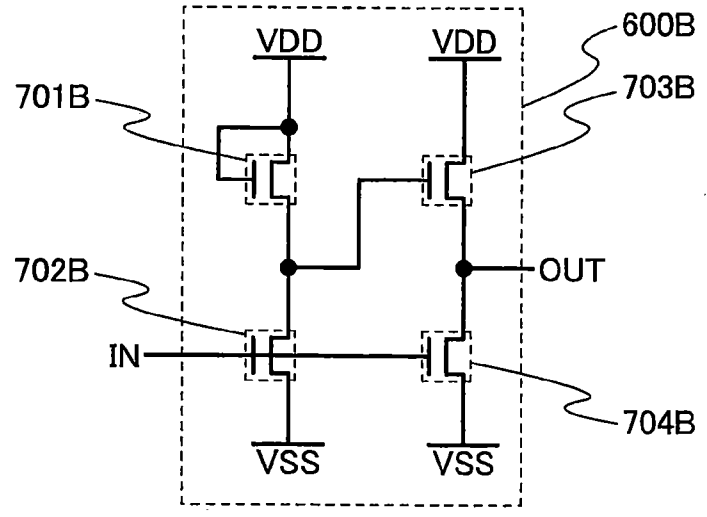
第6圖



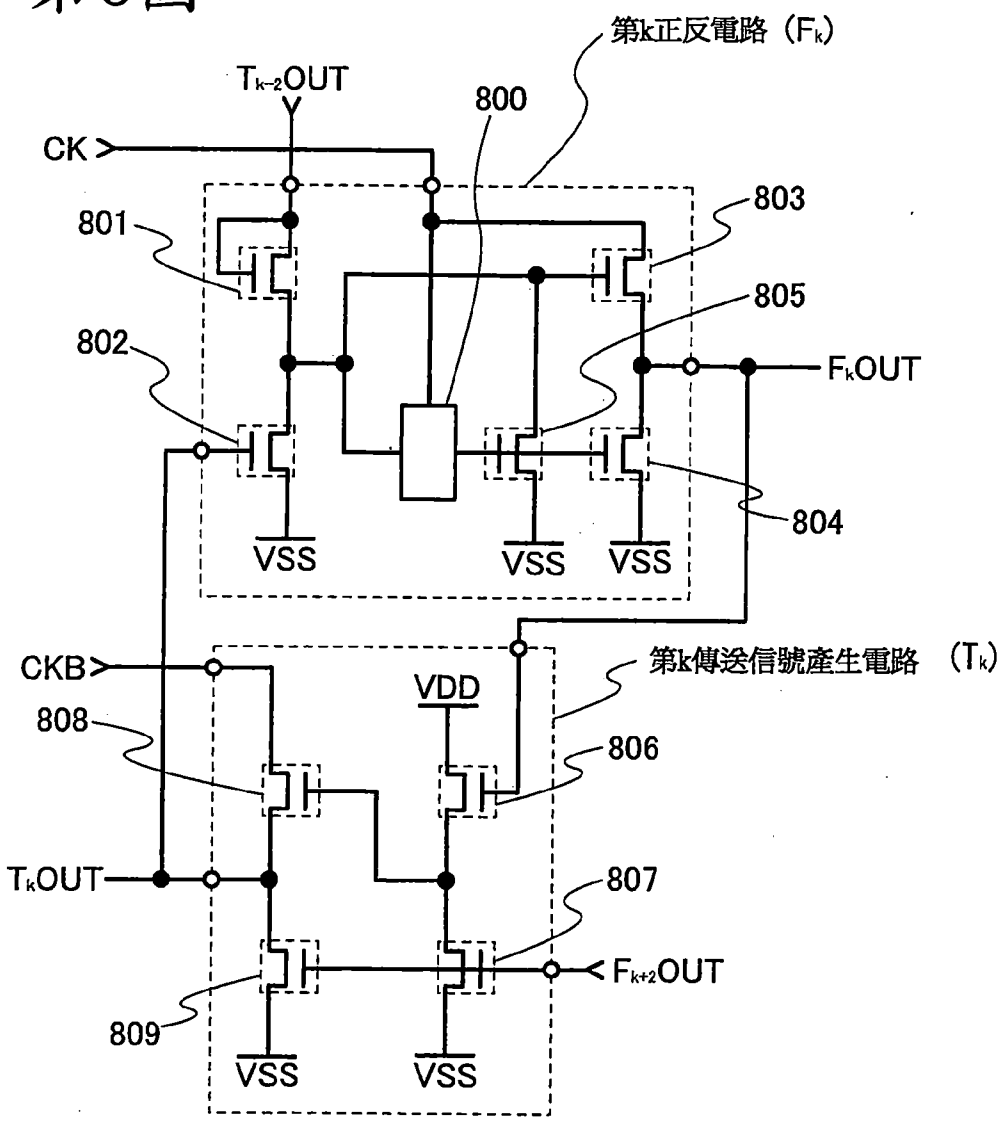
第7A圖



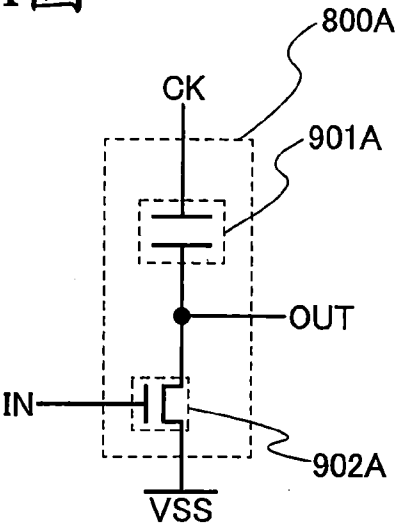
第7B圖



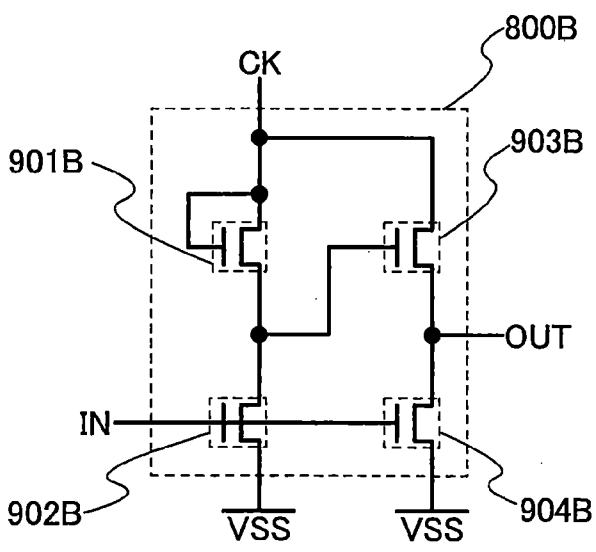
第8圖



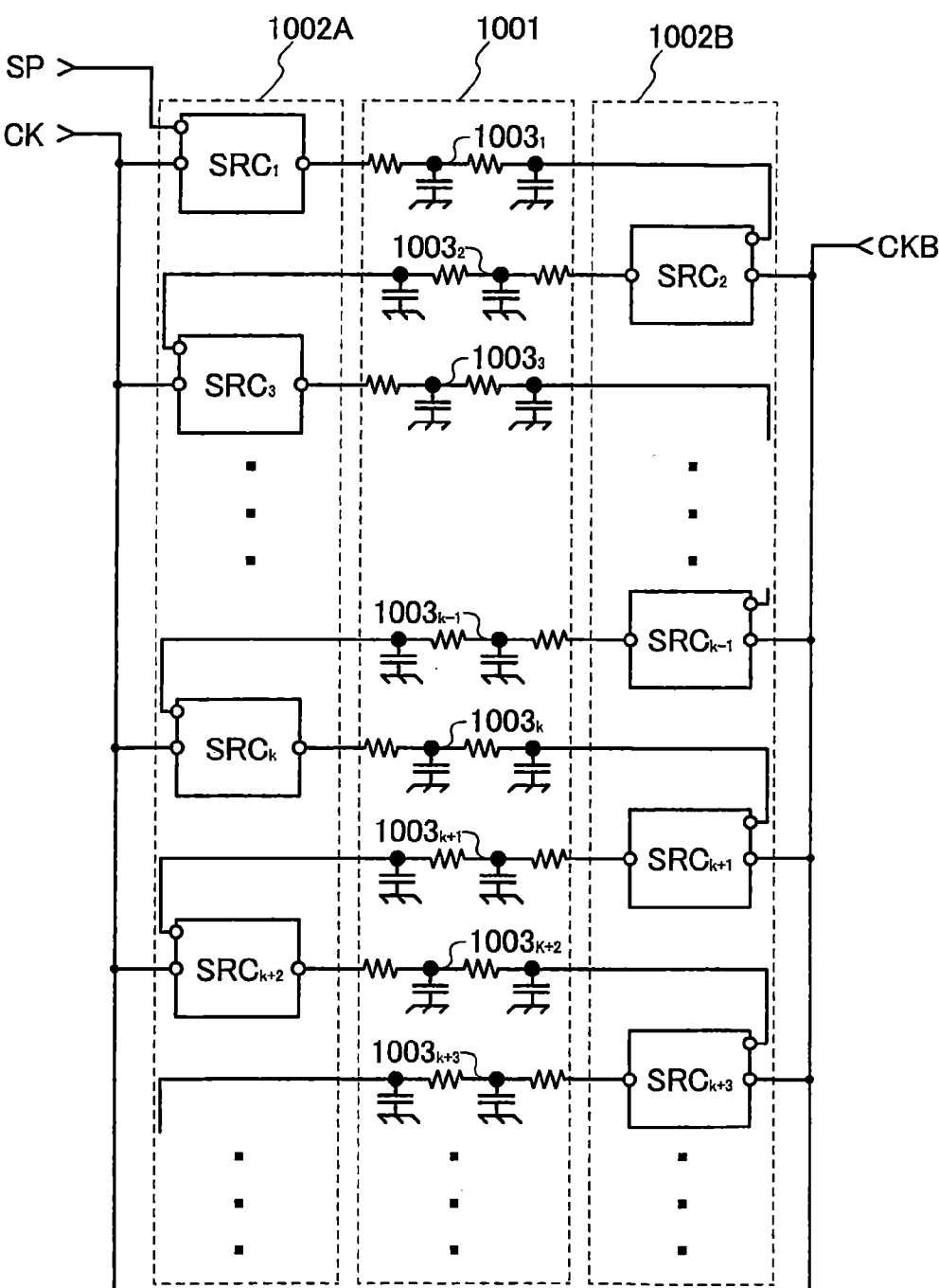
第9A圖



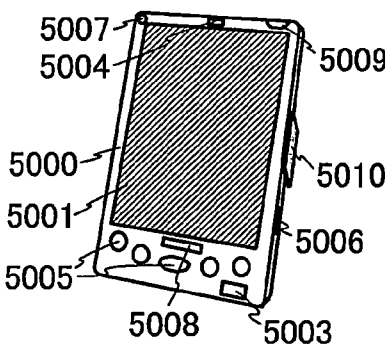
第9B圖



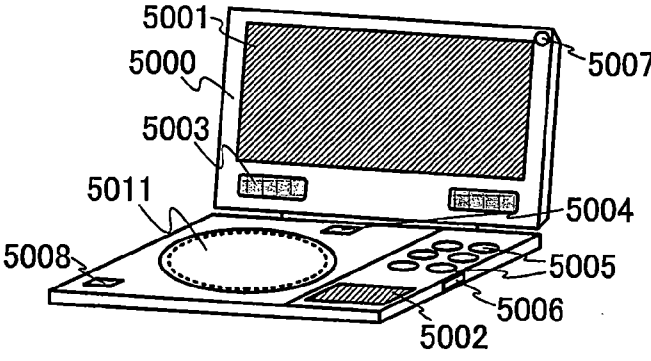
第10圖



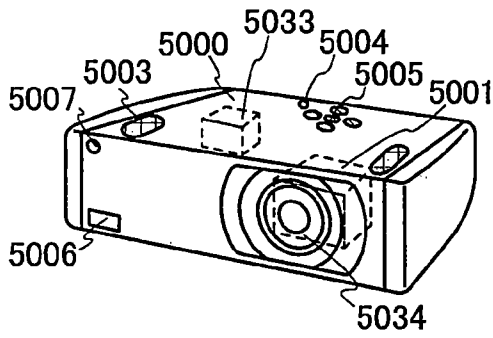
第11A圖



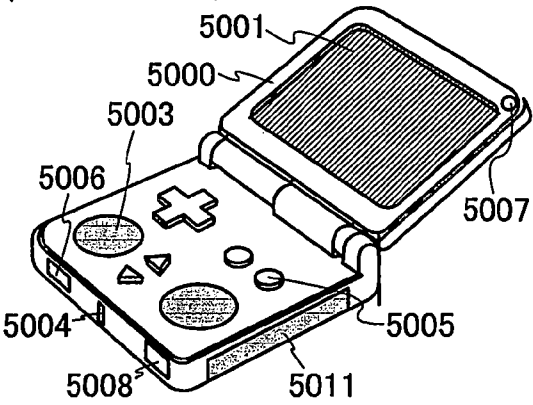
第11B圖



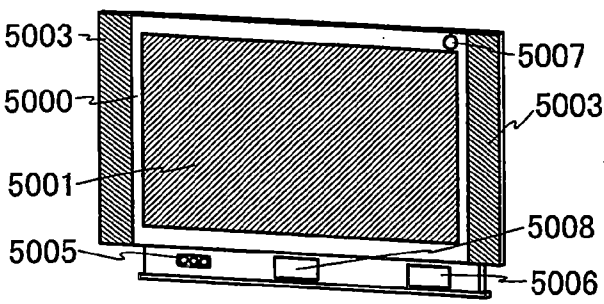
第11C圖



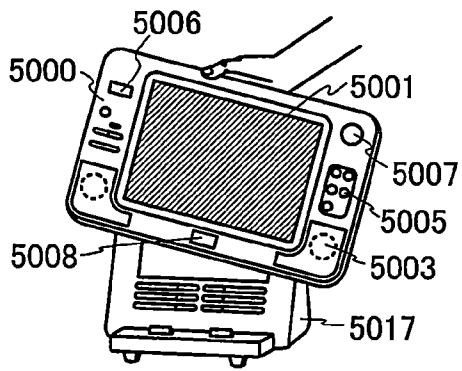
第11D圖



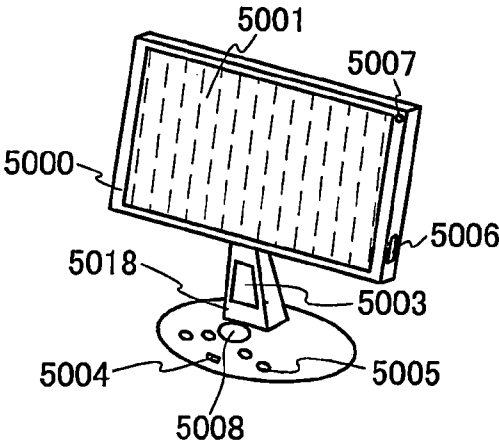
第11E圖



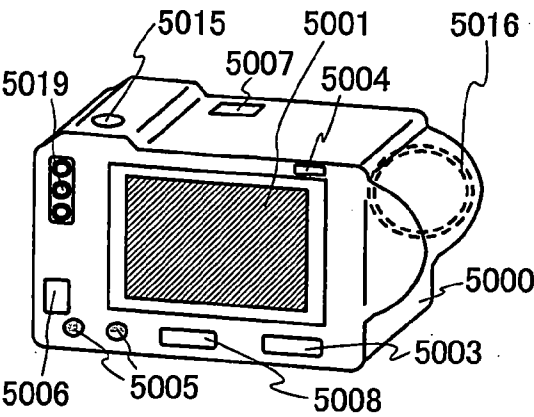
第11F圖



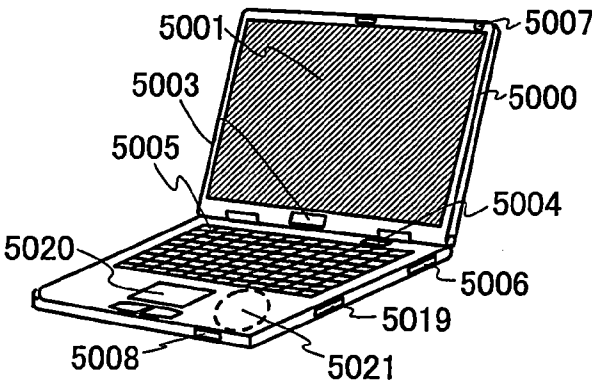
第12A圖



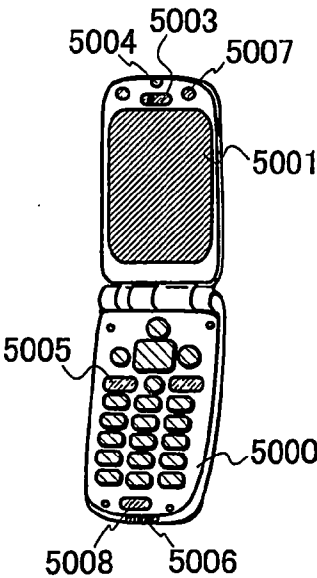
第12B圖



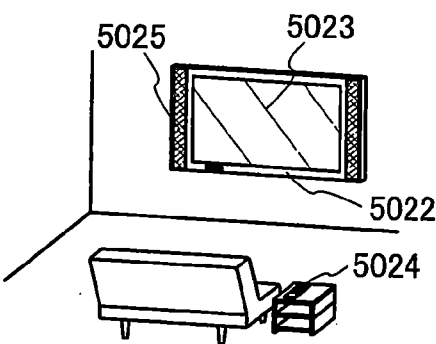
第12C圖



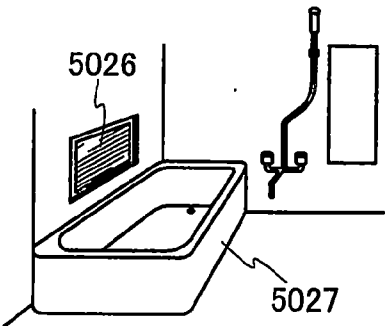
第12D圖



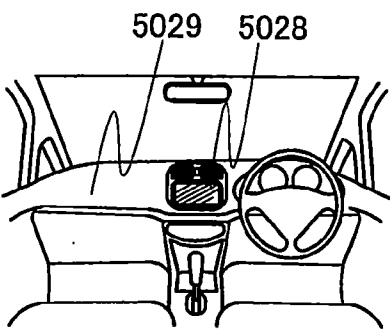
第13A圖



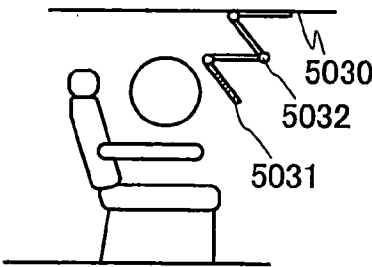
第13B圖



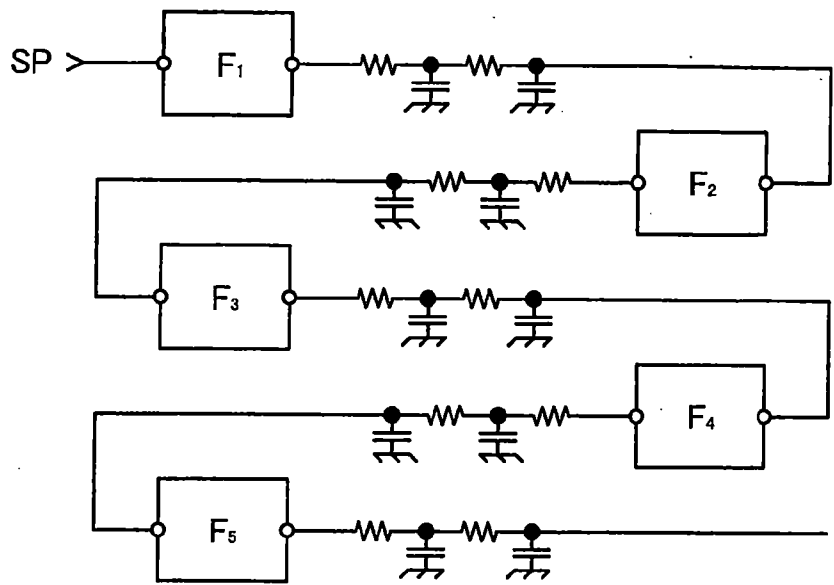
第13C圖



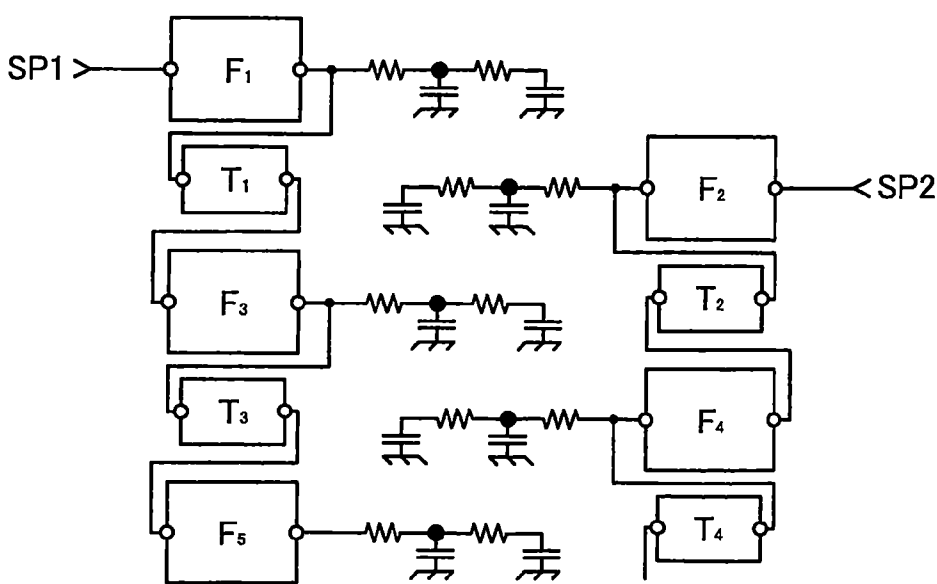
第13D圖



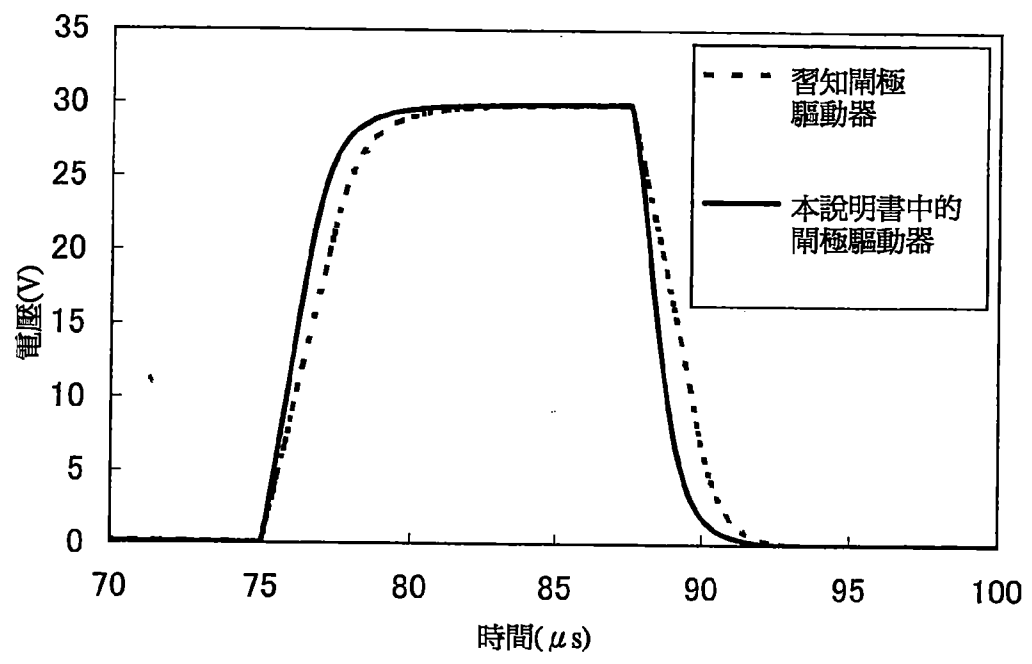
第14A圖



第14B圖



第15圖



申請專利範圍

1. 一種顯示裝置，包含：

包含複數個閘極線的畫素部份；

電連接至該複數個閘極線之第 k 閘極線且配置為輸出信號以選擇該第 k 閘極線的第一電晶體；

電連接至該複數個閘極線之第 $(k+2)$ 閘極線且配置為輸出信號以選擇該第 $(k+2)$ 閘極線的第二電晶體；以及

包含配置為依據來自該第一電晶體之該輸出信號而開啟第二電晶體之第三電晶體的電路，

其中，該第一電晶體的電流驅動能力高於該第三電晶體的電流驅動能力，

其中， k 表示奇數或偶數，以及

其中，該電路不驅動該複數個閘極線之任一者。

2. 如申請專利範圍第 1 項之顯示裝置，其中，該第二電晶體的電流驅動能力大於該第三電晶體的該電流驅動能力。

3. 如申請專利範圍第 1 項之顯示裝置，其中，該第一電晶體的通道寬度大於該第三電晶體的通道寬度。

4. 如申請專利範圍第 1 項之顯示裝置，其中，該第二電晶體的通道寬度大於該第三電晶體的通道寬度。

5. 如申請專利範圍第 1 項之顯示裝置，其中，該第一電晶體的通道寬度對通道長度的比率大於該第三電晶體的通道寬度對通道長度的比率。

第 107121350 號

民國 108 年 6 月 13 日修正

6. 如申請專利範圍第 1 項之顯示裝置，其中，該第二電晶體的通道寬度對通道長度的比率大於該第三電晶體的通道寬度對通道長度的比率。

7. 如申請專利範圍第 1 項之顯示裝置，其中，該第一電晶體被包括於第一正反器電路中且該第二電晶體被包括於第二正反器電路中。

8. 如申請專利範圍第 1 項之顯示裝置，其中，該電路為傳送信號產生電路。

9. 如申請專利範圍第 1 項之顯示裝置，其中，該第 k 閘極線電連接至該電路。

10. 如申請專利範圍第 1 項之顯示裝置，其中，該第一電晶體與該第二電晶體電連接至時脈信號線。

11. 如申請專利範圍第 1 至 10 項中任一項之顯示裝置，包含靠近該畫素部份的第一閘極驅動器，其中，該第一閘極驅動器包含該第一電晶體、該第二電晶體、及該電路。

12. 如申請專利範圍第 11 項之顯示裝置，更包含靠近該畫素部份的第二閘極驅動器，其中，該畫素部份位於該第一閘極驅動器與該第二閘極驅動器之間。

13. 如申請專利範圍第 12 項之顯示裝置，其中，該第二閘極驅動器包含：

電連接至該複數個閘極線之第 $(k+1)$ 閘極線且配置為輸出用以選擇該第 $(k+1)$ 閘極線的信號之第四電晶體；以及

第 107121350 號

民國 108 年 6 月 **13** 日修正

電連接至該複數個閘極線之第 $(k+3)$ 閘極線且配置為輸出用以選擇該第 $(k+3)$ 閘極線的信號之第五電晶體。