

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2009年1月8日 (08.01.2009)

PCT

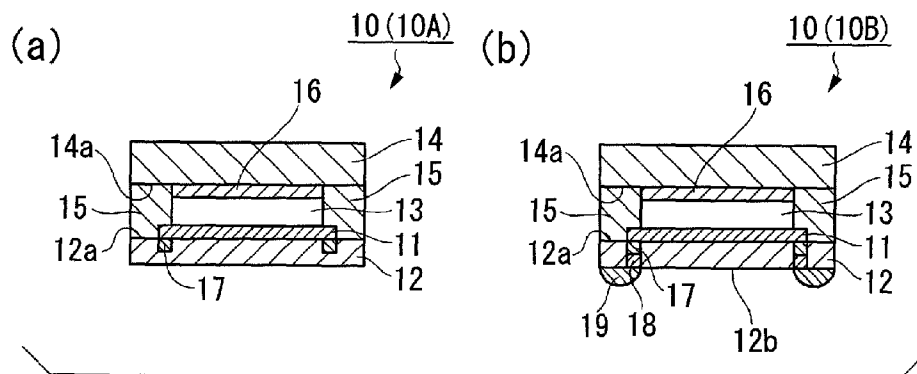
(10) 国際公開番号
WO 2009/005017 A1

- (51) 国際特許分類:
H01L 23/02 (2006.01) H01L 27/14 (2006.01)
H01L 23/12 (2006.01) H04N 5/335 (2006.01)
- (21) 国際出願番号: PCT/JP2008/061773
- (22) 国際出願日: 2008年6月27日 (27.06.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2007-171915 2007年6月29日 (29.06.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社フジクラ (FUJIKURA LTD.) [JP/JP]; 〒1358512 東京都江東区木場1丁目5番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 須藤 勇気 (SUTO, Yuki) [JP/JP]; 〒2858550 千葉県佐倉市六崎1440番地 株式会社フジクラ 佐倉事業所内 Chiba (JP).
- (74) 代理人: 志賀 正武, 外 (SHIGA, Masatake et al.); 〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書

(54) Title: SEMICONDUCTOR PACKAGE AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称: 半導体パッケージおよびその製造方法

[図1]



(57) Abstract: A semiconductor package is provided with a semiconductor device; a semiconductor substrate whereupon the semiconductor device is arranged on one surface; a cap substrate having one surface which faces the one surface of the semiconductor substrate through a gap; a spacer, which is arranged between the one surface of the semiconductor substrate and the one surface of the cap substrate, and bonds the semiconductor substrate and the cap substrate; and a filter, which is arranged on the cap substrate not to overlap the spacer but to overlap the semiconductor device. Thus, the semiconductor package wherein peeling of a filter in a dicing step due to chipping is suppressed, and a method for manufacturing such semiconductor package are provided.

(57) 要約: 半導体デバイスと、前記半導体デバイスが一面に配置された半導体基板と、前記半導体基板の一面に、間隔を介して対向する一面を有するキャップ基板と、前記半導体基板の一面と前記キャップ基板の一面との間に配置され、前記半導体基板と前記キャップ基板とを接合するスペーサーと、前記キャップ基板に、前記スペーサーとは重ならず、前記半導体デバイスと重なるように設けられたフィルタと、を備える半導体パッケージを提供する。本発明に拠れば、ダイシング工程でのチッピングによるフィルタの剥離を抑制することができる半導体パッケージおよびその製造方法を提供可能である。



WO 2009/005017 A1

明 細 書

半導体パッケージおよびその製造方法

技術分野

[0001] 本発明は半導体パッケージおよびその製造方法に係り、より詳しくは、半導体パッケージに配されたフィルタの剥離対策に関する。

本願は、2007年6月29日に日本国に出願された特願2007-171915号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 昨今の携帯電話や携帯情報端末、デジタルカメラなどのモバイル電子機器は、その携帯性や軽量化が大きな市場ニーズとなっている。そのため、搭載される半導体ICなどの各チップは更なる小型・薄型化が必須であり、安定した製造工程が求められる。

これらモバイル電子機器に搭載されているCCD、CMOSなどに代表されるような光学系半導体デバイスには、赤外カットフィルタなどの光学フィルタが用いられている。これら光学フィルタを光学系半導体のウエハレベルパッケージに適用するとき、ガラス基板に光学フィルタを成膜してパッケージ加工することがある。

[0003] 従来のガラス基板にフィルタを成膜する手順としては、パッケージ加工終了後に、ガラス基板にフィルタを成膜する方法や、最初にガラス基板にフィルタを成膜してパッケージ加工する方法とがある。フィルタを保護するためにパッケージ内部にフィルタを形成する場合、後者の方法が採用される。また、前者では一つ一つのパッケージにフィルタを形成する作業となるが、後者ではウエハレベルで一度にフィルタを形成できるという利点がある。

図13は、フィルタをパッケージ内部に形成する従来の半導体パッケージの製造工程断面図である。この半導体パッケージ40の製造工程は、図13の(a)で示すように、フィルタ46がキャップ基板44の一方の面44a全面に配される。次に、スペーサー45を介してフィルタ46と半導体基板42とが接合される。次に、図13の(b)で示すように、図中Lの破線で示す部位で半導体ウエハをダイシングする。このダイシングによる

チップングで、図13の(d)に示すようにフィルタ46の剥離60が生じる虞がある。このフィルタ46の剥離60は信頼性試験等により拡大し、半導体パッケージ40を故障させる原因となる場合があった。また、スペーサー45がフィルタ46に直接接着されているので、フィルタ46とキャップ基板44との密着性が弱いと、スペーサー45の膨張収縮による応力でフィルタ46が剥離する虞がある。

発明の開示

発明が解決しようとする課題

- [0004] 本発明は上記事情に鑑みてなされたもので、ダイシング工程でのチップングによるフィルタの剥離を抑制することができる半導体パッケージを提供することを第一の目的とする。また、本発明は、ダイシング処理において、フィルタの剥離を抑制できる半導体パッケージの製造方法を提供することを第二の目的とする。

課題を解決するための手段

- [0005] 本発明の半導体パッケージの第一の態様は、半導体デバイスを一面に配した半導体基板、前記半導体基板の一面から間隙を介して、前記半導体基板に対向して配置された一面を有し、該一面が全域において平坦部、又は平坦部と共に局所的な凸部を備えてなるキャップ基板、及び、前記キャップ基板にあつて、前記半導体基板に対向する一面の平坦部あるいは凸部において突設され、前記キャップ基板と前記半導体基板とを接着するスペーサー、から少なくともなる半導体パッケージであつて、前記キャップ基板に配されるフィルタを備え、前記フィルタが前記半導体デバイスと重なる位置にあり、かつ前記スペーサーとは重ならない。
- [0006] 本発明の半導体パッケージの第二の態様は、前記第一の態様において、前記フィルタは、前記半導体基板、前記フィルタ、前記キャップ基板の順に重ねて配される。
- [0007] 本発明の半導体パッケージの第三の態様は、前記第一の態様において、前記フィルタは、前記半導体基板、前記キャップ基板、前記フィルタの順に重ねて配される。
- [0008] 本発明の半導体パッケージの第四の態様は、前記第一の態様において、前記フィルタは第一フィルタと第二フィルタからなり、前記半導体基板、前記第一フィルタ、前記キャップ基板、前記第二フィルタ、の順に重ねて配される。
- [0009] 本発明の半導体パッケージの第五の態様は、前記半導体基板の一面側にあつて、

前記半導体デバイスと電氣的に接してなる電極、前記半導体基板の他面側から前記電極に向けて設けられた貫通電極、及び前記貫通電極と電氣的に接してなるはんだバンプ、を少なくとも備えている。

[0010] 本発明の半導体パッケージ製造方法の第一の態様は、半導体デバイスを一面に配した半導体基板、前記半導体基板の一面から間隙を介して、前記半導体基板に対向して配置された一面を有し、該一面が全域において平坦部、又は平坦部と共に局所的な凸部を備えてなるキャップ基板、及び、前記キャップ基板にあつて、前記半導体基板に対向する一面の平坦部あるいは凸部において突設され、前記キャップ基板と前記半導体基板とを接着するスペーサー、から少なくともなり、前記キャップ基板に配されるフィルタを備え、前記フィルタが前記半導体デバイスと重なる位置にあり、かつ前記スペーサーとは重ならない半導体パッケージの製造方法であつて、前記キャップ基板に前記フィルタを形成する第一工程、前記半導体デバイスが複数、互いに離間部を挟むように、一面に配されてなる前記半導体基板と、前記フィルタを配した前記キャップ基板とを、前記離間部においてスペーサーを介して接着する第二工程、並びに、前記キャップ基板、前記半導体デバイス、及び前記スペーサーからなる構造体を、前記スペーサーがある領域において、前記半導体基板と前記キャップ基板の重なり方向に分断する第三工程、とを少なくとも順に備える。

[0011] 本発明の半導体パッケージ製造方法の第二の態様は、前記第二工程の後に、前記半導体基板の他面側から、前記半導体デバイスに向かって電氣的に接続される貫通電極を形成する工程、及び、前記貫通電極と電氣的に接続されるはんだバンプを形成する工程、を順に備える。

発明の効果

[0012] 本発明に係る半導体パッケージにおいて、半導体デバイスを一面に配した半導体基板の一面から、間隙を介して、キャップ基板が対向して配置している。スペーサーが、このキャップ基板にあつて、半導体基板に対向する面に突設され、半導体基板とキャップ基板とを接着している。また、フィルタは半導体デバイスと重なるようにキャップ基板に配し、スペーサーとは重ならない位置にある。

この構成により、半導体パッケージの分断部位はスペーサーを両断する位置にある

ので、フィルタを分断することがなく、チップングによるフィルタの剥離を防ぐことが可能となる。

- [0013] また、本発明の半導体パッケージの製造方法において、キャップ基板の一面に半導体デバイスと重なるようにフィルタを形成した後、スペーサーがフィルタと重ならない位置で、複数の半導体デバイスを離間部を設けて配した半導体基板と、キャップ基板とを対向させて接着する。その後、半導体基板、キャップ基板、及びスペーサーとが接着してなる構造体を、スペーサーを両断する部位で分断する。この製造過程において、フィルタは半導体パッケージの分断箇所に配されていないので、分断する工程において、チップングによってフィルタがキャップ基板から剥離することを防ぐことができる。

図面の簡単な説明

- [0014] [図1]本発明の第1実施形態に係る一例を示す半導体パッケージの断面図。
[図2]本発明の応用例1に係る一例を示す半導体パッケージの断面図。
[図3]本発明の第2実施形態に係る一例を示す半導体パッケージの断面図。
[図4]本発明の応用例2に係る一例を示す半導体パッケージの断面図。
[図5]本発明の第3実施形態に係る一例を示す半導体パッケージの断面図。
[図6]本発明の応用例3に係る一例を示す半導体パッケージの断面図。
[図7]本発明の第1実施形態に係る半導体パッケージの断面工程図。
[図8]本発明の第2実施形態に係る半導体パッケージの断面工程図。
[図9]本発明の第3実施形態に係る半導体パッケージの断面工程図。
[図10]本発明の第1実施形態に貫通電極、及びはんだバンプを設けた半導体パッケージの断面工程図。
[図11]本発明の第2実施形態例に貫通電極、及びはんだバンプを設けた半導体パッケージの断面工程図。
[図12]本発明の第3実施形態例に貫通電極、及びはんだバンプを設けた半導体パッケージの断面工程図。
[図13]従来の半導体パッケージ、及び断面工程図と、フィルタが剥離した模式図。

符号の説明

- [0015] 11、21、31、41 半導体デバイス
12、22、32、42 半導体基板
13、23、33、43 間隙
14、24、34、44 キャップ基板
14p、24p、34p、44p キャップ基板凸部
15、25、35、45 スペーサー
16、26、36(36a、36b)、46 フィルタ
17、27、37、47 電極
18、28、38 貫通電極
19、29、39 はんだバンプ
10(10A、10B、10C、10D) 第1実施形態に係る半導体パッケージ
20(20A、20B、20C、20D) 第2実施形態に係る半導体パッケージ
30(30A、30B、30C、30D) 第3実施形態に係る半導体パッケージ
40 従来の半導体パッケージ
50 保護膜
60 フィルタの剥離
L ダイシング部位

発明を実施するための最良の形態

[0016] 以下、本発明を、図面を参照して説明する。

本発明は、これら実施例によって限定されるものではない。

[0017] 第1実施形態

図1は、本発明に係る半導体パッケージの第1実施形態を示す断面図である。

半導体パッケージ10Aは、半導体デバイス11が、半導体基板12の一面12aに配している。この半導体基板12から間隙13を介して、キャップ基板14が対向して配置している。また、スペーサー15が半導体基板12に対向する面14aに突設され、半導体基板12とキャップ基板14とを接着している。更に、半導体デバイス11と重なり、かつ、スペーサー15とは重ならないように、キャップ基板14の一面14aにフィルタ16が配されている。

- [0018] 半導体デバイス11に関しては、CCDやCMOS等のイメージセンサが好ましい。また、MEMS(Micro Electro Mechanical System)デバイスなども用いることができ、その一例として、マイクロリレー、マイクロスイッチ、圧力センサ、加速度センサ、高周波フィルタ、マイクロミラー等が挙げられる。
- [0019] 半導体基板12に関しては、材料として、例えば、ガリウム砒素、ガラス、セラミック、ゲルマニウム、シリコン等が用いられる。また、半導体基板12の一面12aには、半導体デバイス11と電氣的に接してなる電極17を配していることが好ましい。この電極17に関しては、半導体デバイス11と電氣的に接していれば、特に限定されるものではないが、その配置部位は半導体基板の一面12a上が好ましい。電極17の材質に関しては、Al、Al-Cu、Al-Si-Cu等が用いられる。これは、I/Oパッドとして用いられる。
- [0020] 間隙13に関しては、特に限定されるものではなく、半導体デバイス11から要求される仕様などの条件に応じて自由に選択可能であるが、例えば数 μm ～数百 μm の範囲であれば、半導体デバイス11の周囲に十分なキャビティを確保することができるとともに、半導体パッケージ10の寸法を抑制することができる。
- 例えば、半導体デバイス11がCCDやCMOS等のイメージセンサである場合には、半導体基板12とキャップ基板14との距離が近すぎると、キャップ基板14に付着したパーティクル等の影響を受けやすくなる場合があり、このような場合には、スペーサー15によって半導体基板12とキャップ基板14との間に確保された間隙13の役割を最大限に生かすことができる。
- [0021] キャップ基板14に関しては、半導体デバイス11の上方に間隔13を介して配置され、半導体デバイス11を保護する等の役割を有する。キャップ基板14の材料としては、樹脂やガラス、金属等からなる板材を用いることができ、CCDやCMOS等の光学系半導体デバイスに適用する場合には、光透過性を有するガラス等の材料を用いるのが好ましい。また、半導体基板12と、平行して対向させるのが好ましい。
- [0022] スペーサー15は、半導体基板12とキャップ基板14との間隙13を確保するため、キャップ基板14を半導体基板12と接合したときに、半導体デバイス11の周囲を切れ目無く囲い、かつ、半導体デバイス11の上を覆わないような所定位置に設けられる。こ

れにより、半導体デバイス11の周囲の空間13が半導体基板12とキャップ基板14とスペーサー15とにより気密に封止される。スペーサー15に用いられる材料に関しては、例えば、感光性もしくは非感光性の樹脂（UV硬化型樹脂、可視光硬化型樹脂、赤外光硬化型樹脂、熱硬化型樹脂等）からなるワニスやペースト、ドライフィルム等が挙げられる。

スペーサー15を構成するのに適した材料としては、半導体パッケージの使用環境に応じて適宜選択すればよいが、とりわけ、ポリイミドやフェノール系樹脂など、耐薬品性及び耐熱性に優れる樹脂が好適である。ポリイミド樹脂の場合、層を形成した後に焼成を行うことにより、架橋反応を引き起こして耐薬品性及び耐熱性を向上することが可能である。

スペーサー15を構成する材料が感光性を有する場合、前記感光性材料としては、エポキシアクリレート等の感光性樹脂や、感光性ガラスペーストなどが挙げられる。

ポリイミド樹脂やガラスペーストを焼成する場合、スペーサー15をキャップ基板14側に形成して、キャップ基板14を半導体基板12と接合する前にスペーサー15の焼成を行うことにより、焼成の熱による半導体デバイス11のダメージを回避することができる。

また、スペーサーをSnやAuなどの金属接合や、ガラス、Si等にすることで、半導体パッケージを気密封止することができる。これにより、間隙13内の結露を防止することができる。

[0023] フィルタ16に関しては、使用するフィルタ16の種類が限定されるものではなく、ノッチフィルタやNDフィルタ、バンドパスフィルタ等、半導体デバイス11の用途により、自由に選択可能である。CCDやCMOSを半導体デバイスとして用いる場合、赤、緑、青で構成された原色フィルタや、シアン、マゼンダ、イエロー、グリーンから構成される補色フィルタ、IRカットフィルタなどを用いるのが好ましい。

[0024] 本発明において、フィルタ16は、半導体デバイス11に重なる位置で、キャップ基板14の一面14a側に配されている。このフィルタ16は、キャップ基板14の一面14aに直接配されても良いし、キャップ基板14の一面14aに設置されたものを介して配されても良い。また、このフィルタ16が配されている位置は、ダイシング部位とは重ならず

、かつスペーサー15とも直接重ならない位置でもあるので、ダイシングした際のチップングによるフィルタ16の剥離を抑制することができる。また、フィルタ16にスペーサー15が接着されていないので、スペーサー15の膨張収縮によるフィルタ16の剥離を防ぐことができる。更に、フィルタ16は、キャップ基板14の全面に配しているのではないので、フィルタ16の応力によるキャップ基板14の反りを緩和することができる。

[0025] 第2実施形態

図3で示すように、本発明において、フィルタ26は、キャップ基板24の他面24b側に配することもできる。この場合においても、フィルタ26はキャップ基板24の他面24bに直接配されても良いし、このキャップ基板24の他面24bに配されたものを介して、フィルタ26が設置されても良い。また、このフィルタ26が配されている位置は、ダイシング部位とは重ならないので、ダイシング時におけるチップングに囚われることは無くなる。更に、スペーサー25とも接触していないので、従来みられた、スペーサー25の膨張収縮の応力によるフィルタ26の剥離を回避することができる。このフィルタ26は半導体パッケージ20の外周部に設けてあるので、半導体デバイス21に入射する不要な光線を半導体パッケージ20に入射する前に遮光することができる。

[0026] 第3実施形態

図5で示すように、本発明において、フィルタ36はキャップ基板の一面34a及び他面34bの両方の側に配することもできる。つまり、半導体基板32、第一フィルタ36a、キャップ基板34、第二フィルタ36bの順に重ねて配されている。この第一フィルタ36a及び第二フィルタ36bの配置に関しては、直接キャップ基板34に配されても良いし、キャップ基板34に配されたものを介して、間接的に配されても良い。どちらの場合においても、前記2つの実施例と同様に、第一フィルタ36a及び第二フィルタ36bはスペーサー35と重ならない位置に配してあるので、ダイシング時のチップングによる、フィルタの剥離を防ぐことができる。また、上記実施例と同様に、スペーサー35が直接両フィルタ36a、36bに接着していないので、スペーサー35の膨張収縮による応力で、これらフィルタ36が剥離することも防ぐことができる。更に、キャップ基板34の両面にフィルタ36を配した場合、キャップ基板34の両面にフィルタ36の応力が加わるので、キャップ基板34の反りを緩和することができる。光学系半導体デバイスの場合、

この第一フィルタ36aと第二フィルタ36bの組み合わせを変えることで、例えば、NDフィルタとバンドパスフィルタの組み合わせを変えるなど、様々な状況に応じた光学系半導体パッケージ30を作製することができる。

[0027] 本発明の半導体パッケージにおいて、第1実施形態の応用例1として図2の(a)に示すとおり、キャップ基板14に凸部14pを備えたものがある。スペーサー15が樹脂より成る場合、樹脂は透湿係数が高いため、樹脂の封止厚が厚いと間隙13内が結露する虞があった。また、半導体基板12からキャップ基板14までの距離が短いと撮像特性等の光学的な問題が生じる。この両方を改善するためにも、キャップ基板14に凸部14pを備えることで、透湿係数の高い樹脂層の薄肉化が図れ、結露を抑制するとともに、キャップ基板14の凸部14pを制御することで、半導体基板12からキャップ基板14までの距離を調節することが可能となる。このとき、半導体基板12とキャップ基板14の凸部14pとを接合するスペーサー15の高さは、 $0.5 \sim 3 \mu\text{m}$ とするのが好ましい。また、半導体基板12からキャップ基板14までの距離は $10 \sim 100 \mu\text{m}$ とするのが好ましい。

[0028] 本発明の第2実施形態の応用例2として、図4の(a)に示すように、キャップ基板24に凸部24pを設けたものがある。この構成により、応用例1と同様な効果が得られる。

[0029] 本発明の第3実施形態の応用例3として、図6の(a)に示すように、キャップ基板34に凸部34pを設けたものがある。この構成により、応用例1及び応用例2と同様な効果を得ることができる。

[0030] また、本発明の半導体パッケージにおいて、図1の(b)に示すように、貫通電極18とはんだバンプ19を設けることもできる。半導体基板12の他面12b側から電極17に向けて貫通電極18を設け、この貫通電極18と電氣的に接してなるはんだバンプ19を備えている。また、同様に第2実施形態と第3実施形態にも、それぞれ図3の(b)及び図5の(b)に示すように、貫通電極28、38とはんだバンプ29、39を形成することができる。

[0031] 貫通電極18に関しては、電極17が貫通電極18を介して外部と導通できる導回路を形成する。貫通電極18の形状は、特に限定されるものではないが、半導体デバイス11に対して直角方向に設置するのが好ましい。また、材質としては、スズや銅など

の金属を用いることが好ましい。この貫通電極18に接するように裏面配線層を半導体基板12の他面12bに形成することも可能である。

[0032] はんだバンプ19に関しては、貫通電極18が配された半導体基板の他面12bに形成し、貫通電極18に電氣的に接続するように設置する。はんだバンプ19の材質に関しては、用いるはんだ合金は特に限定されるものではないが、鉛フリーのはんだ合金を用いる場合は、SnAg3.0Cu0.5あるいはSnAg3.5Cu0.7を用いるのが好ましく、より好ましくはSnAg3.0Cu0.5である。また、はんだバンプ19の大きさや、はんだバンプ19を形成する間隔に関しては、特に限定されるものではないが、大きさは30～250 μm 、間隔に関しては、100～400 μm が好ましい。

[0033] 貫通電極18やはんだバンプ19を設けることで、従来のワイヤボンディングと比較し、信号の高速化が図れる。

[0034] 本発明の第一実施形態に貫通電極及びはんだバンプを設けた半導体パッケージにおいても、応用例4として、同様にキャップ基板に凸部14pを備えたものを用いることができる。スペーサー15が樹脂より成る場合、樹脂は透湿係数が高いため、樹脂の封止厚が厚いと間隙13内が結露する虞があった。また、半導体基板12からキャップ基板14までの距離が短いと撮像特性等の光学的な問題が生じる。この両方を改善するためにも、キャップ基板14に凸部14pを備えることで、透湿係数の高い樹脂層の薄肉化が図れ、結露を抑制するとともに、キャップ基板14の凸部14pを制御することで、半導体基板12からキャップ基板14までの距離を調節することが可能となる。このとき、半導体基板12とキャップ基板14の凸部14pとを接合するスペーサー15の高さは、0.5～3 μm とするのが好ましい。また、半導体基板12からキャップ基板14までの距離は10～100 μm とするのが好ましい。

[0035] また、本発明の第2実施形態に貫通電極及びはんだバンプを設けた半導体パッケージにおいても、図4の(b)に示すように、キャップ基板24に凸部24pを設けたものとして、応用例5がある。この構成により、応用例4と同様な効果が得られる。

[0036] 更に、本発明の第3実施形態に貫通電極及びはんだバンプを設けた半導体パッケージにおいても、図6の(b)に示すように、キャップ基板34に凸部34pを設けたものとして、応用例6がある。この構成により、応用例4及び応用例5と同様な効果が得られ

る。

[0037] (製造方法)

第1実施形態

第1実施形態の半導体パッケージ10Aの製造方法は、まず、図7の(a)に示すように、キャップ基板14の一面14aにフィルタ16を形成する。(ここで、図7の(a)におけるキャップ基板14は、半導体パッケージ10Aのキャップ基板14の集合体14'である)。この、フィルタ16をキャップ基板14に形成する方法の一例として、キャップ基板14の一面14aに、感光性樹脂をスピコート等を用いて形成した後、フォトリソグラフィにより、使用状況に応じたパターンを形成する。前記感光性樹脂の材料としては、光重合型のアクリル系樹脂や、光架橋型のポリビニールアルコールをベースとしたものを用いることが好ましい。また、カラーフィルターを形成する際は、顔料を分散させたポリイミド前駆体を着色樹脂層として、エッチング法により形成することもできる。また、蒸着により、 TiO_2 、 SiO_2 、 MgF_2 、 Ta_2O_5 などを積層したものもある。

[0038] 次に、図7の(b)に示すように、スペーサー15をキャップ基板14aに突設されるように形成し、半導体デバイス11及び電極17が配された半導体基板12'を接着する。(ここで、図7の(b)における半導体基板12は、半導体パッケージ10Aの半導体基板12の集合体12'である)。半導体基板12'に対してキャップ基板14を向かい合わせ、キャップ基板14の一面14aに形成されたスペーサー15を半導体基板12の一面12aに接着する。これにより、半導体基板12とキャップ基板14とがスペーサー15を介して接合される。接合にはエポキシ樹脂や感光性BCB樹脂等を用いて接合するのが好ましい。

[0039] 次に、スペーサー15が両断されるように、図7の(b)に示す切断線Lに沿って半導体基板12、スペーサー15、及びキャップ基板14をダイシングソーなどにより切断すれば、図7の(c)に示すように、本実施形態の半導体パッケージ10Aが得られる。

[0040] 本発明の、半導体パッケージ10Aの製造方法によれば、フィルタ16が、キャップ基板14の一面14a全面に形成されているのではなく、面の一部に形成されているので、フィルタ16の応力によるキャップ基板14の反りを緩和することができる。また、フィルタ16が、ダイシング部位Lに設置されていないため、ダイシングによるチッピングで

フィルタ16の剥離を防ぐことができる。更に、スペーサー15とキャップ基板14とにフィルタ16が挟まれていないため、スペーサー15の膨張収縮による応力でフィルタ16が剥離することも防げる。また、フィルタ16は半導体パッケージ10Aの内部に形成されているので、半導体パッケージ10Aの加工中においてフィルタ16が保護される。

[0041] 第2実施形態

次に、図8は、本発明の第2実施形態に係る半導体パッケージ20Aの製造方法を説明する断面工程図である。

本発明の第2実施形態では、第1実施形態と重複する説明を省略することがある。

本第2実施形態での製造方法は、まず、図8の(a)で示すように、キャップ基板24の他面24bに、フィルタ26を形成する。(ここで、図8の(a)におけるキャップ基板24は、半導体パッケージ20Aのキャップ基板24の集合体24'である)。フィルタ26の形成方法は、第1実施形態と同様である。

[0042] 次に、図8の(b)に示すように、フィルタ26を覆うように保護膜50を形成する。この保護膜50に関しては、後の工程で取り除けるようなものが好ましく、剥離可能な樹脂や微粘着フィルム等を用いるのが好ましい。この保護膜50の形成方法に関しては、フィルムのラミネート、剥離可能な樹脂のスピンコート等を用いる。

[0043] 次に、第一実施形態の図7の(b)と同様に、キャップ基板24、スペーサー25、及び半導体基板22、とを、図8の(c)に示すように、接合する。(ここで、図8の(c)における半導体基板22は、半導体パッケージ20Aの半導体基板22の集合体22'である)。

[0044] 次に、図8の(d)で示すように、図8の(b)で形成した保護膜50を除去する。保護膜50の除去に関しては、フィルタ26にダメージを与えないような薬液、(フィルムならセパレーター)等を用いる。または、O₂アッシングなどのドライプロセスを行って保護膜50を除去するのが好ましい。

[0045] 次に、図8の(d)に示す切断線Lに沿って半導体基板22、スペーサー25及びキャップ基板24を切断すれば、図8の(e)に示すように、本実施形態の半導体パッケージ20Aが得られる。

[0046] 本発明の第2実施形態の半導体パッケージ20Aの製造方法によれば、第1実施形態と同様の理由により、フィルタ26の剥離を防ぐことができる。また、キャップ基板24

の他面24bに形成したフィルタ26は、フィルタ26形成後に保護膜50で覆われるので、製造工程中におけるフィルタ26の損傷を防ぐことができる。

[0047] 第3実施形態

次に、図9は第3実施形態に係る半導体パッケージ30Aの製造方法を説明する断面工程図である。本発明の第3実施形態では、第1形態例、及び第2実施形態と重複する説明を省略することがある。

本第3実施形態での製造方法は、まず、図9の(a)で示すように、キャップ基板34の一面34aと、キャップ基板34の他面34bに、それぞれ第一フィルタ36a、第二フィルタ36bを形成する。(ここで、図9の(a)におけるキャップ基板34は、半導体パッケージ30Aのキャップ基板34の集合体34'である)。第一フィルタ36aと第二フィルタ36bの形成方法は、第1実施形態、第2実施形態と同様である。

[0048] 次に、図9の(b)で示すように、第二フィルタ36bを保護膜50で覆う。保護膜50の形成方法に関しては、第2実施形態の場合と同様である。

[0049] 次に、第1実施形態の図7の(b)と同様に、キャップ基板34、スペーサー35、及び半導体基板32、とを、図9の(c)に示すように、接合する。(ここで、図9の(c)における半導体基板32は、半導体パッケージ30Aの半導体基板32の集合体32'である)。

[0050] 次に、図9の(d)に示すように、図9の(b)で形成した保護膜50を除去する。この工程は、第2形態例の図8の(d)で示した方法と同様である。

[0051] 最後に、図9の(d)に示す切断線Lに沿って半導体基板32、スペーサー35及びキャップ基板34を切断すれば、図9の(e)に示すように、本形態例の半導体パッケージ30Aが得られる。

[0052] 第3実施形態においても、第1実施形態、及び第2実施形態と同様な理由により、第一フィルタ36aと第二フィルタ36bの剥離を防ぐことができる。また、第一フィルタ36aに関しては、該フィルタが半導体パッケージ30内部に形成されているため、また、第二フィルタ36bに関しては、第2実施例のときと同様に、保護膜で覆う工程を備えているので、製造工程中における両該フィルタの損傷を防ぐことができる。

[0053] 貫通電極とはんだバンプを形成する半導体パッケージの製造方法

第1実施形態

貫通電極、及びはんだバンプを設けた第1形態例の半導体パッケージ10Bの製造方法は、まず、図10の(a)に示すように、キャップ基板14の一面14aにフィルタ16を形成する。(ここで、図10の(a)におけるキャップ基板14は、半導体パッケージ10Bのキャップ基板14の集合体14'である)。この、フィルタ16をキャップ基板14に形成する方法の一例として、キャップ基板14の一面14aに、感光性樹脂をスピンコーター等を用いて形成した後、フォトリソグラフィーにより、使用状況に応じたパターンを形成する。前記感光性樹脂の材料としては、光重合型のアクリル系樹脂や、光架橋型のポリビニールアルコールをベースとしたものを用いることが好ましい。また、カラーフィルターを形成する際は、顔料を分散させたポリイミド前駆体を着色樹脂層として、エッチング法により形成することもできる。

[0054] 次に、図10の(b)に示すように、スペーサー15をキャップ基板14aに突設されるように形成し、半導体デバイス11及び電極17が配された半導体基板12を接着する。(ここで、図10の(b)における半導体基板12は、半導体パッケージ10Bの半導体基板12の集合体12'である)。

半導体基板12に対してキャップ基板14を向かい合わせ、キャップ基板14の一面14aに形成されたスペーサー15を半導体基板12の一面12aに接着する。これにより、半導体基板12とキャップ基板14とがスペーサー15を介して接合される。接合にはエポキシ樹脂や感光性BCB樹脂を用いて接合するのが好ましい。

[0055] 次に、図10の(c)に示すように、半導体基板12の他面12bから、電極17に向かって貫通孔を形成する。貫通孔の形成に関しては、シリコンの深堀エッチング装置(DepRIE)を用いるのが好ましい。貫通孔に酸化膜層としてSiO₂層をPlasma-Enhanced Chemical Vapor Depositionを用いて成膜し貫通孔内に絶縁層を形成する。次いで、Reactive Ion Etchingを用いて、孔底部のSiO₂層を選択的に除去する。その後、スパッタによりシード層を形成し、電解めっきにより貫通電極18と、図中に記載は無いが、必要に応じて裏面配線層を形成する。

[0056] 次に、図10の(d)に示すように、はんだバンプ19が貫通電極18に電氣的に接続されるように形成する。はんだバンプ19の形成に関しては、必要に応じて、半導体基板12をHASL処理やOSP処理、無電解Ni/浸漬Au処理、浸漬Ag処理等を行う

のが好ましい。また、図中に記載は無いが、裏面配線層を作製した場合には、この裏面配線層に電氣的に接続されるようにはんだバンプ19を作製する。

[0057] 次に、スペーサー15が両断されるように、図10の(d)に示す切断線Lに沿って半導体基板12及びキャップ基板14を切断すれば、図10の(e)に示すように、貫通電極18とはんだバンプ19を備えた半導体パッケージ10Bが得られる。

[0058] 本発明の、半導体パッケージ10Bの製造方法によれば、フィルタ16が、ダイシング部位Lに設置されていないため、ダイシングによるチップングでフィルタ16の剥離を防ぐことができる。またフィルタ16が、キャップ基板14の一面14a全面に形成されているのではなく、面の一部に形成されているので、フィルタ16の応力によるキャップ基板14の反りを緩和することができる。更に、スペーサー15とキャップ基板14とにフィルタ16が挟まれていないため、スペーサー15の膨張収縮による応力でフィルタ16が剥離することも防げる。また、フィルタ16は半導体パッケージ10Bの内部に形成されているので、半導体パッケージ10Bの加工中においてフィルタ16が保護される。貫通電極18に関しては、開口部位が、ダイシング部位に配していないため、パーティクル等の浸入や、ダイシングによる変形等を防ぐことができる。

[0059] 第2実施形態

次に、図11は、本発明の第2形態例に貫通電極28とはんだバンプ29を設けた半導体パッケージ20Bの製造方法を説明する断面工程図である。

本発明の貫通電極28とはんだバンプ29を設けた第2形態例では、図10の製造工程と重複する説明を省略することがある。

本形態例での製造方法は、まず、図11の(a)で示すように、キャップ基板24の他面24bに、フィルタ26を形成する。フィルタ26の形成方法は、図10の(a)と同様である。(ここで、図11の(a)におけるキャップ基板24は、半導体パッケージ20Bのキャップ基板24の集合体24'である)。

[0060] 次に、図11の(b)に示すように、フィルタ26を覆うように保護膜50を形成する。

この保護膜50に関しては、後の工程で取り除けるようなものが好ましく、剥離可能な樹脂や微粘着フィルム等を用いるのが好ましい。この保護膜50の形成方法に関しては、剥離可能な樹脂のスピンコート、ドライフィルム(微粘着フィルム等)のラミネートを

用いる。

[0061] 次に、図10の(b)と同様に、キャップ基板24、スペーサー25、及び半導体基板22、とを、図11の(c)に示すように、接合する。(ここで、図11の(c)における半導体基板22は、半導体パッケージ20Bの半導体基板22の集合体22'である)。

[0062] 次に、図11の(d)に示すように、半導体基板22の他面22bから、電極27に向かって貫通電極28を形成する。貫通電極28の形成に関しては、図10の(c)と同様である。

[0063] 次に、図11の(e)に示すように、はんだバンプ29が貫通電極28に電氣的に接続されるように図10の(d)と同様に形成する。

[0064] 次に、図11の(f)で示すように、図11の(b)で形成した保護膜50を除去する。保護膜50の除去に関しては、フィルタ26にダメージを与えないような薬液及びドライプロセスを用いる。薬液に関しては、アセトン等の有機溶剤等でフィルターにダメージがないもの等を用いて、フィルタ26を覆うように形成された保護膜50を除去する。ドライプロセスにおいてはO₂アッシング等を用いるのが好ましい。

[0065] 次に、図11の(f)に示す切断線Lに沿って半導体基板22、スペーサー25及びキャップ基板24を切断すれば、図11の(g)に示すように、本形態例の半導体パッケージ20Bが得られる。

[0066] 本形態例の製造方法によれば、貫通電極28とはんだバンプ29を備えた図10の第1実施形態と同様の理由により、フィルタ26の剥離を防ぐことができる。また、キャップ基板24の他面24bに形成したフィルタ26は、フィルタ26形成後に保護膜50で覆われるので、製造工程中におけるフィルタ26の損傷を防ぐことができる。また貫通電極28に関しては、開口部位が、ダイシング部位に配していないため、パーティクル等の浸入や、ダイシングによる変形等を防ぐことができる。

[0067] 第3実施形態

次に、図12は、貫通電極とはんだバンプを備えた第3実施形態に係る半導体パッケージ30Bの製造方法を説明する断面工程図である。

本形態例での製造方法は、まず、図12の(a)で示すように、キャップ基板34の一面34aと、キャップ基板34の他面34bに、それぞれ第一フィルタ36a、第二フィルタ36b

を形成する。(ここで、図12の(a)におけるキャップ基板34は、半導体パッケージ30Bのキャップ基板34の集合体34'である)。第一フィルタ36aと第二フィルタ36bの形成方法は、図10の製造工程と同様である。

[0068] 次に、図12の(b)で示すように、第二フィルタ36bを保護膜50で覆う。保護膜50の形成方法に関しては、図11の(b)の製造工程と同様である。

[0069] 次に、図10の(b)と同様に、キャップ基板34、スペーサー35、及び半導体基板32、とを、図12の(c)に示すように、接合する。(ここで、図12の(c)における半導体基板32は、半導体パッケージ30Bの半導体基板32の集合体32'である)。

[0070] 次に、図12の(d)に示すように、半導体基板32の他面32bから、電極37に向かって貫通電極38を形成する。貫通電極38の形成に関しては、図10の(c)と同様である。

[0071] 次に、図12の(e)に示すように、はんだバンプ39が貫通電極38に電氣的に接続されるように図10の(d)と同様に形成する。

[0072] 次に、図12の(f)で示すように、図12の(b)で形成した保護膜50を除去する。この工程は、図11の(f)と同様である。

[0073] 次に、図12の(f)に示す切断線Lに沿って半導体基板32、スペーサー35及びキャップ基板34を切断すれば、図12の(g)に示すように、本形態例の半導体パッケージ30Bが得られる。

[0074] 本実施形態においても、図11、及び図12の製造工程と同様な理由により、第一フィルタ36aと第二フィルタ36bの剥離を防ぐことができる。また、第一フィルタ36aに関しては、該フィルタが半導体パッケージ30B内部に形成されているため、また、第二フィルタ36bに関しては、第2実施例のときと同様に、保護膜50で覆う工程を備えているので、製造工程中における両該フィルタの損傷を防ぐことができる。また、貫通電極38に関しては、開口部位が、ダイシング部位に配していないため、パーティクル等の浸入や、ダイシングによる変形等を防ぐことができる。

[0075] また、第一実施形態の製造工程において、応用例1及び4で示したようにキャップ基板14、に凸部14pを設けたものを用いてもよい。スペーサー15が樹脂より成る場合、樹脂は透湿係数が高いため、樹脂の封止厚が厚いと間隙13内が結露する虞が

あった。また、半導体基板12からキャップ基板14までの距離が短いと撮像特性等の光学的な問題が生じる。この両方を改善するためにも、キャップ基板14に凸部14pを備えることで、透湿係数の高い樹脂層の薄肉化が図れ、結露を抑制するとともに、キャップ基板14の凸部14pを制御することで、半導体基板12からキャップ基板14までの距離を調節することが可能となる。このとき、半導体基板12とキャップ基板14の凸部14pとを接合するスペーサー15の高さは、 $0.5 \sim 3 \mu\text{m}$ とするのが好ましい。また、半導体基板12からキャップ基板14までの距離は $10 \sim 100 \mu\text{m}$ とするのが好ましい。

[0076] また、第二実施形態の製造工程及び第三実施形態の製造工程においても、同様にキャップ基板に凸部を設けることで、上記と同様な効果を得ることができる。

更に、貫通電極及びはんだバンプを備えた半導体装置の各製造工程においても同様である。

産業上の利用可能性

[0077] 本発明は、半導体基板上に形成された半導体デバイスに対するウエハレベルでのパッケージングにおいて、キャップ基板にフィルタを配する場合に、特に有用である。

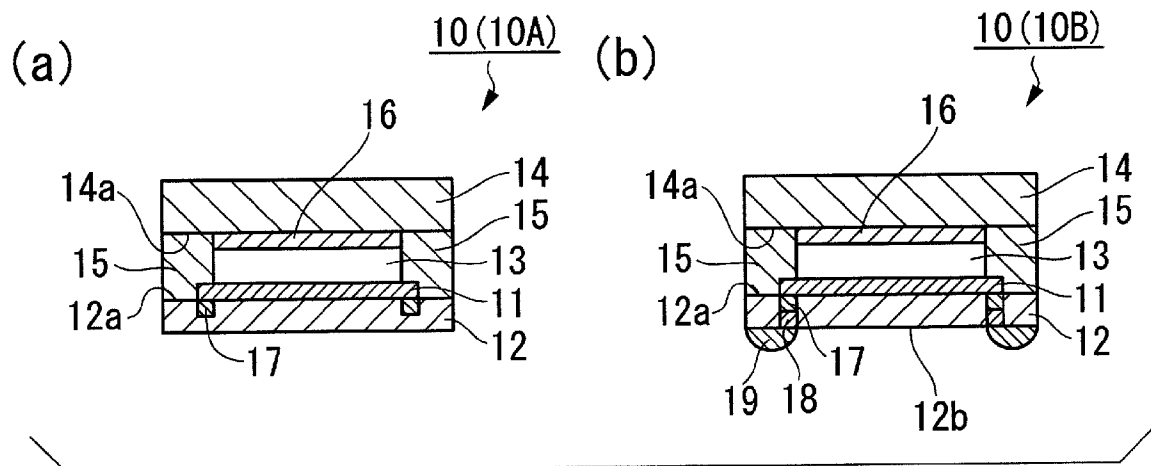
請求の範囲

- [1] 半導体デバイスと、
前記半導体デバイスが一面に配置された半導体基板と、
前記半導体基板の一面に、間隔を介して対向する一面を有するキャップ基板と、
前記半導体基板の一面と前記キャップ基板の一面との間に配置され、前記半導体基板と前記キャップ基板とを接合するスペーサーと、
前記キャップ基板に、前記スペーサーとは重ならず、前記半導体デバイスと重なるように設けられたフィルタと、
を備える半導体パッケージ。
- [2] 前記フィルタは、前記半導体基板、前記フィルタ、前記キャップ基板の順に重ねて配される請求項1記載の半導体パッケージ。
- [3] 前記フィルタは、前記半導体基板、前記キャップ基板、前記フィルタの順に重ねて配される請求項1記載の半導体パッケージ。
- [4] 前記フィルタは第一フィルタと第二フィルタからなり、前記半導体基板、前記第一フィルタ、前記キャップ基板、前記第二フィルタ、の順に重ねて配される請求項1記載の半導体パッケージ。
- [5] 前記半導体基板の一面側にあつて、前記半導体デバイスと電氣的に接してなる電極と、
前記半導体基板の他面側から前記電極に向けて設けられた貫通電極と、前記貫通電極と電氣的に接してなるはんだバンプとを備える請求項1記載の半導体パッケージ。
- [6] 半導体デバイスと、前記半導体デバイスが一面に配置された半導体基板と、前記半導体基板の一面に、間隔を介して対向する一面を有するキャップ基板と、前記半導体基板の一面と前記キャップ基板の一面との間に配置され、前記半導体基板と前記キャップ基板とを接合するスペーサーと、前記キャップ基板に、前記スペーサーとは重ならず、前記半導体デバイスと重なるように設けられたフィルタと、を備える半導体パッケージの製造方法であつて、
キャップ基板に複数の前記フィルタを形成する第一工程と、前記半導体デバイスが

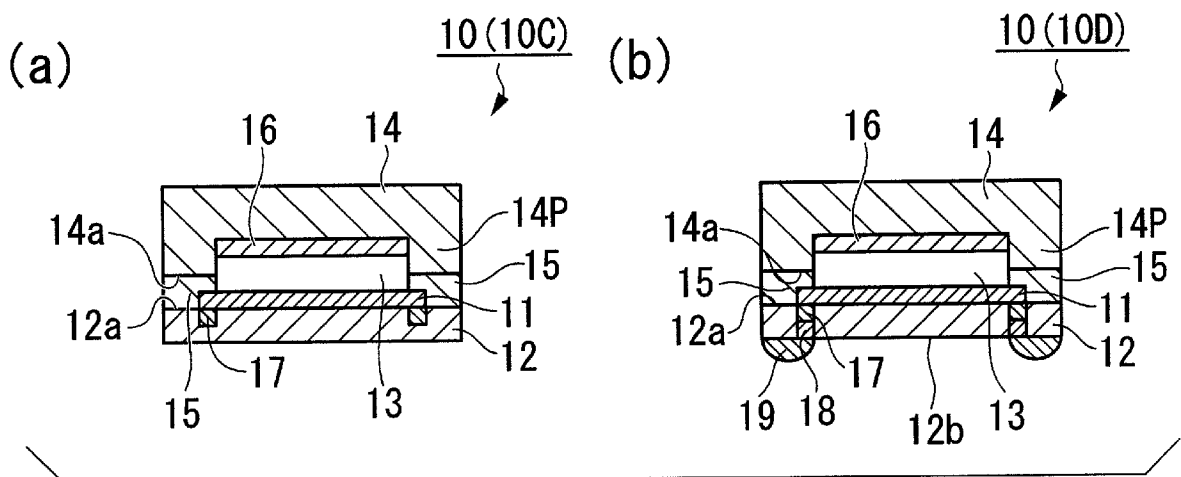
複数、互いに離間部を挟むように、一面に配されてなる半導体基板と、前記複数のフィルタを配した前記キャップ基板とを、前記離間部においてスペーサーを介して接着する第二工程と、前記キャップ基板、前記複数の半導体デバイス、前記半導体基板、及び前記スペーサーからなる構造体を、前記スペーサーがある領域において、前記半導体基板と前記キャップ基板の重なる方向に分断する第三工程とを備える半導体パッケージの製造方法。

- [7] 前記第二工程の後に、前記半導体基板の他面側から、前記半導体デバイスに向かって電氣的に接続される貫通電極を形成する工程と、前記貫通電極と電氣的に接続されるはんだバンプを形成する工程とを備える請求項6記載の半導体パッケージの製造方法。

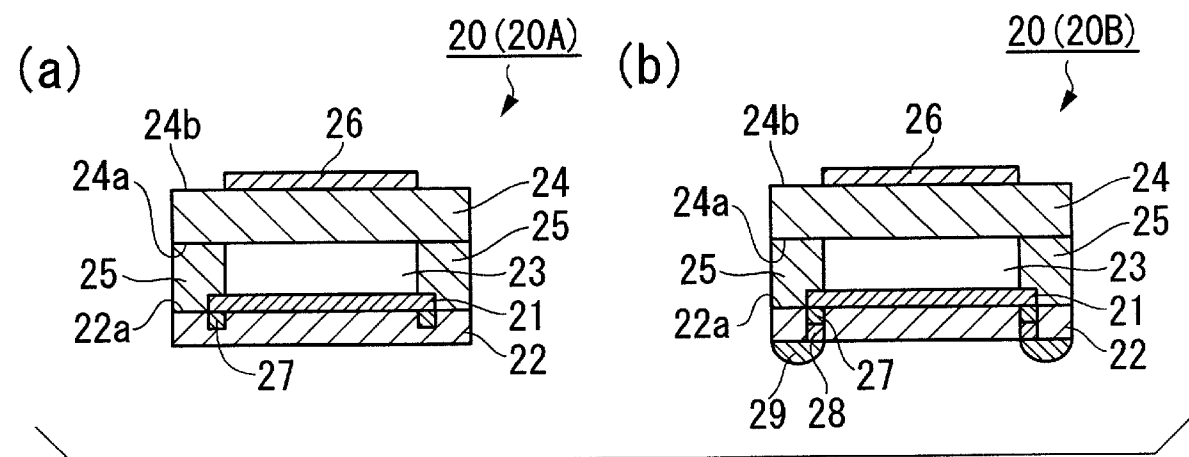
[[図1]



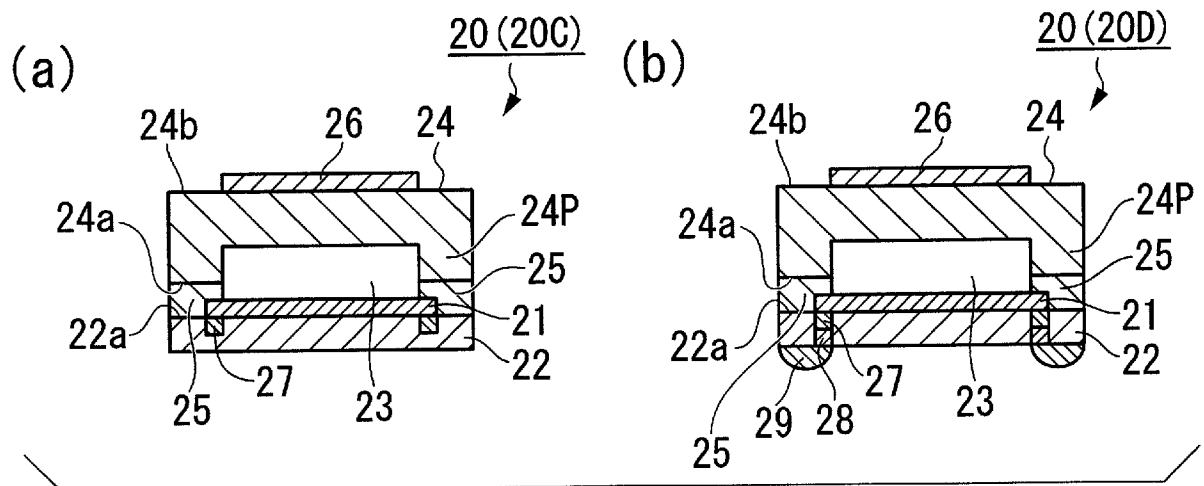
[[図2]



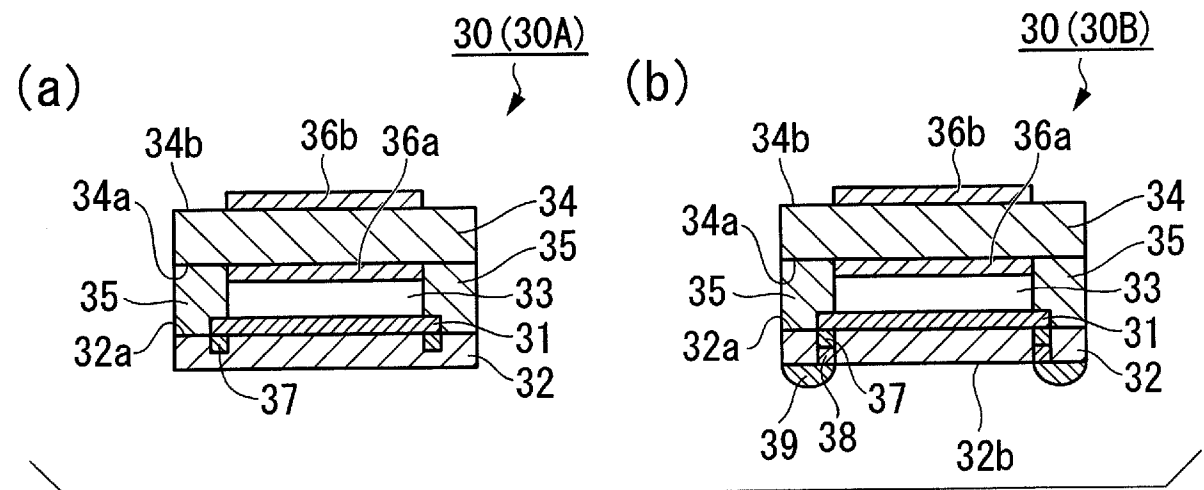
[[図3]



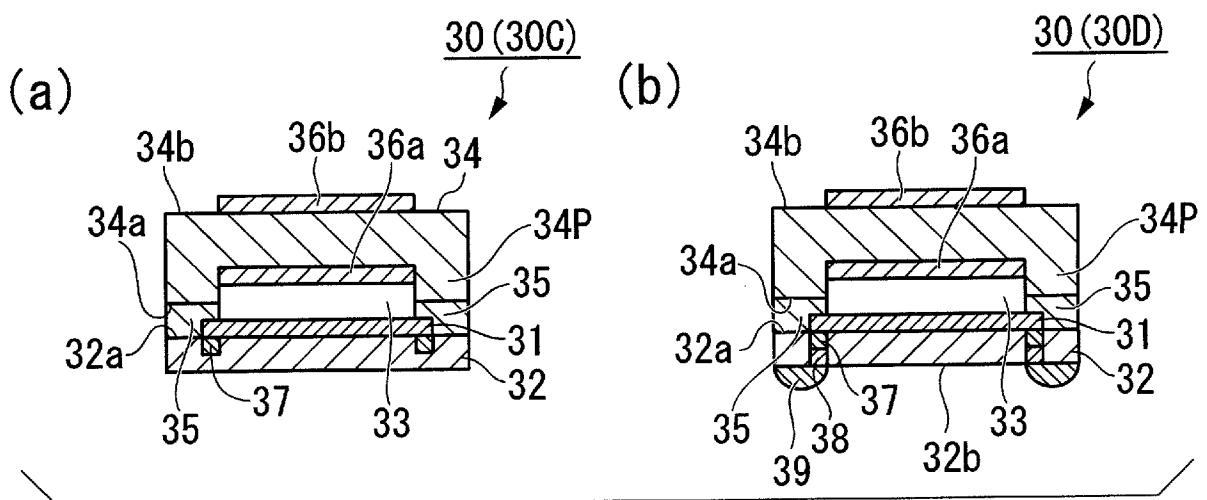
[図4]



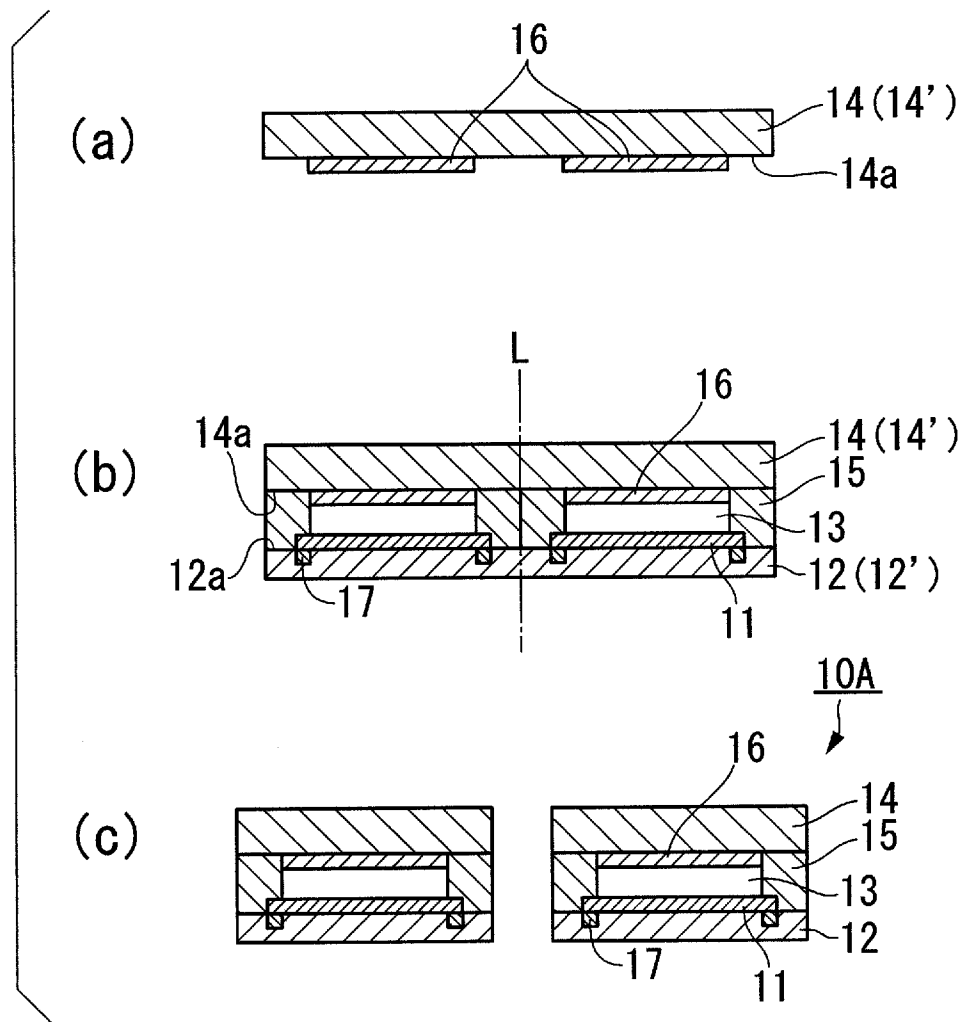
[図5]



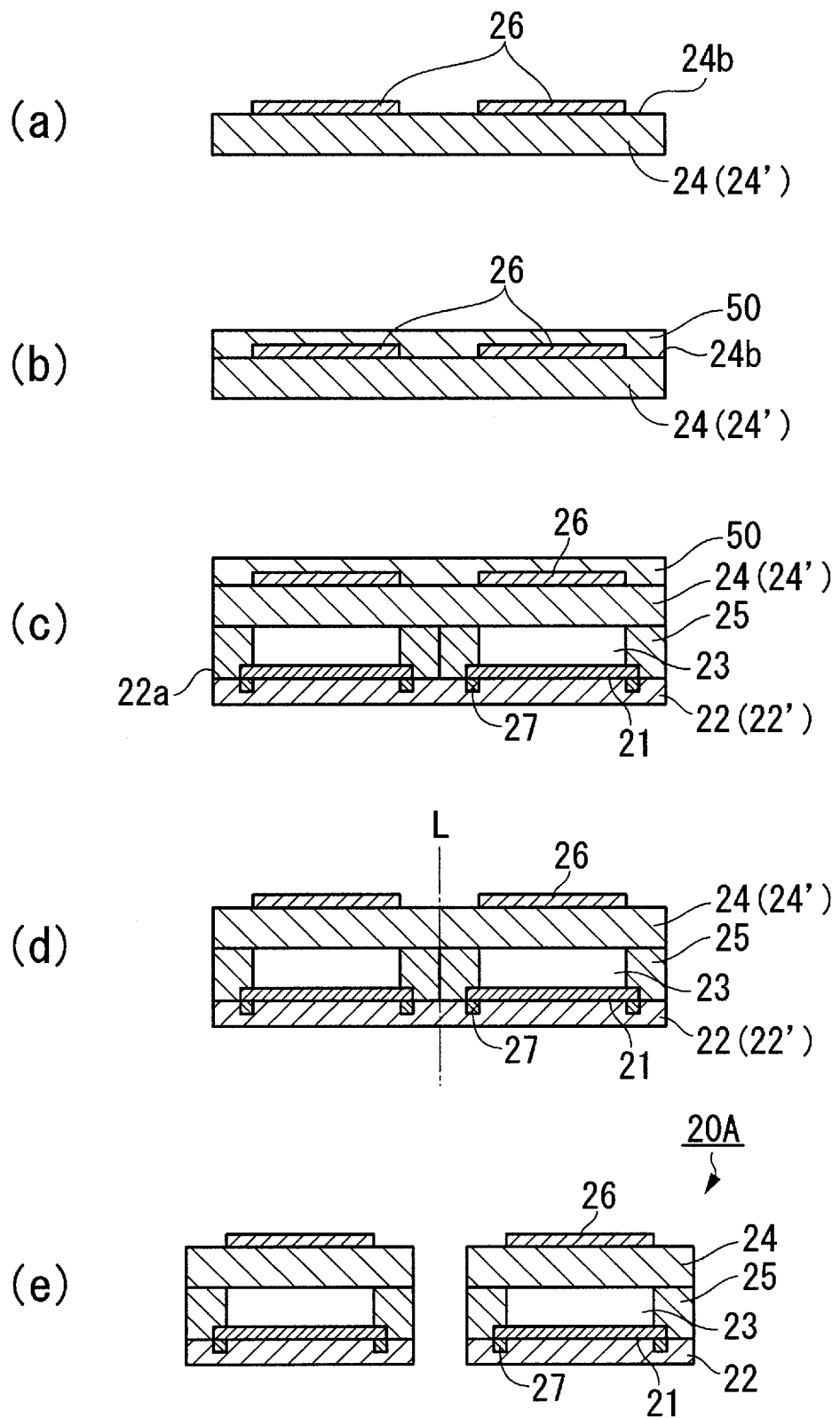
[図6]



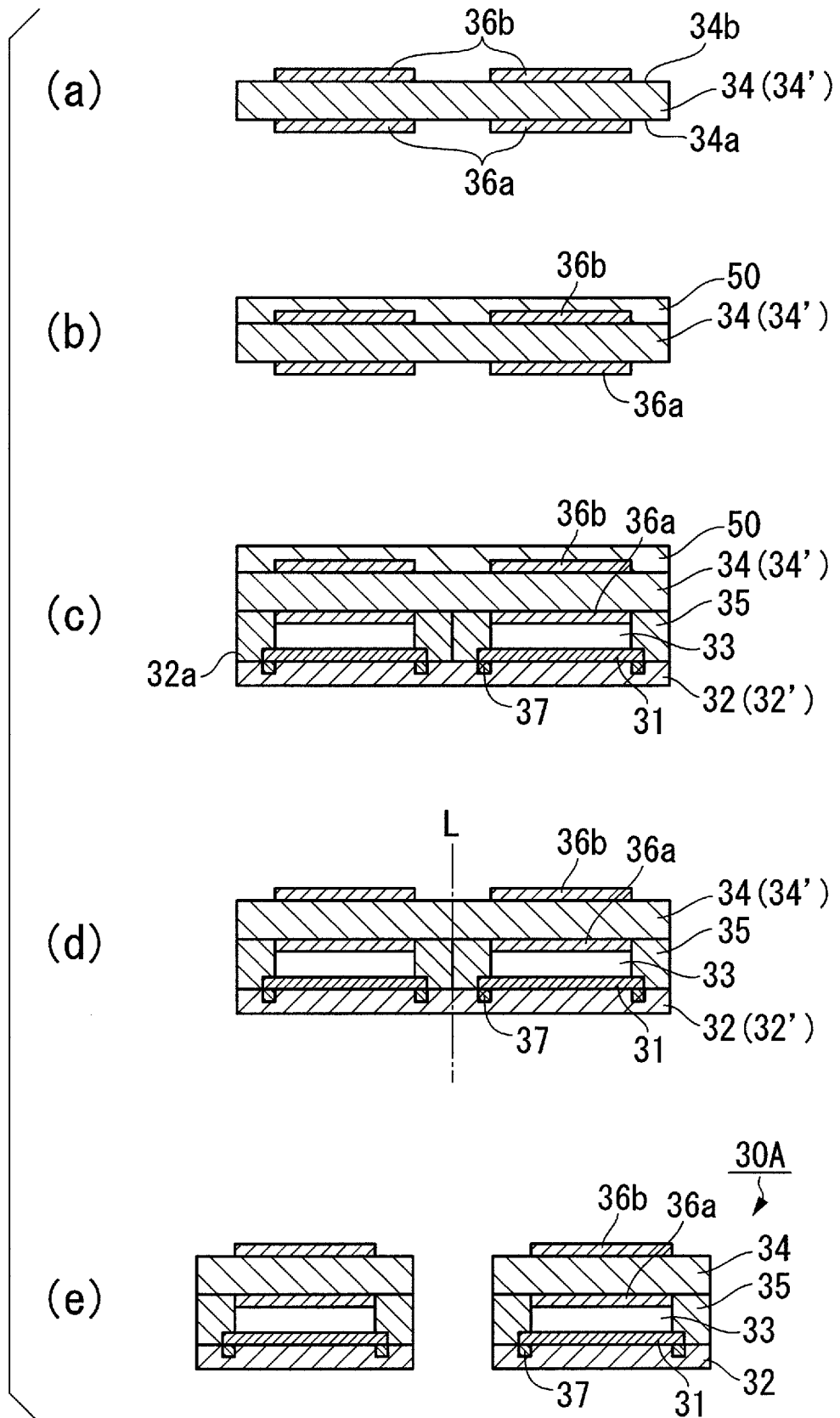
[図7]



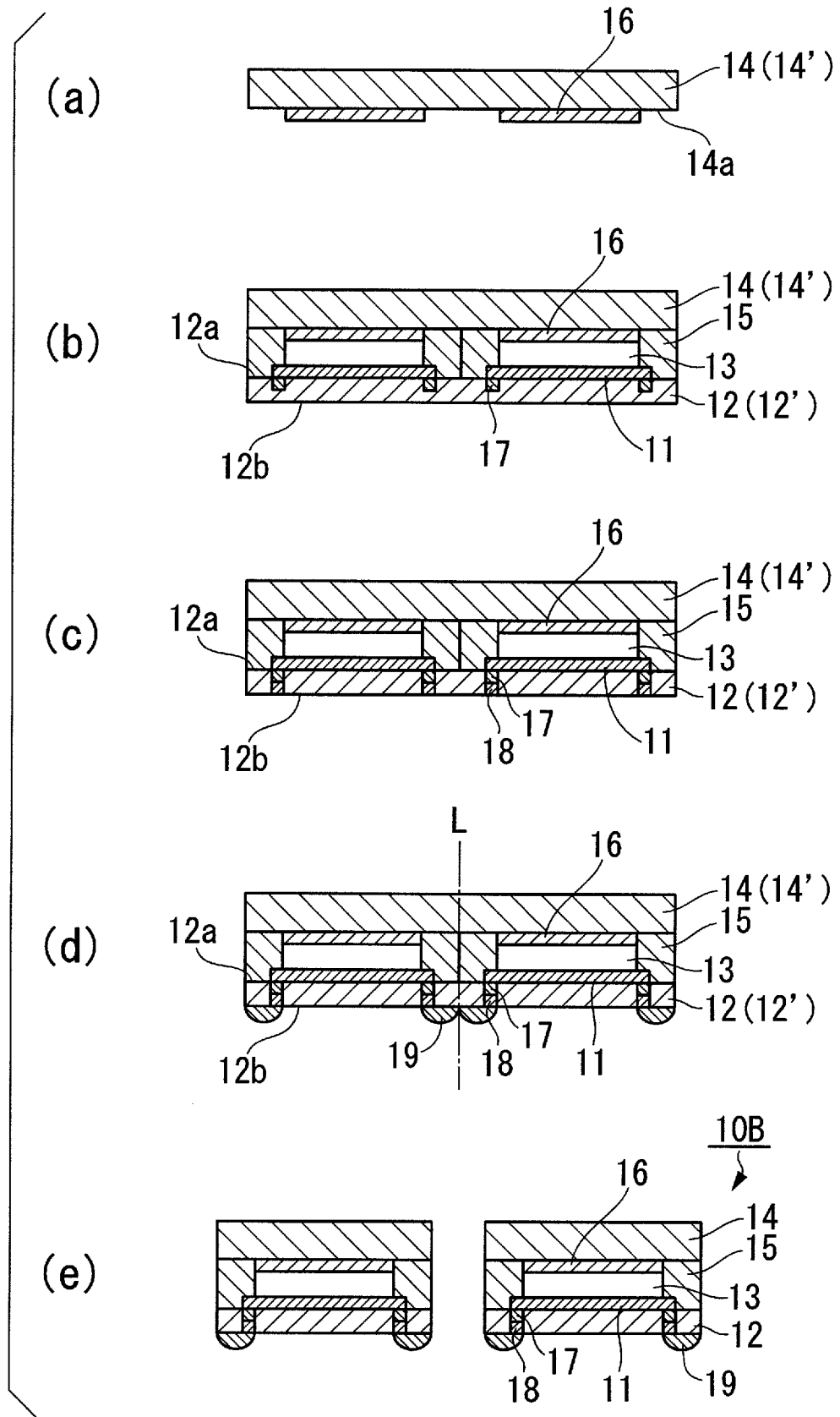
[図8]



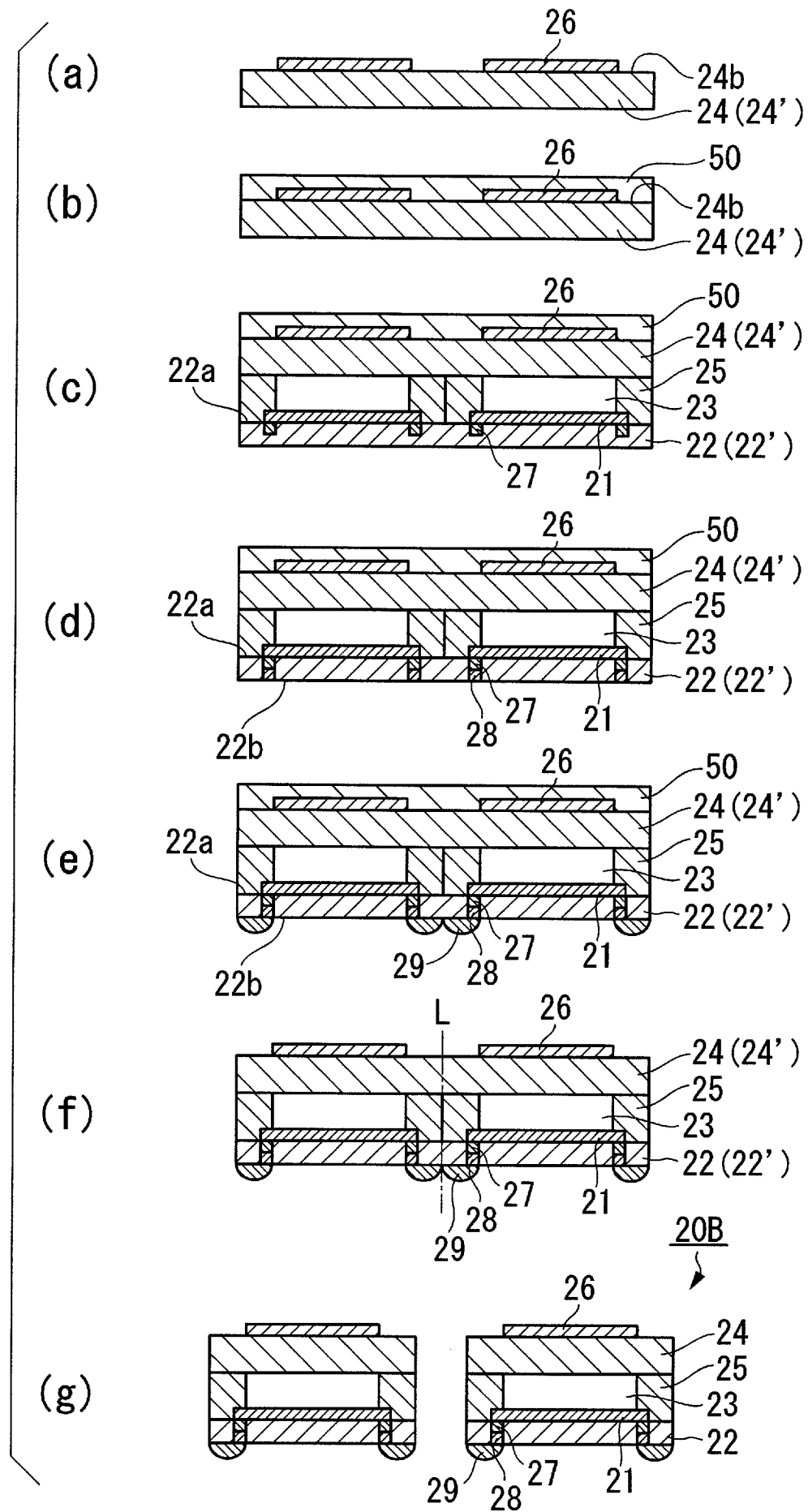
[図9]



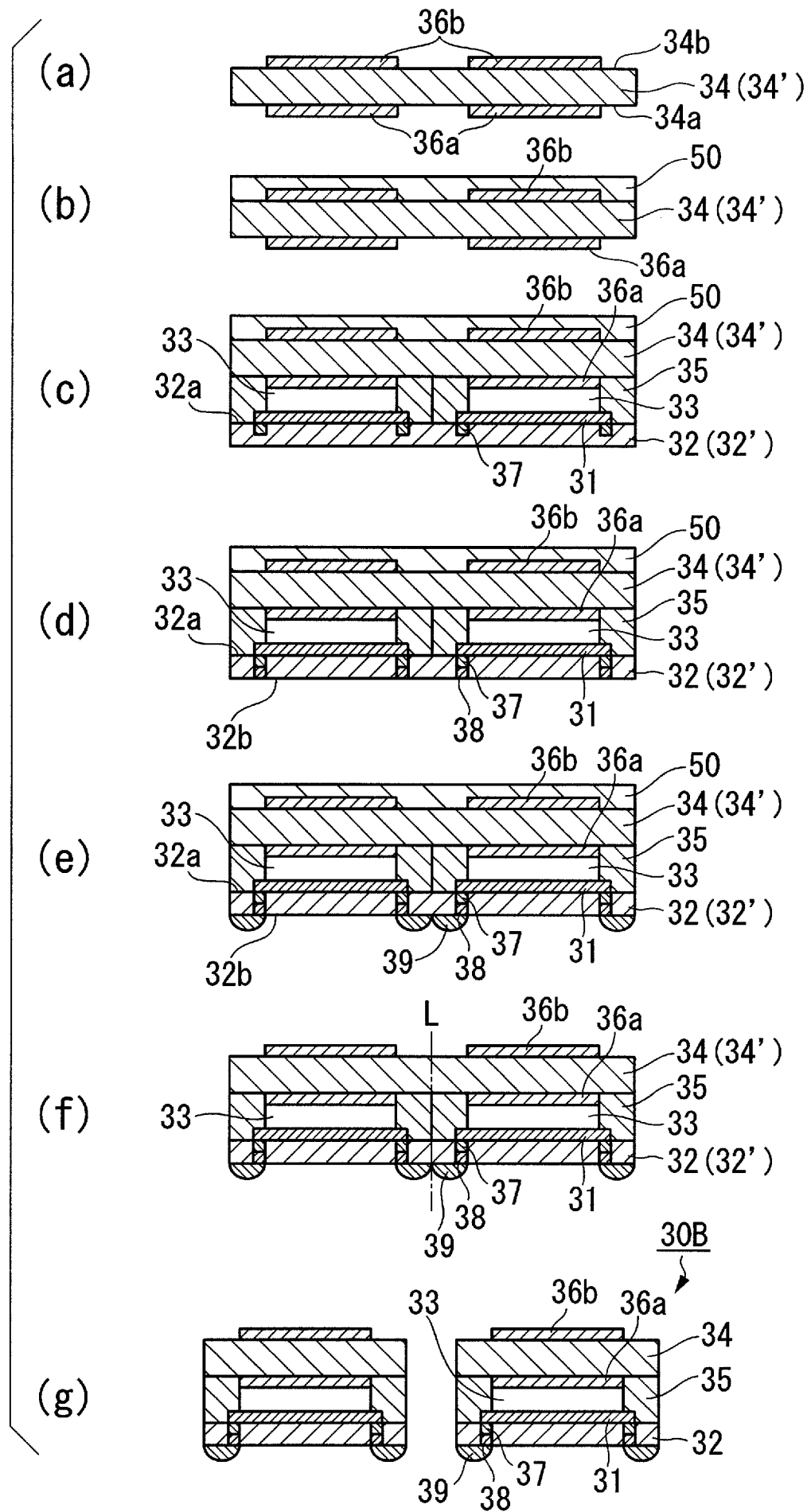
[図10]



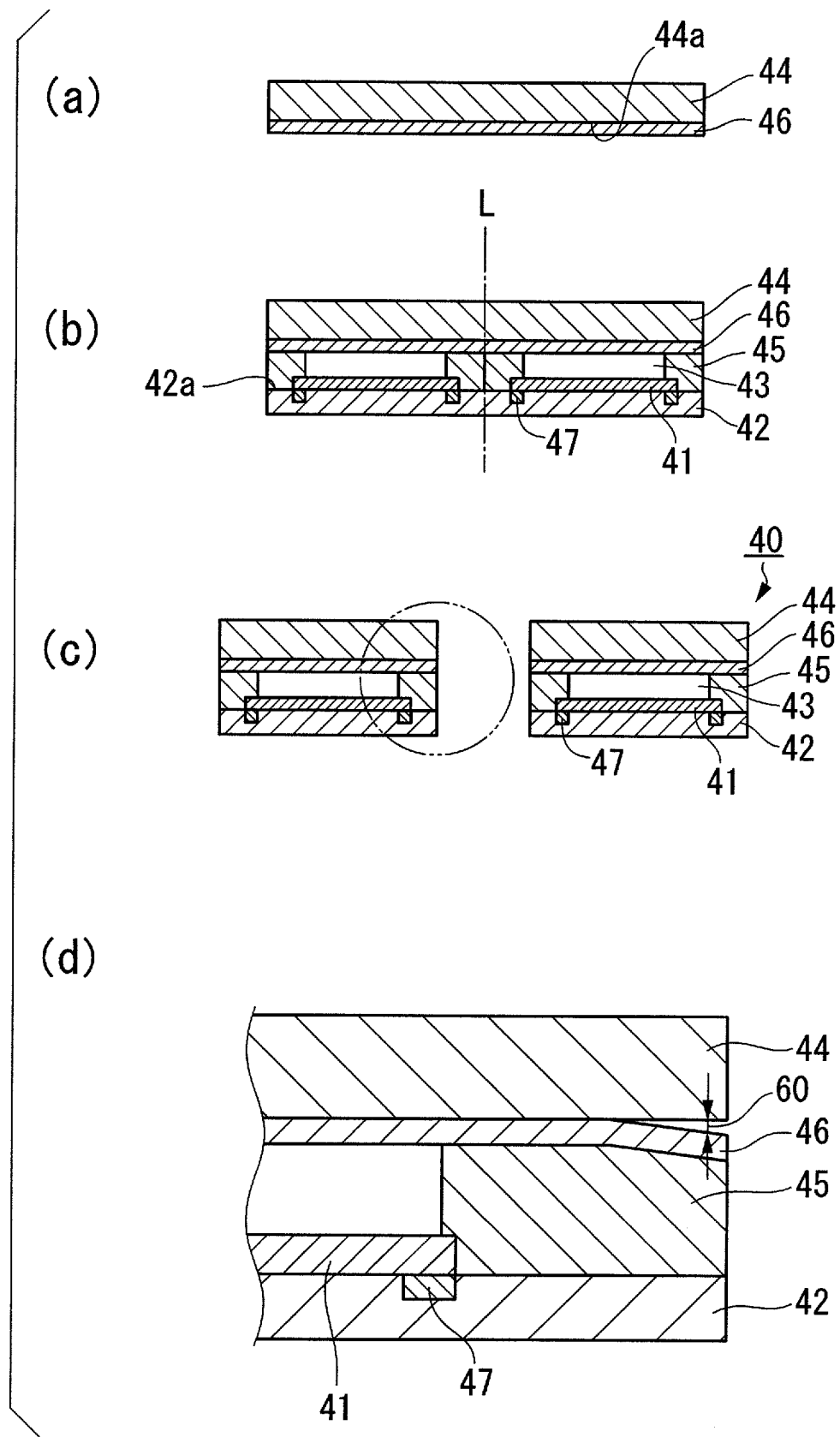
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/061773

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/02(2006.01)i, H01L23/12(2006.01)i, H01L27/14(2006.01)i, H04N5/335(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/02, H01L23/12, H01L27/14, H04N5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008

Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2005-212017 A (Kyocera Corp.), 11 August, 2005 (11.08.05), Full text; all drawings (Family: none)	1, 6 2-5, 7
Y	JP 2002-373977 A (Canon Inc.), 26 December, 2002 (26.12.02), Par. Nos. [0013] to [0025]; Figs. 1 to 4 (Family: none)	2-4
Y	JP 2007-042741 A (Shinko Electric Industries Co., Ltd.), 15 February, 2007 (15.02.07), Par. Nos. [0047] to [0053]; Fig. 8 & US 2007/0029654 A1 & EP 1749794 A2	5, 7

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 July, 2008 (15.07.08)Date of mailing of the international search report
22 July, 2008 (22.07.08)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/061773

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-125447 A (Hitachi, Ltd.), 19 May, 2005 (19.05.05), Par. Nos. [0014] to [0087]; Figs. 1 to 15 (Family: none)	5, 7
X Y	JP 2005-136144 A (Kyocera Corp.), 26 May, 2005 (26.05.05), Par. Nos. [0024] to [0065]; Fig. 1 (Family: none)	1-4 5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L23/02(2006.01)i, H01L23/12(2006.01)i, H01L27/14(2006.01)i, H04N5/335(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L23/02, H01L23/12, H01L27/14, H04N5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2005-212017 A（京セラ株式会社）2005.08.11, 全文, 全図（ファミリーなし）	1, 6 2-5, 7
Y	JP 2002-373977 A（キヤノン株式会社）2002.12.26, 段落【0013】 - 【0025】, 第1図-第4図（ファミリーなし）	2-4
Y	JP 2007-042741 A（新光電気工業株式会社）2007.02.15, 段落【0047】 - 【0053】, 第8図 & US 2007/0029654 A1 & EP 1749794 A2	5, 7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 0 7 . 2 0 0 8

国際調査報告の発送日

2 2 . 0 7 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

山本 雄一

4 R

3 1 2 3

電話番号 03-3581-1101 内線 3471

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2005-125447 A (株式会社日立製作所) 2005.05.19, 段落【0014】 - 【0087】, 第1図-第15図 (ファミリーなし)	5, 7
X Y	JP 2005-136144 A (京セラ株式会社) 2005.05.26, 段落【0024】 - 【0065】, 第1図 (ファミリーなし)	1-4 5