



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월23일
(11) 등록번호 10-1119722
(24) 등록일자 2012년02월16일

(51) 국제특허분류(Int. Cl.)
G06F 11/22 (2006.01)
(21) 출원번호 10-2007-7026562
(22) 출원일자(국제) 2006년05월10일
심사청구일자 2010년08월10일
(85) 번역문제출일자 2007년11월15일
(65) 공개번호 10-2008-0008359
(43) 공개일자 2008년01월23일
(86) 국제출원번호 PCT/JP2006/309385
(87) 국제공개번호 WO 2006/123560
국제공개일자 2006년11월23일
(30) 우선권주장
JP-P-2005-00147457 2005년05월20일 일본(JP)
(56) 선행기술조사문헌
JP07319950 A
US20050022086 A1

(73) 특허권자
가부시키키가이샤 아드반테스트
일본 도쿄도 네리마꾸 아사히쵸 1-32-1
(72) 발명자
콘도, 시게루
일본 1790071 도쿄 네리마꾸 아사히쵸 1-초메
32-1가부시키키가이샤 아드반테스트 내
키타자와, 히데카주
일본 1790071 도쿄 네리마꾸 아사히쵸 1-초메
32-1가부시키키가이샤 아드반테스트 내
쿠마가이, 토시히사
일본 1790071 도쿄 네리마꾸 아사히쵸 1-초메
32-1가부시키키가이샤 아드반테스트 내
(74) 대리인
신영무

전체 청구항 수 : 총 7 항

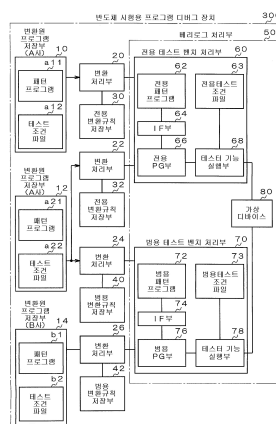
심사관 : 이정은

(54) 발명의 명칭 반도체 시험용 프로그램 디버그 장치

(57) 요약

본 발명은 사양이 다른 반도체 시험 장치 또는 반도체 시험 프로그램을 이용한 경우에 설비의 낭비를 저감시킬 수 있는 반도체 시험용 프로그램 디버그 장치를 제공하기 위한 것이다. 반도체 시험용 프로그램 디버그 장치(300)은, 피시험 디바이스의 동작을 시뮬레이트하는 가상 디바이스(80)과, 가상 디바이스(80)과의 사이에서 입출력되는 의사 시험 신호와 응답 신호를 생성하는 전용, 범용 테스트 벤치 처리부(60, 70)과, 사양이 다른 복수의 반도체 시험용 프로그램 각각을 저장하는 변환원 프로그램 저장부(10 내지 14)와, 복수의 사양 각각에 대응하는 변환 규칙을 저장하는 전용 변환 규칙 저장부(30, 32), 범용 변환 규칙 저장부(40, 42)와, 변환원 프로그램 저장부(10 내지 14)에 저장된 반도체 시험용 프로그램을 변환 규칙을 이용하여 변환하는 것에 의하여 전용, 범용 테스트 벤치 처리부(60, 70)을 생성하는 변환 처리부(20 내지 26)를 구비하고 있다.

대표도 - 도1



특허청구의 범위

청구항 1

반도체 시험용 프로그램에 근거하여 피시험 디바이스에 대해 시험을 행하는 반도체 시험 장치의 동작을 에뮬레이션함으로써, 상기 반도체 시험용 프로그램의 검증을 행하는 반도체 시험용 프로그램 디버그 장치에 있어서, 상기 피시험 디바이스의 동작을 시뮬레이트하는 가상 디바이스와, 사양이 다른 복수의 상기 반도체 시험용 프로그램의 각각을 저장하는 변환원 프로그램 저장 수단과, 복수의 사양 각각에 대응하는 변환 규칙을 저장하는 변환 규칙 저장 수단과, 상기 변환원 프로그램 저장 수단에 저장된 상기 반도체 시험용 프로그램을 상기 변환 규칙 저장 수단에 저장된 상기 반도체 시험용 프로그램의 사양에 대응하는 상기 변환 규칙을 이용하여 변환하는 변환 처리 수단과, 상기 변환된 반도체 시험용 프로그램을 이용하여, 상기 피시험 디바이스에 인가하는 시험 신호에 대응하는 의사(pseudo) 시험 신호를 생성함과 동시에, 상기 의사 시험 신호에 대응하는 상기 가상 디바이스의 응답 신호를 생성하는 테스트 벤치 처리 수단을 구비하고, 상이한 제조 메이커에 의해 제조된 복수의 반도체 시험 장치 및 각각의 반도체 시험 장치에 대응하는 복수의 반도체 시험용 프로그램이 있는 경우에, 상기 복수의 사양은 상기 제조 메이커마다 설정된 내용을 갖고, 상기 변환 규칙 저장 수단에 저장된 변환 규칙은 상기 상이한 제조 메이커 각각의 독자적인 특수 사양에 대응하는 전용 변환 규칙, 및 일반적인 사양에 대응하는 범용 변환 규칙을 포함하는 것을 특징으로 하는, 반도체 시험용 프로그램 디버그 장치.

청구항 2

제 1 항에 있어서, 상기 반도체 시험용 프로그램은 상기 피시험 디바이스에 인가하는 시험 신호의 발생 패턴을 규정하는 패턴 프로그램인 것을 특징으로 하는, 반도체 시험용 프로그램 디버그 장치.

청구항 3

제 1 항에 있어서, 상기 가상 디바이스와 상기 테스트 벤치 처리 수단은 동일한 하드웨어 기술 언어에 의해 구현되는 것을 특징으로 하는, 반도체 시험용 프로그램 디버그 장치.

청구항 4

제 3 항에 있어서, 상기 하드웨어 기술 언어는 베리로그-HDL(Verilog-HDL) 또는 VHDL이 사용되는 것을 특징으로 하는, 반도체 시험용 프로그램 디버그 장치.

청구항 5

삭제

청구항 6

제 1 항에 있어서, 상기 변환 규칙 저장 수단에 저장되는 상기 변환 규칙과 상기 변환 처리 수단은 각각의 사양에 대응하는 제조 메이커에 의해 작성되는 것을 특징으로 하는, 반도체 시험용 프로그램 디버그 장치.

청구항 7

제 1 항에 있어서,

동일한 제조 메이커에 의해 제조된 모델 번호 또는 버전이 다른 복수의 상기 반도체 시험 장치 및 각각의 반도체 시험 장치에 대응하는 복수의 상기 반도체 시험용 프로그램이 있는 경우에, 상기 복수의 사양은 상기 모델 번호 또는 버전마다 설정된 내용을 갖는 것을 특징으로 하는, 반도체 시험용 프로그램 디버그 장치.

청구항 8

제 1 항에 있어서,

상기 변환 처리 수단은 상기 변환 규칙에 근거하여, 상기 테스트 벤치 처리 수단이 특정된 때에, 대응하는 상기 반도체 시험용 프로그램을 생성하는 역변환을 행하는 것을 특징으로 하는, 반도체 시험용 프로그램 디버그 장치.

명세서

기술분야

[0001] 본 발명은 반도체 시험 장치의 동작을 에뮬레이트하여 반도체 시험 프로그램의 검증을 행하는 반도체 시험용 프로그램 디버그 장치에 관한 것이다.

배경기술

[0002] 종래부터 출하 전의 로직 IC나 반도체 메모리 등의 각종의 반도체 디바이스에 대해 기능 시험이나 직류 시험 등을 행한 것으로서 반도체 시험 장치가 알려져 있다. 반도체 시험 장치를 이용하여 기능 시험이나 직류 시험 등을 실시하는 경우에, 어떤 항목의 시험을 어떤 조건으로 할 것인지의 각종 조건은 미리 반도체 시험용 프로그램에 짜여져 있기 때문에, 이 반도체 시험용 프로그램을 실행함으로써 피검사용 반도체 디바이스의 각종 시험을 행할 수가 있다. 그러나, 반도체 시험용 프로그램은 시험 항목의 설정, 시험 조건의 설정, 시험의 실행, 시험 결과의 판정 등의 다기에 걸친 동작을 제어하지 않으면 안 되고, 방대한 스텝의 프로그램으로 구축되어 있다. 이 반도체 시험용 프로그램은 피검사용 반도체 디바이스의 종류가 변경이 되거나, 그 로직이 변경이 되거나 한 경우, 그에 맞춰서 여러 가지 변경을 하지 않으면 안 된다. 반도체 시험용 프로그램이 신규로 작성되거나, 변경된 경우에 그 프로그램 자체가 정상적으로 동작한 것인지 아닌지, 그 프로그램의 평가를 행하지 않으면 안 된다. 그 하나의 방법으로서, 실제 반도체 시험 장치를 이용하여 미리 좋고 나쁨을 알고 있는 피검사용 반도체 디바이스에 대해, 반도체 시험용 프로그램을 동작시켜, 그 프로그램의 평가를 행하고 있다. 그러나, 반도체 시험 장치 자체가 고가이고 도입 대수도 적은 이유로, 실제 반도체 시험 장치를 이용하여 반도체 시험용 프로그램이 정상적으로 동작하는지 아닌지의 평가를 행하는 것은, 반도체 시험의 라인을 정지하게 됨으로써 바람직하지 않다. 그래서, 종래부터 실제 반도체 시험 장치를 이용하여 반도체 시험용 프로그램의 평가를 행하는 것이 아니라, 워크스테이션 등의 범용 컴퓨터를 이용하여 반도체 시험 장치의 동작을 에뮬레이트하고, 그 반도체 시험용 프로그램이 정상적으로 동작하고 있는지 아닌지의 디버그를 행하는 반도체 시험용 프로그램 디버그 장치가 사용되고 있다(예를 들면, 특허 문헌1 참조).

[0003] [특허문헌 1] 특개 2001-51025호 공보(제 3 내지 5쪽, 도 1 내지 3)

[0004] 그런데, 특허 문헌1에 개시된 반도체 시험용 프로그램 디버그 장치(이하, 단지 디버그 장치라 함)는 디버그 대상이 되는 반도체 시험 프로그램에 적합한 사양으로 만들어지고 있다. 예를 들면, 반도체 시험 장치의 제조 메이커로서 A사와 B사가 있는 경우에, A사가 제조한 반도체 시험 장치(TA)에 조립된 반도체 시험 프로그램(a)을 실행할 때 반도체 시험 장치(TA)의 동작을 에뮬레이트하기 위한 디버그 장치(WA)가 만들어져 있다. 또, B사가 제조한 반도체 시험 장치(TB)에 조립된 반도체 시험 프로그램(b)을 실행할 때 반도체 시험 장치(TB)의 동작을 에뮬레이트하기 위한 디버그 장치(WB)가 필요하다. 이처럼, 제조 메이커가 다른 복수의 반도체 시험 장치에 사용되는 반도체 시험용 프로그램을 디버그하는 경우에는 제조 메이커마다 사양이 다른 디버그 장치가 필요하게 되고, 설비의 낭비가 많아진다는 문제가 있었다. 또, 이와 같은 문제는 동일한 제조 메이커로부터 구입한 복수의 반도체 시험 장치에 대해서도 발생할 수 있다. 예를 들면, 구입시기에 따라 반도체 시험 프로그램의 사양이 크게 달라진 경우에는 사양이 다른 반도체 시험 프로그램을 공통의 디버그 장치로 디버그할 수 없기 때문에, 반

도체 시험 프로그램의 각각의 사양에 맞춘 복수의 디버그 장치가 필요하게 된다.

[0005] 본 발명은 이와 같은 점을 감안하여 창안된 것으로, 그 목적은 사양이 다른 반도체 시험 장치 또는 반도체 시험 프로그램을 이용한 경우에 설비의 낭비를 저감할 수 있는 반도체 시험용 프로그램 디버그 장치를 제공하는 것에 있다.

발명의 상세한 설명

[0006] 상술한 과제를 해결하기 위해 본 발명의 반도체 시험용 프로그램 디버그 장치는 반도체 시험용 프로그램에 근거하여 피시험 디바이스에 대해 시험을 행한 반도체 시험 장치의 동작을 에뮬레이트함으로써, 반도체 시험용 프로그램의 검증을 행하고 있고, 피시험 디바이스의 동작을 시뮬레이션하는 가상 디바이스와, 피시험 디바이스에 인가하는 시험 신호에 대응하는 의사(pseudo) 시험 신호를 생성함과 동시에 이 의사 시험 신호에 대응하는 가상 디바이스의 응답 신호를 생성하는 테스트 벤치 처리 수단과, 사양이 다른 복수의 반도체 시험용 프로그램 각각을 저장하는 변환원 프로그램 저장 수단과, 복수의 사양의 각각에 대응하는 변환 규칙을 저장하는 변환 규칙 저장 수단과, 변환원 프로그램 저장 수단에 저장된 반도체 시험용 프로그램을 변환 규칙 저장 수단에 저장된 이 반도체 시험용 프로그램의 수단에 대응하는 변환 규칙을 이용하여 변환함으로써, 이 반도체 시험용 프로그램에 대응하는 테스트 벤치 처리 수단을 생성하는 변환 처리 수단을 구비하고 있다. 이에 의해, 사양이 다른 반도체 시험 장치나 반도체 시험용 프로그램이 복수 존재한 경우라도, 각각의 사양에 맞춰서 가상 디바이스에 대한 가상적인 시험 의사 시험 신호나 응답 신호의 입출력 동작을 행하는 것이 가능하게 되고, 사양마다 반도체 시험용 프로그램 디버그 장치를 구비할 필요가 없어지기 때문에, 설비의 낭비를 저감시킬 수 있다.

[0007] 또, 상술한 반도체 시험용 프로그램은, 피시험 디바이스에 인가하는 시험 신호의 발생 패턴을 규정하는 패턴 프로그램인 것이 바람직하다. 이에 의해, 패턴 프로그램의 사양이 복수 존재하는 경우에, 공통의 반도체 시험 장치용 프로그램 디버그 장치로 이 패턴 프로그램의 디버그(검증)를 행하는 것이 가능하게 된다.

[0008] 또, 상술한 가상 디바이스와 테스트 벤치 처리 수단은 동일한 하드웨어 기술 언어에 의해 구현된 것이 바람직하다. 구체적으로는 상술한 하드웨어 기술 언어는 베리로그(Verilog)-HDL 또는 VHDL이 사용되는 것이 바람직하다. 이에 의해, 하드웨어 기술 언어인 베리로그-HDL 혹은 VHDL을 이용하여 가상 디바이스와 함께 테스트 벤치 처리 수단의 기능을 구현한 것이 가능하다. 특히, 반도체 시험용 프로그램은 반도체 시험 장치의 제조 메이커 독자적인 수단을 보유한 경우가 많지만, 이것을 범용적인 하드웨어 기술 언어를 이용한 테스트 벤치 처리 수단으로 변환하는 것이 가능하게 되기 때문에, 범용성 및 유연성을 향상시킨 반도체 시험용 프로그램 디버그 장치를 실현하는 것이 가능하다.

[0009] 또한, 다른 제조 메이커에 의해 제조된 복수의 반도체 시험 장치 및 각자의 반도체 시험 장치에 대응하는 복수의 반도체 시험용 프로그램이 있을 때에 복수의 사양은 제조 메이커마다 설정된 내용을 보유하는 것이 바람직하다. 이에 따라 제조 메이커마다 다른 사양의 복수의 반도체 시험용 프로그램의 디버그를 공통의 반도체 시험용 프로그램 디버그 장치로 행하는 것이 가능하게 된다.

[0010] 특히, 상술한 변환 규칙 저장 수단에 저장되는 변환 규칙과 변환 처리 수단은, 각각의 사양에 대응하는 제조 메이커에 의해 작성되는 것이 바람직하다. 이에 따라, 경합하는 반도체 시험 장치의 각 제조 메이커에 대해 각각의 제조 메이커의 상세한 내부 자료 등을 개시시키는 일 없이, 공통의 반도체 시험용 프로그램 디버그 장치로 동작하는 범용의 테스트 벤치 수단을 생성하는 것이 가능하게 되고, 반도체 시험용 프로그램 디버그 장치의 공용화를 촉진할 수 있다.

[0011] 또, 동일한 제조 메이커에 의해 제조된 모델 번호 또는 버전이 다른 복수의 반도체 시험 장치 및 각각의 반도체 시험 장치에 대응하는 복수의 반도체 시험용 프로그램이 있을 때에, 복수의 사양은 모델 번호 또는 버전마다 설정된 내용을 갖는 것이 바람직하다. 이에 의해, 제조 메이커 내에서 모델 번호나 버전이 다른 복수의 반도체 시험용 프로그램의 디버그를 공통의 반도체 시험용 프로그램 디버그 장치로 행하는 것이 가능하게 된다.

[0012] 또한, 상술한 변환 처리 수단은 변환 규칙에 근거하여, 테스트 벤치 처리 수단이 특정된 때에, 대응하는 반도체 시험용 프로그램을 생성하는 역변환을 행하는 것이 바람직하다. 이에 의해, 일단 생성한 테스트 벤치 처리 수단을 통해 다른 사양의 반도체 시험용 프로그램의 상호 변환이 가능하게 되고, 제조 메이커나 모델 번호, 버전 등이 다른 각각의 반도체 시험용 프로그램의 사양을 자동으로 변경하는 것이 가능하게 되고, 반도체 시험용 프로그램의 유효 이용을 도모함과 동시에, 수작업에 의한 수단 변경의 실수를 방지할 수 있다.

실시예

- [0027] 이하, 본 발명을 적용한 일 실시예의 반도체 시험용 프로그램 디버그 장치에 관하여, 도면을 참조하며 상세히 설명한다. 도 1은 일 실시예의 반도체 시험용 프로그램 디버그 장치의 상세 구성을 나타내는 도면이다. 또, 도 2는 사양이 다른 복수의 반도체 시험 장치와 반도체 시험용 프로그램 디버그 장치와의 관계를 나타내는 도면이다.
- [0028] 도 2에 도시한 바와 같이, C사는 A사에 의해 제조된 반도체 시험 장치(100)와, B사에 의해 제조된 반도체 시험 장치(200)를 구입했다. 또, C사는 A사에 의해 개발된 반도체 시험용 프로그램 디버그 장치(300)를 소지하고 있는 것으로 한다. 또한, 일반적으로 반도체 시험용 프로그램 디버그 장치(300) 자체는 워크스테이션 등의 범용 컴퓨터에 의해 A사에 의해 개발된 전용 디버그용 프로그램을 실행함으로써 실현되는 것이다.
- [0029] 이와 같은 경우에, 종래는 A사가 개발한 반도체 시험용 프로그램 디버그 장치(300)에서는 A사의 반도체 시험 장치(100)에 사용되는 반도체 시험용 프로그램의 디버그를 행하는 것은 가능하지만, B사의 반도체 시험 장치(200)에 사용된 반도체 시험용 프로그램의 디버그를 행하는 것은 가능하지 않았다. 이것은 반도체 시험용 프로그램은 반도체 시험 장치의 제조 메이커 각 사의 독자적인 사양 및 프로그램 언어로 만들어져 있고, A사가 B사의 상세한 사양이나 프로그램 언어의 내용을 알 수 없기 때문에, B사의 사양에 맞춰 만들어진 반도체 시험용 프로그램의 내용을 해석하여, 대응하는 반도체 시험 장치(200)의 동작을 에뮬레이트할 수 없기 때문이다. 본 실시예의 반도체 시험용 프로그램 디버그 장치(300)에서는 A사의 반도체 시험용 프로그램뿐만 아니라, B사의 반도체 시험용 프로그램의 디버그도 가능한 연구가 행해진다.
- [0030] 도 1에 도시하는 바와 같이, 본 실시예의 반도체 시험용 프로그램 디버그 장치(300)는 변환원 프로그램 저장부(10, 12, 14), 변환 처리부(20, 22, 24, 26), 전용 변환 규칙 저장부(30, 32), 범용 변환 규칙 저장부(40, 42), 베리로그 처리부(50)를 포함하여 구성되어 있다. 이 반도체 시험용 프로그램 디버그 장치(300)는 CPU, ROM, RAM, 하드 디스크 장치를 구비하는 워크스테이션 등의 컴퓨터를 이용하여 구현되고, 하드 디스크 장치에 설치된 디버그용 프로그램을 CPU에 의해 실행함으로써 소망하는 동작을 한다.
- [0031] 변환원 프로그램 저장부(10)는 A사의 반도체 시험 장치(100)로 사용되는 반도체 시험용 프로그램으로서의 패턴 프로그램(a11)과 테스트 조건 파일(a12)을 저장한다. 패턴 프로그램(a11)은 반도체 시험 장치(100)를 이용하여 피시험 디바이스에 대해 시험을 한 때의 시험 신호의 발생 패턴을 규정한다. 또, 테스트 조건 파일(a12)은 시험 신호의 전압 레벨 등의 테스트 조건을 규정한다.
- [0032] 마찬가지로, 변환원 프로그램 저장부(12)는 A사의 반도체 시험 장치(100)에서 사용되는 반도체 시험용 프로그램으로서의 패턴 프로그램(a21)과 테스트 조건 파일(a22)을 저장한다. 또한, 변환원 프로그램 저장부(10)에 저장된 패턴 프로그램(a11) 및 테스트 조건 파일(a12)과, 변환원 프로그램 저장부(12)에 저장된 패턴 프로그램(a21) 및 테스트 조건 파일(a22)은 동일한 A사의 사양에 따라서 C사가 작성하는 것이지만, 대상이 되는 반도체 시험 장치(100, 100')의 모델 번호 또는 버전이 다른 것으로, A사의 다른 사양에 근거하여 작성되어 있다.
- [0033] 또한, 변환원 프로그램 저장부(14)는 B사의 반도체 시험 장치(200)에서 사용된 반도체 시험용 프로그램으로서의 패턴 프로그램(b1) 및 테스트 조건 파일(b2)을 저장한다. 이들 패턴 프로그램(b1) 및 테스트 조건 파일(b2)은 B사의 사양에 따라 C사가 작성한 것이다.
- [0034] 변환 처리부(20)는 변환원 프로그램 저장부(10)에 저장되어 있는 패턴 프로그램(a11)과 테스트 조건 파일(a12)을 읽어내고, 전용 변환 규칙 저장부(30)에 저장된 전용 변환 규칙에 근거하여 소정의 변환 처리를 행한다. 마찬가지로, 변환 처리부(22)는 변환원 프로그램 저장부(12)에 저장되어 있는 패턴 프로그램(a21)과 테스트 조건 파일(a22)을 읽어내고, 전용 변환 규칙 저장부(32)에 저장된 전용 변환 규칙에 근거하여 소정의 변환 처리를 행한다. 변환 처리부(24)는 변환원 프로그램 저장부(12)에 저장되어 있는 패턴 프로그램(a21)과 테스트 조건 파일(a22)을 읽어내고, 범용 변환 규칙 저장부(40)에 저장된 범용 변환 규칙에 근거한 소정의 변환 처리를 행한다. 변환 처리부(26)는 변환원 프로그램 저장부(14)에 저장되어 있는 패턴 프로그램(b1)과 테스트 조건 파일(b2)을 읽어내고, 범용 변환 규칙 저장부(42)에 저장된 범용 변환 규칙에 근거하여 소정의 변환 처리를 행한다.
- [0035] 베리로그 처리부(50)는 하드웨어 기술 언어인 베리로그-HDL 또는 VHDL을 이용하여 구현되어 있고, 전용 테스트 벤치 처리부(60), 범용 테스트 벤치 처리부(70), 가상 디바이스(80)를 구비하고 있다. 가상 디바이스(80)는 반

도체 시험 장치(100, 100')를 이용하여 실제로 시험을 행하는 대상이 된 피시험 디바이스의 동작을 시뮬레이트한 것이고, 이 피시험 디바이스를 설계하는 때에 작성된 하드웨어 기술 언어의 데이터를 이용하는 것이 가능하다.

[0036] 전용 테스트 벤치 처리부(60)는 반도체 시험 장치(100, 100')에 의해 반도체 시험용 프로그램을 실행하고 피시험 디바이스에 대해 시험을 행하는 동작을 에뮬레이트한 것이며, 전용 패턴 프로그램(62), 전용 테스트 조건 파일(63), IF부(인터페이스부; 64), 전용PG(패턴 발생부; 66), 테스터 기능 실행부(68)를 구비하고 있다. 전용 패턴 프로그램(62)은 변환원 프로그램 저장부(10, 12)에 저장된 패턴 프로그램(a11, a21)에 대응하는 것이고, 사용되는 프로그램 언어를 변환한 것이다. 또, 전용 테스트 조건 파일(63)은 변환원 프로그램 저장부(10, 12)에 저장된 테스트 조건 파일(a12, a22)에 대응하는 것이고, 사용되는 프로그램 언어를 변환한 것이다. 상술한 바와 같이, 패턴 프로그램(a11, a21)이나 테스트 조건 파일(a12, a22)은 A사 독자적인 프로그램 언어로 만들어져 있고, 변환 처리부(20, 22)에 의해 이들을 범용의 하드웨어 기술 언어인 베리로그-HDL 또는 VHDL을 이용한 전용 패턴 프로그램(62)과 전용 테스트 조건 파일(63)로 변환하고 있다. IF부(64)는 전용 패턴 프로그램(62)을 실행할 때에 이 전용 패턴 프로그램(62)의 내용을 해석하여 전용 PG부(66)에 대해 동작 지시를 행한다. 전용 PG부(66)는 전용 패턴 프로그램(62)의 기술 내용에 대응하는 시험 패턴을 의사(pseudo)적으로 발생한다. 테스터 기능 실행부(68)는 전용 PG부(66)에 의해 의사적으로 생성된 시험 패턴과 전용 테스트 조건 파일(63)로 지정된 시험 조건에 근거하고, 가상 디바이스(80)에 대한 시험 동작을 에뮬레이트하여 가상적인 반도체 시험을 실시한다.

[0037] 상술한 변환 처리부(20)는 변환원 프로그램 저장부(10)에 저장된 패턴 프로그램(a11)과 테스트 조건 파일(a12)에 근거하여, 전용 테스트 벤치 처리부(60)에 포함되는 전용 패턴 프로그램(62), 전용 테스트 조건 파일(63), IF부(64), 전용 PG부(66), 테스터 기능 실행부(68)를 작성한다(실제로는, 전용 테스트 벤치 처리부(60)의 각 기능을 실현하는 베리로그-HDL 등으로 기술된 프로그램이 작성됨). 마찬가지로, 변환 처리부(22)는 변환원 프로그램 저장부(12)에 저장된 패턴 프로그램(a21)과 테스트 조건 파일(a22)에 근거하여, 전용 테스트 벤치 처리부(60)에 포함되는 전용 패턴 프로그램(62), 전용 테스트 조건 파일(63), IF부(64), 전용 PG부(66), 테스터 기능 실행부(68)를 작성한다.

[0038] 또한, 본 실시예의 변환 처리부(20)는 패턴 프로그램(a11) 및 테스트 조건 파일(a12)에 근거하여 전용 테스트 벤치 처리부(60)를 작성하는 변환 동작뿐만 아니라, 반대로 작성된 전용 테스트 벤치 처리부(60)가 존재하는 때에 이 전용 테스트 벤치 처리부(60)의 내용(베리로그-HDL 등으로 기술된 프로그램)과, 전용 변환 규칙 저장부(30)에 저장된 전용 변환 규칙에 근거하여 패턴 프로그램(a11) 및 테스트 조건 파일(a12)을 작성하는 역변환의 기능도 갖추고 있다. 마찬가지로, 본 실시예의 변환 처리부(22)는 패턴 프로그램(a21) 및 테스트 조건 파일(a22)에 근거하여 전용 테스트 벤치 처리부(60)를 작성하는 변환 동작뿐만 아니라, 반대로 작성된 전용 테스트 벤치 처리부(60)가 존재하는 때에 이 전용 테스트 벤치 처리부(60)의 내용과, 전용 변환 규칙 저장부(32)에 저장된 전용 변환 규칙에 근거하여 패턴 프로그램(a21) 및 테스트 조건 파일(a22)을 작성하는 역변환의 기능도 갖추고 있다.

[0039] 또, 범용 테스트 벤치 처리부(70)는 반도체 시험 장치(200)나 반도체 시험 장치(100')에 의해 반도체 시험용 프로그램을 실행하여 피시험 디바이스에 대해 시험을 한 동작을 에뮬레이트한 것이고, 범용 패턴 프로그램(72), 범용 테스트 조건 파일(73), IF부(인터페이스부; 74), 범용 PG부(패턴 발생부; 76), 테스터 기능 실행부(78)를 갖추고 있다. 범용 패턴 프로그램(72)은 변환원 프로그램 저장부(12, 14)에 저장된 패턴 프로그램(a21, b1)에 대응하는 것이고, 사용되는 프로그램 언어를 변환한 것이다. 또, 범용 테스트 조건 파일(73)은 변환원 프로그램 저장부(12, 14)에 저장된 테스트 조건 파일(a22, b2)에 대응하는 것이고, 사용된 프로그램 언어를 변환한 것이다. 상술한 바와 같이, 패턴 프로그램(a21, b1)이나 테스트 조건 파일(a22, b2)은 A사 독자 또는 B사 독자적인 프로그램 언어로 만들어져 있고, 변환 처리부(24, 26)에 의해 이들을 범용의 하드웨어 기술 언어인 베리로그-HDL 또는 VHDL을 이용한 범용 패턴 프로그램(72)과 범용 테스트 조건 파일(73)로 변환하고 있다. IF부(74)는 범용 패턴 프로그램(72)을 실행할 때에 이 범용 패턴 프로그램(72)의 내용을 해석하여 범용 PG부(76)에 대해 동작 지시를 행한다. 범용 PG부(76)는 범용 패턴 프로그램(72)의 기술 내용에 대응하는 시험 패턴을 의사적으로 발생한다. 테스터 기능 실행부(78)는 범용 PG부(76)에 의해 의사적으로 생성된 시험 패턴과 범용 테스트 조건 파일(73)로 지정되는 시험 조건에 근거하여, 가상 디바이스(80)에 대한 시험 동작을 에뮬레이트하여 가상적인 반도체 시험을 실시한다.

[0040] 상술한 변환 처리부(24)는 변환원 프로그램 저장부(12)에 저장된 패턴 프로그램(a21)과 테스트 조건 파일(a22)에 근거하여, 범용 테스트 벤치 처리부(70)에 포함되는 범용 패턴 프로그램(72), 범용 테스트 조건 파일(73),

IF부(74), 범용 PG부(76), 테스터 기능 실행부(78)를 작성한다. 마찬가지로, 변환 처리부(26)는 변환원 프로그램 저장부(14)에 저장된 패턴 프로그램(b1)과 테스트 조건 파일(b2)에 근거하여, 범용 테스트 벤치 처리부(70)에 포함된 범용 패턴 프로그램(72), 범용 테스트 조건 파일(73), IF부(74), 범용 PG부(76), 테스터 기능 실행부(78)를 작성한다.

[0041] 또한, 본 실시예의 변환 처리부(24)는 패턴 프로그램(a21) 및 테스트 조건 파일(a22)에 근거하여 범용 테스트 벤치 처리부(70)를 작성하는 변환 동작뿐만 아니라, 반대로 작성된 범용 테스트 벤치 처리부(70)가 존재하는 때에 이 범용 테스트 벤치 처리부(70)의 내용(베리로그-HDL 등으로 기술된 프로그램)과, 범용 변환 규칙 저장부(40)에 저장된 범용 변환 규칙에 근거하여 패턴 프로그램(a21) 및 테스트 조건 파일(a22)을 작성하는 역변환의 기능도 갖추고 있다. 마찬가지로, 본 실시예의 변환 처리부(26)는 패턴 프로그램(b1) 및 테스트 조건 파일(b2)에 근거하여 범용 테스트 벤치 처리부(70)를 작성하는 변환 동작뿐만 아니라, 반대로 작성된 범용 테스트 벤치 처리부(70)가 존재하는 때에 이 범용 테스트 벤치 처리부(70)의 내용과, 범용 변환 규칙 저장부(42)에 저장된 범용 변환 규칙에 근거하여 패턴 프로그램(b1) 및 테스트 조건 파일(b2)을 작성하는 역변환의 기능도 갖추고 있다.

[0042] 그런데, 상술한 전용 테스트 벤치 처리부(60) 및 범용 테스트 벤치 처리부(70)의 각각에 있어서 「전용」과 「범용」이라는 용어의 분리 사용은 이하와 같이 행하고 있다. 반도체 시험용 프로그램 디버그 장치(300)를 실현하기 위한 디버그용 프로그램 전체는 A사가 만들고 있기 때문에, A사는 자사의 반도체 시험 장치(100, 100')에 의한 시험 동작을 충실하게 에뮬레이트할 수 있는 테스트 벤치 처리부를 작성하는 것이 가능하다. 이렇게 하여 작성된 것이 전용 테스트 벤치 처리부(60)이다. 이것은 종래와 같이 자사의 반도체 시험용 프로그램용에 전용의 반도체 시험용 프로그램 디버그 장치를 사용하는 경우와 동일하다. A사 자신이 작성한 패턴 프로그램(a11, a21)이나 테스트 조건 파일(a12, a22)에 근거하여 전용 테스트 벤치 처리부(60)을 생성하기 때문에, 전용 변환 규칙 저장부(30, 32)에 저장된 전용 변환 규칙은 상세한 사양을 고려하여 작성하는 것이 가능하다. 따라서 전용 테스트 벤치 처리부(60)에서는 실제의 반도체 시험 장치(100, 100')의 상세한 시험 동작까지 에뮬레이트할 수 있고, 반도체 시험용 프로그램의 대부분 모든 내용을 디버그할 수 있다.

[0043] 이에 대해, B사가 만들었던 반도체 시험용 프로그램에 대응하는 시험 동작을 에뮬레이트하기 위한 것이 범용 테스트 벤치 처리부(70)이다. B사의 반도체 시험 장치(200)나 이에 사용되는 반도체 시험용 프로그램의 상세 사양은 A사에서는 모른다. A사의 반도체 시험장치나 반도체 시험용 프로그램의 상세 사양을 모르는 점에 대해서는 B사에 있어서도 동일하다. 따라서 범용 변환 규칙 저장부(40, 42)에는 A사 독자 또는 B사 독자적인 특수한 사양을 제외한 일반적인 사양에 대응하는 범용 변환 규칙이 저장되어 있고, 이 범용 변환 규칙에 근거하여 범용 테스트 벤치 처리부(70)가 작성된다. 또한, 범용 테스트 벤치 처리부(70)에 의해 행해지는 일반적인 에뮬레이트 동작과 범용 변환 규칙과의 관계를 나타내는 정보, 즉, 범용 변환 규칙을 이용하여 변환 처리부(24, 26)에 의해 범용 테스트 벤치 처리부(70)를 작성하기 위한 정보가 반도체 시험 장치의 제조 메이커 각 사에 공개되어 있다. 또, A사의 패턴 프로그램(a21)이나 테스트 조건 파일(a22)에 대응하는 범용 변환 규칙 저장부(40) 내의 범용 변환 규칙이나 변환 처리부(24)(변환 처리부(24)를 구현하기 위한 프로그램)는 A사에 의해 작성된다. 마찬가지로, B사의 패턴 프로그램(b1)이나 테스트 조건 파일(b2)에 대응하는 범용 변환 규칙 저장부(42) 내의 범용 변환 규칙이나 변환 처리부(26)(변환 처리부(26)을 실현하기 위한 프로그램)는 B사에 의해 작성된다.

[0044] 상술한 전용 테스트 벤치 처리부(60), 범용 테스트 벤치 처리부(70)가 테스트 벤치 처리 수단에, 변환원 프로그램 저장부(10, 12, 14)가 변환원 프로그램 저장 수단에, 전용 변환 규칙 저장부(30, 32), 범용 변환 규칙 저장부(40, 42)가 변환 규칙 저장 수단에 각각 대응한다.

[0045] 도 3은 패턴 프로그램과 테스트 벤치 처리부와의 관계를 나타내는 도면이다. 상술한 바와 같이, A사의 사양에 따라 작성된 패턴 프로그램(a11)은 변환 처리부(20)를 이용함으로써, 전용 테스트 벤치 처리부(60)로 변환된다. 또, A사의 다른 사양에 따라 작성된 패턴 프로그램(a21)은 변환 처리부(22)를 이용함으로써, 전용 테스트 벤치 처리부(60)로 변환된다. 이와 같이, 사양이 다른 2개의 패턴 프로그램(a11, a21)은 각각에 대응하는 변환 처리부(20, 22)에 의해 공통의 전용 테스트 벤치 처리부(60)로 변환되기 때문에, 한 대의 반도체 시험용 프로그램 디버그 장치(300)를 이용하여 이들 사양이 다른 2개의 패턴 프로그램(a11, a12)에 대한 디버그를 행할 수가 있다. 또, 공통의 전용 테스트 벤치 처리부(60)로 일단 변환함으로써, 모델 번호나 버전이 서로 다른 반도체 시험 장치 등에 사용되는 패턴 프로그램(a11)과 패턴 프로그램(a21) 간에 상호 변환이 가능하게 된다.

[0046] 마찬가지로, A사의 사양에 따라 작성된 패턴 프로그램(a21)은 변환 처리부(24)를 이용함으로써, 범용 테스트 벤치 처리부(70)로 변환된다. 또, B사의 사양에 따라 작성된 패턴 프로그램(b1)은 변환 처리부(26)를 이용함으로써

써, 범용 테스트 벤치 처리부(70)로 변환된다. 이처럼, A사와 B사에서 사양이 다른 2개의 패턴 프로그램(a21, b1)은 각각에 대응하는 변환 처리부(24, 26)에 의해 공통의 범용 테스트 벤치 처리부(70)로 변환되기 때문에, 한 대의 반도체 시험용 프로그램 디버그 장치(300)를 이용함으로써 이들 사양이 다른 2개의 패턴 프로그램(a21, b1)에 대한 디버그를 행할 수가 있다. 또, 공통의 범용 테스트 벤치 처리부(70)로 일단 변환함으로써, A사의 사양에 대응하는 패턴 프로그램(a21)과 B사의 사양에 대응하는 패턴 프로그램(b1) 간에 상호 변환이 가능하게 된다.

[0047] 이처럼, 본 실시예의 반도체 시험용 프로그램 디버그 장치(300)는 사양이 다른 반도체 시험 장치나 반도체 시험용 프로그램이 복수 존재하는 경우에도, 각각의 사양에 맞추어 가상 디바이스(80)에 대한 가상적인 시험(의사 시험 신호나 응답 신호의 입출력 동작)을 실시하는 것이 가능하게 되고, 사양마다 반도체 시험용 프로그램 디버그 장치(300)를 구비할 필요가 없어지기 때문에, 설비의 낭비를 저감할 수 있게 된다.

[0048] 또, 가상 디바이스(80)와 테스트 벤치 처리부(60, 70)는 동일한 하드웨어 기술 언어, 구체적으로는 베리로그-HDL 또는 VHDL을 이용하여 구현되어 있다. 이에 의해, 하드웨어 기술언어인 베리로그-HDL이나 VHDL을 이용하여 가상 디바이스와 함께 테스트 벤치 처리부(60, 70)의 기능을 구현할 수 있다. 특히, 반도체 시험용 프로그램은 반도체 시험 장치의 제조 메이커 독자적인 사양을 보유하는 경우가 많지만, 이것을 범용적인 하드웨어 기술 언어를 이용한 테스트 벤치 처리부(60, 70)으로 변환하는 것이 가능해지기 때문에, 범용성 및 유연성을 향상시킨 반도체 시험용 프로그램 디버그 장치(300)를 실현시킬 수 있다.

[0049] 또, 본 실시예에 따르면 제조 메이커마다 다른 사양의 복수의 반도체 시험용 프로그램의 디버그를 공통의 반도체 시험용 프로그램 디버그 장치(300)에서 행하는 것이 가능하게 된다. 게다가, 범용 변환 규칙 저장부(40, 42)에 저장되는 범용 변환 규칙과 이에 대응하는 변환 처리부(24, 26)를 각각의 사양에 대응하는 제조 메이커에 따라 작성하기 때문에, 경합하는 반도체 시험 장치의 각 제조 메이커에 대해 각각의 제조 메이커의 상세한 내부 자료 등을 개시시키는 일 없이, 공통의 반도체 시험용 프로그램 디버그 장치(300)로 동작하는 범용 테스트 벤치 처리부(70)를 생성하는 것이 가능하게 되고, 반도체 시험용 프로그램 디버그 장치(300)의 공용화를 촉진할 수 있다.

[0050] 또, 동일한 제조 메이커에 의해 제조된 모델 번호 또는 버전이 다른 복수의 반도체 시험 장치 및 각각의 반도체 시험 장치에 대응하는 복수의 반도체 시험용 프로그램이 존재하는 경우에도, 이들 복수의 반도체 시험용 프로그램의 디버그를 공통의 반도체 시험용 프로그램 디버그 장치(300)로 행하는 것이 가능하게 된다.

[0051] 또, 일단 생성한 테스트 벤치 처리부(60, 70)를 통해 다른 사양의 반도체 시험용 프로그램의 상호 변환이 가능하게 되고, 제조 메이커나 모델 번호, 버전 등이 다른 각각의 반도체 시험용 프로그램의 수단을 자동으로 변경할 수 있게 되고, 반도체 시험용 프로그램의 유효 이용을 도모함과 동시에, 수작업에 의한 사양 변경의 실수를 방지하는 것이 가능하다.

[0052] 또한, 본 발명은 상기 실시예에 한정되는 것이 아니고, 본 발명의 요지의 범위 내에 있어 여러 가지의 변형 실시가 가능하다. 상술한 실시예에서는 전용 테스트 벤치 처리부(60)와 범용 테스트 벤치 처리부(70)의 양쪽을 갖추었지만, 어느 쪽 한편만이 갖추어 지도록 하여도 좋다. 또, 하드웨어 기술 언어로서의 베리로그-HDL 또는 VHDL을 이용하여 전용 테스트 벤치 처리부(60)나 범용 테스트 벤치 처리부(70)를 구현했으나, 다른 범용 언어로서의 C 언어 등을 이용하여 이들을 구현하도록 하여도 좋다.

산업상 이용 가능성

[0053] 본 발명에 의하면, 사양이 다른 반도체 시험장치나 반도체 시험용 프로그램이 복수 존재한 경우에도 각각의 사양에 맞추어 가상 디바이스에 대한 가상적인 시험(의사 시험 신호나 응답 신호의 입출력 동작)을 실시하는 것이 가능하게 되고 사양마다 반도체 시험용 프로그램 디버그 장치를 구비할 필요가 없기 때문에 설비의 낭비를 저감할 수 있다.

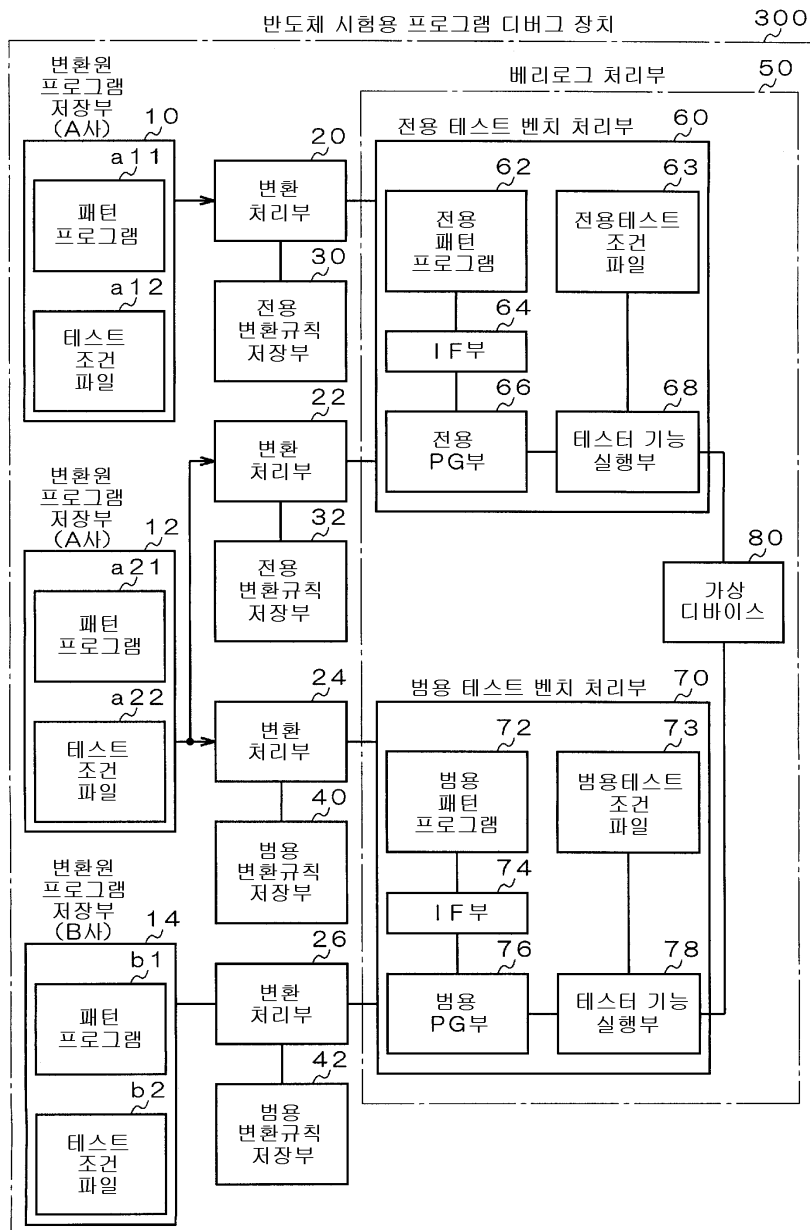
도면의 간단한 설명

[0013] 도 1은 본 발명의 일 실시예의 반도체 시험용 프로그램 디버그 장치의 상세 구성을 나타내는 도면이다.

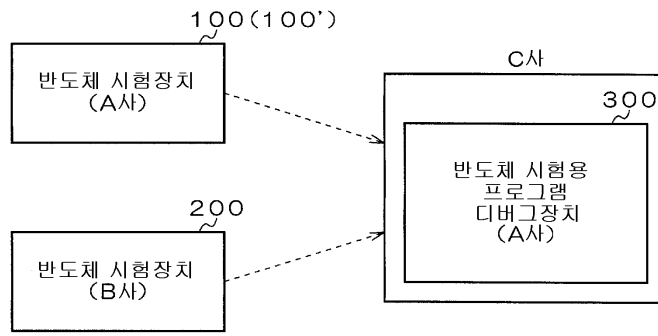
[0014] 도 2는 사양이 다른 복수의 반도체 시험 장치와 반도체 시험용 프로그램 디버그 장치와의 관계를 나타내는 도면이다.

도면

도면1



도면2



도면3

