

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ H01L 21/768	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년05월27일 10-0491663 2005년05월18일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2002-0004417 2002년01월25일	(65) 공개번호 (43) 공개일자	10-2002-0064160 2002년08월07일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장 09/772,920 2001년01월31일 미국(US)

(73) 특허권자 인터내셔널 비지네스 머신즈 코포레이션
미국 10504 뉴욕주 아몽크 뉴오차드 로드

(72) 발명자 클레벤저, 로렌스에이.
미국12540뉴욕라그레인저빌앤드류스로드90

네스비트, 래리에이.
미국05495버몬트윌리스턴와일드플라워서클458

(74) 대리인 주성민
장수길

심사관 : 반성원

(54) 듀얼 다마신 상호접속들을 형성하기 위한 방법 및 이에의해 형성된 구조

요약

반도체 기판 상에 상호접속을 형성하는 방법(및 구조)은, 반도체 기판 상에 형성된 유전체 내에 비교적 좁은 제1 구조를 형성하는 단계; 상기 반도체 기판 상에 형성된 상기 유전체 내에 비교적 보다 넓은 제2 구조를 형성하는 단계; 상기 제1 구조는 거의 충전되며 상기 제2 구조는 거의 충전되지 않도록, 상기 제1 및 제2 구조 내에 라이너를 형성하는 단계; 및 상기 라이너 상에 금속배선을 형성하여 상기 제2 구조를 완전히 충전하는 단계를 포함한다.

대표도

도 1

색인어

반도체 장치, 듀얼 다마신 상호접속, 라이너, 금속, 콘택트

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 반도체 칩의 단면의 개략도.

도 2는 텅스텐 충전 이후의 칩(웨이퍼)의 단면도.

도 3은 구리가 텅스텐 상에 형성되는 것을 도시한 반도체 칩의 단면도.

도 4는 트로프(trough)(예를 들어, C1 슬롯) 내의 구리 외에 텅스텐 상의 구리 제거를 도시한 반도체 칩의 단면도.

도 5는 선택적인 에칭 또는 CMP(chemical mechanical polishing)에 의한 텅스텐의 선택적인 제거 이후의 웨이퍼 단면도.

<도면의 주요 부분에 대한 부호의 설명>

101 : C1 콘택트

102 : C1 슬롯

103 : C1/M1 유전체

104 : M1 트로프

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 반도체 장치를 형성하기 위한 방법(및 최종 구조)에 관한 것으로서, 특히, 듀얼 다마신 상호접속(dual damascene interconnection)을 형성하는 방법(및 최종 구조)에 관한 것이다.

현재, 280nm 이하의 콘택트 크기의 구리 충전을 위한 콘택트들을 적절하게 라이닝하고, 320nm보다도 작은 콘택트 개구 크기 이하의 콘택트들을 신뢰성있게 라이닝하기가 곤란하다. 이는 가까운 장래에 구리 백-엔드(copper back-end)로 이동하고자 하는 DRAM BEOL(dynamic random memory back-end-of-line) 공정에 주요한 도전을 말한다.

게다가, 종래의 방법에서는, BEOL 공정에서 구현되어야 하는 대다수 유형의 도전 물질이 존재한다.

또한, 종래의 방법은 DRAM BEOL을 제조하기 위한 별도의 방법 및 로직 BEOL을 제조하기 위한 별도의 방법을 필요로 하기 때문에, 동일한 유형 및 개수의 틀을 이용하여 DRAM 또는 로직을 제조하기 위해서는 서로 다른 제조 라인들이 요구된다.

결국, 전형적으로, 종래의 방법은 크고 작은 구조 모두를 구리로 거의 충전하려고 하고 있어서, Cu 도금을 가능하게 하는 복수의 CVD와 진보된 PVD 확산 장벽들 및 라이너들과 같은 추가적이고 비용이 드는 공정을 필요로 한다.

발명이 이루고자 하는 기술적 과제

상술한 종래 방법의 문제점, 결점 및 단점에 비추어서, 본 발명의 목적은 듀얼 다마신 구조를 제조하기 위한 구조물 및 방법을 제공하는 데 있다.

다른 목적은, 고도로 신뢰성있는 물질로 작은 콘택트들을 충전하고, 예를 들어, 구리로 보다 넓은 금속 라인을 충전하는 데 있다.

본 발명의 제1 특징에서, 반도체 기판 상에 상호접속을 형성하는 방법은, 상기 반도체 기판 상에 형성된 유전체 내에 비교적 좁은 제1 구조를 형성하는 단계; 상기 반도체 기판 상에 형성된 상기 유전체 내에 비교적 보다 넓은 제2 구조를 형성하는 단계; 상기 제1 구조는 거의 충전되며 상기 제2 구조는 거의 충전되지 않도록, 상기 제1 및 제2 구조 내에 라이너를 형성하는 단계; 및 상기 라이너 상에 금속배선을 형성하여 상기 제2 구조를 완전히 충전하는 단계를 포함한다.

제2 특징에서, 반도체 기판 상에 상호접속을 형성하는 방법은, 상기 반도체 기판 상에 형성된 유전체 내에, 슬롯을 포함하여, 콘택트를 형성하는 단계; 상기 유전체 내에 트로프들(troughs)을 형성하여 듀얼 다마신 구조(dual damascene structure)(이들 레벨이 마스크 및 에칭되는 순서는 역으로 될 수 있음을 주지하여야 함)를 형성하는 단계; 상기 유전체 상에 두꺼운 도전 물질을 피착하는 단계; 상기 슬롯 및 트로프들을 완전히 충전하도록 상기 도전 물질 상에 금속을 피착하는 단계; 상기 도전 물질 지점까지 상기 금속을 제거하거나, 또는 상기 금속과 상기 도전 물질 모두를 상기 유전체 지점까지 동시에 제거하는 단계; 및 상기 도전 물질을 선택적으로 제거하는 단계를 포함한다.

제3 특징에서, 반도체 장치는, 반도체 기판; 상기 반도체 기판 상에 형성된 적어도 하나의 유전체막 내에 형성되며 비교적 좁은 제1 구조 및 비교적 보다 넓은 제2 구조를 포함하는 듀얼 다마신 구조(dual damascene structure); 상기 제1 구조는 거의 충전되며 상기 제2 구조는 거의 충전되지 않도록, 상기 제1 및 제2 구조 내에 형성된 라이너; 및 상기 제2 구조를 완전히 충전하도록 상기 라이너 상에 형성된 금속배선을 포함한다.

본 발명의 고유하고 비자명한 장점으로, 작은 콘택트들(예를 들어, C1 콘택트들)이 고도로 신뢰성있는 물질로 충전될 수 있고, 예를 들어, 보다 넓은 금속 라인들(예를 들어, C1 슬롯들)이, 예를 들어, 구리로 충전될 수 있다.

또한, 본 발명은 280nm 이하의 콘택트 크기의 구리 충전을 위한 콘택트들을 용이하고 적절하게 라이닝하고, 320nm보다 작은 콘택트 개구 크기 이하의 콘택트들을 신뢰성있게 라이닝하기 위한 방법을 제공한다.

더욱이, 본 발명은, BEOL 공정에서 구현되어야 하는 도전 물질의 유형의 수를 최소화하는 제조 관점에서 유익한 방법을 제공한다. 또한, 동일한 방법이 DRAM BEOL 및 로직 BEOL을 제조하는데 이용될 수 있다. 따라서, 동일한 제조 라인에서 동일한 유형 및 개수의 톨을 이용하여 DRAM 또는 로직 장치를 제조할 수 있다.

발명의 구성 및 작용

상술한 바 그리고 기타 목적, 특징 및 장점들은 도면을 참조하여 본 발명의 바람직한 실시예의 다음의 상세한 설명으로부터 충분히 이해될 것이다.

이제 도면 특히, 도 1-5를 참조하면, 본 발명에 따른 방법 및 구조의 바람직한 실시예가 도시되어 있다.

일반적으로, 본 발명은, 듀얼 다마신 상호접속을 형성하는 방법(및 최종 구조)에 관한 것이다.

도 1을 참조하면, 본 발명에 따른 방법의 제1 단계에서, C1 슬롯들(102)을 포함하여, 콘택트들(101)(예를 들어, 제1 및 제2 금속 레벨(M0 및 M1)간의 C1 콘택트들)이 C1/M1 유전체(103) 내로 에칭된다. 이 유전체는 질화물/산화물, 로우-케 이 폴리머(low K polymer) 또는 이들의 조합일 수 있다.

제2 단계에서, M1 트로프들(troughs)(104)이 C1/M1 TEOS(또는 유전체)(103) 내로 에칭된다. 바람직하게는, 이러한 에칭은 RIE(reactive ion etching)에 의해 행해진다. 이들 레벨이 마스크 및 에칭되는 순서는 역으로 될 수 있음을 주지하여야 한다.

도 1은 반도체 칩의 단면으로서, 듀얼 다마신 구조를 형성하도록 C1/M1 TEOS 또는 유전체 내로 에칭된 C1 콘택트들, C1 슬롯들 및 M1 트로프들을 도시한다.

이제 도 2를 참조하면, CVD(chemical vapor-deposited) 금속(예를 들어, 텅스텐)과 같은 두꺼운(예를 들어, <2000Å) 신뢰성있는 도전 물질(들)이 웨이퍼 상에 피착된다. 텅스텐 대신에, 티타늄 질화물, 알루미늄 등이 이용될 수 있다. 단지 설명 목적상, 텅스텐을 이용하는 것으로 한다.

도전 물질(들)의 두께는 비교적 작은 C1 콘택트들을 거의 완전히 충전하도록 조절된다. 전형적으로, 작은 C1 콘택트들은 약 2000에서 약 8000Å까지의 깊이를 갖는다. 이와 같이, 도 2는 텅스텐 충전 이후의 웨이퍼를 도시한다.

이후, 도 3에 도시한 바와 같이, 구리와 같은 금속 또는 제1 금속 피착물과 상이한 임의의 다른 도전 물질이 도금, PVD 또는 CVD에 의해 텅스텐 상에 피착되어 비교적 보다 넓은 라인들(예를 들어, C1 슬롯들 및 M1 금속 트로프들)을 완전히 충전한다.

이후, 도 4에서, CMP에 의해 콘택트 충전 물질(예를 들어, 텅스텐) 지점까지 구리가 연마되거나, 또는 구리 및 콘택트 충전 물질 모두가 유전체 지점까지 동시에 연마된다.

이후, 도 5에 도시한 바와 같이, 텅스텐이 선택적인 에칭 또는 선택적인 CMP에 의해 선택적으로 제거된다. 후속 유전체 막들 및 금속층들이 최종 구조물 상에 피착될 수 있다. 이와 같이, 도 5는 선택적인 에치 또는 CMP에 의한 텅스텐의 선택적인 제거 이후의 웨이퍼 단면을 도시한다.

본 발명의 고유하고 비자명한 특징으로, 작은 콘택트들(예를 들어, C1 콘택트들)이 고도로 신뢰성있는 물질(예를 들어, CVD 금속)로 충전될 수 있고, 보다 넓은 금속 라인들(예를 들어, C1 슬롯들)이, 예를 들어, 구리로 충전될 수 있다. 따라서, 본 발명은 실질적으로 보다 작은 영역/구조들을 CVD 금속으로 충전하고, 보다 넓은 영역/구조들을 구리 금속으로 충전한다.

또한, 본 발명은 280nm 이하의 콘택트 크기의 구리 충전을 위한 콘택트들을 용이하고 적절하게 라이닝하고, 320nm보다 작은 콘택트 개구 크기 이하의 콘택트들을 신뢰성있게 라이닝한다.

발명의 효과

이상 설명한 바와 같이, 본 발명은 BEOL 공정에서 구현되어야 하는 도전 물질의 유형의 수가 최소화된다는 제조 관점에서 유익한 방법을 제공한다. 또한, 동일한 방법이 DRAM BEOL 및 로직 BEOL을 제조하는데 이용될 수 있다. 따라서, 동일한 제조 라인에서 동일한 유형 및 개수의 톨을 이용하여 DRAM 또는 로직 장치를 제조할 수 있다.

본 발명이 바람직한 실시예에 관해서 설명되었지만, 당업자는 본 발명이 첨부된 청구항들의 기술적 사상 및 범위 내에서 변형 실시될 수 있다는 것을 이해할 것이다.

(57) 청구의 범위

청구항 1.

반도체 기판 상에 상호접속을 형성하는 방법에 있어서,

상기 반도체 기판 상에 형성된 유전체 내에 비교적 좁은 제1 구조를 형성하는 단계;

상기 유전체 내에 비교적 보다 넓은 제2 구조를 형성하는 단계;

상기 비교적 좁은 제1 구조 및 상기 비교적 보다 넓은 제2 구조 내에 라이너를 형성하는 단계- 상기 비교적 좁은 제1 구조의 보다 낮은 부분이 상기 라이너에 의해 완전히 충전됨 -; 및

상기 라이너 상에 금속배선을 형성하여 상기 비교적 보다 넓은 제2 구조를 완전히 충전하는 단계

를 포함하는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 2.

제1항에 있어서, 상기 라이너는 CVD(chemical vapor deposition) 금속, PVD(physical vapor deposition) 금속 및 도금된 라이너 중 하나를 포함하는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 3.

제1항에 있어서, 상기 라이너는 텅스텐, 알루미늄 및 티타늄 질화물 중 적어도 하나를 포함하는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 4.

제1항에 있어서, 상기 금속배선은 구리를 포함하는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 5.

반도체 기판 상에 상호접속을 형성하는 방법에 있어서,

상기 반도체 기판 상에 형성된 유전체 내에 콘택트를 형성하는 단계- 상기 콘택트 형성 단계는 상기 유전체 내에 트로프(trough)들을 형성하고 그에 의해, 듀얼 다마신 구조(dual damascene structure)를 형성하는 단계를 포함함 -;

상기 듀얼 다마신 구조의 보다 낮은 부분을 완전히 충전시키는 도전 물질을 상기 유전체 상에 피착하는 단계;

상기 트로프들을 완전히 충전시키기 위해 상기 도전 물질 상에 금속을 피착하는 단계;

상기 금속의 일부를 제거하는 단계; 및

상기 도전 물질을 선택적으로 제거하는 단계

를 포함하는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 6.

제5항에 있어서, 상기 유전체는 TEOS(tetraethylorthosilicate), 실란(silane) 및 다른 로우-케이 폴리머 유전체(low K polymer dielectric) 중 하나를 포함하는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 7.

제6항에 있어서, 상기 콘택트는 상기 반도체 기판 상에 형성된 제1 및 제2 금속 레벨 사이에서 형성되는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 8.

제5항에 있어서, 상기 도전 물질은 텅스텐을 포함하는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 9.

제8항에 있어서, 상기 텅스텐은 CVD 텅스텐, PVD 텅스텐 및 도금된 텅스텐을 포함하는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 10.

제5항에 있어서, 상기 도전 물질의 두께는 상기 듀얼 다마신 구조의 보다 낮은 부분을 완전히 충전하도록 조절되는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 11.

제5항에 있어서, 상기 금속은 구리를 포함하는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 12.

제5항에 있어서, 상기 금속은 CMP(chemical mechanical polishing)에 의해 제거되는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 13.

제5항에 있어서, 상기 선택적으로 제거하는 단계는 선택적인 에칭에 의해 상기 도전 물질을 선택적으로 제거하는 단계를 포함하는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 14.

제5항에 있어서, 상기 선택적으로 제거하는 단계는 선택적인 CMP에 의해 상기 도전 물질을 선택적으로 제거하는 단계를 포함하는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 15.

삭제

청구항 16.

반도체 기판 상에 상호접속을 형성하는 방법에 있어서,

상기 반도체 기판 상에 형성된 유전체 내에, 슬롯을 포함하여, 제1 및 제2 금속 레벨간에 트로프들을 형성하는 단계;

상기 유전체 내에 콘택트들을 형성하여 듀얼 다마신 구조를 형성하는 단계;

상기 유전체 상에 도전 물질을 피착하여 상기 듀얼 다마신 구조의 보다 낮은 부분을 완전히 충전시키는 단계;

상기 슬롯 및 트로프들을 완전히 충전시키기 위해 상기 도전 물질 상에 금속을 피착하는 단계;

상기 금속의 일부를 제거하는 단계; 및

상기 도전 물질을 선택적으로 제거하는 단계

를 포함하는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 17.

반도체 장치에 있어서,

반도체 기판;

상기 반도체 기판 상에 형성된 적어도 하나의 유전체막 내에 형성되며 비교적 좁은 제1 구조 및 비교적 보다 넓은 제2 구조를 포함하는 듀얼 다마신 구조;

상기 제1 구조는 거의 충전되며 상기 제2 구조는 거의 충전되지 않도록, 상기 제1 및 제2 구조 내에 형성된 라이너; 및

상기 제2 구조를 완전히 충전하도록 상기 라이너 상에 형성된 금속배선

을 포함하는 반도체 장치.

청구항 18.

제1항에 있어서, 상기 비교적 좁은 제1 구조는 상기 기판 상에서 상기 비교적 보다 넓은 제2 구조에 접속되지 않는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 19.

제1항에 있어서, 상기 비교적 보다 넓은 제2 구조를 형성하는 단계는 상기 기판 상에서 상기 비교적 좁은 구조로부터 떨어져서 상기 보다 넓은 구조를 형성하는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 20.

제5항에 있어서,

상기 도전 물질을 피착하는 단계를 반복하는 단계; 및

상기 도전 물질 상에 금속을 피착하는 단계를 반복하여, 결과하는 구조 상에 후속하는 상기 도전 물질 및 상기 금속을 피착하는 단계

를 더 포함하는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 21.

제5항에 있어서, 상기 콘택트는 상기 기판에서 상기 트로프에 접속되지 않는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 22.

제16항에 있어서, 상기 도전 물질은 CVD 금속, PVD 금속 및 도금된 라이너 중 하나를 포함하는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 23.

제16항에 있어서, 상기 콘택트는 상기 반도체 기판 상에 형성된 제1 및 제2 금속 레벨 사이에서 형성되는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 24.

제16항에 있어서, 상기 선택적으로 제거하는 단계는 선택적인 에칭에 의해 상기 도전 물질을 선택적으로 제거하는 단계를 포함하는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 25.

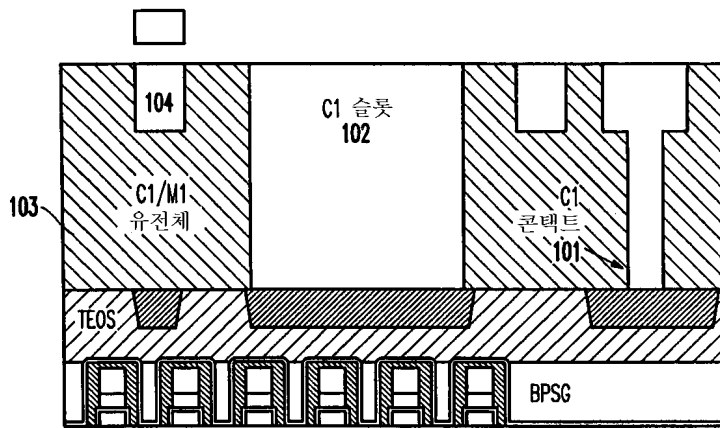
제16항에 있어서, 상기 트로프 형성 단계는 상기 유전체 내에서 상기 콘택트와 떨어져서 상기 트로프를 형성하는 반도체 기판 상에 상호접속을 형성하는 방법.

청구항 26.

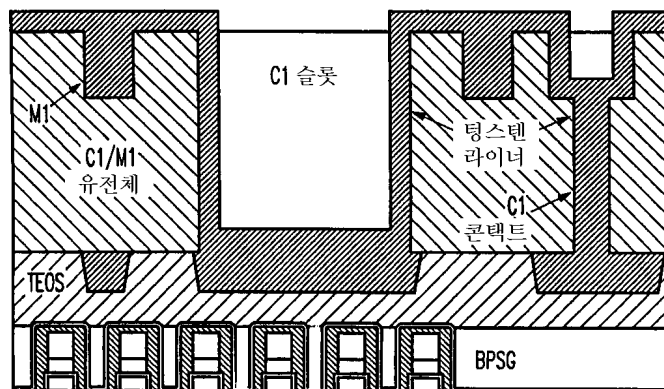
제16항에 있어서, 상기 콘택트는 약 2000Å에서 약 8000Å 범위의 깊이를 포함하는 반도체 기판 상에 상호접속을 형성하는 방법.

도면

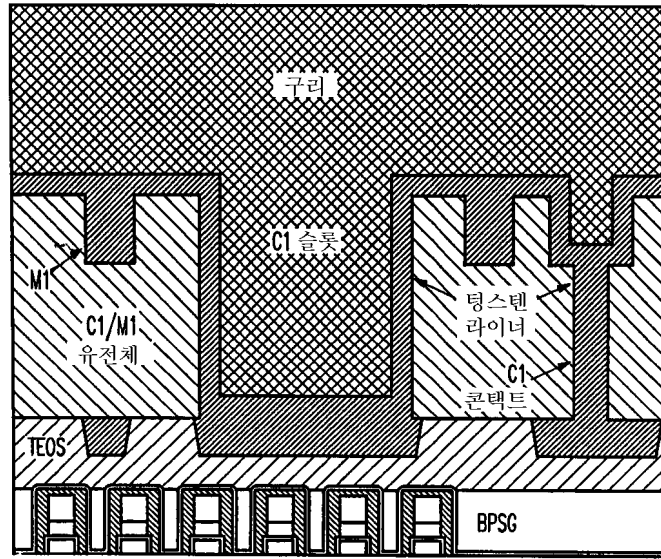
도면1



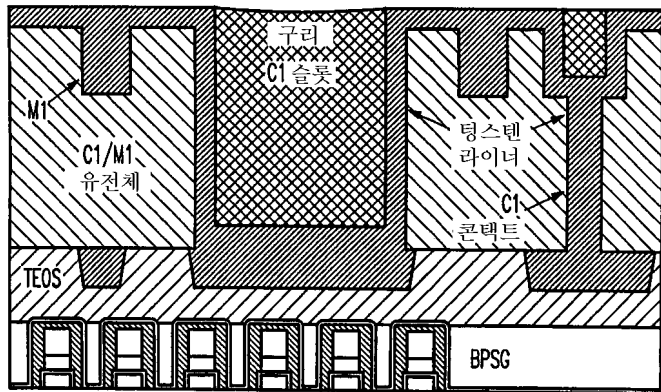
도면2



도면3



도면4



도면5

