



(10) **DE 10 2008 040 538 B4** 2015.07.30

(12)

Patentschrift

(21) Aktenzeichen: **10 2008 040 538.8**
(22) Anmeldetag: **18.07.2008**
(43) Offenlegungstag: **07.05.2009**
(45) Veröffentlichungstag
der Patenterteilung: **30.07.2015**

(51) Int Cl.: **G11C 11/4093 (2006.01)**
G11C 11/407 (2006.01)
G11C 7/10 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
10-2007-0111350 02.11.2007 KR

(72) Erfinder:
**Kim, Kyung-Whan, Icheon, Kyonggi, KR; Kim,
Kyung-Hoon, Icheon, Kyonggi, KR**

(73) Patentinhaber:
Hynix Semiconductor Inc., Icheon, Kyonggi, KR

(56) Ermittelter Stand der Technik:

(74) Vertreter:
**isarpatent Patentanwälte Behnisch, Barth,
Charles, Hassa, Peckmann & Partner mbB, 80801
München, DE**

US 7 126 863 B2
US 2007 / 0 126 468 A1

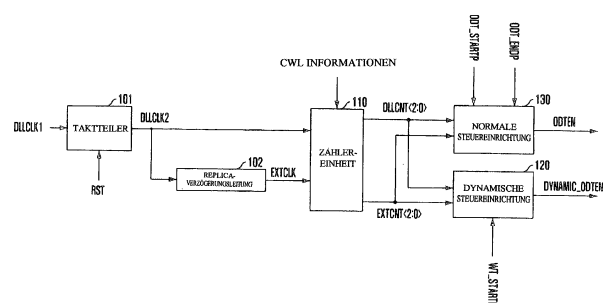
(54) Bezeichnung: **Schaltung und Verfahren zum Steuern einer Abschlussimpedanz**

(57) Hauptanspruch: On-Die-Termination-Steuerschaltung, aufweisend:

eine Speichereinheit, welche zur Speicherung eines ersten Codes in Reaktion auf einen Schreibbefehl ausgebildet ist;
eine dynamische Aktivierungseinheit, welche zur Ausgabe eines Signals zur Aktivierung eines dynamischen Abschlussbetriebs durch Vergleich des in der Speichereinheit gespeicherten ersten Codes mit einem zweiten Code konfiguriert ist;

eine Additionseinheit, welche zur Ausgabe eines resultierenden Wertes durch Addition eines vorher festgelegten Wertes zu dem gespeicherten ersten Code ausgebildet ist; und
eine dynamische Deaktivierungseinheit zur Ausgabe eines Signals zur Deaktivierung des dynamischen Abschlussbetriebs durch Vergleich des resultierenden Wertes mit dem zweiten Code;

wobei der zweite Code durch Zählung eines Ausgabetaktes einer Verzögerungsregelschleife erzeugbar ist und wobei der erste Code durch Zählung des durch eine Replica-Verzögerungsleitung verzögerten internen Taktes erzeugbar ist.



BeschreibungQUERVERWEIS(E) AUF
ZUGEHÖRIGE ANMELDUNGEN

[0001] Die vorliegende Anmeldung beansprucht die Priorität der koreanischen Patentanmeldung mit der Nummer 10-2007-0111350, angemeldet am 2. November 2007, welche hierin durch Bezugnahme in ihrer Gesamtheit aufgenommen sind.

HINTERGRUND DER ERFINDUNG

[0002] Die vorliegende Erfindung betrifft eine Steuerschaltung für eine Abschlussimpedanz und ein Steuerverfahren davon, und insbesondere eine Steuerschaltung für einen Abschlusswiderstand auf dem Chip (ODT, On-Die Termination) zur Unterstützung eines dynamischen ODT-Betriebs, der für eine Doppeldatenrate-(DDR, Double Data Rate)-3 Halbleiterspeichervorrichtung benutzt wird.

[0003] Die Druckschrift US 7,126,863 B2 zeigt ein Verfahren und eine Vorrichtung zum aktiven Steuern einer Terminierung in einem Speicher. Ferner zeigt die US 2007/0126468 A1 eine On-Die-Termination (ODT) Vorrichtung, welche einen Latenz-Block zum Puffern eines ODT-Steuersignals aufweist.

[0004] Da eine fortschreitende Anhebung der Kapazität/Geschwindigkeit einer Halbleiterspeichervorrichtung gefordert wird, wird ein DDR SDRAM (Synchronous Dynamic Random Access Memory, Synchroner dynamischer Speicher mit wahlfreiem Zugriff) entwickelt, und verschiedene neue Konzepte werden vorgeschlagen, um die Datenübertragungsgeschwindigkeit der Halbleiterspeichervorrichtung zu erhöhen. Unter anderem ist ein Abschlusswiderstand, d. h. eine Impedanzanpassung, ein sehr bedeutender Faktor zur Erleichterung einer Signalübertragung zwischen Vorrichtungen.

[0005] Wenn eine Impedanzanpassung zwischen den Vorrichtungen bzw. Geräten, welche sich gegenseitig Signale übertragen, nicht genau ausgeführt ist, kann ein Übertragungssignal reflektiert werden, wodurch ein Fehler bei einer Signalübertragung erzeugt wird. Wenn jedoch ein fester Widerstand am Abschluss der Geräte zur Anpassung der Impedanz eingesetzt ist, kann eine genaue Ausführung der Impedanzanpassung aufgrund verschiedener Faktoren nicht erreicht werden, wie zum Beispiel aufgrund von Alterung integrierter Schaltungen, Temperaturschwankungen und Herstellungsverfahren. Zur Lösung dieses Problems wurde eine Technologie zur Steuerung des Abschlusswiderstands vorgeschlagen, indem die Anzahl von Einschalttransistoren, welche parallel zueinander verbunden sind, so einstellbar ist, dass der Widerstandswert mit dem externen Referenzwiderstandswert übereinstimmt.

[0006] Eine dieser für dieses Konzept vorgesehenen Einrichtungen ist eine ODT-Steuerschaltung. Eine herkömmliche ODT-Steuerschaltung ist in dem koreanischen Patent mit der Registriernummer 10-0625298 mit dem Titel „Schaltung zur Steuerung eines Aktivierungs-/Deaktivierungsbetriebs einer Abschlussseinrichtung“ offenbart.

[0007] Wenn die Halbleiterspeichervorrichtung einen Level des DDR3 SDRAM aufweist, muss der dynamische ODT-Betrieb bzw. -Vorgang in der Halbleiterspeichervorrichtung in Übereinstimmung mit der von JEDEC eingerichteten Spezifikation unterstützt werden. Der Begriff „dynamischer ODT-Betrieb“ bezieht sich auf den Betrieb zur Steuerung eines Abschlusswiderstands, der auf einem Chip vorgesehen ist, dergestalt, dass der Abschlusswiderstand einen Abschlusswiderstandswert aufweist, welcher zur Dateneingabe geeignet ist, wenn ein Schreibbefehl eingegeben wird, ohne dass ein Modusregistersatz neu eingerichtet werden muss, usw.

[0008] Das Abschlusschema und der Widerstandswert einer Schnittstelle einer Halbleiterspeichervorrichtung kann entsprechend einer Dateneingabe und Datenausgabe variieren. Im Fall einer Datenausgabe erfolgt ein Pull-Up- oder Pull-Down-Abschluss relativ zu einem Eingabe-/Ausgabe-Pad (DQ-Pad) zur Ausgabe von „High-“ oder „Low-“Daten. Im Fall einer Dateneingabe erfolgt ein Pull-Up- oder Pull-Down-Abschluss des Eingabe-/Ausgabe-Pads (DQ-Pad) mit einem vorher festgelegten Widerstandswert (welcher sich von einem Widerstandswert bei Datenausgabe unterscheidet) zum Empfangen von Daten. Im Fall der Halbleiterspeichervorrichtung mit DDR3-Level, welche mit dem dynamischen ODT-Betrieb unterstützt ist, kann der ODT-Betrieb entsprechend einer Dateneingabe stabil ausgeführt werden, d. h. auch wenn nur ein Schreibbefehl in die Halbleiterspeichervorrichtung eingegeben wird.

[0009] Eine herkömmliche ODT-Steuerschaltung steuert in einfacher Weise den Aktivierungs- oder Deaktivierungsvorgang einer ODT-Schaltung. Da jedoch der dynamische ODT-Betrieb zusätzlich zu der Halbleiterspeichervorrichtung mit DDR3-Level unterstützt werden muss, muss die ODT-Steuerschaltung Start- und Endmoden des dynamischen ODT-Betriebs der ODT-Schaltung gemäß einer Dateneingabe/-ausgabe steuern.

ZUSAMMENFASSUNG DER ERFINDUNG

[0010] Ausführungen der vorliegenden Erfindung sind darauf ausgerichtet, eine ODT-Steuerschaltung und ein Steuerverfahren dazu bereitzustellen, welche zur Steuerung eines dynamischen ODT-Betriebs in einer Halbleiterspeichervorrichtung mit DDR3-Level geeignet sind.

[0011] Gemäß einem Aspekt der vorliegenden Erfindung ist eine On-Die-Termination-Steuerschaltung bereitgestellt, welche Folgendes aufweist: eine Speichereinheit, welche zur Speicherung eines ersten Codes in Reaktion auf einen Schreibeibefehl ausgebildet ist, eine dynamische Aktivierungseinheit, welche zur Ausgabe eines Signals zur Aktivierung eines dynamischen Abschlussbetriebs durch Vergleich des in der Speichereinheit gespeicherten ersten Codes mit einem zweiten Code konfiguriert ist, eine Additionseinheit, welche zur Ausgabe eines resultierenden Wertes durch Addition eines vorher festgelegten Wertes zu dem gespeicherten ersten Code ausgebildet ist, und eine dynamische Deaktivierungseinheit zur Ausgabe eines Signals zur Deaktivierung des dynamischen Abschlussbetriebs durch Vergleich des resultierenden Wertes mit dem zweiten Code, wobei der zweite Code durch Zählung eines Ausgabetaktes einer Verzögerungsregelschleife erzeugbar ist und wobei der erste Code durch Zählung des durch eine Replica-Verzögerungsleitung verzögerten internen Taktes erzeugbar ist.

[0012] In Übereinstimmung mit einem Aspekt der vorliegenden Erfindung ist ein Verfahren zum Steuern eines Abschlussbetriebs (On-Die Termination) auf dem Chip, wobei das Verfahren die folgenden Verfahrensschritte aufweist: Erzeugen eines ersten Codes durch Zählen eines externen Takts und Erzeugen eines zweiten Codes durch Zählen eines internen Takts, Aktivieren eines dynamischen Abschlussbetriebs durch Vergleichen des ersten Codes mit dem zweiten Code in Reaktion auf einen Schreibeibefehl; und Deaktivieren des dynamischen Abschlussbetriebs nachdem eine vorher festgelegte Zeit abgelaufen ist, nachdem der dynamische Abschlussbetrieb aktiviert worden ist, wobei der Verfahrensschritt Aktivieren des dynamischen Abschlussbetriebs Folgendes aufweist: Speichern des ersten Codes in Reaktion auf den Schreibeibefehl und Vergleichen des zweiten Codes mit dem gespeicherten ersten Code, und wobei die vorher festgelegte Zeit gemäß einer Burst-Länge festgelegt wird und wobei der Verfahrensschritt Deaktivieren des dynamischen Abschlussbetriebs Folgendes aufweist: Addieren eines vorher festgelegten Wertes, welcher gemäß der Burst-Länge festgelegt ist, zu dem gespeicherten ersten Code, und Vergleichen des zweiten Codes mit dem addierten ersten Code.

[0013] Gemäß der vorliegenden Erfindung tritt die auf dem Chip vorgesehene Abschlusschaltung (Abschlusseinrichtung) in den dynamischen ODT-Betriebsmodus ein oder aus ihm heraus, genau dann, wenn Daten ein- oder ausgegeben werden. Zusätzlich wird die Zeit für den dynamischen ODT-Betrieb eingestellt, indem ein gemäß der Burst-Länge vorher eingestellter Wert berücksichtigt wird, wodurch ein leichtes Einstellen des Rahmens des dynamischen ODT-Betriebs ermöglicht wird. Die vorliegende Erfin-

dung ist bei verschiedenen Produkten anwendbar, welche den ODT-Betrieb durchführen.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0014] Fig. 1 ist ein Blockdiagramm zur Illustration einer ODT-Steuerschaltung in Übereinstimmung mit einer Ausführung der vorliegenden Erfindung;

[0015] Fig. 2 ist ein Signal- bzw. Impulsdigramm, welches einen Betrieb einer in Fig. 1 beschriebenen dynamischen Steuereinrichtung illustriert;

[0016] Fig. 3 ist ein Signaldiagramm einer Erzeugung eines in Fig. 2 beschriebenen WT_STARTP;

[0017] Fig. 4 ist ein Signaldiagramm zur Illustration eines Betriebs einer in Fig. 1 beschriebenen normalen Steuereinrichtung;

[0018] Fig. 5 ist ein Signaldiagramm einer Erzeugung eines Signals ODT_STARTP und eines Signals ODT_ENDP, die in Fig. 4 beschrieben sind; und

[0019] Fig. 6 ist ein schematischer Schaltplan, welcher die dynamische Steuereinrichtung nach Fig. 1 illustriert.

AUSFÜHRLICHE BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGEN

[0020] Hiernach wird eine Halbleiterspeichervorrichtung in Übereinstimmung mit der vorliegenden Erfindung ausführlich mit Bezugnahme auf die begleitenden Zeichnungen beschrieben.

[0021] Fig. 1 ist ein Blockdiagramm, welches eine ODT-Steuerschaltung in Übereinstimmung mit einer Ausführung der vorliegenden Erfindung illustriert.

[0022] Wie in Fig. 1 gezeigt ist, weist die ODT-Steuerschaltung der vorliegenden Erfindung eine Zählereinheit **110** und eine dynamische Steuereinrichtung **120** zur Steuerung eines dynamischen Betriebs einer ODT-Schaltung auf. Die Zählereinheit **110** zählt einen externen Takt EXTCLK zur Ausgabe eines ersten Codes EXTCNT<2:0> und zählt einen internen Takt DLLCLK2 zur Ausgaben eines zweiten Codes DLLCNT<2:>. Die dynamische Steuereinrichtung **120** aktiviert einen dynamischen Abschlussbetrieb, indem sie den ersten Code EXTCNT<2:0> mit dem zweiten Code DLLCNT<2:0> als Reaktion auf ein Schreibeibefehlsignal WT_STARTP aktiviert, und den dynamischen Abschlussbetrieb deaktiviert, nachdem ein vorher festgelegter Takt, der gemäß einer Burst-Länge BL festgelegt ist, von der aktivierten Zeit des dynamischen Abschlussbetriebs abgelaufen ist.

[0023] Die ODT-Steuerschaltung weist weiterhin eine normale Steuereinrichtung **130** zur Steuerung ei-

nes Normalbetriebs auf, welcher anders ist als der dynamische Betrieb der ODT-Schaltung. Ein Taktteiler **101** und eine Replica-Verzögerungsleitung **102** sind zur Versorgung der ODT-Steuerschaltung mit dem internen Takt DLLCLK2 und dem externen Takt EXTCLK vorgesehen.

[0024] Der Taktteiler **101** empfängt einen verzögerungsgeregelten internen Takt DLLCLK1 aus einer Verzögerungsregelschleife (DLL, Delay-Locked Loop) und gibt den internen Takt DLLCLK2 umgeschaltet (toggled) aus, wenn das Rückstellsignal RST freigegeben ist. Der Taktteiler **101** verhindert ein Umschalten des internen Taktes DLLCLK2 bis ein Rückstellsignal RST freigegeben wird. Das heißt, dass sich der verzögerungsgeregelte interne Takt DLLCLK1 von dem internen Takt DLLCLK2 darin unterscheidet, dass der interne Takt DLLCLK2 einen vorher festgelegten Level beibehält, ohne dass er bis zur Freigabe des Rückstellsignal umgeschaltet wird.

[0025] Die Replica- bzw. Kopie-Verzögerungsleitung **102** ist ein Block, welcher einen Zeitunterschied zwischen dem internen Takt DLLCLK2 und dem externen Takt EXTCLK repräsentiert. Die Replica-Verzögerungsleitung **102** gibt den externen Takt EXTCLK basierend auf dem Zeitunterschied als Reaktion auf den internen Takt DLLCLK2 aus.

[0026] Die Zählereinheit **110** zählt den externen Takt EXTCLK zur Ausgabe des ersten Codes EXTCNT<2:0> und zählt den internen Takt DLLCLK2 zur Ausgabe des zweiten Codes DLLCNT<2:0>. Der ersten Code EXTCNT<2:0> besitzt einen anfänglichen Wert „0“, aber der zweite Code DLLCNT<2:0> weist einen spezifischen anfänglichen Wert auf, welcher gemäß einer CAS (Column Address Strobe, Spaltenadressenabstimpuls-) Schreiblatenz bzw. Write Latency (CWL) festgelegt ist. Die CWL besitzt Standardwerte, welche entsprechend der Betriebsfrequenz eingestellt sind. Somit bedeutet der Ausdruck „ein anfänglicher Wert ist gemäß der CWL festgelegt“, dass ein anfänglicher Wert gemäß der Betriebsfrequenz festgelegt ist“.

[0027] Die dynamische Steuereinrichtung **120** speichert den ersten Code EXTCNT<2:0> in Reaktion auf das Schreibbefehlsignal WT_STARTP (welches basierend auf einem Schreibbefehl erzeugt wird und von dem Details weiter unten erläutert werden) zu einem bestimmten Zeitpunkt. Zusätzlich vergleicht die dynamische Steuereinrichtung **120** den ersten Code EXTCNT<2:0> (ein Wert davon wird nicht verändert, weil er in der dynamischen Steuereinrichtung **120** gespeichert wird) mit dem zweiten Code DLLCNT<2:0> (ein Wert davon wird erhöht, weil er beständig gezählt wird) und aktiviert den dynamischen Abschlussbetrieb, wenn der Wert des ersten Codes EXTCNT<2:0> mit dem Wert des zweiten Codes DLLCNT<2:0> identisch ist. Zusätzlich addiert die dynamische Steu-

ereinrichtung **120** einen vorher festgelegten Wert, welcher gemäß der BL festgelegt ist, zu dem ersten Code EXTCNT<2:0>, und deaktiviert den dynamischen Abschlussbetrieb, wenn der resultierende Wert des ersten Codes (welcher nicht verändert ist, da er durch Addition des vorher festgelegten Wertes zu dem gespeicherten ersten Code erlangt wird) mit dem Wert des zweiten Codes DLLCNT<2:0> identisch ist. Die dynamische Steuereinrichtung **120** ist in der vorliegenden Erfindung von großer Bedeutung, und Details von ihr werden weiter unten mit Bezugnahme auf die begleitenden Zeichnungen beschrieben.

[0028] Die normale Steuereinrichtung **130** steuert den normalen Abschlussbetrieb als Reaktion auf Befehlssignale ODT_STARTP und ODT_ENDP, welche basierend auf externen Befehlen, die von einer externen Speichersteuereinrichtung eingegeben werden, erzeugt werden.

[0029] Fig. 2 ist ein Signal- bzw. Impulsdiagramm, welches einen Betrieb der in Fig. 1 beschriebenen dynamischen Steuereinrichtung illustriert.

[0030] Da der interne Takt DLLCLK2 und der externe Takt EXTCLK nicht umgeschaltet bzw. getoggelt werden, bevor das Rückstellsignal RST freigegeben ist, sind die Werte des ersten Codes EXTCNT<2:0> und des zweiten Codes DLLCNT<2:0> auf ihre anfänglichen Werte fixiert ohne gezählt zu werden. Mit Bezug auf Fig. 2 weist der erste Code EXTCNT<2:0> den anfänglichen Wert „0“ auf, und der zweite Code DLLCNT<2:0> besitzt den anfänglichen Wert von „5“. Wie oben beschrieben ist, wird der anfängliche Wert des zweiten Codes entsprechend der CWL festgelegt. Wenn das Rückstellsignal RST freigegeben wird, werden der erste Code EXTCNT<2:0> und der zweite Code DLLCNT<2:0> gezählt. Zu diesem Zeitpunkt, da der externe Takt EXTCLK durch Verzögerung des internen Taktes DLLCLK erzeugt wird, beginnt ein Zählen des ersten Codes EXTCNT<2:0> später als eines des zweiten Codes DLLCNT<2:0>.

[0031] In diesem Zustand, wenn der Schreibbefehl von außen eingegeben wird, wird ein Schreibbefehlssignal WT_STARTP als Reaktion auf den Schreibbefehl aktiviert. Zu diesem Zeitpunkt wird der Wert des ersten Codes EXTCNT<2:0> gespeichert (in dem Fall von Fig. 2 wird 1 gespeichert). Zusätzlich wird, wenn der Wert des zweiten Codes DLLCNT<2:0> identisch mit dem Wert des gespeicherten ersten Codes EXTCNT<2:0> wird, ein Signal WT_DLL_STARTBP auf „low“ aktiviert. Das Signal WT_DLL_STARTBP aktiviert ein Signal DYNAMIC_ODTEN, welches zur Steuerung des dynamischen Abschlussbetriebs benutzt wird, dergestalt, dass der dynamische Abschlussbetrieb beginnt.

[0032] Hiernach erfolgt eine Beschreibung, welche das Ende des dynamischen Abschlussbetriebs betrifft. Ein vorher festgelegter Wert, welcher gemäß der BL festgelegt ist, wird zu dem Wert „1“ des ersten Codes EXT CNT<2:0>, der in Reaktion auf den Schreibbefehl gespeichert ist, hinzu addiert. Wenn die BL 8 beträgt, werden 8 Daten als Reaktion auf die ansteigenden/abfallenden Flanken des Taktes eingegeben, somit sind vier Takte notwendig, um die Daten zu empfangen. Gemäß der Spezifikation sind sechs Takte vorgesehen, indem der Zeiteinstellungs- bzw. Timing-Rahmen berücksichtigt wird. Zusätzlich sind, wenn die BL 4 beträgt, vier Takte vorgesehen, von welchen zwei Takte zum Empfang von Daten benutzt werden, und zwei restliche Takte durch Berücksichtigung des Timing-Rahmens vorgesehen sind.

[0033] Daher wird, wenn die BL 8 beträgt, der Wert „6“ zu dem Wert „1“ des gespeicherten ersten Codes EXT CNT<2:0> (**Fig. 2** illustriert BL = 8, somit wird der Wert des ersten Codes EXT CNT<2:0> zu $1 + 6 = 7$) addiert. Wenn BL 4 ist, wird der Wert „4“ zu dem Wert „1“ des gespeicherten ersten Codes EXT CNT<2:0> addiert (das heißt, der addierte Wert beträgt $(BL/2) + 2$). Zusätzlich wird der sich ergebende Wert „7“ des ersten Codes EXT CNT<2:0> mit dem Wert des zweiten Codes DLL CNT<2:0> verglichen. Wenn der Wert des zweiten Codes DLL CNT<2:0> identisch mit dem Wert „7“ des ersten Codes EXT CNT<2:0> wird, wird ein Signal WT_DLL_ENDBP auf „low“ aktiviert, wodurch das Signal DYNAMIC_ODTEN deaktiviert wird. Das bedeutet, dass der dynamische Abschlussbetrieb endet.

[0034] Auf diese Art und Weise aktiviert die dynamische Steuereinrichtung **120** gemäß der vorliegenden Erfindung den dynamischen Abschlussbetrieb, nachdem eine vorher festgelegte Zeit von der Eingabe des Schreibbefehls an abgelaufen ist, und deaktiviert den dynamischen Abschlussbetrieb, nachdem ein vorher festgelegter Zeitrahmen und eine Dateneingabezeit sichergestellt sind.

[0035] **Fig. 3** ist ein Signaldiagramm einer Erzeugung des in **Fig. 2** beschriebenen Schreibbefehlsignals WT_STARTP.

[0036] Grundsätzlich wird das Schreibbefehlsignal WT_STARTP in Reaktion auf den Schreibbefehl aktiviert. Wie in **Fig. 3** dargestellt ist, wird ein zu dem Schreibbefehl korrespondierender Befehl CAS eingegeben, und dann wird das Schreibbefehlsignal WT_STARTP aktiviert, nachdem eine vorher festgelegte Zeit abgelaufen ist, indem eine AL (additive latency, zusätzliche Latenz) berücksichtigt wird.

[0037] Im Detail empfängt ein Befehlseingabepuffer, wenn der zu dem Schreibbefehl korrespondierende externe Befehl CAS eingegeben wird, den externen Befehl CAS, indem der externe Befehl CAS mit dem

Takt CLK synchronisiert wird. Dann, nachdem der eingegebene Befehl CAS durch eine interne Schaltung verzögert worden ist, wird das Schreibbefehlsignal WT_STARTP in Reaktion auf den verzögerten Befehl CAS aktiviert. Das heißt, das Schreibbefehlsignal WT_STARTP wird aktiviert, nachdem der externe Befehl CAS, welcher in den Befehlseingabepuffer eingegeben wurde, um eine vorher festgelegte Zeit verzögert worden ist. Als Referenz kann eine Pulsweite des Schreibbefehlsignals WT_STARTP entsprechend dem Rahmen usw. eingestellt werden.

[0038] **Fig. 4** ist ein Signaldiagramm zur Illustration eines Betriebs der in **Fig. 1** beschriebenen normalen Steuereinrichtung **130**.

[0039] Da der interne Takt DLLCLK2 und der externe Takt EXTCLK nicht umgeschaltet bzw. getoggelt werden, bevor das Rückstellsignal RST freigegeben wird, sind die Werte des ersten Codes EXT CNT<2:0> und des zweiten Codes DLL CNT<2:0> auf deren anfänglichen Wert ohne gezählt zu werden fixiert. Mit Bezug auf **Fig. 4** weist der erste Code EXT CNT<2:0> den anfänglichen Wert von „0“ auf, und der zweite Code DLL CNT<2:0> besitzt den anfänglichen Wert von „5“. Wie oben beschrieben ist, ist der anfängliche Wert des zweiten Codes entsprechend der CWL festgelegt. Wenn das Rückstellsignal RST freigegeben wird, werden der erste Code EXT CNT<2:0> und der zweite Code DLL CNT<2:0> gezählt. Zu diesem Zeitpunkt, da der externe Takt EXTCLK durch Verzögerung des internen Takts DLLCLK erzeugt wird, wird mit Zählung des ersten Codes EXT CNT<2:0> später als mit Zählung des zweiten Codes DLL CNT<2:0> begonnen.

[0040] In diesem Zustand wird ein Signal ODT_STARTP aktiviert, welches in Reaktion auf einen Befehl von einer externen Speichersteuereinrichtung erzeugt wird. Zu diesem Zeitpunkt wird der erste Code EXT CNT<2:0> gespeichert (im Fall von **Fig. 4** wird 1 gespeichert). Zusätzlich, wenn der Wert des zweiten Codes DLL CNT<2:0> identisch mit dem Wert des gespeicherten ersten Codes EXT CNT<2:0> wird, wird ein Signal ODT_DLL_STARTBP auf „low“ aktiviert. Das Signal ODT_DLL_STARTBP aktiviert ein Signal ODTEN, das zur Steuerung des normalen Abschlussbetriebs benutzt wird, was bedeutet, dass der konventionelle Abschlussbetrieb anders als der dynamische Abschlussbetrieb ist, so dass der normale Abschlussbetrieb beginnt.

[0041] Das Verfahren zum Beenden des normalen Abschlussbetriebs ist ähnlich dem Verfahren zum Beginnen des normalen Abschlussbetriebs. Das heißt, ein Signal ODT_ENDP, welches in Reaktion auf einen Befehl von der externen Speichersteuereinrichtung erzeugt wird, wird aktiviert. Zu diesem Zeitpunkt wird der Wert des ersten Code EXT CNT<2:0> gespeichert (im Fall von **Fig. 4** wird **Fig. 6** gespeichert).

Zusätzlich, wenn der Wert des zweiten Codes DLLCNT<2:0> identisch mit dem Wert des gespeicherten ersten Codes EXTCNT<2:0> wird, wird ein Signal ODT_DLL_ENDBP auf „low“ aktiviert. Das Signal ODT_DLL_ENDBP deaktiviert das Signal ODTEN, welches zur Steuerung des normalen Abschlussbetriebs benutzt wird, so dass der normale Abschlussbetrieb endet.

[0042] Das heißt, der Beginn und das Ende des normalen Abschlussbetriebs werden grundsätzlich mittels der externen Speichersteuereinrichtung gesteuert.

[0043] Fig. 5 ist ein Signaldiagramm einer Erzeugung des Signals ODT_STARTP und des Signals ODT_ENDP, die in Fig. 4 beschrieben sind.

[0044] Im Allgemeinen werden das Signal ODT_STARTP und das Signal ODT_ENDP durch einen externen Befehl ODT erzeugt, welcher in Bezug auf einen ODT-Betrieb von der externen Speichersteuereinrichtung, die als Chipset bezeichnet wird, eingegeben wird. Der externe Befehl ODT wird von der externen Speichersteuereinrichtung eingegeben, indem die Setup-Haltebedingung und dergleichen berücksichtigt werden. Der externe Befehl ODT wird in Synchronisation mit einem internen Takt eingegeben und um eine vorher festgelegte Zeit verzögert, indem die additive Latenz berücksichtigt wird, um ein Signal ODT_COM zu erzeugen. Zusätzlich, wenn das Signal ODT_COM aktiviert und deaktiviert wird, werden jeweils das Signal ODT_STARTP und das Signal ODT_ENDP, welche Impulssignale sind, aktiviert.

[0045] Fig. 6 ist ein schematischer Schaltplan, welcher die dynamische Steuereinrichtung 120 nach Fig. 1 illustriert, die wie in Fig. 2 gezeigt betrieben wird.

[0046] Mit Bezug auf Fig. 6 umfasst die dynamische Steuereinrichtung 120 eine Speichereinheit 610, eine dynamische Aktivierungseinheit 620, eine Addiereinheit 630 und eine dynamische Deaktivierungseinheit 640. Die Speichereinheit 610 speichert den ersten Code EXTCNT<2:0> in Reaktion auf ein Schreibbefehlsignal WT_STARTP, welches gemäß einem Schreibbefehl erzeugt wird. Die dynamische Aktivierungseinheit 620 gibt das Signal WT_DLL_STARTBP zur Aktivierung des dynamischen Abschlussbetriebs durch Vergleich des in der Speichereinheit 610 gespeicherten ersten Codes EXTCNTLATCH<2:0> mit dem zweiten Code DLLCNT<2:0> aus. Die Addiereinheit 630 gibt einen resultierenden Wert EXTCNTLATCH<2:0> durch Addition eines vorher festgelegten Wertes, welcher gemäß der BL festgelegt ist, zu einem Wert des in der Speichereinheit 610 gespeicherten ersten Codes EXTCNTLATCH<2:0> aus. Die dynamische Deaktivierungseinheit 640 gibt das Signal WT_DLL_ENDBP zur Deaktivierung des dynamischen

Abschlussbetriebs durch Vergleich des von der Addiereinheit 630 ausgegebenen resultierenden Wertes EXTCNTLATCH_AD<2:0> mit dem zweiten Code DLLCNT<2:0> aus.

[0047] Zusätzlich kann die dynamische Steuereinrichtung 120 weiterhin eine OFT-(On-The-Fly-)Steuerschaltung 650, welche BL-Informationen an die Addiereinheit 630 liefert, und ein SR-Latch 660 aufweisen, welches ein Levelsignal DYNAMIC_ODTEN zur Aktivierung oder Deaktivierung des dynamischen Abschlussbetriebs erzeugt, der aktiviert wird, wenn das Levelsignal einen „high“-Wert aufweist, und deaktiviert wird, wenn das Levelsignal einen „low“-Wert aufweist, indem Ausgabesignale WT_DLL_STARTBP und WT_DLL_ENDBP (Impulssignale) der dynamischen Aktivierungseinheit 620 und der dynamischen Deaktivierungseinheit 640 kombiniert werden.

[0048] Die Speichereinheit 610 weist Flip-Flops auf. Die Flip-Flops speichern den ersten Code EXTCNT<2:0> in Synchronisation mit dem Schreibbefehlsignal WT_STARTP, welches aktiviert wird, nachdem eine vorher festgelegte Zeit von dem Schreibbefehl abgelaufen ist.

[0049] Die dynamische Aktivierungseinheit 620 weist Exklusiv-NOR-Gatter und ein NAND-Gatter auf. Die Exklusiv-NOR-Gatter vergleichen den in der Speichereinheit 610 gespeicherten ersten Code EXTCNTLATCH<2:0> mit dem zweiten Code DLLCNT<2:0>. Die NAND-Gatter führen eine logische Operation in Bezug auf Ausgabewerte der Exklusiv-NOR-Gatter aus.

[0050] Die Addiereinheit 630 weist einen Volladdierer auf, welcher einen Wert von „(BL/2) + 2“ zu dem in der Speichereinheit 610 gespeicherten ersten Code EXTCNTLATCH<2:0> addiert.

[0051] Die dynamische Deaktivierungseinheit 640 weist Exklusiv-NOR-Gatter und ein NAND-Gatter auf. Die Exklusiv-NOR-Gatter vergleichen den Ausgabewert EXTCNTLAICH_ADD<2:0> der Addiereinheit 630 mit dem zweiten Code DLLCNT<2:0>. Die NAND-Gatter führen eine logische Operation in Bezug auf Ausgabewerte der Exklusiv-NOR-Gatter aus.

[0052] Die OTF-Steuerschaltung 650 ist vorgesehen, den OTF-Betriebsmodus zu unterstützen. In einer DD3-Speichervorrichtung kann die BL auf BL = 4, BL = 8 und OTF durch ein MRS eingestellt werden. Wenn die BL auf OTF eingestellt ist, ist die BL nicht auf 4 oder 8 eingestellt, sondern ist als 4 oder 8 entsprechend einem Wert der Adressenzahl 12 (1 oder 0) festgelegt, wenn der Lese- oder Schreibbefehl eingegeben wird. Das heißt, OTF ist eines von Schemen zur Einstellung der BL. Das Schreibbefehlsignal WT_STARTP wird in die OTF-Steuerschaltung 650 in einer solchen Art und Weise eingegeben, dass

das Schreibbefehlsignal WT_STARTP als ein Triggersignal verwendet werden kann, da die OTF-Steuerschaltung **650** benutzt wird, wenn der dynamische Abschlussmodus eingesetzt wird.

[0053] Ungeachtet des Wertes der BL, welcher direkt durch MRS oder dem OTF-Modus entsprechend vorher eingestellt ist, weist die OTF-Steuerschaltung eine Funktion zur Bereitstellung der BL-Informationen an die Addiereinheit auf.

[0054] Das SR-Latch **660** gibt ein Levelsignal dynamischer Abschluss DYNAMIC_ODTEN aus, welches gemäß dem Ausgabesignal WT_DLL_STARTBP der dynamischen Aktivierungseinheit **620** eingestellt und gemäß dem Ausgabesignal WT_DLL_ENDBP der dynamischen Deaktivierungseinheit **640** zurückgestellt wird.

[0055] Die dynamische Steuereinrichtung **120** weist einen Aufbau wie in **Fig. 6** gezeigt auf, und deren Betrieb ist in **Fig. 2** im Detail dargestellt, so wird der Betrieb der dynamischen Steuereinrichtung **120** unten nicht weiter beschrieben.

[0056] Die normale Steuereinrichtung **130** aktiviert/deaktiviert den normalen Abschlussbetrieb gemäß Signalen ODT_STARTP und ODT_ENDP, welche von der externen Steuereinrichtung erzeugt werden. Das Aktivierungs-/Deaktivierungsschema der normalen Steuereinrichtung **130** ist ähnlich dem Aktivierungsschema der dynamischen Steuereinrichtung **120** für – den dynamischen Abschlussbetrieb. So kann die normale Steuereinrichtung **130** zwei Paare von Schaltungen mit ähnlicher Konfiguration aufweisen, die ähnlich derjenigen der Speichereinheit **610** und der dynamischen Aktivierungseinheit **620** sind. Die vorliegende Erfindung ist auf die dynamische Steuereinrichtung **120** gerichtet, die anders als die normale Steuereinrichtung **130** ist, und der Fachmann kann die normale Steuereinrichtung **130** schnell erkennen, so dass die Beschreibung davon ausgelassen wird.

[0057] Im Folgenden wird das Verfahren zum Steuern des ODT-Betriebs gemäß der vorliegenden Erfindung mit Bezug auf **Fig. 1** bis **Fig. 6** beschrieben.

[0058] Das Verfahren zum Steuern des ODT-Betriebs gemäß der vorliegenden Erfindung weist die folgenden Verfahrensschritte auf: Erzeugen eines ersten Codes EXTCNT<2:0> durch Zählen eines externen Taktes EXTCLK und Erzeugen eines zweiten Codes DLLCNT<2:0> durch Zählen eines internen Taktes DLLCLK2; Aktivieren eines dynamischen Abschlussbetriebs durch Vergleichen des ersten Codes EXTCNT<2:0> mit dem zweiten Code DLLCNT<2:0> in Reaktion auf einen Schreibbefehl, das heißt in Reaktion auf das durch den Schreibbefehl erzeugte Schreibbefehlsignal WT_STARTP; und Deaktivieren

des dynamischen Abschlussbetriebs, nachdem eine vorher festgelegte Zeit, die gemäß der Burst-Länge festgelegt ist, abgelaufen ist, nachdem der dynamische Abschlussbetrieb aktiviert worden ist.

[0059] Im Detail weist der Verfahrensschritt Aktivieren des dynamischen Abschlussbetriebs die folgenden Verfahrensschritte auf: Speichern des ersten Code EXTCNT<2:0> in Reaktion auf das Schreibbefehlsignal WT_STARTP; und Vergleichen des zweiten Codes DLLCNT<2:0> mit dem gespeicherten ersten Code EXTCNTLATCH<2:0>.

[0060] Zusätzlich umfasst der Verfahrensschritt Deaktivieren des dynamischen Abschlussbetriebs die folgenden Verfahrensschritte: Addieren eines vorher festgelegten Wertes ((BL/2 + 2), welcher entsprechend der Burst-Länge festgelegt ist, zu dem gespeicherten ersten Code EXTCNTLATCH<2:0>; und Vergleichen des zweiten Codes DLLCNT<2:0> mit einem resultierenden Wert des ersten Codes EXTCNTLATCH_ADD<2:0>.

[0061] Auf diese Art und Weise kann die ODT-Steuerschaltung gemäß der vorliegenden Erfindung den Beginn und das Ende des dynamischen Abschlussbetriebs, welcher kürzlich der Halbleiterspeichervorrichtung mit DDR3-Level hinzugefügt worden ist, auf präzise Weise steuern. Zusätzlich ist die vorliegende Erfindung bei verschiedenen Produkten anwendbar, welche den dynamischen Abschlussbetrieb durchführen.

Patentansprüche

1. On-Die-Termination-Steuerschaltung, aufweisend:
 eine Speichereinheit, welche zur Speicherung eines ersten Codes in Reaktion auf einen Schreibbefehl ausgebildet ist;
 eine dynamische Aktivierungseinheit, welche zur Ausgabe eines Signals zur Aktivierung eines dynamischen Abschlussbetriebs durch Vergleich des in der Speichereinheit gespeicherten ersten Codes mit einem zweiten Code konfiguriert ist;
 eine Additionseinheit, welche zur Ausgabe eines resultierenden Wertes durch Addition eines vorher festgelegten Wertes zu dem gespeicherten ersten Code ausgebildet ist; und
 eine dynamische Deaktivierungseinheit zur Ausgabe eines Signals zur Deaktivierung des dynamischen Abschlussbetriebs durch Vergleich des resultierenden Wertes mit dem zweiten Code;
 wobei der zweite Code durch Zählung eines Ausgabetaktes einer Verzögerungsregelschleife erzeugbar ist und wobei der erste Code durch Zählung des durch eine Replica-Verzögerungsleitung verzögerten internen Taktes erzeugbar ist.

2. On-Die-Termination-Steuerschaltung nach Anspruch 1, wobei der erste und zweite Code in Reaktion auf ein Rückstellsignal zählbar sind.

3. On-Die-Termination-Steuerschaltung nach Anspruch 1, wobei ein anfänglicher Wert des zweiten Codes gemäß einer Spaltenadressenabtastimpuls-Schreiblatenz (Column Address Strobe Write Latency) festgelegt ist.

4. On-Die-Termination-Steuerschaltung nach Anspruch 1, wobei die Speichereinheit Flip-Flops aufweist, welche zur Speicherung des ersten Code ausgebildet sind, während dieser mit einem Signal synchronisiert ist, das nach einer Eingabe des Schreibbefehls aktiviert ist.

5. On-Die-Termination-Steuerschaltung nach Anspruch 1, wobei die dynamische Aktivierungseinheit Folgendes aufweist:
Exklusiv-NOR-Gatter zum Vergleich des gespeicherten ersten Codes mit dem zweiten Code; und
ein NAND-Gatter zur Durchführung einer logischen Operation mit Ausgabewerten der Exklusiv-NOR-Gatter.

6. On-Die-Termination-Steuerschaltung nach Anspruch 1, wobei die Additionseinheit einen Volladdierer aufweist, welcher zur Addition eines Wertes von $((\text{Burst-Länge}/2) + 2)$ zu dem gespeicherten ersten Code ausgebildet ist.

7. On-Die-Termination-Steuerschaltung nach Anspruch 1, wobei die dynamische Deaktivierungseinheit Folgendes aufweist:
Exklusiv-NOR-Gatter zum Vergleich des resultierenden Wertes mit dem zweiten Code; und
ein NAND-Gatter zur Durchführung einer logischen Operation mit Ausgabewerten der Exklusiv-NOR-Gatter.

8. On-Die-Termination-Steuerschaltung nach Anspruch 1, welche weiterhin ein SR-Latch aufweist, das zur Einstellung gemäß einem Ausgabesignal der dynamischen Aktivierungseinheit und zur Rückstellung gemäß einem Ausgabesignal der dynamischen Deaktivierungseinheit konfiguriert ist.

9. On-Die-Termination-Steuerschaltung nach Anspruch 1, welche weiterhin eine normale Steuereinrichtung aufweist, die zur Steuerung eines normalen Abschlussbetriebs, der in Reaktion auf einen von einer externen Speichersteuereinrichtung eingegebenen Befehl ausführbar ist, konfiguriert ist.

10. On-Die-Termination-Steuerschaltung nach Anspruch 1, wobei der vorher festgelegte Wert gemäß einer Burst-Länge festgelegt ist.

11. Verfahren zum Steuern eines Abschlussbetriebs (On-Die Termination) auf dem Chip, wobei das Verfahren die folgenden Verfahrensschritte aufweist:
Erzeugen eines ersten Codes durch Zählen eines externen Takts und Erzeugen eines zweiten Codes durch Zählen eines internen Takts;
Aktivieren eines dynamischen Abschlussbetriebs durch Vergleichen des ersten Codes mit dem zweiten Code in Reaktion auf einen Schreibbefehl; und
Deaktivieren des dynamischen Abschlussbetriebs nachdem eine vorher festgelegte Zeit abgelaufen ist, nachdem der dynamische Abschlussbetrieb aktiviert worden ist;
wobei der Verfahrensschritt Aktivieren des dynamischen Abschlussbetriebs Folgendes aufweist:
Speichern des ersten Codes in Reaktion auf den Schreibbefehl; und
Vergleichen des zweiten Codes mit dem gespeicherten ersten Code; und
wobei die vorher festgelegte Zeit gemäß einer Burst-Länge festgelegt wird; und
wobei der Verfahrensschritt Deaktivieren des dynamischen Abschlussbetriebs Folgendes aufweist:
Addieren eines vorher festgelegten Wertes, welcher gemäß der Burst-Länge festgelegt ist, zu dem gespeicherten ersten Code; und
Vergleichen des zweiten Codes mit dem addierten ersten Code.

Es folgen 4 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1

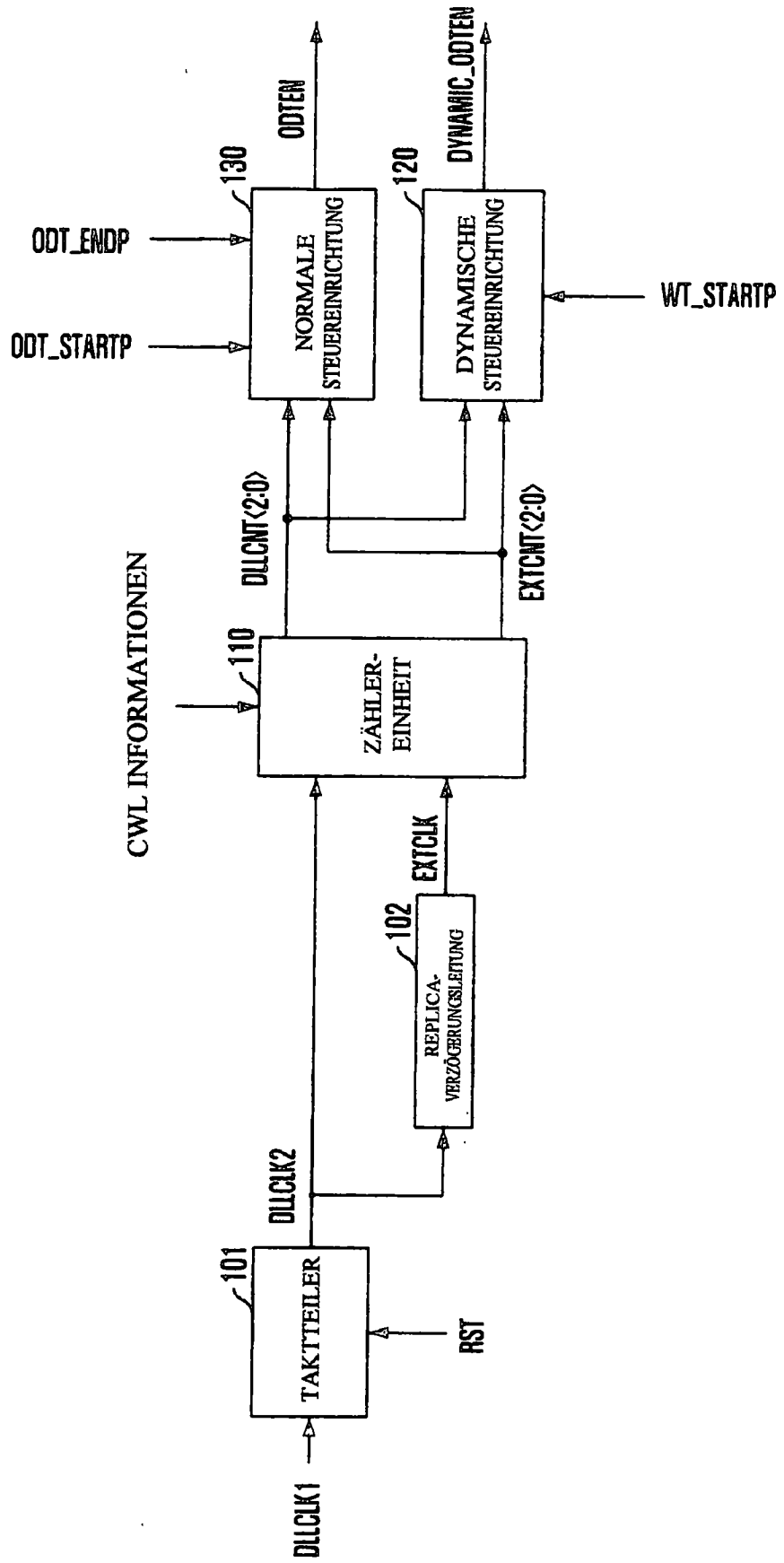


FIG. 2

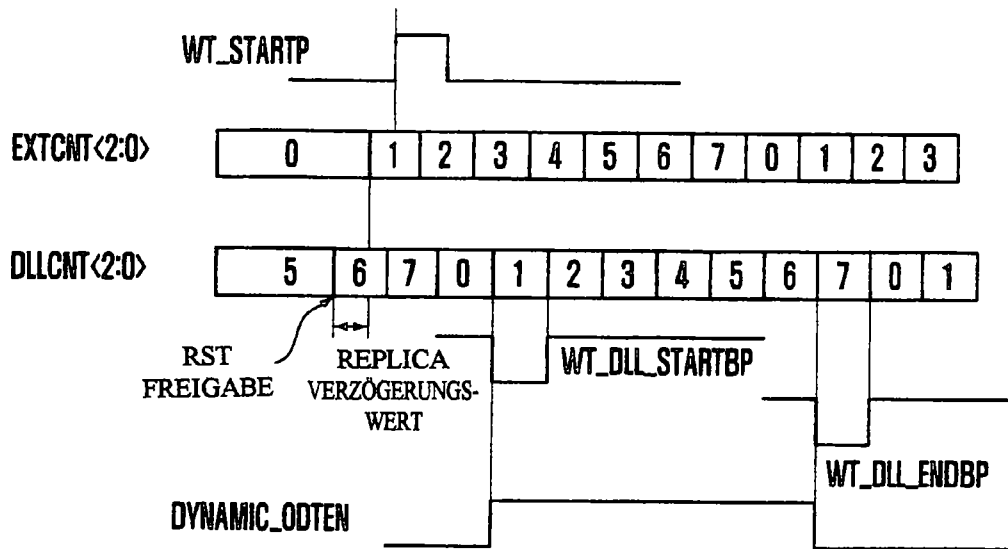


FIG. 3

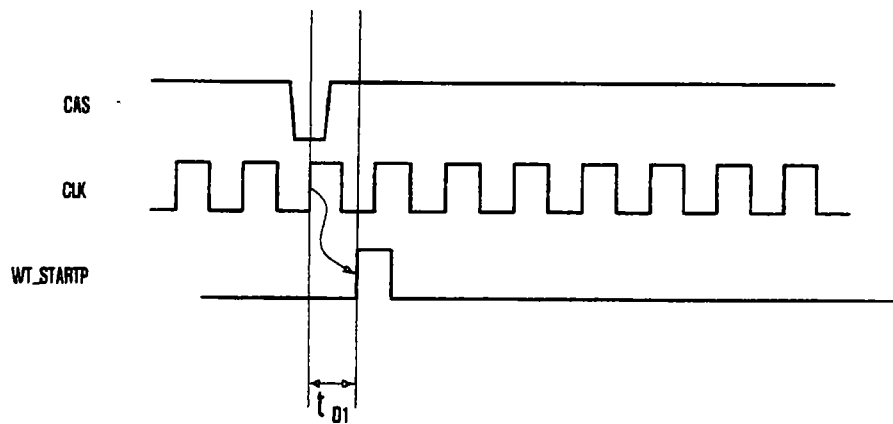


FIG. 4

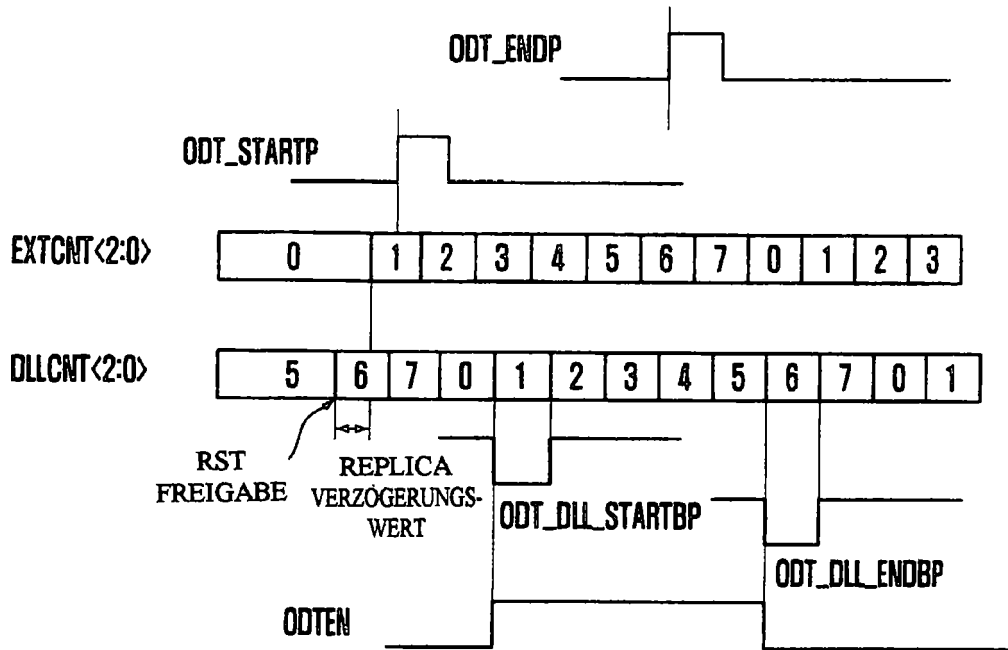


FIG. 5

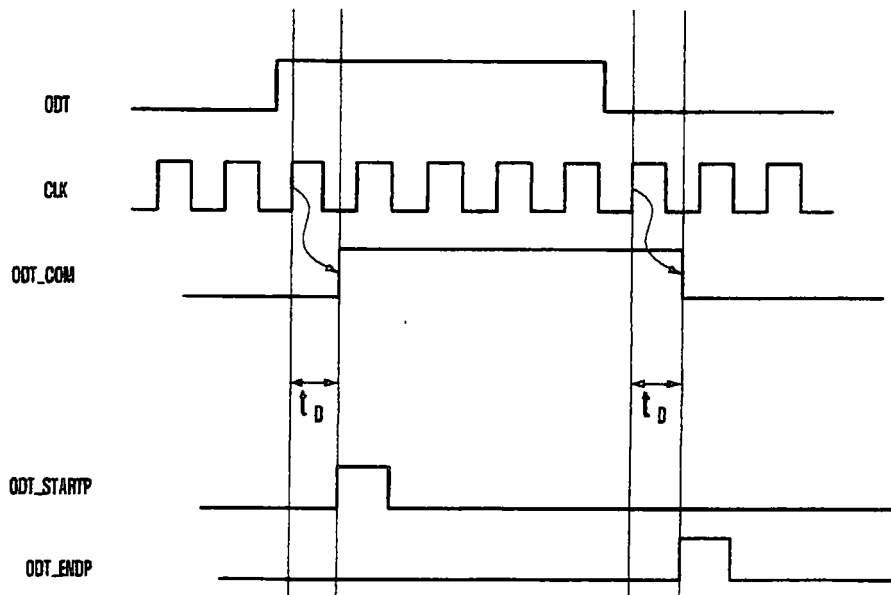


FIG. 6

120

