

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号  
特開2007-11360  
(P2007-11360A)

(43) 公開日 平成19年1月18日(2007.1.18)

|                            |                |             |
|----------------------------|----------------|-------------|
| (51) Int. Cl.              | F I            | テーマコード (参考) |
| <b>G09G 3/28 (2006.01)</b> | G09G 3/28 J    | 5C080       |
| <b>G09G 3/20 (2006.01)</b> | G09G 3/20 624P | 5C580       |
|                            | G09G 3/20 621G |             |
|                            | G09G 3/20 611A |             |

審査請求 未請求 請求項の数 27 O L (全 54 頁)

|                                        |                                                         |
|----------------------------------------|---------------------------------------------------------|
| (21) 出願番号 特願2006-177821 (P2006-177821) | (71) 出願人 502032105                                      |
| (22) 出願日 平成18年6月28日 (2006. 6. 28)      | エルジー エレクトロニクス インコーポ<br>レイティド                            |
| (31) 優先権主張番号 10-2005-0056601           | 大韓民国, ソウル 150-721, ヨン<br>ドンポーク, ヨイドードン, 20              |
| (32) 優先日 平成17年6月28日 (2005. 6. 28)      |                                                         |
| (33) 優先権主張国 韓国 (KR)                    | (74) 代理人 110000165                                      |
| (31) 優先権主張番号 10-2005-0056603           | グローバル・アイピー東京特許業務法人                                      |
| (32) 優先日 平成17年6月28日 (2005. 6. 28)      | (72) 発明者 ムン ソンハク                                        |
| (33) 優先権主張国 韓国 (KR)                    | 大韓民国 ソウル クログ シンドリムド<br>ン デリムアパート2チャ201-100<br>2         |
| (31) 優先権主張番号 10-2005-0059433           | (72) 発明者 キム テヒョン                                        |
| (32) 優先日 平成17年7月1日 (2005. 7. 1)        | 大韓民国 ソウル グァンアクグ ボンチ<br>ヨンドン 1708-1 ドゥサンアパー<br>ト 201-803 |
| (33) 優先権主張国 韓国 (KR)                    | 最終頁に続く                                                  |

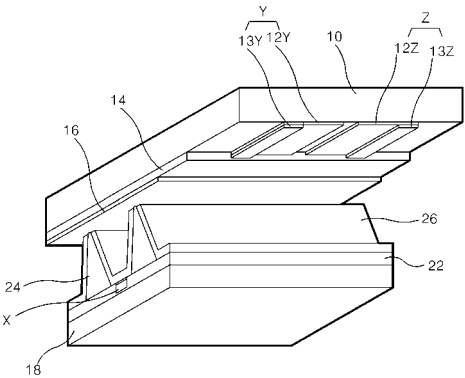
(54) 【発明の名称】 プラズマディスプレイ装置及びその駆動方法

(57) 【要約】

【課題】 プラズマディスプレイ装置及びその駆動方法を提供する。

【解決手段】 本発明のプラズマディスプレイ装置は、スキャン電極を備えるプラズマディスプレイパネルと、前記プラズマディスプレイパネルにサステイン電圧を供給するサステイン電圧源と、前記プラズマディスプレイパネルとの共振により、前記プラズマディスプレイパネルに格納された電圧を回収し、回収された電圧を前記プラズマディスプレイパネルに供給するインダクターと、前記インダクターと電流パスを形成し、前記プラズマディスプレイパネルに1/2サステイン電圧を供給/回収する電流パス及び前記プラズマディスプレイパネルにサステイン電圧を供給/回収する電流パスを形成するエネルギー供給/回収キャパシタと、前記サステイン電圧源と前記プラズマディスプレイパネルとの間に形成され、前記プラズマディスプレイパネルの電圧を1/2サステイン電圧に維持させるための電流パスを形成する維持キャパシタとを備える。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

スキャン電極を備えるプラズマディスプレイパネルと、  
前記プラズマディスプレイパネルにサステイン電圧を供給するサステイン電圧源と、  
前記プラズマディスプレイパネルとの共振により、前記プラズマディスプレイパネルに格納された電圧を回収し、回収された電圧を前記プラズマディスプレイパネルに供給するインダクターと、

前記インダクターと電流パスを形成し、前記プラズマディスプレイパネルに 1 / 2 サステイン電圧を供給／回収する電流パス及び前記プラズマディスプレイパネルにサステイン電圧を供給／回収する電流パスを形成するエネルギー供給／回収キャパシタと、

前記サステイン電圧源と前記プラズマディスプレイパネルとの間に形成され、前記プラズマディスプレイパネルの電圧を 1 / 2 サステイン電圧に維持させるための電流パスを形成する維持キャパシタと

を備えたことを特徴とするプラズマディスプレイ装置。

## 【請求項 2】

前記エネルギー供給／回収キャパシタは、第 2 キャパシタ及び第 4 キャパシタを備え、  
前記第 2 キャパシタは、前記プラズマディスプレイパネルにサステイン電圧を供給／回収する電流パスを形成し、

前記第 4 キャパシタは、前記プラズマディスプレイパネルに 1 / 2 サステイン電圧を供給／回収する電流パスを形成することを特徴とする請求項 1 に記載のプラズマディスプレイ装置。

## 【請求項 3】

前記エネルギー供給／回収キャパシタは、第 3 キャパシタを備え、  
前記プラズマディスプレイパネルの電圧を 1 / 2 サステイン電圧に維持させるための電流パスを形成する維持キャパシタは、第 3 キャパシタであることを特徴とする請求項 1 に記載のプラズマディスプレイ装置。

## 【請求項 4】

前記インダクターは、第 1 インダクター及び第 2 インダクターを備え、  
前記第 1 インダクターは、前記プラズマディスプレイパネルにサステイン電圧を供給／回収するために、前記第 2 キャパシタ及び電流パスを形成し、

前記第 2 インダクターは、前記プラズマディスプレイパネルに 1 / 2 サステイン電圧を供給／回収するために、前記第 4 キャパシタ及び電流パスを形成することを特徴とする請求項 2 に記載のプラズマディスプレイ装置。

## 【請求項 5】

前記インダクターは、第 1 インダクター、第 2 インダクター、第 3 インダクター、及び第 4 インダクターを備え、

前記第 1 インダクターは、前記プラズマディスプレイパネルにサステイン電圧を供給するために、前記第 2 キャパシタ及び電流パスを形成し、

前記第 2 インダクターは、前記プラズマディスプレイパネルに 1 / 2 サステイン電圧を回収するために、前記第 4 キャパシタ及び電流パスを形成し、

前記第 3 インダクターは、前記プラズマディスプレイパネルにサステイン電圧を回収するために、前記第 2 キャパシタ及び電流パスを形成し、

前記第 4 インダクターは、前記プラズマディスプレイパネルに 1 / 2 サステイン電圧を供給するために、前記第 4 キャパシタ及び電流パスを形成することを特徴とする請求項 2 に記載のプラズマディスプレイ装置。

## 【請求項 6】

前記プラズマディスプレイパネルに 1 / 2 サステイン電圧を供給する電流パスと、前記プラズマディスプレイパネルにサステイン電圧を供給する電流パスとは、同じであり、

前記プラズマディスプレイパネルに 1 / 2 サステイン電圧を回収する電流パスと、前記プラズマディスプレイパネルにサステイン電圧を回収する電流パスとは、同じであること

10

20

30

40

50

を特徴とする請求項 1 に記載のプラズマディスプレイ装置。

【請求項 7】

前記エネルギー供給／回収キャパシタは、第 3 キャパシタを備え、

前記プラズマディスプレイパネルの電圧を 1 / 2 サステイン電圧に維持させるための電流パスを形成する維持キャパシタは、第 3 キャパシタであることを特徴とする請求項 6 に記載のプラズマディスプレイ装置。

【請求項 8】

スキャン電極を備えるプラズマディスプレイパネルと、

サステイン電圧源と基底電圧源との間に接続されている第 1 キャパシタ及び第 2 キャパシタと、

前記サステイン電圧源と前記スキャン電極との間に接続され、前記スキャン電極にサステイン電圧が供給されるように制御するサステイン電圧供給制御部と、

前記基底電圧源と前記スキャン電極との間に接続され、前記スキャン電極に基底電圧が供給されるように制御する基底電圧供給制御部と、

前記サステイン供給制御部と前記基底電圧供給制御部との間に接続されている第 3 キャパシタと、

前記第 1 キャパシタ及び前記第 2 キャパシタの共通端子と前記スキャン電極との間に接続され、前記第 2 キャパシタに格納されたエネルギーが前記スキャン電極に供給されるように制御するエネルギー供給制御部と、

前記第 1 キャパシタ及び前記第 2 キャパシタの共通端子と前記スキャン電極との間に前記エネルギー供給制御部と並列に接続され、前記スキャン電極に格納されたエネルギーが前記第 2 キャパシタに回収されるように制御するエネルギー回収制御部と、

前記エネルギー供給制御部及び前記エネルギー回収制御部の共通端子と前記スキャン電極との間に接続されている第 1 インダクターと

を備えたことを特徴とするプラズマディスプレイ装置。

【請求項 9】

前記サステイン電圧供給制御部は、

前記サステイン電圧源と前記スキャン電極との間に直列に接続されている第 1 スイッチ及び第 3 スイッチを備え、

前記基底電圧供給制御部は、

前記基底電圧源と前記スキャン電極との間に直列に接続されている第 2 スイッチ及び第 4 スイッチを備えたことを特徴とする請求項 8 に記載のプラズマディスプレイ装置。

【請求項 10】

前記第 3 キャパシタは、前記第 1 スイッチ及び第 3 スイッチの共通端子と前記第 2 スイッチ及び第 4 スイッチの共通端子との間に接続されていることを特徴とする請求項 9 に記載のプラズマディスプレイ装置。

【請求項 11】

前記エネルギー供給制御部は、

前記第 1 キャパシタ及び前記第 2 キャパシタの共通端子と前記インダクターとの間に接続されている第 5 スイッチを備えたことを特徴とする請求項 8 に記載のプラズマディスプレイ装置。

【請求項 12】

前記エネルギー回収制御部は、

前記第 1 キャパシタ及び前記第 2 キャパシタの共通端子と前記インダクターとの間に接続されている第 6 スイッチを備えたことを特徴とする請求項 8 に記載のプラズマディスプレイ装置。

【請求項 13】

スキャン電極を備えるプラズマディスプレイパネルと、

サステイン電圧源と基底電圧源との間に接続されている第 1 キャパシタ及び第 2 キャパシタと、

10

20

30

40

50

前記サステイン電圧源と前記スキャン電極との間に接続され、前記スキャン電極にサステイン電圧が供給されるように制御するサステイン電圧供給制御部と、

前記基底電圧源と前記スキャン電極との間に接続され、前記スキャン電極に基底電圧が供給されるように制御する基底電圧供給制御部と、

前記サステイン電圧供給制御部と前記基底電圧供給制御部との間に直列に接続されている第 3 及び第 4 キャパシタと、

前記第 1 キャパシタ及び前記第 2 キャパシタの共通端子と前記第 3 キャパシタ及び第 4 キャパシタの共通端子との間に接続されている第 1 インダクターと、

前記第 1 キャパシタ及び前記第 2 キャパシタの共通端子と前記第 1 インダクターとの間に並列に接続されている第 1 エネルギー回収制御部及び第 2 エネルギー供給制御部と、

前記第 3 キャパシタ及び第 4 キャパシタの共通端子と前記スキャン電極との間に接続されている第 2 インダクターと、

前記第 1 インダクターと前記第 2 インダクターとの間に並列に接続されている第 1 エネルギー供給制御部及び第 2 エネルギー回収制御部と

を備えたことを特徴とするプラズマディスプレイ装置。

#### 【請求項 1 4】

前記サステイン電圧供給制御部は、

前記サステイン電圧源と前記スキャン電極との間に直列に接続されている第 1 スイッチ及び第 2 スイッチを備え、

前記基底電圧供給制御部は、

前記基底電圧源と前記スキャン電極との間に直列に接続されている第 3 スイッチ及び第 4 スイッチを備えたことを特徴とする請求項 1 3 に記載のプラズマディスプレイ装置。

#### 【請求項 1 5】

前記第 1 エネルギー供給制御部は、

前記第 1 インダクターと前記第 2 インダクターとの間に接続されている第 5 スイッチ及び第 1 ダイオードを備えたことを特徴とする請求項 1 3 に記載のプラズマディスプレイ装置。

#### 【請求項 1 6】

前記第 2 エネルギー供給制御部は、

前記第 1 キャパシタ及び前記第 2 キャパシタの共通端子と前記第 1 インダクターとの間に接続されている第 6 スイッチ及び第 2 ダイオードを備えたことを特徴とする請求項 1 3 に記載のプラズマディスプレイ装置。

#### 【請求項 1 7】

前記第 1 エネルギー回収制御部は、

前記第 1 キャパシタ及び前記第 2 キャパシタの共通端子と前記第 1 インダクターとの間に接続されている第 7 スイッチ及び第 3 ダイオードを備えたことを特徴とする請求項 1 3 に記載のプラズマディスプレイ装置。

#### 【請求項 1 8】

前記第 2 エネルギー回収制御部は、

前記第 1 インダクターと前記第 2 インダクターとの間に接続されている第 8 スイッチ及び第 4 ダイオードを備えたことを特徴とする請求項 1 3 に記載のプラズマディスプレイ装置。

#### 【請求項 1 9】

前記第 1 キャパシタ及び前記第 2 キャパシタそれぞれには、 $1/2$  サステイン電圧が充電され、

前記第 3 キャパシタ及び前記第 4 キャパシタそれぞれには、 $1/4$  サステイン電圧が充電されることを特徴とする請求項 1 3 に記載のプラズマディスプレイ装置。

#### 【請求項 2 0】

スキャン電極を備えるプラズマディスプレイパネルと、

サステイン電圧源と基底電圧源との間に接続されている第 1 キャパシタ及び第 2 キャパ

10

20

30

40

50

シタと、

前記サステイン電圧源と前記スキャン電極との間に接続され、前記スキャン電極にサステイン電圧が供給されるように制御するサステイン電圧供給制御部と、

前記基底電圧源と前記スキャン電極との間に接続され、前記スキャン電極に基底電圧が供給されるように制御する基底電圧供給制御部と、

前記サステイン電圧供給制御部と前記基底電圧供給制御部との間に直列に接続されている第3キャパシタ及び第4キャパシタと、

前記第1キャパシタ及び前記第2キャパシタの共通端子と前記第3キャパシタ及び前記第4キャパシタの共通端子との間に並列に接続されている第1エネルギー供給制御部及び第1エネルギー回収制御部と、

前記第3キャパシタ及び前記第4キャパシタの共通端子と前記スキャン電極との間に並列に接続されている第2エネルギー供給制御部及び第2エネルギー回収制御部と

を備えたことを特徴とするプラズマディスプレイ装置。

【請求項21】

前記サステイン電圧供給制御部は、

前記サステイン電圧源と前記第3キャパシタとの間に接続されている第1スイッチ及び前記第3キャパシタと前記スキャン電極との間に接続されている第2スイッチを備え、

前記基底電圧供給制御部は、

前記基底電圧源と前記第4キャパシタとの間に接続されている第3スイッチ及び前記第4キャパシタと前記スキャン電極との間に接続されている第4スイッチを備えたことを特徴とする請求項20に記載のプラズマディスプレイ装置。

【請求項22】

前記第2エネルギー供給制御部は、

前記第3キャパシタ及び第4キャパシタの共通端子と前記第1スイッチ及び前記第2スイッチの共通端子との間に接続されている第5スイッチと、

前記第1キャパシタ及び第2キャパシタの共通端子と前記第5スイッチとの間に接続されている第1インダクターと

を備えたことを特徴とする請求項21に記載のプラズマディスプレイ装置。

【請求項23】

前記第1エネルギー回収制御部は、

前記第3スイッチ及び前記第4スイッチの共通端子と前記第1キャパシタ及び前記第2キャパシタの共通端子との間に接続されている第6スイッチと、

前記第3キャパシタ及び第4キャパシタの共通端子と前記第6スイッチとの間に接続されている第3インダクターと

を備えたことを特徴とする請求項21に記載のプラズマディスプレイ装置。

【請求項24】

前記第2エネルギー回収制御部は、

前記第1スイッチ及び前記第2スイッチの共通端子と前記第2スイッチ及び前記スキャン電極の共通端子との間に接続されている第2インダクターと、

前記第3キャパシタ及び前記第4キャパシタの共通端子と前記第2インダクターとの間に接続されている第7スイッチと

を備えたことを特徴とする請求項21に記載のプラズマディスプレイ装置。

【請求項25】

前記第1エネルギー供給制御部は、

前記第3キャパシタ及び前記第4キャパシタの共通端子と前記第3スイッチ及び前記第4スイッチの共通端子との間に接続されている第8スイッチと、

前記第3スイッチ及び前記スキャン電極の共通端子と前記第8スイッチとの間に接続されている第4インダクターと

を備えたことを特徴とする請求項21に記載のプラズマディスプレイ装置。

【請求項26】

10

20

30

40

50

前記第 1 キャパシタ及び前記第 2 キャパシタそれぞれには、 $1/2$  サステイン電圧が充電され、

前記第 3 キャパシタ及び前記第 4 キャパシタそれぞれには、 $1/4$  サステイン電圧が充電されることを特徴とする請求項 20 に記載のプラズマディスプレイ装置。

【請求項 27】

プラズマディスプレイパネルのスキャン電極の電圧を基底電圧から  $1/2$  サステイン電圧に上昇させるステップと、

前記スキャン電極の電圧を  $1/2$  サステイン電圧に維持するステップと、

前記スキャン電極の電圧を  $1/2$  サステイン電圧からサステイン電圧に上昇させるステップと、

10

前記スキャン電極の電圧をサステイン電圧に維持するステップと、

前記スキャン電極の電圧をサステイン電圧から  $1/2$  サステイン電圧まで下降させるステップと、

前記スキャン電極の電圧を  $1/2$  サステイン電圧から 0 V まで下降させるステップと

を含むことを特徴とするプラズマディスプレイ装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ディスプレイ装置に関し、さらに詳細には、プラズマディスプレイ装置に関する。

20

【背景技術】

【0002】

一般に、ディスプレイ装置のうち、プラズマディスプレイ装置は、プラズマディスプレイパネル及びプラズマディスプレイパネルを駆動するための駆動部を備える。

【0003】

最近、陰極線管 (Cathode Ray Tube) の短所である重さと体積を減らすことができる各種平板表示装置が開発されつつある。このような平板表示装置は、液晶表示装置 (Liquid Crystal Display; LCD)、電界放出表示装置 (Field Emission Display; FED)、プラズマディスプレイパネル (Plasma Display Panel; 以下、「PDP」と記す)、及び

30

エレクトロルミネセンス (Electro-Luminescence; EL) 表示装置などがある。この中で PDP は、気体放電を利用した表示素子であって、大型パネルの製作に容易であるという長所がある。現在、殆どの PDP は、上部基板にスキャン電極及びサステイン電極が形成され、下部基板にアドレス電極が形成された 3 電極交流面放電型 PDP が主に用いられる。

【0004】

このような 3 電極交流面放電型 PDP は、複数のサブフィールドに分離されて駆動され、各サブフィールド期間においては、ビデオデータの加重値に比例した回数の発光が行われることによって、階調表示が行なわれるようになる。この時、サブフィールドは、再び初期化期間、アドレス期間及びサステイン期間に分割されて駆動される。

40

【0005】

ここで、初期化期間は、放電セルに均一な壁電荷を形成する期間であり、アドレス期間は、ビデオデータの論理値に応じて、選択的なアドレス放電を発生する期間であり、サステイン期間は、アドレス放電が発生した放電セルにおいて放電を維持させる期間である。

【0006】

このように駆動される 3 電極交流面放電型 PDP のアドレス放電及びサステイン放電には、数百ボルト以上の高圧が必要となる。そのため、PDP では、アドレス放電及びサステイン放電に必要な駆動電力を最小化するために、エネルギー回収装置が利用される。

【0007】

図 1 は、従来のプラズマディスプレイ装置のうち、エネルギー回収装置を示す回路図で

50

ある。

【0008】

同図に示すように、「Weber (USP-5081400)」により提案されたプラズマディスプレイ装置のエネルギー回収装置は、パネルキャパシタCpを隔てて互いに対称に設置される。

【0009】

ここでは、PDPのスキャン電極Yに設置されたエネルギー回収装置のみを示しており、パネルキャパシタCpは、PDPのスキャン電極Yとサステイン電極Zとの間に形成される静電容量を等価的に示したものである。

【0010】

従来のプラズマディスプレイ装置のうち、エネルギー回収装置2は、エネルギー回収／供給部4及びサステインパルス供給部6を備える。

【0011】

エネルギー回収／供給部4は、サステイン期間の間、PDPにおいて放電に寄与していない無効電力のエネルギーをパネルキャパシタCpから回収すると共に、回収されたエネルギーをパネルキャパシタCpに供給する。

【0012】

このようなエネルギー回収／供給部4は、回収されたエネルギーを格納するためのキャパシタCs、キャパシタCsとサステイン電圧供給制御部8及び基底電圧供給制御部10の共通端子である第2ノードN2との間に接続されているインダクターL、キャパシタCsに格納されたエネルギーをパネルキャパシタCpに供給するための電流パスを形成するために、キャパシタCsとインダクターLとの間に直列に接続されている第1スイッチSW1及び第1ダイオードD1を備える。

【0013】

また、パネルキャパシタCpから放電に寄与していない無効電力のエネルギーを回収するための電流パスを形成するために、第1ダイオードD1及びインダクターLの共通端子である第1ノードN1とキャパシタCsとの間に直列に接続されている第2ダイオードD2及び第2スイッチSW2、サステイン電圧源Vsと基底電圧源GNDとの間に直列に接続されている第3ダイオードD3及び第4ダイオードD4を備える。

【0014】

キャパシタCsは、サステイン放電の際、パネルキャパシタCpに充電される電圧を回収して充電すると共に、その内部に充電された電圧をパネルキャパシタCpに再供給する。

【0015】

このようなキャパシタCsには、サステイン電圧Vsの半分値である1/2サステイン電圧Vs/2が充電される。インダクターLは、一定のインダクタンス値を有し、パネルキャパシタCpと共に共振回路を形成する。

【0016】

このために、第1スイッチSW1～第4スイッチSW4は、電流の流れを制御する。この時、第1スイッチSW1～第4スイッチSW4には、電流の流れを制御するための内部ダイオードが形成される。

【0017】

一方、第1ダイオードD1は、キャパシタCsに充電された電圧がパネルキャパシタCpに供給される時、パネルキャパシタCpからの逆電流を防止し、第2ダイオードD2は、パネルキャパシタCpに充電された電圧がキャパシタCsに回収される時、キャパシタCsからの逆電流を防止する。

【0018】

また、第3ダイオードD3は、サステイン電圧源Vsから第1ノードN1への逆電流を防止し、第4ダイオードD4は、第1ノードN1から基底電圧源GNDへの逆電流を防止する。

10

20

30

40

50

## 【0019】

サステインパルス供給部6は、サステイン電圧レベルV<sub>s</sub>及び基底電圧レベルGNDを有するサステインパルスSUSPを、サステイン期間SP間の間、パネルキャパシタC<sub>p</sub>のスキャン電極Yに供給する。このようなサステインパルス供給部6は、サステイン電圧供給制御部8及び基底電圧供給制御部10を備える。

## 【0020】

サステイン電圧供給制御部8は、リセット期間のうちセットアップ期間とサステイン期間の間、パネルキャパシタC<sub>p</sub>のスキャン電極Yにサステイン電圧V<sub>s</sub>が供給されるように制御する。このようなサステイン電圧供給制御部8は、サステイン電圧源V<sub>s</sub>と第2ノードN2との間に接続されている第3スイッチSW3を備える。

10

## 【0021】

基底電圧供給制御部10は、サステイン期間の間、パネルキャパシタC<sub>p</sub>のスキャン電極Yに基底電圧GNDが供給されるように制御する。このような基底電圧供給制御部10は、基底電圧源GNDと第2ノードN2との間に接続されている第4スイッチSW4を備える。

## 【0022】

図2は、図1に示されたスイッチのオン・オフタイミングとパネルキャパシタの出力波形を示すタイミング図及び波形図である。

## 【0023】

同図に示すように、t<sub>1</sub>時点以前に、パネルキャパシタC<sub>p</sub>には、0Vの電圧が充電されると共に、キャパシタC<sub>s</sub>には、1/2サステイン電圧V<sub>s</sub>/2が充電されていると仮定し、動作過程を詳細に説明する。

20

## 【0024】

t<sub>1</sub>期間においては、第1スイッチSW1がターンオンして、キャパシタC<sub>s</sub>、第1スイッチSW1、第1ダイオードD1、インダクターL及びパネルキャパシタC<sub>p</sub>に続く電流パスが形成され、インダクターL及びパネルキャパシタC<sub>p</sub>は、直列共振を発生する。この時、パネルキャパシタC<sub>p</sub>の電圧V<sub>p</sub>及び電流I<sub>Cp</sub>は、数式1の通りである。

## 【0025】

## 【数1】

$$V_p(t) = \frac{V_s}{2} (1 - e^{-sw_n t} \cos w_d t - \frac{se^{-sw_n t}}{\sqrt{1-s^2}} \sin w_d t)$$

30

$$I_{Cp}(t) = \frac{V_s e^{sw_n t}}{2Lw_d} \sin w_d t$$

ここで、 $w_n = 1/\sqrt{LC_p}$ 、 $s = R_{eq}\sqrt{C_p/L}$ 、 $w_d = w_n\sqrt{1-s^2}$ であり、 $R_{eq}$ は、電流パスに形成された寄生抵抗の総計を示すものである。

## 【0026】

これにより、t<sub>1</sub>期間において、パネルキャパシタC<sub>p</sub>の電圧V<sub>p</sub>は、基底電圧0Vからサステイン電圧V<sub>s</sub>まで上昇し、インダクターLに流れる電流I<sub>L</sub>は、(V<sub>s</sub>/2)(C<sub>p</sub>/L)<sup>1/2</sup>まで上昇してから0まで下降する。

40

## 【0027】

t<sub>2</sub>期間においては、第1スイッチSW1及び第3スイッチSW3がターンオンして、キャパシタC<sub>s</sub>、第1スイッチSW1、第1ダイオードD1、インダクターL及び第2ノードN2に続く第1電流パスとサステイン電圧源V<sub>s</sub>、第3スイッチSW3及びパネルキャパシタC<sub>p</sub>に続く第2電流パスとが形成される。

## 【0028】

これによって、パネルキャパシタC<sub>p</sub>は、サステイン電圧V<sub>s</sub>を維持し、PDPの内部

50

には、ガス放電電流  $I_{gas}$  が流れる。このような  $t_2$  期間においては、インダクター  $L$  と電流パス上の寄生キャパシタによる寄生共振が発生して、インダクター  $L$  には、所定の尖頭値  $I_r$  を有する逆電流が流れる。この時、インダクター  $L$  に流れる逆電流は、第 3 スイッチ  $SW_3$ 、インダクター  $L$  及び第 4 ダイオード  $D_4$  の方向に流れ、その大きさは、式 2 の通りである。

【0029】

【数 2】

$$I_L(t) = -I_r + \frac{V_f}{L} t$$

ここで、 $V_f$  は、第 4 ダイオード  $D_4$  のターンオン電圧であって、通常 0.7 V 程度の値を有する。

10

【0030】

このような逆電流は、0 になる前までインダクター  $L$  に流れ続ける。これを環流電流と言い、このような環流電流により、第 3 スイッチ  $SW_3$  と第 4 ダイオード  $D_4$  の電流ストレスは増加する。

【0031】

$t_3$  期間においては、第 1 スイッチ  $SW_1$  がターンオフして、サステイン電圧源  $V_s$ 、第 3 スイッチ  $SW_3$  及びパネルキャパシタ  $C_p$  に続く電流パスが形成される。これにより、パネルキャパシタ  $C_p$  は、サステイン電圧  $V_s$  を維持する。

【0032】

$t_4$  期間においては、第 3 スイッチ  $SW_3$  がターンオフし、第 2 スイッチ  $SW_2$  がターンオンし、パネルキャパシタ  $C_p$ 、インダクター  $L$ 、第 2 ダイオード  $D_2$ 、第 2 スイッチ  $SW_2$  及びキャパシタ  $C_s$  に続く電流パスが形成され、インダクター  $L$  とパネルキャパシタ  $C_p$  は、直列共振が発生する。この時、パネルキャパシタ  $C_p$  の電圧  $V_p$  及び電流  $I_{Cp}$  は、式 3 の通りである。

20

【0033】

【数 3】

$$V_p(t) = \frac{V_s}{2} (1 + e^{-s\omega_n t} \cos \omega_d t + \frac{se^{-s\omega_n t}}{\sqrt{1-s^2}} \sin \omega_d t)$$

$$I_{Cp}(t) = -\frac{V_s e^{s\omega_n t}}{2L\omega_d} \sin \omega_d t$$

30

【0034】

これにより、 $t_4$  期間においてパネルキャパシタ  $C_p$  の電圧  $V_p$  は、サステイン電圧  $V_s$  から基底電圧 0 V まで下降し、インダクター  $L$  に流れる電流  $I_L = -(V_s/2)(C_p/L)^{1/2}$  まで下降してから 0 まで上昇する。

【0035】

$t_5$  期間においては、第 4 スイッチ  $SW_4$  がターンオンした後、第 2 スイッチ  $SW_2$  がターンオンを維持することによって、パネルキャパシタ  $C_p$  は、基底電圧  $GND$  を維持する。

40

【0036】

この時、パネルキャパシタ  $C_p$  に充電された電圧  $V_p$  がサステイン電圧  $V_s$  から基底電圧  $GND$  へと急激に変わるため、所望しないインダクター電流  $I_r$  が第 4 スイッチ  $SW_4$ 、インダクター  $L$  及び第 4 ダイオード  $D_4$  の方向に流れる。この時、インダクター  $L$  に流れる逆電流は、式 4 の通りである。

【0037】

【数 4】

$$I_L(t) = I_r - \frac{V_f}{L} t$$

50

## 【0038】

このような逆電流は、0になる前までインダクターLに流れ続ける。これを環流電流と言い、この環流電流により第3スイッチSW3と第4ダイオードD4の電流ストレスは増加する。

## 【0039】

このように、従来のプラズマディスプレイ装置のうち、エネルギー回収装置では、パネルキャパシタCpにエネルギーが充電されるか放電される時に、環流電流により極めて大きい電流ストレスが発生することから、駆動素子の耐圧条件を増加させる。

## 【0040】

すなわち、従来のプラズマディスプレイ装置のうち、エネルギー回収装置は、円滑な駆動のために、耐圧条件が良好な素子を使用することによって、費用が増加するという問題がある。また、所望しない環流電流によって、電力消費が増加するという問題がある。

## 【0041】

また、インダクターLとパネルキャパシタCpとの間の直列共振を利用することから、回路の寄生要素の影響を受けて完全なソフトスイッチングがなされず、パネルの充放電時間をそれぞれ制御できないため、良好な放電特性と高い回収効率を同時に確保できないという問題がある。

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0042】

本発明は、上述の問題点に鑑みてなされたもので、その目的は、本発明は、費用を減らすことができ、エネルギー回収効率を改善させることができるプラズマディスプレイ装置を提供することにある。

## 【0043】

本発明の他の目的は、寄生抵抗を減らして消費電力の低減が可能なプラズマディスプレイ装置を提供することにある。

## 【課題を解決するための手段】

## 【0044】

上記目的を達成すべく、本発明の一実施の形態に係るプラズマディスプレイ装置によれば、スキャン電極を備えるプラズマディスプレイパネルと、前記プラズマディスプレイパネルにサステイン電圧を供給するサステイン電圧源と、前記プラズマディスプレイパネルとの共振により、前記プラズマディスプレイパネルに格納された電圧を回収し、回収された電圧を前記プラズマディスプレイパネルに供給するインダクターと、前記インダクターと電流パスを形成し、前記プラズマディスプレイパネルに1/2サステイン電圧を供給/回収する電流パス及び前記プラズマディスプレイパネルにサステイン電圧を供給/回収する電流パスを形成するエネルギー供給/回収キャパシタと、前記サステイン電圧源と前記プラズマディスプレイパネルとの間に形成され、前記プラズマディスプレイパネルの電圧を1/2サステイン電圧に維持させるための電流パスを形成する維持キャパシタとを備える。

## 【0045】

また、本発明の他の一実施の形態に係るプラズマディスプレイ装置によれば、スキャン電極を備えるプラズマディスプレイパネルと、サステイン電圧源と基底電圧源との間に接続されている第1キャパシタ及び第2キャパシタと、前記サステイン電圧源と前記スキャン電極との間に接続され、前記スキャン電極にサステイン電圧が供給されるように制御するサステイン電圧供給制御部と、前記基底電圧源と前記スキャン電極との間に接続され、前記スキャン電極に基底電圧が供給されるように制御する基底電圧供給制御部と、前記サステイン供給制御部と前記基底電圧供給制御部との間に接続されている第3キャパシタと、前記第1キャパシタ及び前記第2キャパシタの共通端子と前記スキャン電極との間に接続され、前記第2キャパシタに格納されたエネルギーが前記スキャン電極に供給されるように制御するエネルギー供給制御部と、前記第1キャパシタ及び前記第2キャパシタの共

通端子と前記スキャン電極との間に前記エネルギー供給制御部と並列に接続され、前記スキャン電極に格納されたエネルギーが前記第2キャパシタに回収されるように制御するエネルギー回収制御部と、前記エネルギー供給制御部及び前記エネルギー回収制御部の共通端子と前記スキャン電極との間に接続されている第1インダクターとを備える。

【0046】

また、本発明の更に他の一実施の形態に係るプラズマディスプレイ装置によれば、スキャン電極を備えるプラズマディスプレイパネルと、サステイン電圧源と基底電圧源との間に接続されている第1キャパシタ及び第2キャパシタと、前記サステイン電圧源と前記スキャン電極との間に接続され、前記スキャン電極にサステイン電圧が供給されるように制御するサステイン電圧供給制御部と、前記基底電圧源と前記スキャン電極との間に接続され、前記スキャン電極に基底電圧が供給されるように制御する基底電圧供給制御部と、前記サステイン電圧供給制御部と前記基底電圧供給制御部との間に直列に接続されている第3及び第4キャパシタと、前記第1キャパシタ及び前記第2キャパシタの共通端子と前記第3キャパシタ及び第4キャパシタの共通端子との間に接続されている第1インダクターと、前記第1キャパシタ及び前記第2キャパシタの共通端子と前記第1インダクターとの間に並列に接続されている第1エネルギー回収制御部及び第2エネルギー供給制御部と、前記第3キャパシタ及び第4キャパシタの共通端子と前記スキャン電極との間に接続されている第2インダクターと、前記第1インダクターと前記第2インダクターとの間に並列に接続されている第1エネルギー供給制御部及び第2エネルギー回収制御部とを備える。

10

【0047】

また、本発明のさらに他の一実施の形態に係るプラズマディスプレイ装置によれば、スキャン電極を備えるプラズマディスプレイパネルと、サステイン電圧源と基底電圧源との間に接続されている第1キャパシタ及び第2キャパシタと、前記サステイン電圧源と前記スキャン電極との間に接続され、前記スキャン電極にサステイン電圧が供給されるように制御するサステイン電圧供給制御部と、前記基底電圧源と前記スキャン電極との間に接続され、前記スキャン電極に基底電圧が供給されるように制御する基底電圧供給制御部と、前記サステイン電圧供給制御部と前記基底電圧供給制御部との間に直列に接続されている第3キャパシタ及び第4キャパシタと、前記第1キャパシタ及び前記第2キャパシタの共通端子と前記第3キャパシタ及び前記第4キャパシタの共通端子との間に並列に接続されている第1エネルギー供給制御部及び第1エネルギー回収制御部と、前記第3キャパシタ及び前記第4キャパシタの共通端子と前記スキャン電極との間に並列に接続されている第2エネルギー供給制御部及び第2エネルギー回収制御部とを備える。

20

30

【0048】

また、本発明のさらに他の一実施の形態に係るプラズマディスプレイ装置の駆動方法によれば、プラズマディスプレイパネルのスキャン電極の電圧を基底電圧から1/2サステイン電圧に上昇させるステップと、前記スキャン電極の電圧を1/2サステイン電圧に維持するステップと、前記スキャン電極の電圧を1/2サステイン電圧からサステイン電圧に上昇させるステップと、前記スキャン電極の電圧をサステイン電圧に維持するステップと、前記スキャン電極の電圧をサステイン電圧から1/2サステイン電圧まで下降させるステップと、前記スキャン電極の電圧を1/2サステイン電圧から0Vまで下降させるステップとを含む。

40

【発明の効果】

【0049】

本発明によれば、環流電流の発生を防止することによって、素子の電流ストレスを減少させて消費電力を減らすことができる。

【0050】

また、本発明によれば、スイッチ素子の耐圧条件を低くするのみならず、寄生抵抗が小さなスイッチ素子を使用することによって、費用を減らすことができる。

【発明を実施するための最良の形態】

【0051】

50

以下、本発明の好ましい実施の形態を、添付図面に基づき詳細に説明する。

【0052】

本発明の一実施の形態に係るプラズマディスプレイ装置は、スキャン電極を備えるプラズマディスプレイパネルと、前記プラズマディスプレイパネルにサステイン電圧を供給するサステイン電圧源と、前記プラズマディスプレイパネルとの共振により、前記プラズマディスプレイパネルに格納された電圧を回収し、回収された電圧を前記プラズマディスプレイパネルに供給するインダクターと、前記インダクターと電流パスを形成し、前記プラズマディスプレイパネルに1/2サステイン電圧を供給/回収する電流パス及び前記プラズマディスプレイパネルにサステイン電圧を供給/回収する電流パスを形成するエネルギー供給/回収キャパシタと、前記サステイン電圧源と前記プラズマディスプレイパネルとの間に形成され、前記プラズマディスプレイパネルの電圧を1/2サステイン電圧に維持させるための電流パスを形成する維持キャパシタとを備える。

【0053】

前記エネルギー供給/回収キャパシタがは、第2キャパシタ及び第4キャパシタを備え、前記第2キャパシタが、前記プラズマディスプレイパネルにサステイン電圧を供給/回収する電流パスを形成し、前記第4キャパシタが、前記プラズマディスプレイパネルに1/2サステイン電圧を供給/回収する電流パスを形成することが好ましい。

【0054】

前記エネルギー供給/回収キャパシタは、第3キャパシタを備え、前記プラズマディスプレイパネルの電圧を1/2サステイン電圧に維持させるための電流パスを形成する維持キャパシタが、第3キャパシタであることが好ましい。

【0055】

前記インダクターは、第1インダクター及び第2インダクターを備え、前記第1インダクターが、前記プラズマディスプレイパネルにサステイン電圧を供給/回収するために、前記第2キャパシタ及び電流パスを形成し、前記第2インダクターは、前記プラズマディスプレイパネルに1/2サステイン電圧を供給/回収するために、前記第4キャパシタ及び電流パスを形成することが好ましい。

【0056】

前記インダクターが、第1インダクター、第2インダクター、第3インダクター、及び第4インダクターを備え、前記第1インダクターが、前記プラズマディスプレイパネルにサステイン電圧を供給するために、前記第2キャパシタ及び電流パスを形成し、前記第2インダクターが、前記プラズマディスプレイパネルに1/2サステイン電圧を回収するために、前記第4キャパシタ及び電流パスを形成し、前記第3インダクターが、前記プラズマディスプレイパネルにサステイン電圧を回収するために、前記第2キャパシタ及び電流パスを形成し、前記第4インダクターが、前記プラズマディスプレイパネルに1/2サステイン電圧を供給するために、前記第4キャパシタ及び電流パスを形成することが好ましい。

【0057】

前記プラズマディスプレイパネルに1/2サステイン電圧を供給する電流パスと、前記プラズマディスプレイパネルにサステイン電圧を供給する電流パスとが、同じであり、前記プラズマディスプレイパネルに1/2サステイン電圧を回収する電流パスと、前記プラズマディスプレイパネルにサステイン電圧を回収する電流パスとが、同じであることが好ましい。

【0058】

前記エネルギー供給/回収キャパシタが、第3キャパシタを備え、前記プラズマディスプレイパネルの電圧を1/2サステイン電圧に維持させるための電流パスを形成する維持キャパシタが、第3キャパシタであることが好ましい。

【0059】

本発明の他の一実施の形態に係るプラズマディスプレイ装置は、スキャン電極を備えるプラズマディスプレイパネルと、サステイン電圧源と基底電圧源との間に接続されている

第1キャパシタ及び第2キャパシタと、前記サステイン電圧源と前記スキャン電極との間に接続され、前記スキャン電極にサステイン電圧が供給されるように制御するサステイン電圧供給制御部と、前記基底電圧源と前記スキャン電極との間に接続され、前記スキャン電極に基底電圧が供給されるように制御する基底電圧供給制御部と、前記サステイン供給制御部と前記基底電圧供給制御部との間に接続されている第3キャパシタと、前記第1キャパシタ及び前記第2キャパシタの共通端子と前記スキャン電極との間に接続され、前記第2キャパシタに格納されたエネルギーが前記スキャン電極に供給されるように制御するエネルギー供給制御部と、前記第1キャパシタ及び前記第2キャパシタの共通端子と前記スキャン電極との間に前記エネルギー供給制御部と並列に接続され、前記スキャン電極に格納されたエネルギーが前記第2キャパシタに回収されるように制御するエネルギー回収制御部と、前記エネルギー供給制御部及び前記エネルギー回収制御部の共通端子と前記スキャン電極との間に接続されている第1インダクターとを備える。

10

**【0060】**

前記サステイン電圧供給制御部は、前記サステイン電圧源と前記スキャン電極との間に直列に接続されている第1スイッチ及び第3スイッチを備え、前記基底電圧供給制御部が、前記基底電圧源と前記スキャン電極との間に直列に接続されている第2スイッチ及び第4スイッチを備える。

**【0061】**

前記第3キャパシタは、前記第1スイッチ及び第3スイッチの共通端子と前記第2スイッチ及び第4スイッチの共通端子との間に接続されていることが好ましい。

20

**【0062】**

前記エネルギー供給制御部は、前記第1キャパシタ及び前記第2キャパシタの共通端子と前記インダクターとの間に接続されている第5スイッチを備える。

**【0063】**

前記エネルギー回収制御部は、前記第1キャパシタ及び前記第2キャパシタの共通端子と前記インダクターとの間に接続されている第6スイッチを備える。

**【0064】**

本発明のさらに他の一実施の形態に係るプラズマディスプレイ装置は、スキャン電極を備えるプラズマディスプレイパネルと、サステイン電圧源と基底電圧源との間に接続されている第1キャパシタ及び第2キャパシタと、前記サステイン電圧源と前記スキャン電極との間に接続され、前記スキャン電極にサステイン電圧が供給されるように制御するサステイン電圧供給制御部と、前記基底電圧源と前記スキャン電極との間に接続され、前記スキャン電極に基底電圧が供給されるように制御する基底電圧供給制御部と、前記サステイン電圧供給制御部と前記基底電圧供給制御部との間に直列に接続されている第3及び第4キャパシタと、前記第1キャパシタ及び前記第2キャパシタの共通端子と前記第3キャパシタ及び第4キャパシタの共通端子との間に接続されている第1インダクターと、前記第1キャパシタ及び前記第2キャパシタの共通端子と前記第1インダクターとの間に並列に接続されている第1エネルギー回収制御部及び第2エネルギー供給制御部と、前記第3キャパシタ及び第4キャパシタの共通端子と前記スキャン電極との間に接続されている第2インダクターと、前記第1インダクターと前記第2インダクターとの間に並列に接続されている第1エネルギー供給制御部及び第2エネルギー回収制御部とを備える。

30

40

**【0065】**

前記サステイン電圧供給制御部は、前記サステイン電圧源と前記スキャン電極との間に直列に接続されている第1スイッチ及び第2スイッチを備え、前記基底電圧供給制御部が、前記基底電圧源と前記スキャン電極との間に直列に接続されている第3スイッチ及び第4スイッチを備える。

**【0066】**

前記第1エネルギー供給制御部は、前記第1インダクターと前記第2インダクターとの間に接続されている第5スイッチ及び第1ダイオードを備える。

**【0067】**

50

前記第 2 エネルギー供給制御部は、前記第 1 キャパシタ及び前記第 2 キャパシタの共通端子と前記第 1 インダクターとの間に接続されている第 6 スイッチ及び第 2 ダイオードを備える。

【0068】

前記第 1 エネルギー回収制御部は、前記第 1 キャパシタ及び前記第 2 キャパシタの共通端子と前記第 1 インダクターとの間に接続されている第 7 スイッチ及び第 3 ダイオードを備える。

【0069】

前記第 2 エネルギー回収制御部は、前記第 1 インダクターと前記第 2 インダクターとの間に接続されている第 8 スイッチ及び第 4 ダイオードを備える。

10

【0070】

前記第 1 キャパシタ及び前記第 2 キャパシタそれぞれには、 $1/2$  サステイン電圧が充電され、前記第 3 キャパシタ及び前記第 4 キャパシタそれぞれには、 $1/4$  サステイン電圧が充電されることが好ましい。

【0071】

本発明のさらに他の一実施の形態に係るプラズマディスプレイ装置は、スキャン電極を備えるプラズマディスプレイパネルと、サステイン電圧源と基底電圧源との間に接続されている第 1 キャパシタ及び第 2 キャパシタと、前記サステイン電圧源と前記スキャン電極との間に接続され、前記スキャン電極にサステイン電圧が供給されるように制御するサステイン電圧供給制御部と、前記基底電圧源と前記スキャン電極との間に接続され、前記スキャン電極に基底電圧が供給されるように制御する基底電圧供給制御部と、前記サステイン電圧供給制御部と前記基底電圧供給制御部との間に直列に接続されている第 3 キャパシタ及び第 4 キャパシタと、前記第 1 キャパシタ及び前記第 2 キャパシタの共通端子と前記第 3 キャパシタ及び前記第 4 キャパシタの共通端子との間に並列に接続されている第 1 エネルギー供給制御部及び第 1 エネルギー回収制御部と、前記第 3 キャパシタ及び前記第 4 キャパシタの共通端子と前記スキャン電極との間に並列に接続されている第 2 エネルギー供給制御部及び第 2 エネルギー回収制御部とを備える。

20

【0072】

前記サステイン電圧供給制御部は、前記サステイン電圧源と前記第 3 キャパシタとの間に接続されている第 1 スイッチ及び前記第 3 キャパシタと前記スキャン電極との間に接続されている第 2 スイッチを備え、前記基底電圧供給制御部が、前記基底電圧源と前記第 4 キャパシタとの間に接続されている第 3 スイッチ及び前記第 4 キャパシタと前記スキャン電極との間に接続されている第 4 スイッチを備える。

30

【0073】

前記第 2 エネルギー供給制御部は、前記第 3 キャパシタ及び第 4 キャパシタの共通端子と前記第 1 スイッチ及び前記第 2 スイッチの共通端子との間に接続されている第 5 スイッチと、前記第 1 キャパシタ及び第 2 キャパシタの共通端子と前記第 5 スイッチとの間に接続されている第 1 インダクターとを備える。

【0074】

前記第 1 エネルギー回収制御部は、前記第 3 スイッチ及び前記第 4 スイッチの共通端子と前記第 1 キャパシタ及び前記第 2 キャパシタの共通端子との間に接続されている第 6 スイッチと、前記第 3 キャパシタ及び第 4 キャパシタの共通端子と前記第 6 スイッチとの間に接続されている第 3 インダクターとを備える。

40

【0075】

前記第 2 エネルギー回収制御部は、前記第 1 スイッチ及び前記第 2 スイッチの共通端子と前記第 2 スイッチ及び前記スキャン電極の共通端子との間に接続されている第 2 インダクターと、前記第 3 キャパシタ及び前記第 4 キャパシタの共通端子と前記第 2 インダクターとの間に接続されている第 7 スイッチとを備える。

【0076】

前記第 1 エネルギー供給制御部は、前記第 3 キャパシタ及び前記第 4 キャパシタの共通

50

端子と前記第 3 スイッチ及び前記第 4 スイッチの共通端子との間に接続されている第 8 スイッチと、前記第 3 スイッチ及び前記スキャン電極の共通端子と前記第 8 スイッチとの間に接続されている第 4 インダクターとを備える。

【0077】

前記第 1 キャパシタ及び前記第 2 キャパシタそれぞれには、1 / 2 サステイン電圧が充電され、前記第 3 キャパシタ及び前記第 4 キャパシタそれぞれには、1 / 4 サステイン電圧が充電されることが好ましい。

【0078】

本発明のさらに他の一実施の形態に係るプラズマディスプレイ装置の駆動方法は、プラズマディスプレイパネルのスキャン電極の電圧を基底電圧から 1 / 2 サステイン電圧に上昇させるステップと、前記スキャン電極の電圧を 1 / 2 サステイン電圧に維持するステップと、前記スキャン電極の電圧を 1 / 2 サステイン電圧からサステイン電圧に上昇させるステップと、前記スキャン電極の電圧をサステイン電圧に維持するステップと、前記スキャン電極の電圧をサステイン電圧から 1 / 2 サステイン電圧まで下降させるステップと、前記スキャン電極の電圧を 1 / 2 サステイン電圧から 0 V まで下降させるステップとを含む。

【0079】

以下では、本発明の一実施の形態に係る具体的な実施例を、添付した図面を参照して説明する。

【0080】

図 3 は、本発明の一実施の形態に係るプラズマディスプレイ装置のうち、プラズマディスプレイパネルを示す斜視図である。

【0081】

同図に示すように、本発明の一実施の形態に係るプラズマディスプレイ装置のうち、プラズマディスプレイパネルの放電セルは、上部基板 10 上に形成されたスキャン電極 Y 及びサステイン電極 Z と、下部基板 18 上に形成されたアドレス電極 X を備える。

【0082】

スキャン電極 Y とサステイン電極 Z それぞれは、透明電極 12 Y, 12 Z と、透明電極 12 Y, 12 Z の線幅より小さな線幅を有し、透明電極の一方のエッジに形成される金属バス電極 13 Y, 13 Z を備える。

【0083】

透明電極 12 Y, 12 Z は、通常、酸化インジウム (Indium-Tin-Oxide; ITO) で上部基板 10 上に形成される。金属バス電極 13 Y, 13 Z は、通常、クロム (Cr) などの金属で透明電極 12 Y, 12 Z 上に形成されて、抵抗の高い透明電極 12 Y, 12 Z による電圧降下を減らす役割を果たす。

【0084】

スキャン電極 Y とサステイン電極 Z が並列に形成された上部基板 10 には、上部誘電体層 14 と保護膜 16 が積層される。上部誘電体層 14 には、プラズマ放電の際に発生した壁電荷が蓄積される。

【0085】

保護膜 16 は、プラズマ放電の際に発生したスパッタリングによる上部誘電体層 14 の損傷を防止すると共に、2 次電子の放出効率を上げるようになる。保護膜 16 としては、通常、酸化マグネシウム (MgO) が利用される。

【0086】

アドレス電極 X が形成された下部基板 18 上には、下部誘電体層 22、隔壁 24 が形成され、下部誘電体層 22 及び隔壁 24 の表面には、蛍光体層 26 が塗布される。

【0087】

アドレス電極 X は、スキャン電極 Y 及びサステイン電極 Z と交差する方向に形成される。隔壁 24 は、アドレス電極 X と並列に形成され、放電により生成した紫外線及び可視光が隣接した放電セルに漏れるのを防止する。

## 【0088】

蛍光体層26は、プラズマ放電の際に発生した紫外線により励起され、赤色、緑色又は青色のうちのいずれかの可視光線を発生する。上／下部基板10、18と隔壁24との間に設けられた放電空間には、不活性混合ガスが注入される。

## 【0089】

このような本発明の一実施の形態に係るプラズマディスプレイ装置は、複数のサブフィールドに分離されて駆動され、各サブフィールド期間においては、ビデオデータの加重値に比例した回数の発光が行われることによって、階調表示が行なわれる。サブフィールドは、再び初期化期間、アドレス期間、サステイン期間及び消去期間に分割されて駆動される。

10

## 【0090】

ここで、初期化期間は、放電セルに均一な壁電荷を形成する期間であり、アドレス期間は、ビデオデータの論理値に応じて選択的なアドレス放電を発生させる期間であり、サステイン期間は、アドレス放電が発生された放電セルにおいて放電を維持させる期間である。消去期間は、サステイン期間において発生したサステイン放電を消去する期間である。

## 【0091】

このように駆動される本発明の一実施の形態に係るプラズマディスプレイ装置のアドレス放電及びサステイン放電には、数百ボルト以上の高圧が必要となる。

## 【0092】

したがって、アドレス放電及びサステイン放電に必要な駆動電力を最小化するために、エネルギー回収装置が利用される。エネルギー回収装置は、スキャン電極Y及びサステイン電極Zとの間の電圧を回収し、回収された電圧を次の放電の際の駆動電圧として利用する。

20

## 【0093】

図4は、本発明に一実施の形態に係るプラズマディスプレイ装置を示す回路図である。

## 【0094】

同図に示すように、本発明に一実施の形態に係るプラズマディスプレイ装置のうち、エネルギー回収装置52は、パネルキャパシタCpを隔てて互いに対称に接続する。

## 【0095】

ここで、パネルキャパシタCpは、PDPのスキャン電極Yとサステイン電極Zとの間に形成される静電容量を等価的に示したものである。そして、パネルキャパシタCpのサステイン電極Zには、パネルキャパシタCpのスキャン電極Yに設置されたエネルギー回収装置52と同じ構成を有するエネルギー回収装置が、パネルキャパシタCpを隔てて対称に設置される。

30

## 【0096】

本発明の一実施の形態に係るプラズマディスプレイ装置のうち、エネルギー回収装置52は、サステイン電圧源Vsと基底電圧源GNDとの間に接続されている第1キャパシタC1及び第2キャパシタC2、サステイン電圧源Vs及び第1キャパシタC1の共通端子とパネルキャパシタCpのスキャン電極Yとの間に接続され、パネルキャパシタCpのスキャン電極Yにサステイン電圧Vsが供給されるように制御するサステイン電圧供給制御部54を備える。

40

## 【0097】

また、基底電圧源GNDとパネルキャパシタCpのスキャン電極Yとの間に接続され、パネルキャパシタCpのスキャン電極Yに基底電圧GNDが供給されるように制御する基底電圧供給制御部56、第1キャパシタC1及び第2キャパシタC2の共通端子とパネルキャパシタCpのスキャン電極Yとの間に並列に接続されているエネルギー供給制御部58及びエネルギー回収制御部60を備える。

## 【0098】

また、本発明の一実施の形態に係るプラズマディスプレイ装置のうち、エネルギー回収装置は、エネルギー供給制御部58及びエネルギー回収制御部60の共通端子とパネルキ

50

ャパシタC<sub>p</sub>のスキャン電極Yとの間に接続されている第1インダクターL<sub>1</sub>、サステイン電圧供給制御部54と基底電圧供給制御部56との間に接続されている第3キャパシタC<sub>3</sub>、エネルギー供給制御部58とサステイン電圧源V<sub>s</sub>との間に接続されている第4ダイオードD<sub>4</sub>、基底電圧源GNDとエネルギー回収制御部60との間に接続されている第1ダイオードD<sub>1</sub>をさらに備える。

【0099】

ここで、第2キャパシタC<sub>2</sub>は、エネルギー供給／回収キャパシタであり、第3キャパシタC<sub>3</sub>は、維持キャパシタである。

【0100】

第1キャパシタC<sub>1</sub>は、サステイン電圧源V<sub>s</sub>と第2キャパシタC<sub>2</sub>との間に接続され、サステイン電圧V<sub>s</sub>を分割する役割を果たす。このような第1キャパシタC<sub>1</sub>は、サステイン電圧源V<sub>s</sub>から供給されるサステイン電圧V<sub>s</sub>のうち、 $1/2$ サステイン電圧V<sub>s</sub>を充電する。 10

【0101】

エネルギー供給／回収キャパシタ、すなわち、第2キャパシタC<sub>2</sub>は、第1キャパシタC<sub>1</sub>と基底電圧源GNDとの間に接続され、プラズマディスプレイパネルにおいて放電に寄与していない無効電力のエネルギーを回収すると共に、回収されたエネルギーをパネルキャパシタC<sub>p</sub>のスキャン電極Yに再供給する。このような第2キャパシタC<sub>2</sub>には、サステイン電圧V<sub>s</sub>の半分値である $1/2$ サステイン電圧V<sub>s</sub>/ $2$ が充電される。

【0102】

サステイン電圧供給制御部54は、サステイン電圧源V<sub>s</sub>、第1キャパシタC<sub>1</sub>及び第4ダイオードD<sub>4</sub>の共通端子とパネルキャパシタC<sub>p</sub>のスキャン電極Yとの間に接続され、サステイン電圧源V<sub>s</sub>から供給されるサステイン電圧V<sub>s</sub>がパネルキャパシタC<sub>p</sub>のスキャン電極Yに供給されるように制御する。 20

【0103】

このようなサステイン電圧供給制御部54は、サステイン電圧源V<sub>s</sub>とパネルキャパシタC<sub>p</sub>との間に直列に接続されている第1スイッチSW<sub>1</sub>及び第3スイッチSW<sub>3</sub>を備える。

【0104】

第1スイッチSW<sub>1</sub>は、サステイン電圧源V<sub>s</sub>と第3スイッチSW<sub>3</sub>との間に接続され、タイミングコントローラ（図示せず）から供給される第1スイッチング制御信号に応じて、サステイン電圧源V<sub>s</sub>と第3スイッチSW<sub>3</sub>及び第3キャパシタC<sub>3</sub>の一方の端子を電氣的に接続させる。 30

【0105】

これにより、パネルキャパシタC<sub>p</sub>は、 $1/2$ サステイン電圧V<sub>s</sub>/ $2$ 及びサステイン電圧V<sub>s</sub>を維持する。これに対する詳細な説明は後述する。

【0106】

第3スイッチSW<sub>3</sub>は、第1スイッチSW<sub>1</sub>とパネルキャパシタC<sub>p</sub>のスキャン電極Yとの間に接続され、タイミングコントローラ（図示せず）から供給される第3スイッチング制御信号に応じて、第1スイッチSW<sub>1</sub>の一方の端子に供給されたサステイン電圧V<sub>s</sub>をパネルキャパシタC<sub>p</sub>のスキャン電極Yに供給する。 40

【0107】

基底電圧供給制御部56は、基底電圧源GND、第2キャパシタC<sub>2</sub>及び第1ダイオードD<sub>1</sub>の共通端子とパネルキャパシタC<sub>p</sub>のスキャン電極Yとの間に接続され、パネルキャパシタC<sub>p</sub>のスキャン電極Yに基底電圧GNDが供給されるように制御する。このような基底電圧供給制御部56は、基底電圧源GNDとパネルキャパシタC<sub>p</sub>のスキャン電極Yとの間に直列に接続されている第2スイッチSW<sub>2</sub>及び第4スイッチSW<sub>4</sub>を備える。

【0108】

第2スイッチSW<sub>2</sub>は、基底電圧源GNDと第4スイッチSW<sub>4</sub>との間に接続され、タイミングコントローラ（図示せず）から供給される第2スイッチング制御信号に応じて 50

、基底電圧源 GND を第 3 キャパシタ C 3 の他方の端子と第 4 スイッチ S W 4 の一方の端子に電氣的に接続させる。これにより、パネルキャパシタ C p のスキャン電極 Y に基底電圧 GND が供給される。これに対する詳細な説明は後述する。

【0109】

第 4 スイッチ S W 4 は、第 2 スイッチ S W 2 とパネルキャパシタ C p のスキャン電極 Y との間に接続され、タイミングコントローラ（図示せず）から供給される第 4 スイッチング制御信号に応じて、第 2 スイッチ S W 2 の一方の端子及び第 3 キャパシタ C 3 の他方の端子からなる共通端子をパネルキャパシタ C p のスキャン電極 Y に電氣的に接続させる。

【0110】

これにより、パネルキャパシタ C p は、 $1/2$  サステイン電圧  $V_s/2$  及び基底電圧 GND を維持する。これに対する詳細な説明は後述する。

【0111】

エネルギー供給制御部 58 は、第 1 キャパシタ C 1 及び第 2 キャパシタ C 2 の共通端子と第 4 ダイオード D 4、第 1 インダクター L 1 とエネルギー回収制御部 60 との間に接続され、第 2 キャパシタ C 2 に格納されたエネルギーがパネルキャパシタ C p のスキャン電極 Y に供給されるように制御する。

【0112】

このようなエネルギー供給制御部 58 は、第 1 キャパシタ C 1 及び第 2 キャパシタ C 2 の共通端子と第 4 ダイオード D 4 との間に接続されている第 3 ダイオード D 3、及び、第 4 ダイオード D 4 と第 1 インダクター L 1 との間に接続されている第 5 スイッチ S W 5 を備える。

【0113】

第 3 ダイオード D 3 は、第 1 キャパシタ C 1、第 2 キャパシタ C 2 及びエネルギー回収制御部 60 の共通端子と第 4 ダイオード D 4 との間に接続され、第 2 キャパシタ C 2 からのエネルギーがパネルキャパシタ C p のスキャン電極 Y に供給される時、パネルキャパシタ C p のスキャン電極 Y からの逆電流を防止する。

【0114】

また、第 3 ダイオード D 3 は、パネルキャパシタ C p が  $1/2$  サステイン電圧  $V_s/2$  を維持する際、パネルキャパシタ C p のスキャン電極 Y からの逆電流を防止する。

【0115】

第 5 スイッチ S W 5 は、第 3 ダイオード D 3 及び第 4 ダイオード D 4 の共通端子と第 1 インダクター L 1 及びエネルギー回収制御部 60 の共通端子との間に接続され、タイミングコントローラ（図示せず）から供給される第 5 スイッチング制御信号に応じて、第 2 キャパシタ C 2 に格納されたエネルギーがパネルキャパシタ C p のスキャン電極 Y に供給されるように制御する。

【0116】

エネルギー回収制御部 60 は、第 1 キャパシタ C 1 及び第 2 キャパシタ C 2 の共通端子と第 1 ダイオード D 1、第 1 インダクター L 1 及びエネルギー供給制御部 58 の共通端子との間に接続され、パネルキャパシタ C p から放電に寄与していない無効電力のエネルギーが第 2 キャパシタ C 2 に供給されるように制御する。

【0117】

このようなエネルギー回収制御部 60 は、第 1 キャパシタ C 1 及び第 2 キャパシタ C 2 の共通端子と第 1 ダイオード D 1 との間に接続されている第 2 ダイオード D 2、及び、第 1 ダイオード D 1 と第 1 インダクター L 1 との間に接続されている第 6 スイッチ S W 6 を備える。

【0118】

第 2 ダイオード D 2 は、第 1 キャパシタ C 1、第 2 キャパシタ C 2 及びエネルギー供給制御部 58 の共通端子と第 1 ダイオード D 1 との間に接続され、パネルキャパシタ C p から放電に寄与していないエネルギーが第 2 キャパシタ C 2 に回収される時、第 2 キャパシ

10

20

30

40

50

タ C 2 からの逆電流を防止する。

【0119】

また、第2ダイオード D 2 は、パネルキャパシタ C p が  $1/2$  サステイン電圧  $V_s/2$  を維持する時、第2キャパシタ C 2 からの逆電流を防止する。

【0120】

第6スイッチ S W 6 は、第1ダイオード D 1 及び第2ダイオード D 2 の共通端子と第1インダクター L 1 及びエネルギー供給制御部 5 8 の共通端子との間に接続され、タイミングコントローラ（図示せず）から供給される第6スイッチング制御信号に応じて、パネルキャパシタ C p から放電に寄与していない無効電力のエネルギーが第2キャパシタ C 2 に回収されるように制御する。

10

【0121】

第1インダクター L 1 は、エネルギー供給制御部 5 8 及びエネルギー回収制御部 6 0 の共通端子とパネルキャパシタ C p のスキャン電極 Y との間に接続され、第5スイッチ S W 5 及び第6スイッチ S W 6 のスイッチングに応じて、パネルキャパシタ C p と共振ループを形成する。

【0122】

このような第1インダクター L 1 は、第5スイッチ S W 5 がターンオンする際、パネルキャパシタ C p との L C 共振により、第2キャパシタ C 2 に格納されたエネルギーをパネルキャパシタ C p のスキャン電極 Y に供給すると共に、第6スイッチ S W 6 がターンオンする際、パネルキャパシタ C p との L C 共振により、パネルキャパシタ C p に格納されたエネルギーを第2キャパシタ C 2 に回収する。

20

【0123】

維持キャパシタ、すなわち、第3キャパシタ C 3 は、第1スイッチ S W 1 と第2スイッチ S W 2 との間に接続され、 $1/2$  サステイン電圧  $V_s/2$  を充電する。

【0124】

第4ダイオード D 4 は、第1キャパシタ C 1、サステイン電圧源  $V_s$  及び第1スイッチ S W 1 の共通端子と第3ダイオード D 3 及び第5スイッチ S W 5 の共通端子との間に接続され、サステイン電圧源  $V_s$  からの逆電流を防止する。

【0125】

これによって、第2キャパシタ C 2 からパネルキャパシタ C p のスキャン電極 Y に供給されるエネルギーの損失が防止される。

30

【0126】

第1ダイオード D 1 は、第2キャパシタ C 2、基底電圧源 G N D 及び第2スイッチ S W 2 の共通端子と第2ダイオード D 2 及び第6スイッチ S W 6 の共通端子との間に接続され、パネルキャパシタ C p のスキャン電極 Y から第2キャパシタ C 2 に回収されるエネルギーの損失を防止する。

【0127】

ここで、第1ダイオード D 1 及び第4ダイオード D 4 は除去できる。

【0128】

図5は、図4に示されたスイッチのオン・オフタイミングを示す図であり、図6～図11は、図5に示されたスイッチのオン・オフタイミングに応じて形成された電流パスを示す図である。ここで、第1キャパシタ C 1、第2キャパシタ C 2 及び第3キャパシタ C 3 には、 $1/2$  サステイン電圧  $V_s/2$  が充電されていると仮定して説明する。

40

【0129】

図5～図11に示すように、 $t_1$  時点以前では、タイミングコントローラ（図示せず）から供給されるハイ状態の第2スイッチング制御信号及び第4スイッチング制御信号に応じて、第2スイッチ S W 2 及び第4スイッチ S W 4 がターンオンする。

【0130】

これにより、図6に示すように、基底電圧源 G N D、第2スイッチ S W 2 及び第4スイッチ S W 4 を経て、パネルキャパシタ C p のスキャン電極 Y に続く電流パスが形成される

50

。これによって、パネルキャパシタ  $C_p$  は、基底電圧  $GND$  を維持する。

【0131】

$t_1$  期間においては、タイミングコントローラ（図示せず）から供給されるロー状態の第2スイッチング制御信号及び第4スイッチング制御信号と、ハイ状態の第5スイッチング制御信号に応じて、第2スイッチ  $SW_2$  及び第4スイッチ  $SW_4$  はターンオフし、第5スイッチ  $SW_5$  がターンオンする。

【0132】

これにより、図7に示すように、第2キャパシタ  $C_2$ 、第3ダイオード  $D_3$ 、第5スイッチ  $SW_5$  及び第1インダクター  $L_1$  を経て、パネルキャパシタ  $C_p$  のスキャン電極  $Y$  に続く電流パスが形成され、第1インダクター  $L_1$  とパネルキャパシタ  $C_p$  は、直列共振を発生する。この時、パネルキャパシタ  $C_p$  の電圧  $V_p$  と第1インダクター  $L_1$  に流れる電流は、式5の通りである。

【0133】

【数5】

$$V_p(t) = \frac{V_s}{2}(1 - \cos \omega_n t), \quad IL_1(t) = \frac{V_s}{2Z_n} \sin \omega_n t$$

ここで、 $\omega_n = \frac{1}{\sqrt{L_1 C_p}}$ 、 $Z_n = \sqrt{\frac{L_1}{C_p}}$  である。

【0134】

これにより、 $t_1$  期間においてパネルキャパシタ  $C_p$  の電圧  $V_p$  は、基底電圧  $0V$  から  $1/2$  サステイン電圧  $V_s/2$  まで上昇し、第1インダクター  $L_1$  に流れる電流  $IL_1$  は  $V_s/(2Z_n)$  まで上昇する。

【0135】

$t_2$  期間においては、タイミングコントローラ（図示せず）から供給されるハイ状態の第1スイッチング制御信号、第4スイッチング制御信号及び第5スイッチング制御信号に応じて、第5スイッチ  $SW_5$  は、以前のオン状態を維持し、第1スイッチ  $SW_1$  及び第4スイッチ  $SW_4$  がターンオンする。

【0136】

これにより、図8に示すように、第2キャパシタ  $C_2$ 、第3ダイオード  $D_3$ 、第5スイッチ  $SW_5$  及び第1インダクター  $L_1$  を経て、パネルキャパシタ  $C_p$  のスキャン電極  $Y$  に続く第1電流パスと、サステイン電圧源  $V_s$ 、第1スイッチ  $SW_1$ 、第3キャパシタ  $C_3$  及び第4スイッチ  $SW_4$  を経て、パネルキャパシタ  $C_p$  のスキャン電極  $Y$  に続く第2電流パスが形成される。

【0137】

これによって、パネルキャパシタ  $C_p$  の電圧  $V_p$  は、 $1/2$  サステイン電圧  $V_s/2$  に維持され、第1インダクター  $L_1$  の両端間の電圧は  $0$  であるため、第1インダクター  $L_1$  の電流  $IL_1$  は、 $V_s/(2Z_n)$  の値を維持するようになる。

【0138】

$t_3$  期間においては、タイミングコントローラ（図示せず）から供給されるロー状態の第1スイッチング制御信号及び第4スイッチング制御信号と、ハイ状態の第5スイッチング制御信号とに応じて、第5スイッチ  $SW_5$  は、以前のオン状態を維持し、第1スイッチ  $SW_1$  及び第4スイッチ  $SW_4$  がターンオフする。

【0139】

これにより、図7に示すように、第2キャパシタ  $C_2$ 、第3ダイオード  $D_3$ 、第5スイッチ  $SW_5$  及び第1インダクター  $L_1$  を経て、パネルキャパシタ  $C_p$  のスキャン電極  $Y$  に続く電流パスが形成され、第1インダクター  $L_1$  とパネルキャパシタ  $C_p$  は、直列共振を発生する。この時、パネルキャパシタ  $C_p$  の電圧  $V_p$  と第1インダクター  $L_1$  に流れる電流は、式6の通りである。

【0140】

【数6】

$$V_p(t) = \frac{V_s}{2}(1 + \sin w_n t), \quad IL1(t) = \frac{V_s}{2Z_n} \cos w_n t$$

【0141】

これにより、t3期間においてパネルキャパシタCpの電圧Vpは、1/2サステイン電圧Vs/2からサステイン電圧Vsまで上昇し、第1インダクターL1に流れる電流IL1は、Vs/(2Zn)から0まで下降する。

【0142】

t4期間においては、タイミングコントローラ（図示せず）から供給されるロー状態の第5スイッチング制御信号と、ハイ状態の第1スイッチング制御信号及び第3スイッチング制御信号とに応じて、第5スイッチSW5は、ターンオフし、第1スイッチSW1及び第3スイッチSW3は、ターンオンする。

【0143】

これにより、図9に示すように、サステイン電圧源Vs、第1スイッチSW1及び第3スイッチSW3を経て、パネルキャパシタCpのスキャン電極Yに続く電流パスが形成される。これによって、パネルキャパシタCpの電圧Vpは、サステイン電圧Vsを維持する。

【0144】

t5期間においては、タイミングコントローラ（図示せず）から供給されるロー状態の第1スイッチング制御信号及び第3スイッチング制御信号と、ハイ状態の第6スイッチング制御信号とに応じて、第1スイッチSW1及び第3スイッチSW3は、ターンオフし、第6スイッチSW6は、ターンオンする。

【0145】

これにより、図10に示すように、パネルキャパシタCp、第1インダクターL1、第6スイッチSW6及び第2ダイオードD2を経て、第2キャパシタC2に続く電流パスが形成され、第1インダクターL1とパネルキャパシタCpは、直列共振を発生する。この時、パネルキャパシタCpの電圧Vpと第1インダクターL1に流れる電流IL1は、式7の通りである。

【0146】

【数7】

$$V_p(t) = \frac{V_s}{2}(1 + \cos w_n t), \quad IL1(t) = -\frac{V_s}{2Z_n} \sin w_n t$$

【0147】

これにより、t5期間においてパネルキャパシタCpの電圧Vpは、サステイン電圧Vsから1/2サステイン電圧Vs/2に下降し、第1インダクターL1に流れる電流IL1は、0から-Vs/(2Zn)まで下降する。

【0148】

t6期間においては、タイミングコントローラ（図示せず）から供給されるハイ状態の第1スイッチング制御信号、第4スイッチング制御信号及び第6スイッチング制御信号に応じて、第6スイッチSW6は、以前のオン状態を維持し、第1スイッチSW1及び第4スイッチSW4は、ターンオンする。

【0149】

これにより、図11に示すように、パネルキャパシタCp、第1インダクターL1、第6スイッチSW6及び第2ダイオードD2を経て第2キャパシタC2に続く第1電流パスと、サステイン電圧源Vs、第1スイッチSW1、第3キャパシタC3及び第4スイッチSW4を経てパネルキャパシタCpのスキャン電極Yに続く第2電流パスが形成される。

【0150】

10

20

30

40

50

これによって、パネルキャパシタC<sub>p</sub>の電圧V<sub>p</sub>は、 $1/2$ サステイン電圧V<sub>s</sub>/ $2$ に維持され、第1インダクターL<sub>1</sub>の両端間の電圧は0であるため、第1インダクターL<sub>1</sub>の電流I<sub>L1</sub>は、 $-V_s/(2Z_n)$ の値を維持するようになる。

#### 【0151】

t<sub>7</sub>期間においては、タイミングコントローラ（図示せず）から供給されるロー状態の第1スイッチング制御信号及び第4スイッチング制御信号と、ハイ状態の第6スイッチング制御信号とに応じて、第6スイッチS<sub>W6</sub>は、以前のオン状態を維持し、第1スイッチS<sub>W1</sub>及び第4スイッチS<sub>W4</sub>は、ターンオフする。

#### 【0152】

これにより、図10に示すように、パネルキャパシタC<sub>p</sub>、第1インダクターL<sub>1</sub>、第6スイッチS<sub>W6</sub>及び第2ダイオードD<sub>2</sub>を経て、第2キャパシタC<sub>2</sub>に続く電流パスが形成され、第1インダクターL<sub>1</sub>とパネルキャパシタC<sub>p</sub>は、直列共振を発生する。この時、パネルキャパシタC<sub>p</sub>の電圧V<sub>p</sub>と第1インダクターL<sub>1</sub>に流れる電流I<sub>L1</sub>は、式8の通りである。

#### 【0153】

#### 【数8】

$$V_p(t) = \frac{V_s}{2} (1 - \sin \omega_n t), \quad I_{L1}(t) = -\frac{V_s}{2Z_n} \cos \omega_n t$$

#### 【0154】

これにより、t<sub>7</sub>期間においてパネルキャパシタC<sub>p</sub>の電圧V<sub>p</sub>は、 $1/2$ サステイン電圧V<sub>s</sub>/ $2$ から基底電圧0Vに下降し、第1インダクターL<sub>1</sub>に流れる電流I<sub>L1</sub>は、 $-V_s/(2Z_n)$ から0に上昇する。

#### 【0155】

t<sub>8</sub>期間以後には、t<sub>1</sub>期間以前からt<sub>7</sub>期間までの動作を繰り返し行いながら、パネルキャパシタC<sub>p</sub>のスキャン電極Yにサステインパルスを供給する。

#### 【0156】

図12は、本発明の他の一実施の形態に係るプラズマディスプレイ装置を示す回路図である。

#### 【0157】

同図に示すように、本発明の他の一実施の形態に係るプラズマディスプレイ装置のうち、エネルギー回収装置62は、パネルキャパシタC<sub>p</sub>を隔てて互いに対称に接続する。

#### 【0158】

ここで、パネルキャパシタC<sub>p</sub>は、PDPのスキャン電極Yとサステイン電極Zとの間に形成される静電容量を等価的に示したものである。そして、パネルキャパシタC<sub>p</sub>のサステイン電極Zには、パネルキャパシタC<sub>p</sub>のスキャン電極Yに設置されたエネルギー回収装置62と同じ構成を有するエネルギー回収装置が、パネルキャパシタC<sub>p</sub>を隔てて対称に設置される。

#### 【0159】

本発明の他の一実施の形態に係るプラズマディスプレイパネルのエネルギー回収装置62は、パネルキャパシタC<sub>p</sub>、サステイン電圧を供給するサステイン電圧源V<sub>s</sub>、サステイン電圧源V<sub>s</sub>と基底電圧源GNDとの間に直列に接続される第1及び第2キャパシタC<sub>1</sub>、C<sub>2</sub>、第1キャパシタC<sub>1</sub>と第2キャパシタC<sub>2</sub>との間の第1ノードN<sub>1</sub>、サステイン電圧源V<sub>s</sub>とパネルキャパシタC<sub>p</sub>との間に直列に接続されるサステイン電圧供給制御部64を備える。

#### 【0160】

基底電圧源GNDとパネルキャパシタC<sub>p</sub>との間に接続されている基底電圧供給制御部66、サステイン電圧供給制御部64と基底電圧供給制御部66との間に直列に接続されている第3及び第4キャパシタC<sub>3</sub>、C<sub>4</sub>、第3キャパシタC<sub>3</sub>と第4キャパシタC<sub>4</sub>との間の第2ノードN<sub>2</sub>、第1ノードN<sub>1</sub>と第2ノードN<sub>2</sub>との間に接続されている第1イ

ンダクター L 1、第 1 ノード N 1 と第 1 インダクター L 1 との間に並列に接続されている第 1 エネルギー回収制御部 7 0 A と第 2 エネルギー供給制御部 6 8 B、第 2 ノード N 2 とスキャン電極 Y との間に接続されている第 2 インダクター L 2、第 2 ノード N 2 と第 2 インダクター L 2 との間に並列に接続されている第 1 エネルギー供給制御部 6 8 A と第 2 エネルギー回収制御部 7 0 B を備える。

【0 1 6 1】

ここで、第 2 キャパシタ C 2 及び第 4 キャパシタ C 4 は、エネルギー供給／回収キャパシタであり、第 3 キャパシタ C 3 は、維持キャパシタである。

【0 1 6 2】

第 1 キャパシタ C 1 は、サステイン電圧源 V s と第 2 キャパシタ C 2 との間に接続され、サステイン電圧 V s を分割する役割を果たす。このような第 1 キャパシタ C 1 は、サステイン電圧源 V s から供給されるサステイン電圧 V s のうち、 $1/2$  サステイン電圧 V s を充電する。

【0 1 6 3】

第 2 キャパシタ C 2 は、第 1 キャパシタ C 1 と基底電圧源 G N D との間に接続され、プラズマディスプレイパネルにおいて放電に寄与していない無効電力のエネルギーを回収すると共に、回収されたエネルギーをパネルキャパシタ C p のスキャン電極 Y に再供給する。このような第 2 キャパシタ C 2 には、サステイン電圧 V s の半分値である  $1/2$  サステイン電圧 V s  $/2$  が充電される。

【0 1 6 4】

サステイン電圧供給制御部 6 4 は、サステイン電圧源 V s、第 1 キャパシタ C 1 及び第 3 キャパシタ C 3 とパネルキャパシタ C p のスキャン電極 Y との間に接続され、サステイン電圧源 V s から供給されるサステイン電圧 V s がパネルキャパシタ C p のスキャン電極 Y に供給されるように制御する。

【0 1 6 5】

このようなサステイン電圧供給制御部 6 4 は、サステイン電圧源 V s とパネルキャパシタ C p との間に直列に接続されている第 1 スイッチ S W 1 及び第 2 スイッチ S W 2 を備える。

【0 1 6 6】

第 1 スイッチ S W 1 は、第 1 キャパシタ C 1 及びサステイン電圧源 V s の共通端子と第 3 キャパシタ及び第 2 スイッチ S W 2 の共通端子との間に接続され、タイミングコントローラ（図示せず）から供給される第 1 スイッチング制御信号に応じて、サステイン電圧源 V s と第 2 スイッチ S W 2、及び第 3 キャパシタ C 3 の一方の端子とを電氣的に接続させる。

【0 1 6 7】

これにより、パネルキャパシタ C p は、 $1/2$  サステイン電圧 V s  $/2$  及びサステイン電圧 V s を維持する。これに対する詳細な説明は後述する。

【0 1 6 8】

第 2 スイッチ S W 2 は、第 1 スイッチ S W 1 とパネルキャパシタ C p のスキャン電極 Y との間に接続され、タイミングコントローラ（図示せず）から供給される第 2 スイッチング制御信号に応じて、第 1 スイッチ S W 1 の一方の端子に供給されたサステイン電圧 V s をパネルキャパシタ C p のスキャン電極 Y に供給する。

【0 1 6 9】

基底電圧供給制御部 6 6 は、基底電圧源 G N D、第 2 キャパシタ C 2 及び第 4 キャパシタ C 4 とパネルキャパシタ C p のスキャン電極 Y との間に接続され、パネルキャパシタ C p のスキャン電極 Y に基底電圧 G N D が供給されるように制御する。

【0 1 7 0】

このような基底電圧供給制御部 6 6 は、基底電圧源 G N D とパネルキャパシタ C p のスキャン電極 Y との間に直列に接続されている第 3 スイッチ S W 3 及び第 4 スイッチ S W 4 を備える。

10

20

30

40

50

## 【0171】

第3スイッチSW3は、第2キャパシタC2及び基底電圧源GNDの共通端子と第4キャパシタC4及び第4スイッチSW4共通端子との間に接続され、タイミングコントローラ（図示せず）から供給される第3スイッチング制御信号に応じて、基底電圧源GNDを第4キャパシタC4の一方の端子と第4スイッチSW4の一方の端子に基底電圧源GNDを電氣的に接続させる。これにより、パネルキャパシタCpのスキャン電極Yに基底電圧GNDが供給される。これに対する詳細な説明は後述する。

## 【0172】

第4スイッチSW4は、第3スイッチSW3とパネルキャパシタCpのスキャン電極Yとの間に接続され、タイミングコントローラ（図示せず）から供給される第4スイッチング制御信号に応じて、第3スイッチSW3の一方の端子及び第4キャパシタC4の一方端の共通端子を、パネルキャパシタCpのスキャン電極Yに電氣的に接続させる。これにより、パネルキャパシタCpは、 $1/2$ サステイン電圧Vs/2及び基底電圧GNDを維持する。これに対する詳細な説明は後述する。

10

## 【0173】

第1エネルギー供給制御部68Aは、第2ノードN2と第2インダクターL2との間に接続され、第4キャパシタC4に格納されたエネルギーがパネルキャパシタCpのスキャン電極Yに供給されるように制御する。

## 【0174】

このような第1エネルギー供給制御部68Aは、第2ノードN2と第2インダクターL2との間に接続されている第5スイッチSW5と第1ダイオードD1を備える。第1エネルギー供給制御部68Aは、第4キャパシタC4に格納されたVs/4電圧をパネルキャパシタCpに供給する。

20

## 【0175】

第5スイッチSW5は、タイミングコントローラ（図示せず）から供給される第5スイッチング制御信号に応じて、第4キャパシタC4に格納されたエネルギーがパネルキャパシタCpのスキャン電極Yに供給されるように制御する。

## 【0176】

第1ダイオードD1は、パネルキャパシタCpからエネルギーを回収する時、エネルギーが第5スイッチSW5に流れるのを防止する。

30

## 【0177】

第2エネルギー供給制御部68Bは、第1ノードN1と第1インダクターL1との間に接続され、第2キャパシタC2に格納されたエネルギーをパネルキャパシタCpのスキャン電極Yに供給されるように制御する。

## 【0178】

このような第2エネルギー供給制御部68Bは、第1ノードN1と第1インダクターL1との間に接続されている第6スイッチSW6と第2ダイオードD2を備える。

## 【0179】

ここで、第2エネルギー供給制御部68Bは、第1エネルギー供給制御部68AによりVs/2電圧に充電されたパネルキャパシタCpの電圧を略サステイン電圧であるVs電圧まで上昇させるようになる。

40

## 【0180】

第6スイッチSW6は、タイミングコントローラ（図示せず）から供給される第6スイッチング制御信号に応じて、第2キャパシタC2に格納されたエネルギーがパネルキャパシタCpのスキャン電極Yに供給されるように制御する。

## 【0181】

第2ダイオードD2は、パネルキャパシタCpからエネルギーを回収する時、エネルギーが第6スイッチSW6に逆流するのを防止する。

## 【0182】

第1エネルギー回収制御部70Aは、第1ノードN1と第1インダクターL1との間に

50

接続され、パネルキャパシタC pから放電に寄与していない無効電力のエネルギーが第2キャパシタC 2に供給されるように制御する。このような第1エネルギー回収制御部70Aは、第1ノードN 1と第1インダクターL 1との間に接続される第7スイッチS W 7及び第3ダイオードD 3を備える。

【0183】

第7スイッチS W 7は、タイミングコントローラ（図示せず）から供給される第7スイッチング制御信号に応じて、パネルキャパシタC pから放電に寄与していない無効電力のエネルギーが第2キャパシタC 2に回収されるように制御する。

【0184】

第3ダイオードD 2は、パネルキャパシタC pから放電に寄与していないエネルギーが第2キャパシタC 2に回収される時、第2キャパシタC 2からの逆電流を防止する。 10

【0185】

第2エネルギー回収制御部70Bは、第2ノードN 2と第2インダクターL 2との間に接続され、パネルキャパシタC pから放電に寄与していない無効電力のエネルギーが第4キャパシタC 4に供給されるように制御する。

【0186】

このような第2エネルギー回収制御部70Bは、第2ノードN 2と第2インダクターL 2との間に接続される第8スイッチS W 8及び第4ダイオードD 4を備える。

【0187】

第8スイッチS W 8は、タイミングコントローラ（図示せず）から供給される第8スイッチング制御信号に応じて、パネルキャパシタC pから放電に寄与していない無効電力のエネルギーが第4キャパシタC 4に回収されるように制御する。 20

【0188】

第4ダイオードD 4は、パネルキャパシタC pから放電に寄与していないエネルギーが第4キャパシタC 4に回収される時、第4キャパシタC 4からの逆電流を防止する。

【0189】

第1インダクターL 1は、第1ノードN 1と第2ノードN 2との間にそれぞれ接続され、第6スイッチS W 6及び第7スイッチS W 7のスイッチングに応じて、パネルキャパシタC pと共振ループを形成する。

【0190】

このような第1インダクターL 1は、第6スイッチS W 6がターンオンする時、パネルキャパシタC pとのLC共振により第2キャパシタC 2に格納されたエネルギーをパネルキャパシタC pのスキャン電極Yに供給すると共に、第7スイッチS W 7がターンオンする時、パネルキャパシタC pとのLC共振によりパネルキャパシタC pに格納されたエネルギーを第2キャパシタC 2に回収する。 30

【0191】

第2インダクターL 1は、第2ノードN 2とスキャン電極Yとの間にそれぞれ接続され、第5スイッチS W 5及び第8スイッチS W 8のスイッチングに応じて、パネルキャパシタC pと共振ループを形成する。

【0192】

このような第2インダクターL 2は、第5スイッチS W 5がターンオンする時、パネルキャパシタC pとのLC共振により第4キャパシタC 4に格納されたエネルギーをパネルキャパシタC pのスキャン電極Yに供給すると共に、第8スイッチS W 8がターンオンする時、パネルキャパシタC pとのLC共振によりパネルキャパシタC pに格納されたエネルギーを第4キャパシタC 4に回収する。ここで、第1キャパシタC 1は除去できる。 40

【0193】

図13は、図12に示されたスイッチのオン・オフタイミングを示す図であり、図14～図21は、図13に示されたスイッチのオン・オフタイミングに応じて形成された電流パスを示す図である。

【0194】

ここで、第 1 キャパシタ C 1 及び第 2 キャパシタ C 2 それぞれの両端電圧は、 $1/2$  サステイン電圧  $V_s/2$ 、第 3 キャパシタ C 3 及び第 4 キャパシタ C 4 それぞれの両端電圧は、 $1/4$  サステイン電圧  $V_s/4$  と仮定し説明する。

【0195】

図 1 3～図 2 1 に示すように、 $t_1$  期間においてはタイミングコントローラー（図示せず）から供給されるハイ状態の第 3 スイッチング制御信号及び第 5 スイッチング制御信号に応じて、第 3 スイッチ SW 3 及び第 5 スイッチ SW 5 がターンオンする。

【0196】

これにより、図 1 4 に示すように、第 3 スイッチ SW 3、第 4 キャパシタ C 4、第 2 ノード N 2、第 5 スイッチ SW 5、第 1 ダイオード D 1 及び第 2 インダクター L 2 を経て、パネルキャパシタ C p のスキャン電極 Y に続く電流パスが形成され、第 2 インダクター L 2 とパネルキャパシタ C p は、直列共振回路を構成するようになる。この時、パネルキャパシタ C p の電圧  $V_p$  と第 2 インダクター L 2 に流れる電流  $i_{p2}(t)$  は、式 9 の通りである。

【0197】

【数 9】

$$V_p(t) = \frac{V_s}{4} (1 - e^{-\zeta \omega_n t} \cos \omega_d t - \frac{\zeta e^{-\zeta \omega_n t}}{\sqrt{1 - \zeta^2}} \sin \omega_d t)$$

$$i_{p2}(t) = \frac{V_s e^{-\zeta \omega_n t}}{4 L \omega_d} \sin \omega_d t$$

ここで、 $\omega_n = \frac{1}{\sqrt{L C_p}}$ 、 $\zeta = R_{eq} \sqrt{\frac{C_p}{L}}$ 、 $\omega_d = \omega_n \sqrt{1 - \zeta^2}$  である。また、 $R_{eq}$  は、電流パスに見える寄生抵抗の総計を示す。

【0198】

これにより、 $t_1$  期間においてパネルキャパシタ C p の電圧  $V_p$  は、基底電圧（0 V）から  $1/2$  サステイン電圧  $V_s/2$  まで上昇するようになる。

【0199】

$t_2$  期間においては、タイミングコントローラー（図示せず）から供給されるハイ状態の第 2 スイッチング制御信号、第 3 スイッチング制御信号に応じて、第 3 スイッチ SW 3 は、以前のオン状態を維持し、第 2 スイッチ SW 2 は、ターンオンする。

【0200】

これにより、図 1 5 に示すように、第 3 スイッチ SW 3、第 4 キャパシタ C 4、第 3 キャパシタ C 3、第 2 スイッチ SW 2 を経て、パネルキャパシタ C p のスキャン電極 Y に続く電流パスが形成される。これによって、パネルキャパシタ C p の電圧  $V_p$  は、 $1/2$  サステイン電圧  $V_s/2$  に維持される。

【0201】

$t_3$  期間においては、第 3 スイッチ SW 3 がターンオフすると共に、タイミングコントローラー（図示せず）から供給されるハイ状態の第 2 スイッチング制御信号と第 6 スイッチング制御信号に応じて、第 2 スイッチ SW 2 及び第 6 スイッチ SW 6 がターンオンする。

【0202】

これにより、図 1 6 に示すように、第 2 キャパシタ C 2、第 1 ノード N 1、第 6 スイッチ SW 6、第 2 ダイオード D 2、第 1 インダクター L 1 及び第 2 スイッチ SW 2 を経て、パネルキャパシタ C p のスキャン電極 Y に続く電流パスが形成され、第 1 インダクター L 1 とパネルキャパシタ C p は、直列共振回路を構成するようになる。この時、パネルキャパシタ C p の電圧  $V_p$  と第 1 インダクター L 1 に流れる電流  $i_{p1}(t)$  は、式 10 の通りである。

【0203】

10

20

30

40

50

【数 1 0】

$$V_p(t) = \frac{3V_s}{4} (1 - e^{-\zeta \omega_n t} \cos \omega_d t - \frac{\zeta e^{-\zeta \omega_n t}}{\sqrt{1-\zeta^2}} \sin \omega_d t)$$

$$i_{p1}(t) = \frac{Vs e^{-\zeta \omega_n t}}{4L \omega_d} \sin \omega_d t$$

【0 2 0 4】

これにより、パネルキャパシタ C p の電圧 V p は、V s / 2 からサステイン電圧 V s に近い電圧に上昇する。

10

【0 2 0 5】

t 4 期間においては、タイミングコントローラー（図示せず）から供給されるハイ状態の第 1 スイッチング制御信号及び第 2 スイッチング制御信号に応じて、第 1 スイッチ S W 1 及び第 2 スイッチ S W 2 がターンオンする。

【0 2 0 6】

これにより、図 1 7 に示すように、サステイン電圧源 V s 、第 1 スイッチ S W 1 及び第 2 スイッチ S W 2 を経て、パネルキャパシタ C p のスキャン電極 Y に続く電流パスが形成される。これによって、パネルキャパシタ C p の電圧 V p は、サステイン電圧 V s を維持する。

【0 2 0 7】

t 5 期間においては、タイミングコントローラー（図示せず）から供給されるハイ状態の第 2 スイッチング制御信号及び第 7 スイッチング制御信号に応じて、第 2 スイッチ S W 2 及び第 7 スイッチ S W 7 がターンオンする。

20

【0 2 0 8】

これにより、図 1 8 に示すように、パネルキャパシタ C p 、第 2 スイッチ S W 2 、第 3 キャパシタ C 3 、第 1 インダクター L 1 、第 3 ダイオード D 3 、第 7 スイッチ S W 7 及び第 2 キャパシタ C 2 に続く電流パスが形成され、第 1 インダクター L 1 とパネルキャパシタ C p は、直列共振を発生する。この時、パネルキャパシタ C p の電圧 V p と第 1 インダクター L 1 に流れる電流 i p 1 ( t ) は、式 1 1 の通りである。

【0 2 0 9】

【数 1 1】

$$V_p(t) = \frac{3V_s}{4} (1 + e^{-\zeta \omega_n t} \cos \omega_d t + \frac{\zeta e^{-\zeta \omega_n t}}{\sqrt{1-\zeta^2}} \sin \omega_d t)$$

$$i_{p1}(t) = -\frac{Vs e^{-\zeta \omega_n t}}{4L \omega_d} \sin \omega_d t$$

30

【0 2 1 0】

これにより、パネルキャパシタ C p の電圧 V p は、V s / 2 電圧から下降すると共に、第 2 キャパシタ C 2 には、パネルキャパシタ C p から回収されたエネルギーが格納される。

40

【0 2 1 1】

t 6 期間においては、タイミングコントローラー（図示せず）から供給されるハイ状態の第 2 スイッチング制御信号及び第 3 スイッチング制御信号に応じて、第 3 スイッチ S W 3 及び第 2 スイッチ S W 2 がターンオンする。

【0 2 1 2】

これにより、図 1 9 に示すように、パネルキャパシタ C p のスキャン電極 Y 、第 2 スイッチ S W 2 、第 3 キャパシタ C 3 、第 4 キャパシタ C 4 、第 3 スイッチ S W 3 に続く電流パスが形成される。これによって、パネルキャパシタ C p の電圧 V p は、1 / 2 サステイン電圧 V s / 2 に維持される。

50

## 【0213】

t7期間においては、第2スイッチSW2がターンオフすると共に、タイミングコントローラ（図示せず）から供給されるハイ状態の第3スイッチング制御信号及び第8スイッチング制御信号に応じて、第3スイッチSW3及び第8スイッチSW8がターンオンする。

## 【0214】

これにより、図20に示すように、パネルキャパシタCpのスキャン電極Y、第2インダクターL2、第8スイッチSW8、第4ダイオードD4、第2ノードN2、第4キャパシタC4、第3スイッチSW3に続く電流パスが形成され、第2インダクターL2とパネルキャパシタCpは、直列共振回路を構成する。この時、パネルキャパシタCpの電圧Vpと第2インダクターL2に流れる電流ip2(t)は、式12の通りである。 10

## 【0215】

## 【数12】

$$V_p(t) = \frac{V_s}{4} (1 + e^{-\zeta \omega_d t} \cos \omega_d t + \frac{\zeta e^{-\zeta \omega_d t}}{\sqrt{1 - \zeta^2}} \sin \omega_d t)$$

$$i_{p2}(t) = -\frac{V_s e^{-\zeta \omega_d t}}{4L\omega_d} \sin \omega_d t$$

20

## 【0216】

これにより、パネルキャパシタCpの電圧Vpは、Vs/2から基底電圧0Vに下降すると共に、パネルキャパシタCpから回収されるエネルギーは、第4キャパシタC4に格納される。

## 【0217】

t8期間においては、タイミングコントローラ（図示せず）から供給されるハイ状態の第3スイッチング制御信号及び第4スイッチング制御信号に応じて、第3スイッチSW3及び第4スイッチSW4がターンオンする。

## 【0218】

これにより、図21に示すように、基底電圧源GND、第3スイッチSW3及び第4スイッチSW4を経て、パネルキャパシタCpのスキャン電極Yに続く電流パスが形成される。これによって、パネルキャパシタCpは、基底電圧GNDを維持する。 30

## 【0219】

図22は、本発明のさらに他の一実施の形態に係るプラズマディスプレイ装置を示す回路図である。

## 【0220】

同図に示すように、本発明のさらに他の一実施の形態に係るプラズマディスプレイ装置のうち、エネルギー回収装置72は、パネルキャパシタCpを隔てて互いに対称に接続する。

## 【0221】

ここで、パネルキャパシタCpは、PDPのスキャン電極Yとサステイン電極Zとの間に形成される静電容量を等価的に示したものである。そして、パネルキャパシタCpのサステイン電極Zには、パネルキャパシタCpのスキャン電極Yに設置されたエネルギー回収装置72と同じ構成を有するエネルギー回収装置がパネルキャパシタCpを隔てて対称に設置される。 40

## 【0222】

本発明のさらに他の一実施の形態に係るプラズマディスプレイ装置のうち、エネルギー回収装置72は、サステイン電圧源Vsと基底電圧源GNDとの間に接続されている第1キャパシタC1及び第2キャパシタC2、サステイン電圧源VsとパネルキャパシタCpのスキャン電極Yとの間に接続されているサステイン電圧供給制御部74を備える。 50

## 【0223】

また、基底電圧源GNDとパネルキャパシタC<sub>p</sub>のスキャン電極Yとの間に接続されている基底電圧供給制御部76、サステイン電圧供給制御部74と基底電圧供給制御部76との間に接続されている第3キャパシタC<sub>3</sub>及び第4キャパシタC<sub>4</sub>、第1キャパシタC<sub>1</sub>及び第2キャパシタC<sub>2</sub>の共通端子と第3キャパシタC<sub>3</sub>及び第4キャパシタC<sub>4</sub>の共通端子との間に並列に接続されている第2エネルギー供給制御部80及び第1エネルギー回収制御部82、第3キャパシタC<sub>3</sub>及び第4キャパシタC<sub>4</sub>の共通端子とパネルキャパシタC<sub>p</sub>のスキャン電極Yとの間に接続されている第1エネルギー供給制御部78及び第2エネルギー回収制御部84を備える。

## 【0224】

また、本発明のさらに他の一実施の形態に係るプラズマディスプレイ装置のうち、エネルギー回収装置72は、サステイン電圧供給制御部74と第2エネルギー供給制御部80との間に並列に接続されている第1ダイオードD<sub>1</sub>及び第2ダイオードD<sub>2</sub>を備える。

## 【0225】

また、サステイン電圧供給制御部74と第2エネルギー回収制御部84との間に並列に接続されている第6ダイオードD<sub>6</sub>及び第7ダイオードD<sub>7</sub>、基底電圧供給制御部76と第1エネルギー回収制御部82との間に接続されている第5ダイオードD<sub>5</sub>、及び基底電圧供給制御部76と第1エネルギー供給制御部78との間に接続されている第10ダイオードD<sub>10</sub>及び第11ダイオードD<sub>11</sub>をさらに備える。

## 【0226】

第1キャパシタC<sub>1</sub>は、サステイン電圧源V<sub>s</sub>と第2キャパシタC<sub>2</sub>との間に接続され、第2キャパシタC<sub>2</sub>と共にサステイン電圧V<sub>s</sub>を分割する役割を果たす。このような第1キャパシタC<sub>1</sub>は、サステイン電圧源V<sub>s</sub>から供給されるサステイン電圧V<sub>s</sub>のうち、1/2サステイン電圧V<sub>s</sub>を充電する。

## 【0227】

第2キャパシタC<sub>2</sub>は、第1キャパシタC<sub>1</sub>と基底電圧源GNDとの間に接続され、PDPにおいて放電に寄与していない無効電力のエネルギーを回収すると共に、回収されたエネルギーをパネルキャパシタC<sub>p</sub>のスキャン電極Yに再供給する。このような第2キャパシタC<sub>2</sub>には、サステイン電圧V<sub>s</sub>の半分値である1/2サステイン電圧V<sub>s</sub>/2が充電される。

## 【0228】

サステイン電圧供給制御部74は、サステイン電圧源V<sub>s</sub>及び第1キャパシタC<sub>1</sub>の共通端子とパネルキャパシタC<sub>p</sub>のスキャン電極Yとの間に接続され、サステイン電圧源V<sub>s</sub>から供給されるサステイン電圧V<sub>s</sub>がパネルキャパシタC<sub>p</sub>のスキャン電極Yに供給されるように制御する。

## 【0229】

このようなサステイン電圧供給制御部74は、サステイン電圧源V<sub>s</sub>とパネルキャパシタC<sub>p</sub>との間に直列に接続されている第1スイッチSW<sub>1</sub>及び第2スイッチSW<sub>2</sub>を備える。

## 【0230】

第1スイッチSW<sub>1</sub>は、サステイン電圧源V<sub>s</sub>と第2スイッチSW<sub>2</sub>との間に接続され、タイミングコントローラ（図示せず）から供給される第1スイッチング制御信号に応じて、第1キャパシタC<sub>1</sub>及び第2キャパシタC<sub>2</sub>に充電されたサステイン電圧V<sub>s</sub>又はサステイン電圧源V<sub>s</sub>からのサステイン電圧V<sub>s</sub>が第2スイッチSW<sub>2</sub>の一方の端子に供給されるように制御する。

## 【0231】

これにより、第2スイッチSW<sub>2</sub>がタイミングコントローラ（図示せず）から供給される第2スイッチング制御信号によりターンオンする時、パネルキャパシタC<sub>p</sub>にはサステイン電圧V<sub>s</sub>が供給される。

## 【0232】

第2スイッチSW2は、第1スイッチSW1とパネルキャパシタCpのスキャン電極Yとの間に接続され、タイミングコントローラ（図示せず）から供給される第2スイッチング制御信号に応じて、自分の一方の端子に供給された電圧（サステイン電圧Vs及び1/2サステイン電圧Vs/2）がパネルキャパシタCpのスキャン電極Yに供給されるように制御する。これにより、パネルキャパシタCpは、第2スイッチSW2がターンオンする時、1/2サステイン電圧Vs/2及びサステイン電圧Vsを維持する。

【0233】

基底電圧供給制御部76は、基底電圧源GND及び第2キャパシタC2の共通端子とパネルキャパシタCpのスキャン電極Yとの間に接続され、パネルキャパシタCpのスキャン電極Yに基底電圧GNDが供給されるように制御する。

10

【0234】

このような基底電圧供給制御部76は、基底電圧源GNDとパネルキャパシタCpのスキャン電極Yとの間に直列に接続されている第3スイッチSW3及び第4スイッチSW4を備える。

【0235】

第3スイッチSW3は、第4スイッチSW4とパネルキャパシタCpのスキャン電極Yとの間に接続され、タイミングコントローラ（図示せず）から供給される第3スイッチング制御信号に応じて、自分の一方の端子に供給された基底電圧GNDがパネルキャパシタCpのスキャン電極Yに供給されるように制御する。

【0236】

これにより、第3スイッチSW3がターンオンする間に、パネルキャパシタCpには、基底電圧GNDが供給される。

20

【0237】

第4スイッチSW4は、基底電圧源GNDと第3スイッチSW3との間に接続され、タイミングコントローラ（図示せず）から供給される第4スイッチング制御信号に応じて、第4キャパシタC4の一方の端子と第3スイッチSW3の一方の端子とを基底電圧源GNDに電氣的に接続させる。

【0238】

これにより、第4キャパシタC4は、パネルキャパシタCpから放電されるエネルギーを格納し、パネルキャパシタCpは、自分に格納されたエネルギーを放電すると共に、基底電圧GNDを維持する。これに対する詳細な説明は後述する。

30

【0239】

第3キャパシタC3は、第2ダイオードD2及び第6ダイオードD6の共通端子と第1エネルギー回収制御部82、第2エネルギー回収制御部84、第1エネルギー供給制御部78、第2エネルギー供給制御部80及び第4キャパシタC4の共通端子との間に接続され、第2キャパシタC2又は第4キャパシタC4と共にパネルキャパシタCpのスキャン電極Yにエネルギーを供給すると共に、パネルキャパシタCpから放電に寄与していない無効電力のエネルギーを回収する。このような第3キャパシタC3には、1/4サステイン電圧Vs/4が充電される。

【0240】

第4キャパシタC4は、第5ダイオードD5及び第10ダイオードD10の共通端子と第1エネルギー回収制御部82、第2エネルギー回収制御部84、第1エネルギー供給制御部78、第2エネルギー供給制御部80及び第3キャパシタC3の共通端子との間に接続され、第3キャパシタC3と共にパネルキャパシタCpのスキャン電極Yにエネルギーを供給すると共に、パネルキャパシタCpから放電に寄与していない無効電力のエネルギーを回収する。このような第4キャパシタC4には、1/4サステイン電圧Vs/4が充電される。

40

【0241】

第1エネルギー供給制御部78は、第2エネルギー回収制御部84と、第10ダイオードD10及び第11ダイオードD11との間に接続され、第4キャパシタC4に格納され

50

たエネルギーがパネルキャパシタC pに供給されるように制御する。このような第1エネルギー供給制御部78は、第4キャパシタC4及び第2エネルギー回収制御部84の共通端子と第ダイオードD10との間に接続されている第8スイッチSW8、第2エネルギー回収制御部84及びパネルキャパシタC pのスキャン電極Yの共通端子と第11ダイオードD11との間に接続されている第9ダイオードD9、第8スイッチSW8及び第ダイオードD10の共通端子と第9ダイオードD9及び第11ダイオードD11の共通端子との間に接続されている第4インダクターL4を備える。

【0242】

第8スイッチSW8は、第3キャパシタC3、第4キャパシタC4及び第2エネルギー回収制御部64の共通端子と第ダイオードD10との間に接続され、タイミングコントローラ（図示せず）から供給される第8スイッチング制御信号に応じて、第4キャパシタC4に格納されたエネルギーがパネルキャパシタC pのスキャン電極Yに供給されるように制御する。 10

【0243】

第9ダイオードD9は、第2エネルギー回収制御部84、第3スイッチSW3及びパネルキャパシタC pのスキャン電極Yと第11ダイオードD11との間に接続され、第4キャパシタC4からのエネルギーがパネルキャパシタC pのスキャン電極Yに供給される時、パネルキャパシタC pのスキャン電極Yからの逆電流を防止する。

【0244】

第4インダクターL4は、第8スイッチSW8及び第ダイオードD10の共通端子と第9ダイオードD9及び第11ダイオードD11の共通端子との間に接続され、第4スイッチSW4及び第8スイッチSW8がターンオンする時、パネルキャパシタC pと直列共振ループを形成する。 20

【0245】

このような第4インダクターL4は、第4スイッチSW4及び第8スイッチSW8がターンオンする時、第4キャパシタC4に格納されたエネルギーをパネルキャパシタC pのスキャン電極Yに供給する。

【0246】

第2エネルギー供給制御部80は、第1エネルギー回収制御部82と、第1ダイオードD1及び第2ダイオードD2との間に接続され、第2キャパシタC2及び第3キャパシタC3に格納されたエネルギーがパネルキャパシタC pに供給されるように制御する。このような第2エネルギー供給制御部80は、第2キャパシタC2及び第1エネルギー回収制御部82の共通端子と第1ダイオードD1との間に接続されている第3ダイオードD3、第1エネルギー回収制御部82及び第4キャパシタC4の共通端子と第2ダイオードD2との間に接続されている第5スイッチSW5、第1ダイオードD1及び第3ダイオードD3の共通端子と第2ダイオードD2及び第5スイッチSW5の共通端子との間に接続されている第1インダクターL1を備える。 30

【0247】

第3ダイオードD3は、第1キャパシタC1、第2キャパシタC2及び第1エネルギー回収制御部82の共通端子と第1ダイオードD1及び第1インダクターL1の共通端子との間に接続され、第2キャパシタC2及び第3キャパシタC3に格納されたエネルギーがパネルキャパシタC pのスキャン電極Yに供給される時、パネルキャパシタC pのスキャン電極Yから第2キャパシタC2への逆電流を防止する。 40

【0248】

第5スイッチSW5は、第3キャパシタC3、第4キャパシタC4及び第1エネルギー回収制御部82の共通端子と第2ダイオードD2との間に接続されタイミングコントローラ（図示せず）から供給される第2スイッチング制御信号に応じて、第2キャパシタC2及び第3キャパシタC3に格納されたエネルギーがパネルキャパシタC pのスキャン電極Yに供給されるように制御する。

【0249】

第1インダクターL1は、第1ダイオードD1及び第3ダイオードD3の共通端子と第5スイッチSW5及び第2ダイオードD2の共通端子との間に接続され、第2スイッチSW2及び第5スイッチSW5がターンオンする時、パネルキャパシタCpと直列共振ループを形成する。このような第1インダクターL1は、第2スイッチSW2及び第5スイッチSW5がターンオンする時、第2キャパシタC2及び第3キャパシタC3に格納されたエネルギーをパネルキャパシタCpのスキャン電極Yに供給する。

【0250】

第1エネルギー回収制御部82は、第2エネルギー供給制御部80と第5ダイオードD5との間に接続され、パネルキャパシタCpから放電に寄与していない無効電力のエネルギーが第3キャパシタC3及び第2キャパシタC2に供給されるように制御する。このよ

10

【0251】

第6スイッチSW6は、第1キャパシタC1、第2キャパシタC2及び第3ダイオードD3の共通端子と第4ダイオードD4との間に接続され、タイミングコントローラー（図示せず）から供給される第6スイッチング制御信号に応じて、パネルキャパシタCpから放電に寄与していない無効電力のエネルギーが第2キャパシタC2及び第3キャパシタC

20

【0252】

第4ダイオードD4は、第6スイッチSW6と第5ダイオードD5及び第3インダクターL3との間に接続され、パネルキャパシタCpから放電されるエネルギーが第2キャパシタC2及び第3キャパシタC3に回収される時、第2キャパシタC2からの逆電流を防止する。

【0253】

第3インダクターL3は、第3キャパシタC3、第4キャパシタC4及び第5スイッチSW5の共通端子と第5ダイオードD5との間に接続され、第2スイッチSW2及び第6スイッチSW6がターンオンする時、パネルキャパシタCpと直列共振ループを形成する

30

【0254】

第2エネルギー回収制御部84は、第1エネルギー供給制御部78と第6ダイオードD6及び第7ダイオードD7との間に接続され、パネルキャパシタCpから放電に寄与していない無効電力のエネルギーが第4キャパシタC4に供給されるように制御する。

【0255】

このような第2エネルギー回収制御部84は、第8スイッチSW8と第6ダイオードD6との間に接続されている第7スイッチSW7、第7ダイオードD7と第9ダイオードD9との間に接続されている第8ダイオードD8、第7スイッチSW7及び第6ダイオードD6の共通端子と第7ダイオードD7及び第8ダイオードD8の共通端子との間に接続されている第2インダクターL2を備える。

40

【0256】

第7スイッチSW7は、第3キャパシタC3、第4キャパシタC4及び第8スイッチSW8の共通端子と第6ダイオードD6との間に接続され、タイミングコントローラー（図示せず）から供給される第7スイッチング制御信号に応じて、パネルキャパシタCpから放電に寄与していない無効電力のエネルギーが第4キャパシタC4に回収されるように制御する。

【0257】

50

この時、第4キャパシタC4に回収されるエネルギーは、第2キャパシタC2及び第3キャパシタC3に回収されるエネルギーより小さな値を有する。

【0258】

第8ダイオードD8は、第2スイッチSW2、第3スイッチSW3、パネルキャパシタCpのスキャン電極Y及び第9ダイオードD9の共通端子と第7ダイオードD7との間に接続され、パネルキャパシタCpから放電されるエネルギーが第4キャパシタC4に回収される時、第4キャパシタC4からの逆電流を防止する。

【0259】

第2インダクターL2は、第6ダイオードD6及び第7スイッチSW7の共通端子と第7ダイオードD7及び第8ダイオードD8の共通端子との間に接続され、第4スイッチSW4及び第7スイッチSW7がターンオンする時、パネルキャパシタCpと直列共振ループを形成する。このような第2インダクターL2は、第4スイッチSW4及び第7スイッチSW7がターンオンする時、パネルキャパシタCpから放電されたエネルギーを第4キャパシタC4に供給する。

【0260】

第1ダイオードD1は、第1スイッチSW1と第1インダクターL1及び第3ダイオードD3の共通端子との間に接続され、サステイン電圧源Vs及びパネルキャパシタCpのスキャン電極Yから第2エネルギー供給制御部80への逆電流を防止する。

【0261】

第2ダイオードD2は、第1スイッチSW1と第1インダクターL1及び第5スイッチSW5の共通端子との間に第1ダイオードD2と並列に接続され、サステイン電圧源Vs及びパネルキャパシタCpのスキャン電極Yから第2エネルギー供給制御部80への逆電流を防止する。

【0262】

第5ダイオードD5は、第3インダクターL3及び第4ダイオードD4の共通端子と第4スイッチSW4及び第4キャパシタC4の共通端子との間に接続され、第1エネルギー回収制御部82から第4キャパシタC4への逆電流を防止する。

【0263】

第6ダイオードD6は、第2スイッチSW2及び第3キャパシタC3の共通端子と第2インダクターL2及び第7スイッチSW7の共通端子との間に接続され、サステイン電圧源Vs及びパネルキャパシタCpのスキャン電極Yから第2エネルギー回収制御部84への逆電流を防止する。

【0264】

第7ダイオードD7は、第2スイッチSW2及び第3キャパシタC3の共通端子と第2インダクターL2及び第7スイッチSW7の共通端子との間に第6ダイオードD6と並列に接続され、サステイン電圧源Vs及びパネルキャパシタCpのスキャン電極Yから第2エネルギー回収制御部84への逆電流を防止する。

【0265】

第10ダイオードD10は、第4インダクターL4及び第8スイッチSW8の共通端子と第3スイッチSW3及び第4キャパシタC4の共通端子との間に接続され、第1エネルギー回収制御部82から第4キャパシタC4への逆電流を防止する。

【0266】

第11ダイオードD11は、第4インダクターL4及び第9ダイオードD9の共通端子と第3スイッチSW3及び第4キャパシタC4の共通端子との間に接続され、第1エネルギー回収制御部82から第4キャパシタC4への逆電流を防止する。

【0267】

ここで、第1ダイオードD1、第2ダイオードD2、第5ダイオードD5、第6ダイオードD6、第7ダイオードD7、第ダイオードD10及び第11ダイオードD11は除去できる。

【0268】

10

20

30

40

50

図 2 3 は、図 2 2 に示されたスイッチのオン・オフタイミングを示す図であり、図 2 4 ～図 3 2 は、図 2 3 に示されたスイッチのオン・オフタイミングに応じて形成された電流パスを示す図である。ここで、第 1 キャパシタ C 1 及び第 2 キャパシタ C 2 それぞれの両端電圧は、 $1/2$  サステイン電圧  $V_s/2$ 、第 3 キャパシタ C 3 及び第 4 キャパシタ C 4 それぞれの両端電圧は、 $1/4$  サステイン電圧  $V_s/4$  と仮定し説明する。

【0269】

図 2 3 ～図 3 2 に示すように、 $t_1$  期間以前には、タイミングコントローラ（図示せず）から供給されるハイ状態の第 3 スイッチング制御信号及び第 4 スイッチング制御信号に応じて、第 3 スイッチ SW 3 及び第 4 スイッチ SW 4 がターンオンする。

【0270】

これにより、図 2 4 に示すように、基底電圧源 GND、第 4 スイッチ SW 4、第 3 スイッチ SW 3 及びパネルキャパシタ C p のスキャン電極 Y に続く電流パスが形成される。これによって、パネルキャパシタ C p は、基底電圧 GND を維持する。

【0271】

$t_1$  期間の間には、タイミングコントローラ（図示せず）から供給されるロー状態の第 3 スイッチング制御信号とハイ状態の第 4 スイッチング制御信号及び第 8 スイッチング制御信号とに応じて、第 4 スイッチ SW 4 は、以前のオン状態を維持し、第 3 スイッチ SW 3 は、ターンオフし、第 8 スイッチ SW 8 はターンオンする。

【0272】

これにより、図 2 5 に示すように、基底電圧源 GND、第 4 スイッチ SW 4、第 4 キャパシタ C 4、第 8 スイッチ SW 8、第 4 インダクター L 4、第 9 ダイオード D 9 及びパネルキャパシタ C p のスキャン電極 Y に続く電流パスが形成され、第 4 インダクター L 4 とパネルキャパシタ C p は、直列共振を発生する。この時、パネルキャパシタ C p の電圧  $V_p$  と電流  $I_{Cp}$  は、式 13 の通りである。

【0273】

【数 13】

$$V_p(t) = \frac{V_s}{4} (1 - e^{-s\omega_n t} \cos \omega_d t - \frac{s e^{-s\omega_n t}}{\sqrt{1-s^2}} \sin \omega_d t)$$

$$I_{Cp}(t) = \frac{V_s e^{s\omega_n t}}{4L\omega_d} \sin \omega_d t$$

ここで、 $\omega_n = 1/\sqrt{LC_p}$ 、 $s = R_{eq}\sqrt{C_p/L}$ 、 $\omega_d = \omega_n \sqrt{1-s^2}$  であり、 $R_{eq}$  は、電流パスに形成された寄生抵抗の総計を示すものである。

【0274】

これにより、 $t_1$  期間の間、パネルキャパシタ C p の電圧  $V_p$  は、基底電圧 0 V から  $1/2$  サステイン電圧  $V_s/2$  まで上昇し、第 4 インダクター L 4 に流れる電流  $I_L$  は、 $(V_s/4)(C_p/L)^{1/2}$  まで上昇してから 0 まで下降する。

【0275】

$t_2$  期間の間には、タイミングコントローラ（図示せず）から供給されるハイ状態の第 2 スイッチング制御信号、第 4 スイッチング制御信号及び第 8 スイッチング制御信号に応じて、第 4 スイッチ SW 4 及び第 8 スイッチ SW 8 は、以前のオン状態を維持し、第 2 スイッチ SW 2 はターンオンする。

【0276】

これにより、図 2 6 に示すように、基底電圧源 GND、第 4 スイッチ SW 4、第 4 キャパシタ C 4、第 3 キャパシタ C 3、第 2 スイッチ SW 2 及びパネルキャパシタ C p のスキャン電極 Y に続く電流パスが形成される。

【0277】

これにより、パネルキャパシタ C p は、 $1/2$  サステイン電圧  $V_s/2$  を維持する。また、 $t_2$  期間の間には、第 9 ダイオード D 9 の逆回復特性により、所定の尖頭値  $I_r$  を有

10

20

30

40

50

する逆方向インダクター電流が発生する。

【0278】

この時、発生されたインダクター電流は、第8スイッチSW8、第4キャパシタC4、第11ダイオードD11の方向に流れ、この時流れる逆方向電流の大きさは、式14の通りである。

【0279】

【数14】

$$I_L(t) = -I_r + \frac{V_s}{4L} t$$

10

【0280】

この時、逆方向電流は、 $V_s/(4L)$ の傾斜で増加する。このような逆方向電流は、急激に低減し、環流電流は、発生しない。

【0281】

t3期間の間には、タイミングコントローラ（図示せず）から供給されるロー状態の第4スイッチング制御信号及び第8スイッチング制御信号と、ハイ状態の第2スイッチング制御信号及び第5スイッチング制御信号とに応じて、第2スイッチSW2は、以前のオン状態を維持し、第4スイッチSW4及び第8スイッチSW8は、ターンオフし、第5スイッチSW5はターンオンする。

20

【0282】

これにより、図27に示すように、基底電圧源GND、第2キャパシタC2、第3ダイオードD3、第1インダクターL1、第5スイッチSW5、第3キャパシタC3、第2スイッチSW2及びパネルキャパシタCpのスキャン電極Yに続く電流パスが形成され、第1インダクターL1とパネルキャパシタCpは、直列共振が発生する。この時、パネルキャパシタCpの電圧Vp及び電流ICpは、式15の通りである。

【0283】

【数15】

$$V_p(t) = \frac{3V_s}{4} (1 - e^{-sw_d t} \cos w_d t - \frac{se^{-sw_d t}}{\sqrt{1-s^2}} \sin w_d t)$$

30

$$IC_p(t) = \frac{V_s e^{sw_d t}}{4Lw_d} \sin w_d t$$

【0284】

これにより、t3期間の間、パネルキャパシタCpの電圧Vpは、 $1/2$ サステイン電圧Vs/2からサステイン電圧Vsまで上昇し、第1インダクターL1に流れる電流ILは、 $(Vs/4)(Cp/L)^{1/2}$ まで上昇してから0まで下降する。

【0285】

t4期間の間には、タイミングコントローラ（図示せず）から供給されるハイ状態の第1スイッチング制御信号、第2スイッチング制御信号及び第5スイッチング制御信号に応じて、第2スイッチSW2及び第5スイッチSW5は、以前のオン状態を維持し、第1スイッチSW1は、ターンオンする。

40

【0286】

これにより、図28に示すように、基底電圧源GND、第2キャパシタC2、第1キャパシタC1、第1スイッチSW1、第2スイッチSW2及びパネルキャパシタCpに続く電流パスが形成される。

【0287】

これにより、パネルキャパシタCpは、t4期間の間、サステイン電圧Vsを維持する。また、t4期間の間には、第3ダイオードD3の逆回復特性により、所定の尖頭値Ir

50

を有する逆方向インダクター電流が発生する。

【0288】

この時、発生されたインダクター電流は、第1ダイオードD1、第3キャパシタC3、第5スイッチSW5の方向に流れ、この時流れる逆方向電流の大きさは、式14の通りである。このような逆方向電流は、従来のPDPのエネルギー回収装置とは異なって急激に低減し、環流電流は、発生しない。

【0289】

t5期間の間には、タイミングコントローラー（図示せず）から供給されるロー状態の第5スイッチング制御信号と、ハイ状態の第1スイッチング制御信号及び第2スイッチング制御信号とに応じて、第1スイッチSW1及び第2スイッチSW2は、以前のオン状態を維持し、第5スイッチSW5はターンオフする。 10

【0290】

これにより、図28に示すように、基底電圧源GND、第2キャパシタC2、第1キャパシタC1、第1スイッチSW1、第2スイッチSW2及びパネルキャパシタCpに続く電流パスが形成される。これによって、パネルキャパシタCpは、t5期間の間、サステイン電圧Vsを維持する。

【0291】

t6期間の間には、タイミングコントローラー（図示せず）から供給されるロー状態の第1スイッチング制御信号と、ハイ状態の第2スイッチング制御信号及び第6スイッチング制御信号とに応じて、第2スイッチSW2は、以前のオン状態を維持し、第1スイッチSW1は、ターンオフし、第6スイッチSW6は、ターンオンする。 20

【0292】

これにより、図29に示すように、パネルキャパシタCp、第2スイッチSW2、第3キャパシタC3、第3インダクターL3、第4ダイオードD4、第6スイッチSW6、第2キャパシタC2に続く電流パスが形成され、第3インダクターL3とパネルキャパシタCpは、直列共振が発生する。この時、パネルキャパシタCpの電圧Vp及び電流ICpは、式16の通りである。

【0293】

【数16】

$$V_p(t) = \frac{3V_s}{4} (1 + e^{-s\omega_d t} \cos \omega_d t + \frac{s e^{-s\omega_d t}}{\sqrt{1-s^2}} \sin \omega_d t)$$

30

$$IC_p(t) = - \frac{V_s e^{s\omega_d t}}{4L\omega_d} \sin \omega_d t$$

【0294】

これにより、t6期間の間、パネルキャパシタCpの電圧Vpは、サステイン電圧Vsから1/2サステイン電圧Vs/2まで下降し、第3インダクターL3に流れる電流ILは、-(Vs/4)(Cp/L)<sup>1/2</sup>まで下降してから0まで上昇する。すなわち、t6期間の間、パネルキャパシタCpは、t4期間及びt5期間の間に維持していたサステイン電圧Vsのうち、1/2サステイン電圧Vs/2を放電し、第2キャパシタC2は、パネルキャパシタCpから放電されるエネルギーを回収する。 40

【0295】

t7期間の間には、タイミングコントローラー（図示せず）から供給されるロー状態の第6スイッチング制御信号と、ハイ状態の第2スイッチング制御信号及び第4スイッチング制御信号に応じて、第2スイッチSW2は、以前のオン状態を維持し、第6スイッチSW6は、ターンオフし、第4スイッチSW4はターンオンする。

【0296】

これにより、図30に示すように、パネルキャパシタCp、第2スイッチSW2、第3キャパシタC3、第4キャパシタC4、第4スイッチSW4及び基底電圧源GNDに続く 50

電流パスが形成される。

【0297】

これによって、パネルキャパシタC<sub>p</sub>は、t<sub>7</sub>期間の間、1/2サステイン電圧V<sub>s</sub>/2を維持する。また、t<sub>7</sub>期間の間には、第4ダイオードD<sub>4</sub>の逆回復特性により、所定の尖頭値I<sub>r</sub>を有する逆方向インダクター電流が発生する。

【0298】

この時、発生されたインダクター電流は、第4キャパシタC<sub>4</sub>、第5ダイオードD<sub>5</sub>の方向に流れ、この時流れる逆方向電流の大きさは、式14の通りである。このような逆方向電流は、従来のPDPのエネルギー回収装置とは異なって急激に低減し、環流電流は、発生しない。

10

【0299】

t<sub>8</sub>期間の間には、タイミングコントローラー（図示せず）から供給されるロー状態の第2スイッチング制御信号と、ハイ状態の第4スイッチング制御信号及び第7スイッチング制御信号とに応じて、第4スイッチSW<sub>4</sub>は、以前のオン状態を維持し、第2スイッチSW<sub>2</sub>は、ターンオフし、第7スイッチSW<sub>7</sub>は、ターンオンする。

【0300】

これにより、図31に示すように、パネルキャパシタC<sub>p</sub>、第8ダイオードD<sub>8</sub>、第2インダクターL<sub>2</sub>、第7スイッチSW<sub>7</sub>、第4キャパシタC<sub>4</sub>、第4スイッチSW<sub>4</sub>及び基底電圧源GNDに続く電流パスが形成され、第2インダクターL<sub>2</sub>とパネルキャパシタC<sub>p</sub>は、直列共振が発生する。この時、パネルキャパシタC<sub>p</sub>の電圧V<sub>p</sub>及び電流I<sub>Cp</sub>

20

【0301】

【数17】

$$V_p(t) = \frac{3V_s}{4} (1 - e^{-sw_n t} \cos w_d t - \frac{se^{-sw_n t}}{\sqrt{1-s^2}} \sin w_d t)$$

$$I_{Cp}(t) = -\frac{V_s e^{sw_n t}}{4Lw_d} \sin w_d t$$

【0302】

これにより、t<sub>8</sub>期間の間、パネルキャパシタC<sub>p</sub>の電圧V<sub>p</sub>は、1/2サステイン電圧V<sub>s</sub>から基底電圧GNDまで下降し、第2インダクターL<sub>2</sub>に流れる電流I<sub>L</sub>は、-(V<sub>s</sub>/4)(C<sub>p</sub>/L)<sup>1/2</sup>まで下降してから0まで上昇する。

30

【0303】

すなわち、t<sub>8</sub>期間の間、パネルキャパシタC<sub>p</sub>は、t<sub>6</sub>期間の間に維持していた1/2サステイン電圧V<sub>s</sub>/2を放電し、第4キャパシタC<sub>4</sub>は、パネルキャパシタC<sub>p</sub>から放電されるエネルギーを回収する。

【0304】

t<sub>9</sub>期間の間には、タイミングコントローラー（図示せず）から供給されるハイ状態の第3スイッチング制御信号、第4スイッチング制御信号及び第7スイッチング制御信号に応じて、第4スイッチSW<sub>4</sub>及び第7スイッチSW<sub>7</sub>は、以前のオン状態を維持し、第3スイッチSW<sub>3</sub>は、ターンオンする。

40

【0305】

これにより、図32に示すように、パネルキャパシタC<sub>p</sub>、第3スイッチSW<sub>3</sub>、第4スイッチSW<sub>4</sub>及び基底電圧源GNDに続く電流パスが形成される。これによって、パネルキャパシタC<sub>p</sub>は、t<sub>9</sub>期間の間、基底電圧GNDを維持する。

【0306】

また、t<sub>9</sub>期間の間には、第8ダイオードD<sub>8</sub>の逆回復特性により、所定の尖頭値I<sub>r</sub>を有する逆方向インダクター電流が発生する。この時、発生されたインダクター電流は、第7ダイオードD<sub>7</sub>、第3キャパシタC<sub>3</sub>、第7スイッチSW<sub>7</sub>の方向に流れ、この時流

50

れる逆方向電流の大きさは、式 14 の通りである。このような逆方向電流は、従来の PDP のエネルギー回収装置とは異なって急激に低減し、環流電流は、発生しない。

【0307】

次に、PDP のサステイン電極 Z に設置されたエネルギー回収装置が t1 期間から t9 期間までの動作を繰り返し、PDP のサステイン電極 Z にサステインパルスを供給する。

【0308】

本発明は、環流電流の発生を防止することによって、素子の電流ストレスを減少させ、消費電力を減らすことができる。

【0309】

また、スイッチ素子の耐圧条件を低くするのみならず、寄生抵抗の小さなスイッチ素子を使用することによって、費用を減らすことができる。

【0310】

上述した本発明の好ましい実施の形態は、例示の目的のために開示されたものであり、本発明の属する技術の分野における通常の知識を有する者であれば、本発明の技術的思想を逸脱しない範囲内で、様々な置換、変形、及び変更が可能であり、このような置換、変更などは、特許請求の範囲に属するものである。

【図面の簡単な説明】

【0311】

【図 1】従来のプラズマディスプレイ装置のうち、エネルギー回収装置を示す回路図である。

【図 2】図 1 に示されたスイッチのオン・オフタイミングとパネルキャパシタの出力波形を示すタイミング図及び波形図である。

【図 3】本発明の一実施の形態に係るプラズマディスプレイ装置のうち、プラズマディスプレイパネルを示す斜視図である。

【図 4】本発明の一実施の形態に係るプラズマディスプレイ装置を示す回路図である。

【図 5】図 4 に示されたスイッチのオン・オフタイミングを示すタイミング図である。

【図 6】図 5 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

【図 7】図 5 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

【図 8】図 5 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

【図 9】図 5 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

【図 10】図 5 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

【図 11】図 5 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

【図 12】本発明の他の一実施の形態に係るプラズマディスプレイ装置を示す回路図である。

【図 13】図 12 に示されたスイッチのオン・オフタイミングを示すタイミング図である。

【図 14】図 13 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

【図 15】図 13 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

【図 16】図 13 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

【図 17】図 13 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

10

20

30

40

50

【図 18】図 13 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

【図 19】図 13 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

【図 20】図 13 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

【図 21】図 13 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

【図 22】本発明のさらに他の一実施の形態に係るプラズマディスプレイ装置を示す回路図である。

【図 23】図 22 に示されたスイッチのオン・オフタイミングを示すタイミング図である。

【図 24】図 23 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

【図 25】図 23 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

【図 26】図 23 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

【図 27】図 23 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

【図 28】図 23 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

【図 29】図 23 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

【図 30】図 23 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

【図 31】図 23 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

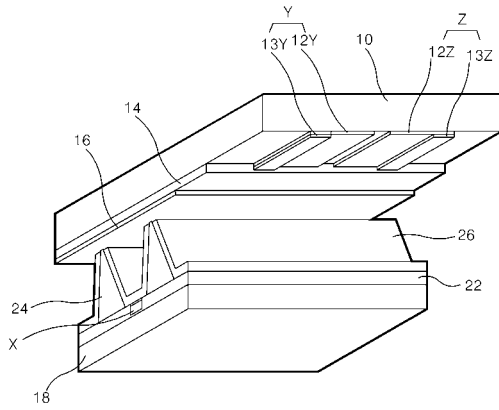
【図 32】図 23 に示されたスイッチのオン・オフタイミングに応じて形成される電流パスを示す回路図である。

10

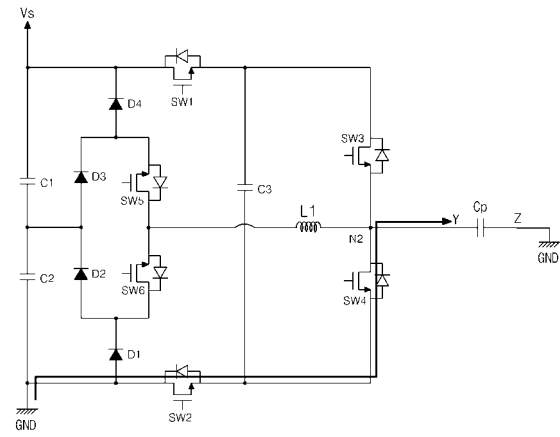
20

30

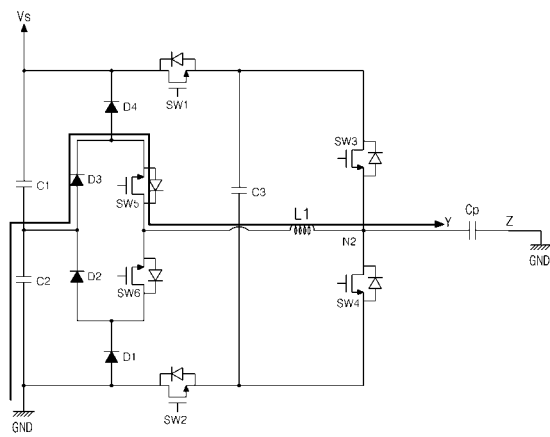
【図 3】



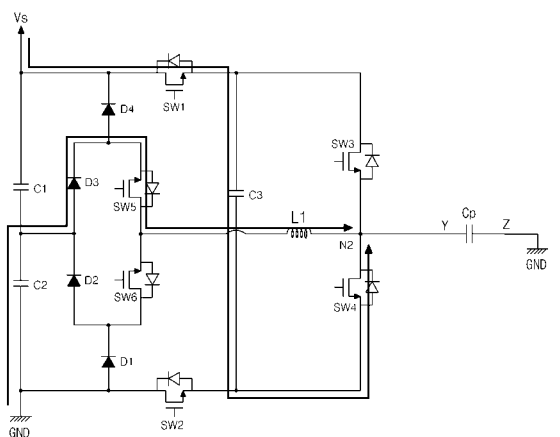
【図 6】



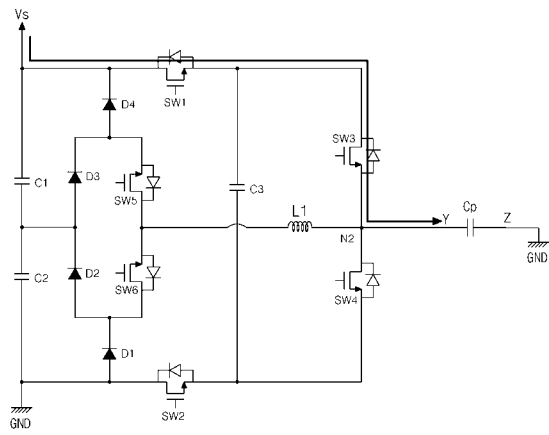
【図 7】



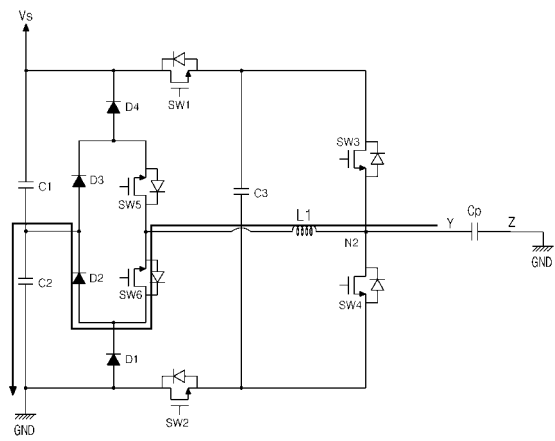
【図 8】



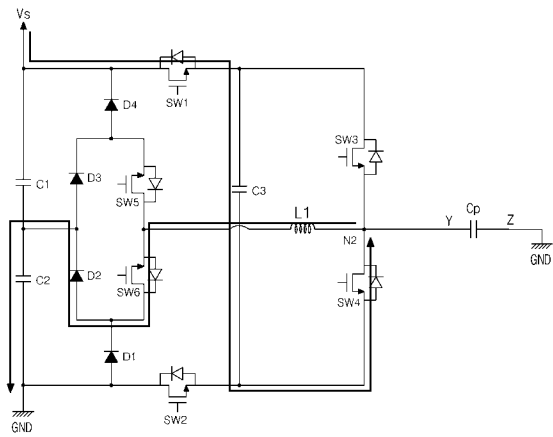
【図 9】



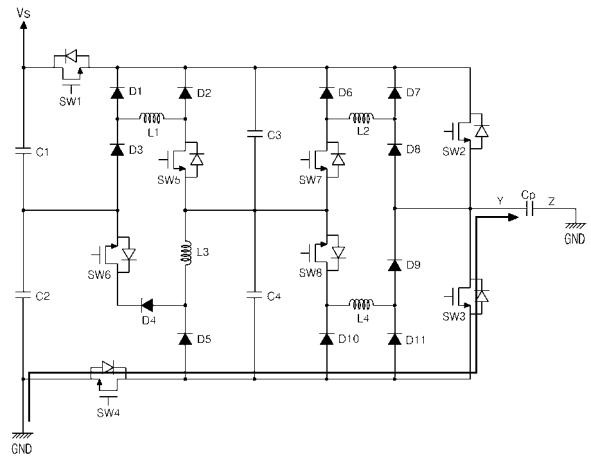
【図 10】



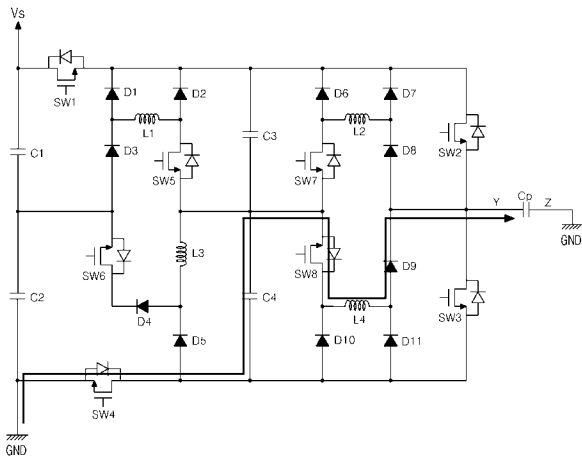
【図 11】



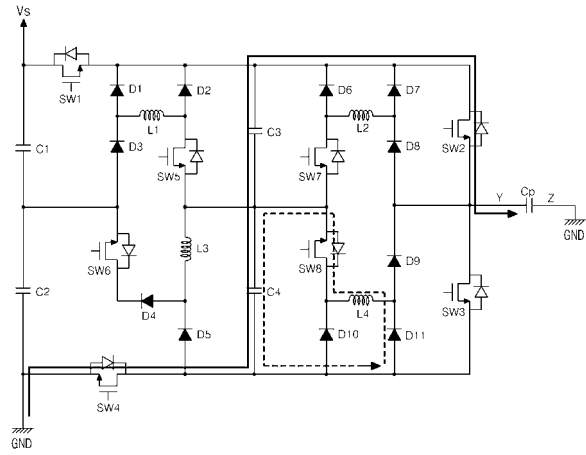
【図 24】



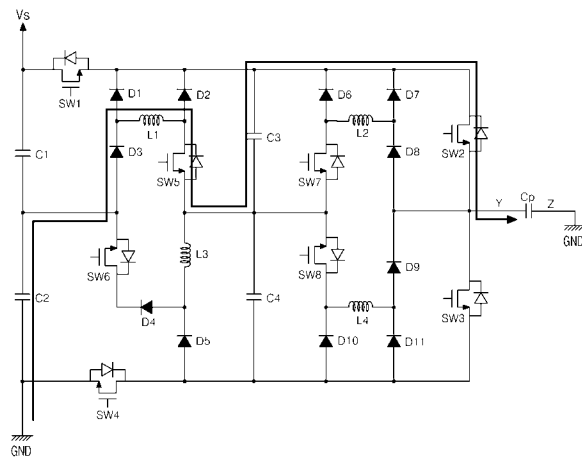
【図 2 5】



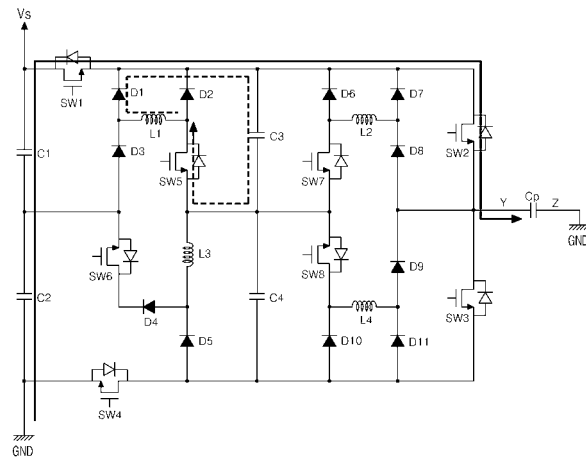
【図 2 6】



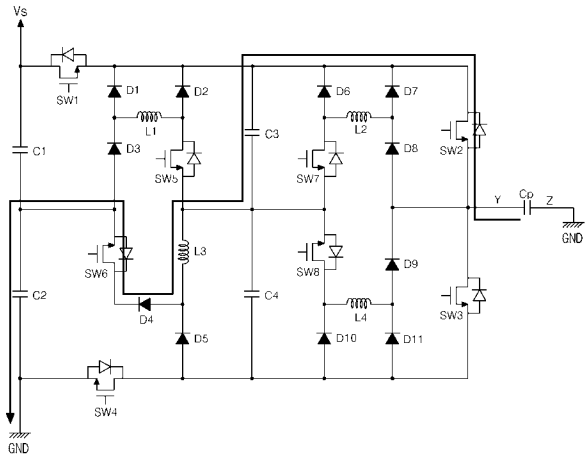
【図 2 7】



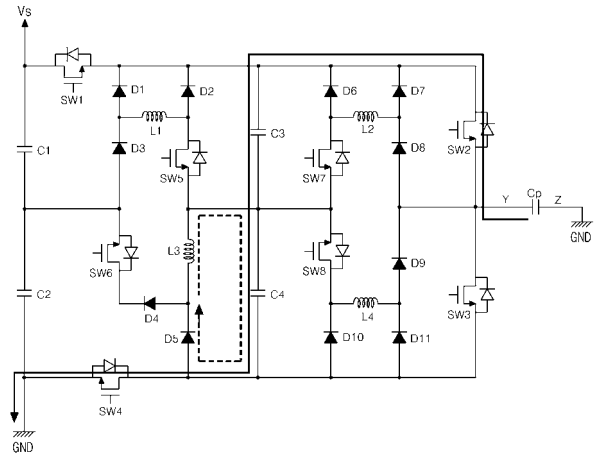
【図 2 8】



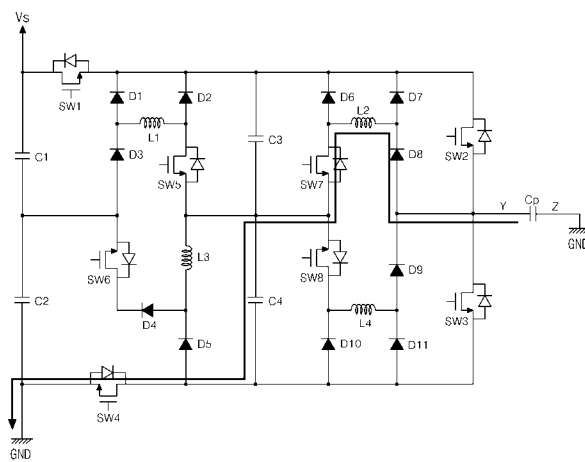
【図 29】



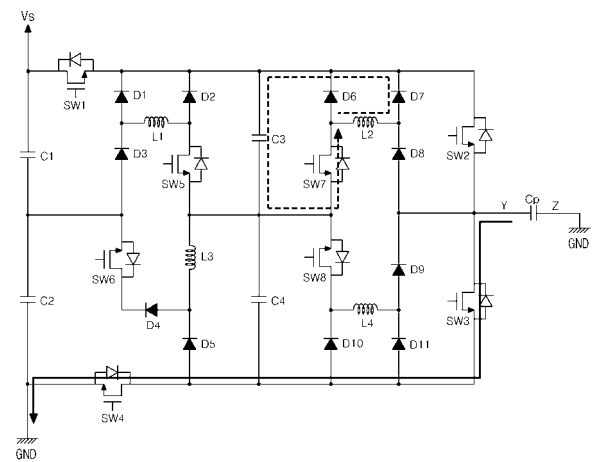
【図 30】



【図 31】

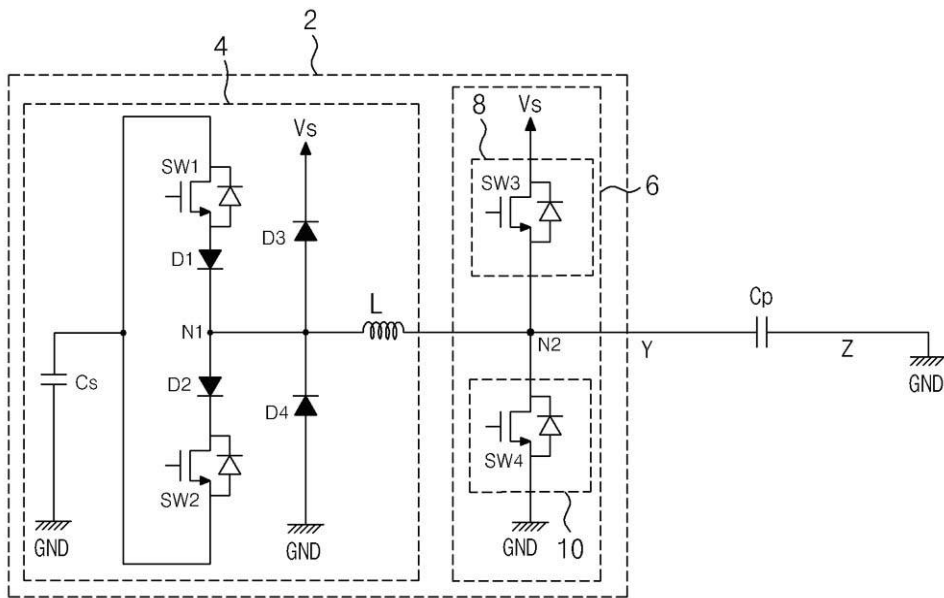


【図 32】



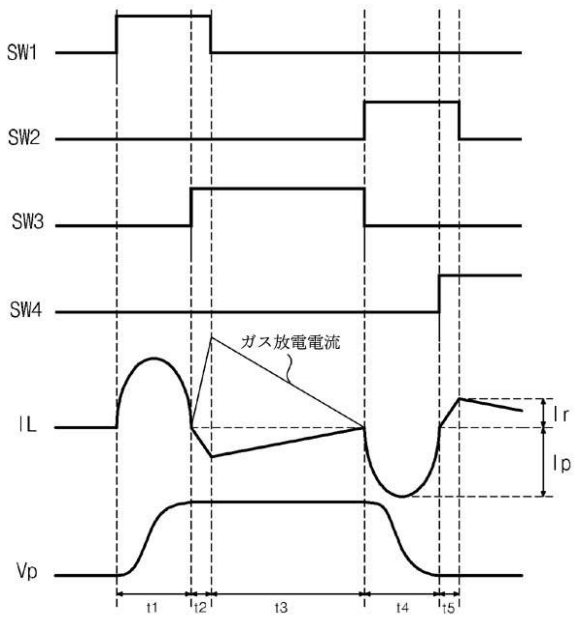
【図 1】

従来技術

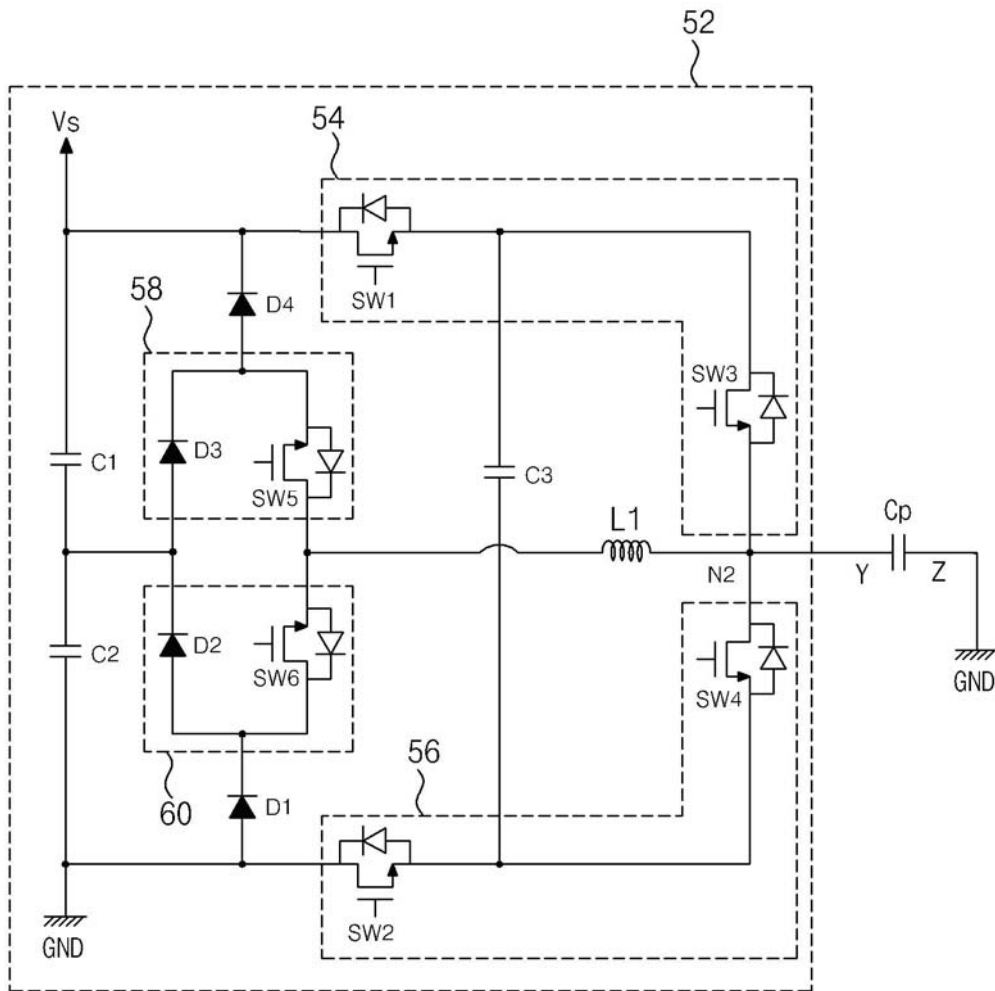


【図 2】

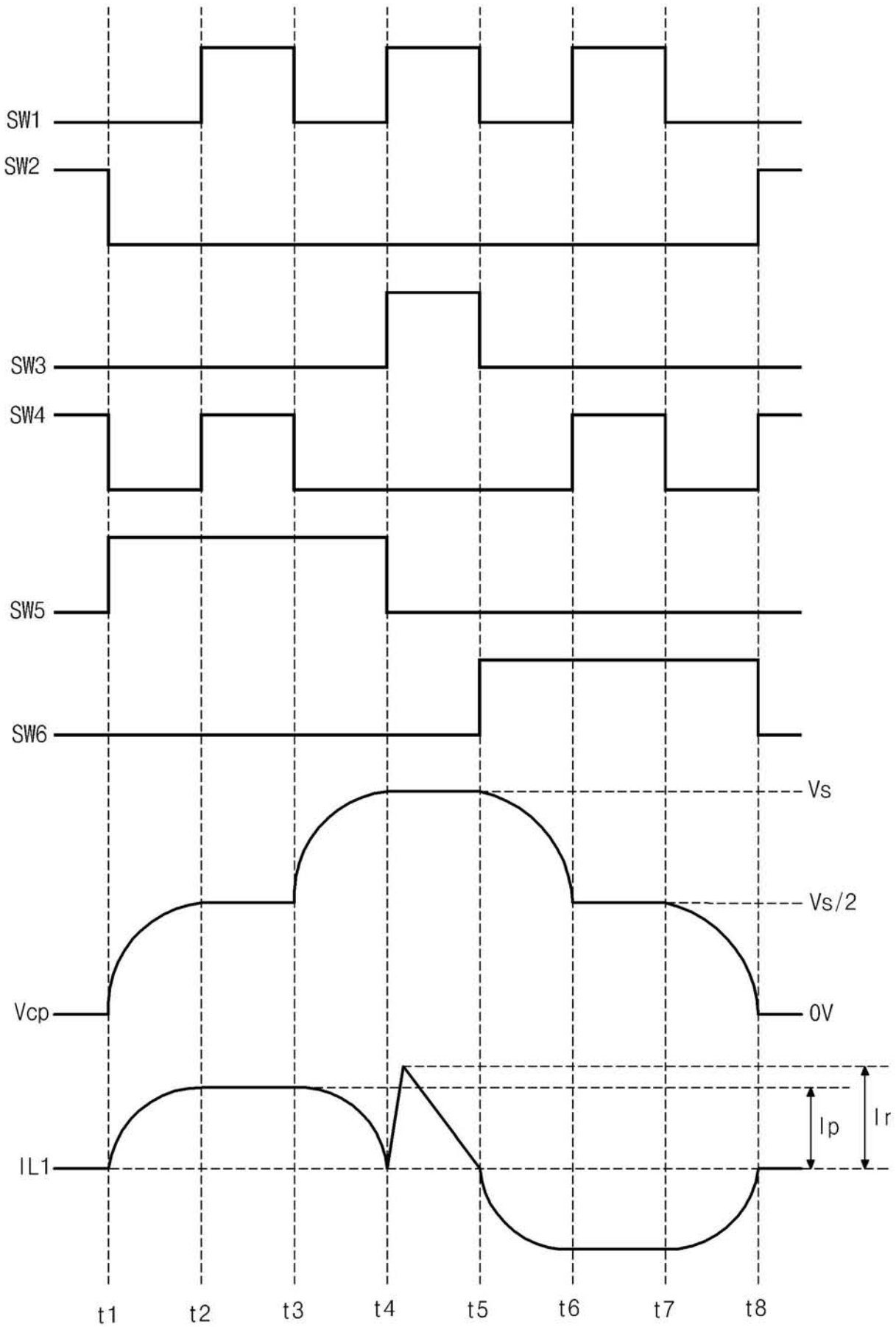
従来技術



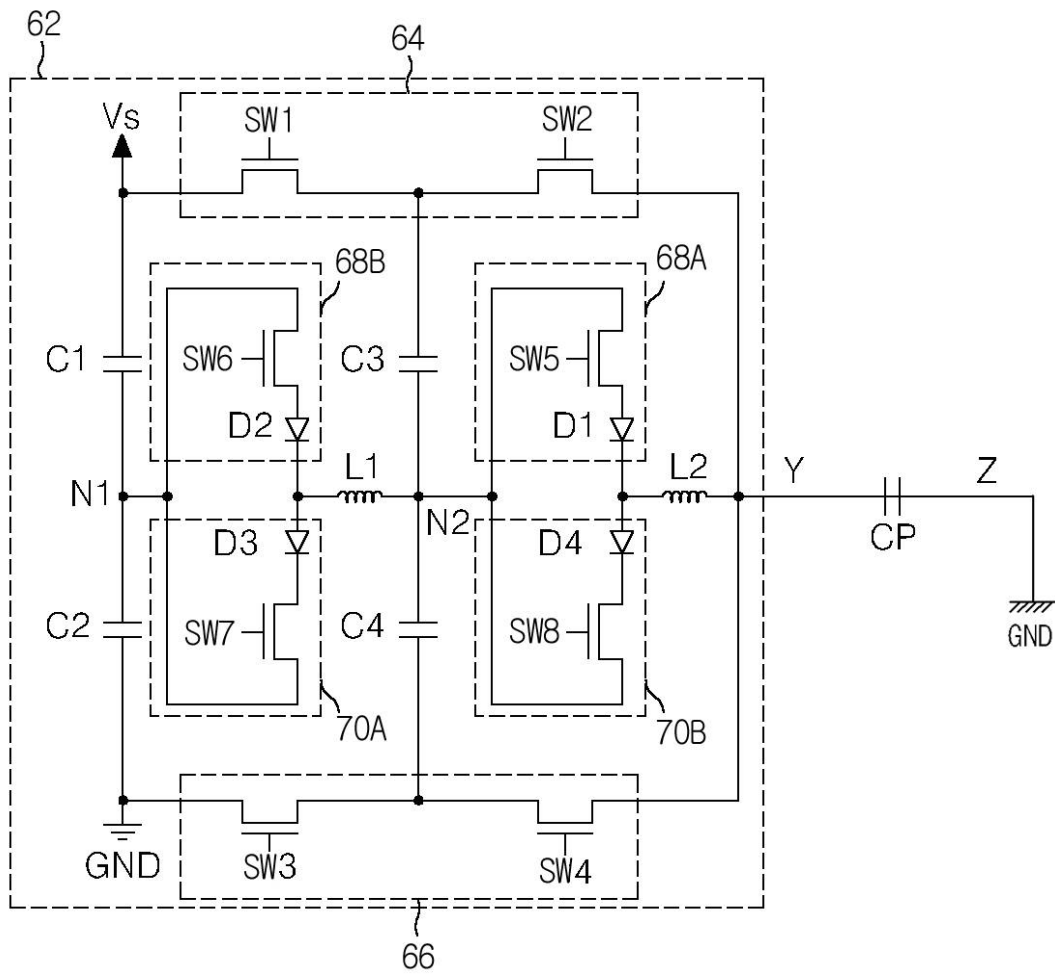
【図 4】



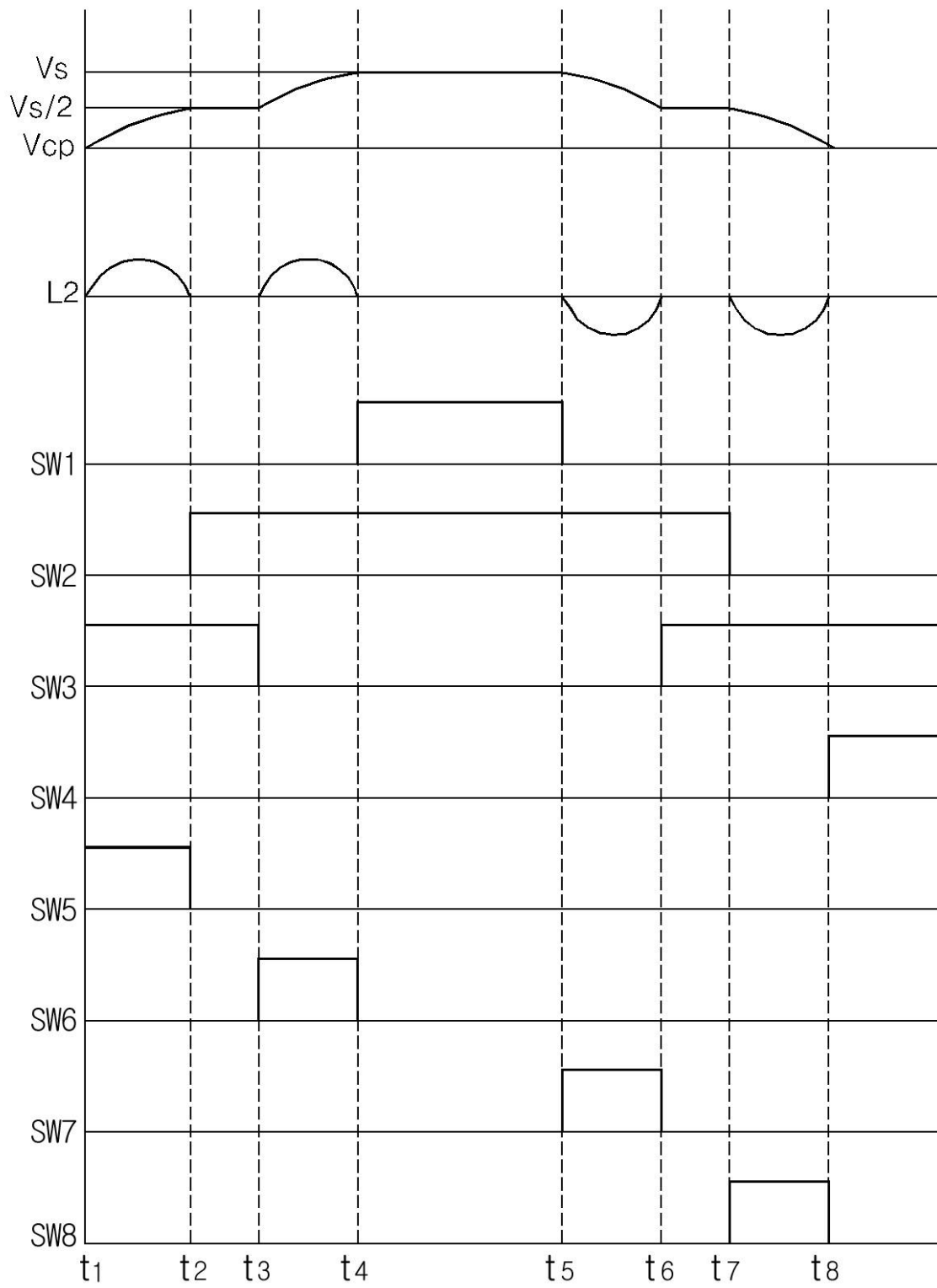
【図 5】



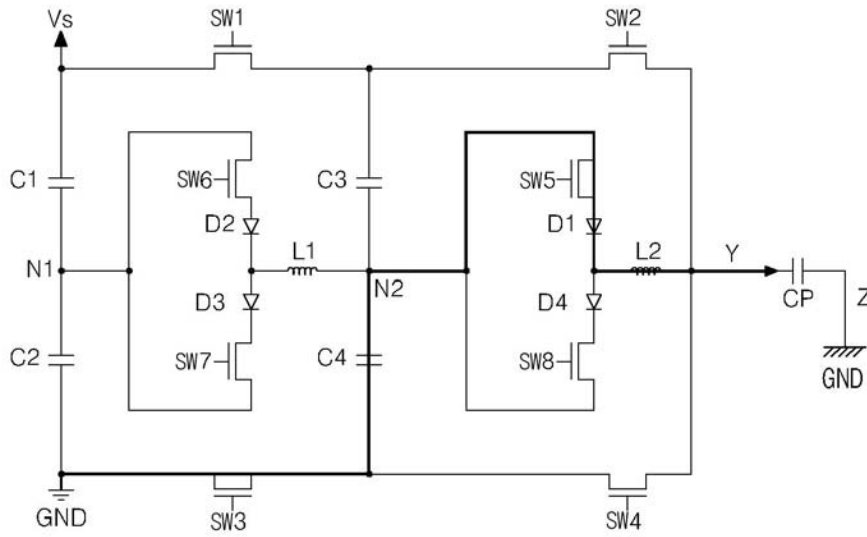
【図 1 2】



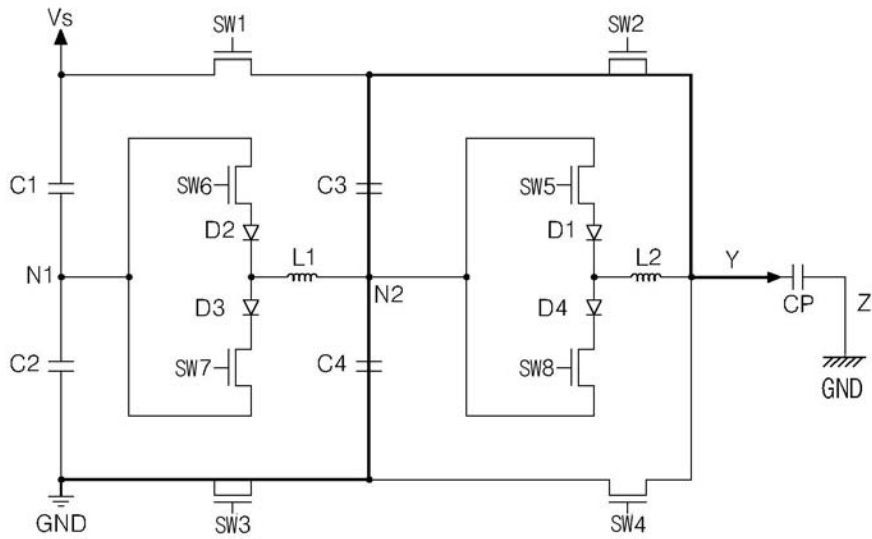
【図 13】



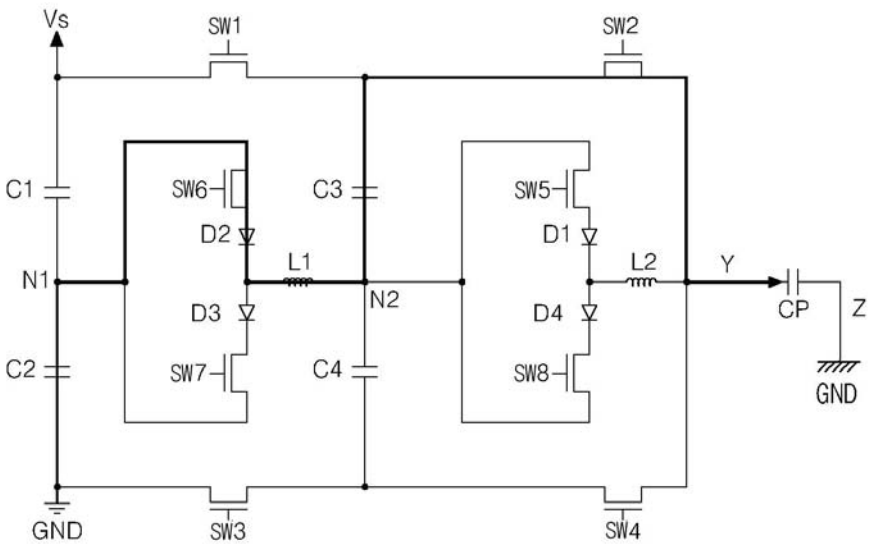
【図 1 4】



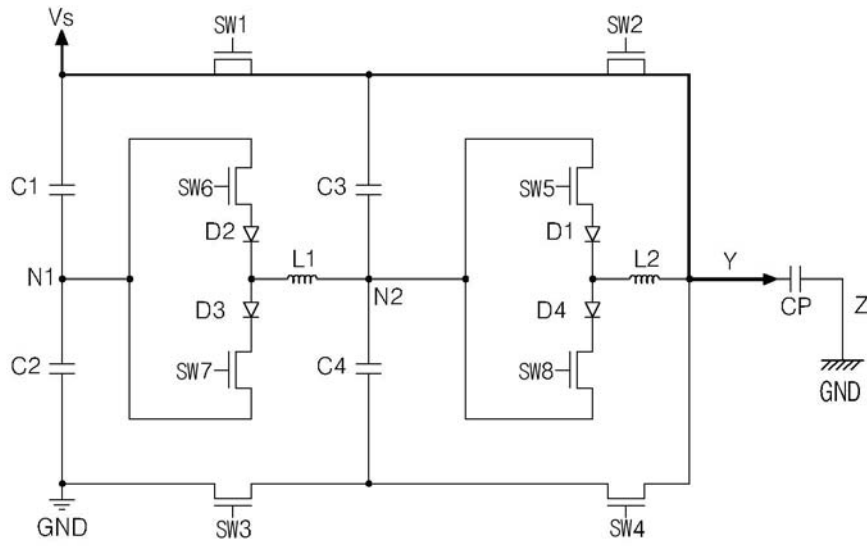
【図 1 5】



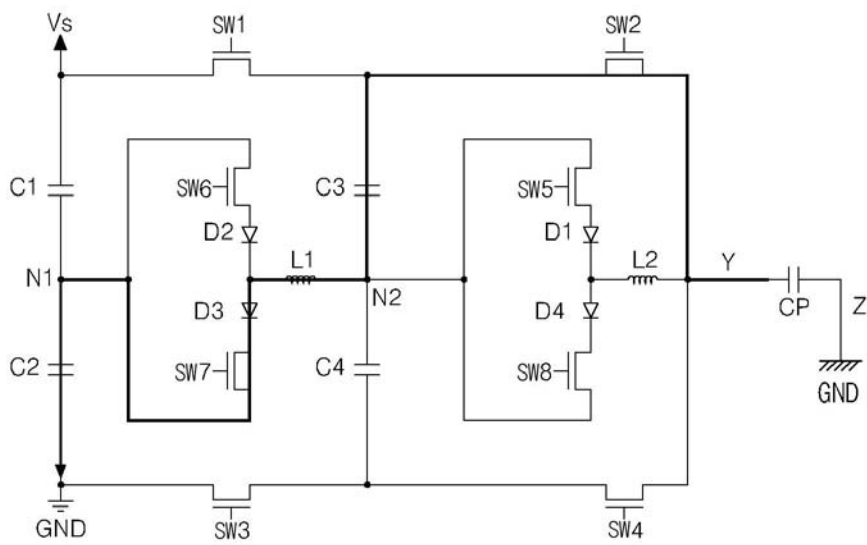
【図 1 6】



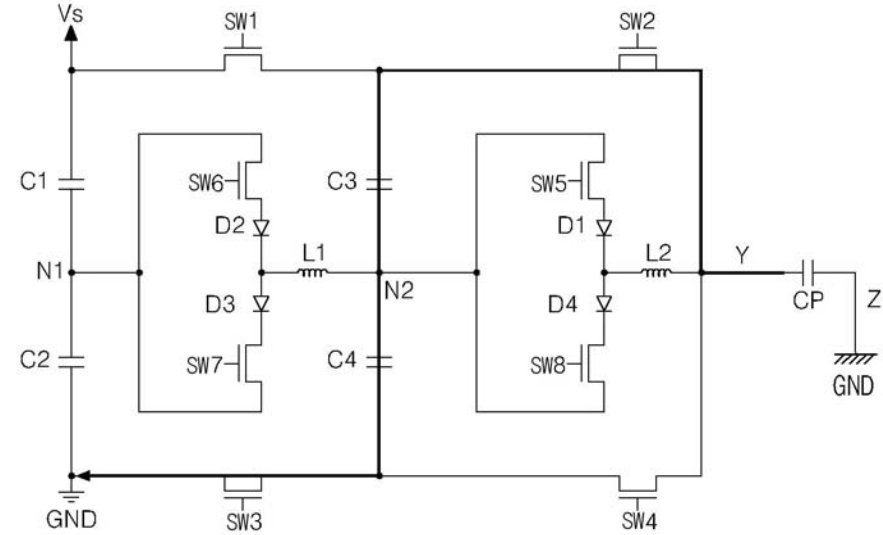
【図 1 7】



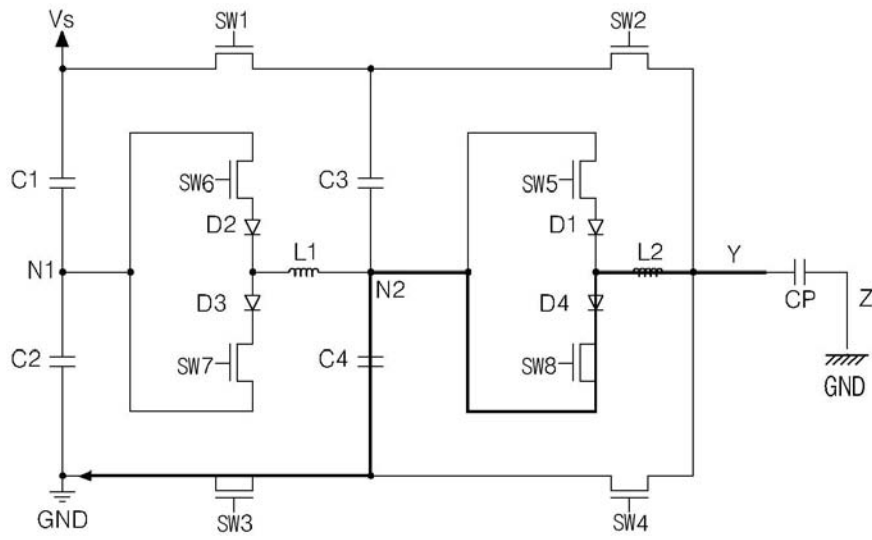
【図 1 8】



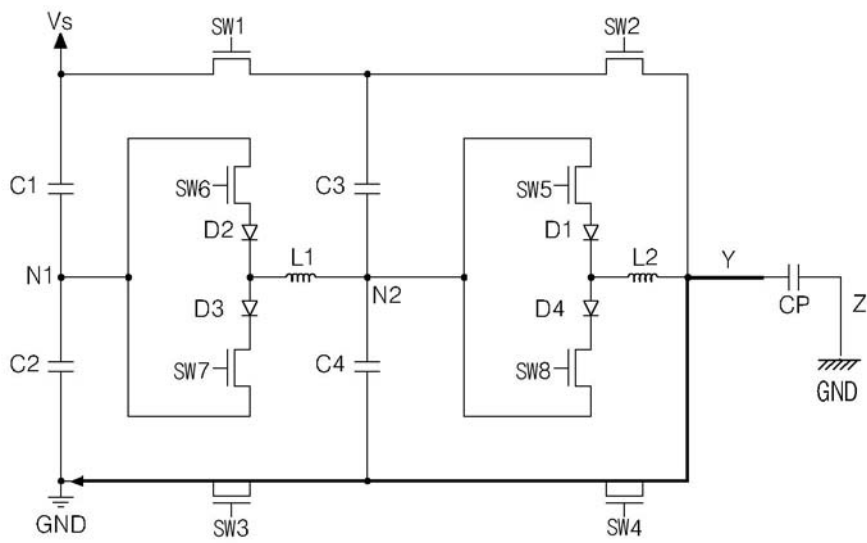
【図 1 9】



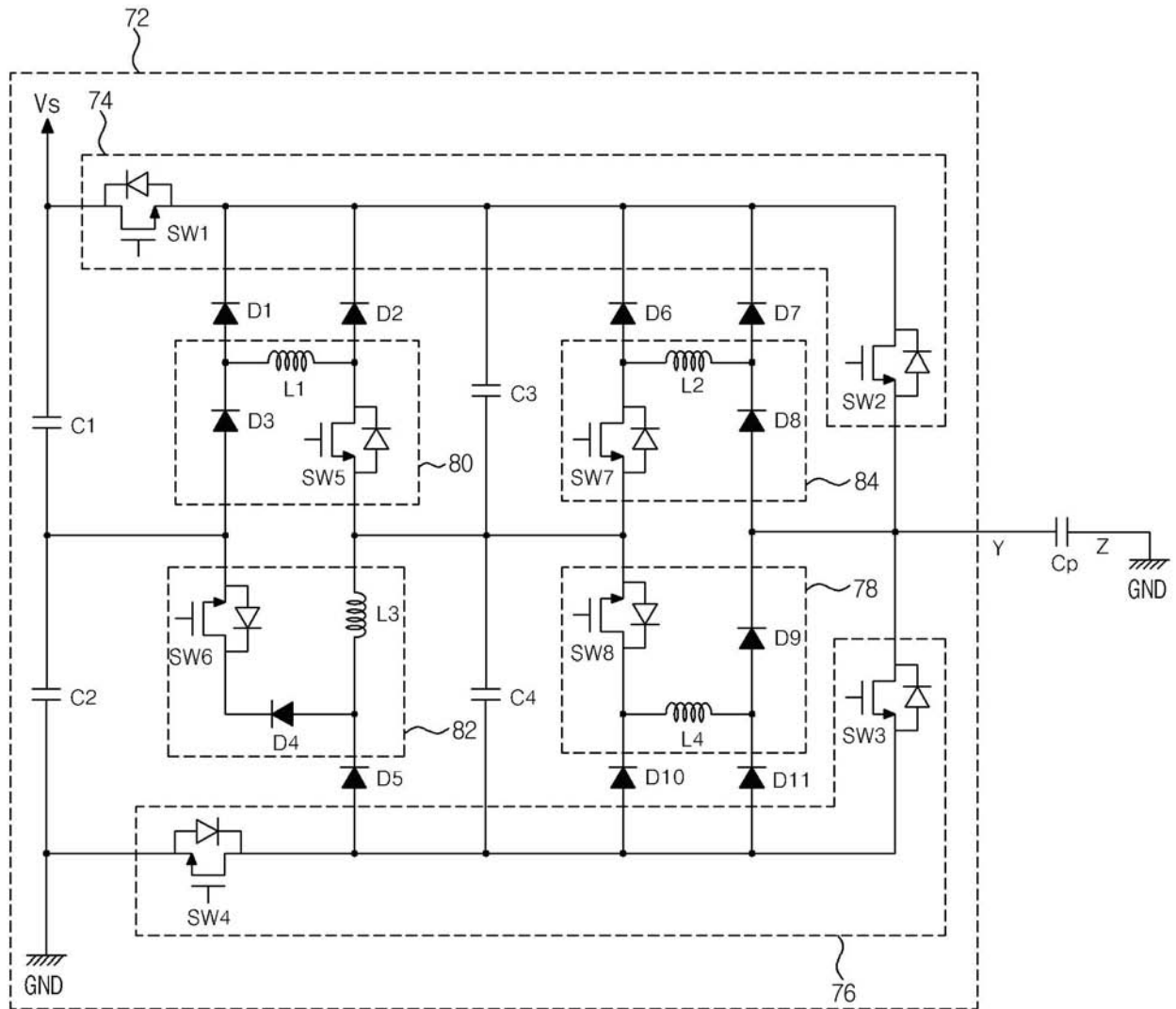
【図 20】



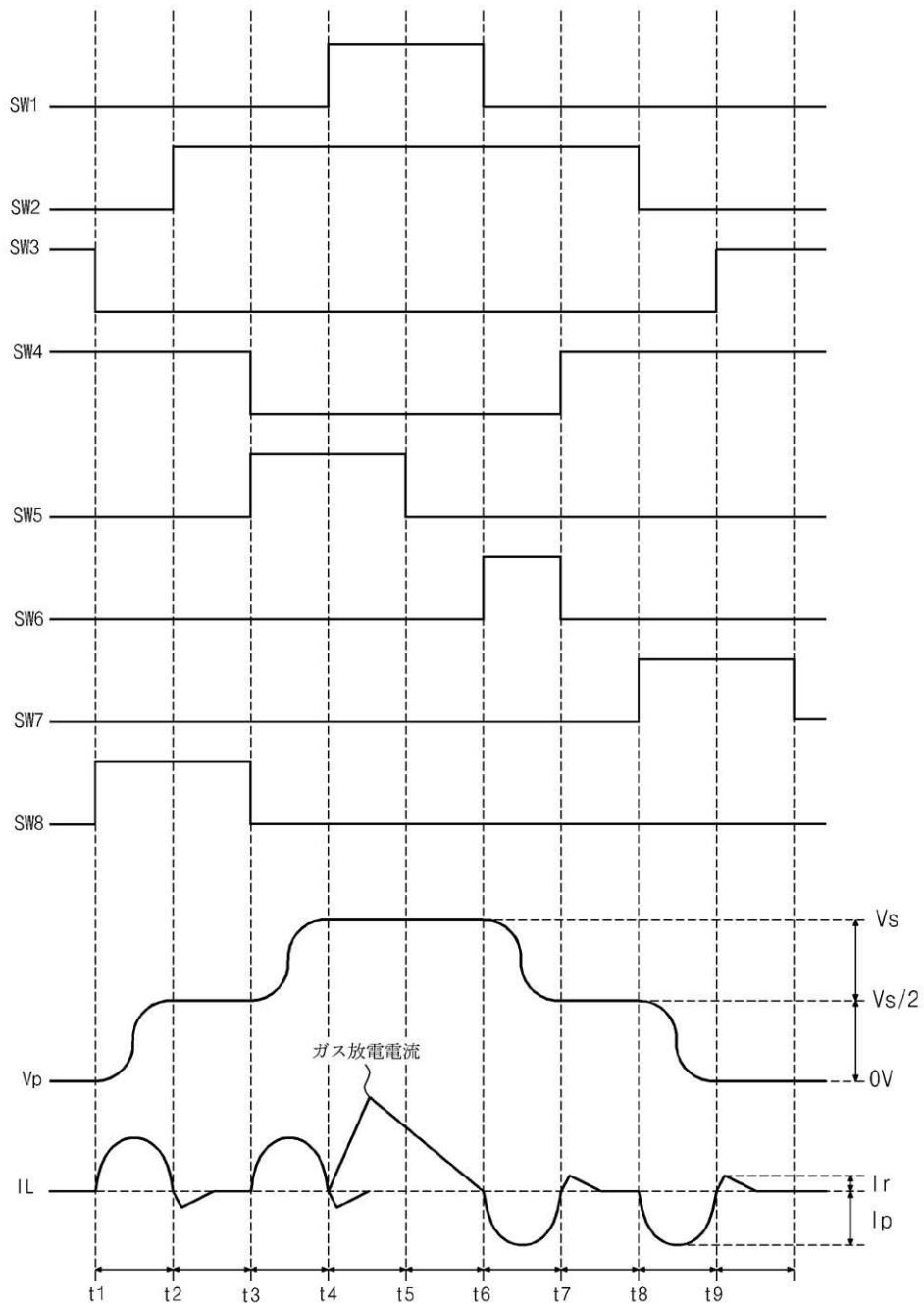
【図 21】



【図 2 2】



【図 2 3】



---

フロントページの続き

(72)発明者 コン ビョング

大韓民国 キョンギド ヨンインシ スジグ サンヒョンドン サンヒョンマウル ヒョンデ5チ  
ャ 205-202

(72)発明者 ノ チョンウク

大韓民国 ソウル ソチョグ ザムウォンドン ハンシン4チャ アパート 204-705

(72)発明者 アン ビョンキル

大韓民国 ソウル ドンザクグ サダン1ドン 419-110

Fターム(参考) 5C080 AA05 DD26 DD27 EE29 HH02 HH04 HH05 JJ02 JJ03 JJ04

5C580 AA03 BB01 BB05 BB27 BB28 BC03 BC06 BC11 BC17 CB08