

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4822572号  
(P4822572)

(45) 発行日 平成23年11月24日 (2011.11.24)

(24) 登録日 平成23年9月16日 (2011.9.16)

(51) Int.Cl.

F I

G 1 1 C 11/4074 (2006.01)

G 1 1 C 11/34 3 5 4 F

G 1 1 C 11/4076 (2006.01)

G 1 1 C 11/34 3 5 4 C

請求項の数 2 (全 19 頁)

(21) 出願番号	特願平11-248580	(73) 特許権者	302062931
(22) 出願日	平成11年9月2日 (1999.9.2)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2001-76484 (P2001-76484A)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(43) 公開日	平成13年3月23日 (2001.3.23)	(74) 代理人	100064746
審査請求日	平成18年8月3日 (2006.8.3)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100109162
			弁理士 酒井 将行
		(74) 代理人	100111246
			弁理士 荒川 伸夫

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

メモリセルアレイを含む内部回路と、

第 1 電圧供給ノード (N A) と、

第 2 電圧供給ノード (N B) と、

第 3 電圧供給ノード (N C) と、

前記第 1 電圧供給ノードから受ける動作電圧と前記第 2 電圧供給ノードから受ける動作電圧とに基づき動作し、前記内部回路の動作タイミングを決定する内部クロックを発生する同期回路と、

前記第 1 電圧供給ノードと前記第 3 電圧供給ノードとに電圧を供給する第 1 電源と、

前記第 1 電源から前記第 3 電圧供給ノードに電圧を供給する降圧回路と、

前記内部回路と前記第 2 電圧供給ノードとに前記第 1 電源より低い電圧を供給する第 2 電源と、

前記第 1 電圧供給ノードの電圧および前記第 2 電圧供給ノードの電圧を安定化させる電圧安定化回路とを備え、

前記内部回路は、前記第 3 電圧供給ノードから動作電圧を受け、

前記電圧安定化回路は、

前記第 1 電圧供給ノードの電圧の変化を検出する検出回路と、

前記検出回路の出力に応じて、前記第 1 電源から前記第 1 電圧供給ノードに電圧を供給する回路と、

10

20

前記第 2 電源と前記第 1 電圧供給ノードとの間に設けられ、クロックイネーブル信号が H レベルの間、前記第 1 電圧供給ノードから前記第 2 電源にダミー電流を流すダミー電流発生回路と、

前記第 2 電圧供給ノードと前記第 2 電源との間のインピーダンスを高くする高インピーダンス素子と、

前記第 1 電圧供給ノードと前記第 2 電圧供給ノードとの間に設けられ、前記第 1 電圧供給ノードの電圧と前記第 2 電圧供給ノードの電圧とを同方向に変化させる電圧変化回路とを含む、半導体記憶装置。

【請求項 2】

前記ダミー電流発生回路は、

前記第 1 電圧供給ノードと前記第 2 電源との間に設けられるトランジスタを含む、請求項 1 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、より特定的には、安定した電源を供給することができる構成を有する半導体記憶装置に関する。

【0002】

【従来の技術】

従来の半導体記憶装置の構成について、図 20 を用いて説明する。図 20 に示される半導体記憶装置 9000 は、メモリセルを含む内部回路群 990 と内部クロックを発生する同期回路 995 とを備える。同期回路 995 は、動作開始のトリガに応じて駆動し、内部回路群 990 における動作タイミングを決定する内部クロックを発生する。同期回路 995 は、たとえば PLL 回路等から構成される。

【0003】

図 20 に示されるように、同期回路 995 と内部回路群 990 とは、電源 900 を共有しており、同期回路 995 および内部回路群 990 はともに、電源 900 から受ける電源電圧と接地電圧 GND とを動作電圧として動作する。

【0004】

【発明が解決しようとする課題】

ところで、同期回路 995 が高精度な同期動作を行なうためには、動作電圧の安定が必要とされる。

【0005】

しかしながら、内部回路群が動作すると電流消費に伴いノイズが発生し、電源電圧が揺れてしまう。したがって、従来の半導体記憶装置 9000 の構成では、内部動作に伴い、内部クロックの精度が損われるという問題があった。

【0006】

また、内部回路群に不良があると、同様に電源電圧や信号電圧が揺れてしまう。したがって、同一チップ内の回路のみならず、同一配線で接続される他の装置に対しても内部回路群の不良に伴う影響を抑える必要がある。

【0007】

したがって、本発明は係る問題を解決するためになされたものでありその目的は、安定した電源電圧を供給することにより高周波動作時においても動作マージンの大きい半導体記憶装置を提供することにある。

【0008】

また、本発明のさらなる目的は、不良による影響を抑えて、同一配線で接続される機器の安定した動作を保証することができる半導体記憶装置を提供することにある。

【0009】

【課題を解決するための手段】

この発明の一つの局面に従う半導体記憶装置は、メモリセルアレイを含む内部回路と、

10

20

30

40

50

第 1 電圧供給ノードと、第 2 電圧供給ノードと、第 3 電圧供給ノードと、第 1 電圧供給ノードから受ける動作電圧と第 2 電圧供給ノードから受ける動作電圧とに基づき動作し、内部回路の動作タイミングを決定する内部クロックを発生する同期回路と、第 1 電圧供給ノードと第 3 電圧供給ノードとに電圧を供給する第 1 電源と、第 1 電源から第 3 電圧供給ノードに電圧を供給する降圧回路と、内部回路と第 2 電圧供給ノードとに第 1 電源より低い電圧を供給する第 2 電源と、第 1 電圧供給ノードの電圧および第 2 電圧供給ノードの電圧を安定化させる電圧安定化回路とを備える。内部回路は、第 3 電圧供給ノードからの動作電圧を受ける。電圧安定化回路は、第 1 電圧供給ノードの電圧の変化を検出する検出回路と、検出回路の出力に応じて、第 1 電源から第 1 電圧供給ノードに電圧を供給する回路と、第 2 電源と第 1 電圧供給ノードとの間に設けられ、クロックイネーブル信号が H レベルの間、第 1 電圧供給ノードから第 2 電源にダミー電流を流すダミー電流発生回路と、第 2 電圧供給ノードと第 2 電源との間のインピーダンスを高くする高インピーダンス素子と、第 1 電圧供給ノードと第 2 電圧供給ノードとの間に設けられ、第 1 電圧供給ノードの電圧と第 2 電圧供給ノードの電圧とを同方向に変化させる電圧変化回路とを含む。

10

【 0 0 1 3 】

好ましくは、ダミー電流発生回路は、第 1 電圧供給ノードと第 2 電源との間に設けられるトランジスタを含む。

【 0 0 2 1 】

【 発明の実施の形態 】

以下、本発明に係る構成について図を用いて説明する。なお、同一または相当部分には同一記号を付しその説明を省略する。

20

【 0 0 2 2 】

【 実施の形態 1 】

本発明の実施の形態 1 に係る半導体記憶装置の構成について、図 1 を用いて説明する。図 1 は、高精度の内部クロックを発生させるための回路構成を示している。図 1 に示される半導体記憶装置は、同期回路 1 0 1、内部回路群 1 0 2、遅回路 1 0 3 およびワンショットパルス発生回路 1 0 4 を備える。

【 0 0 2 3 】

同期回路 1 0 1 は、P L L 回路 (Phase lock loop)、D L L 回路 (Delay lock loop) 等で構成される。同期回路 1 0 1 は、動作開始のトリガ (S D R A M におけるチップ活性化時に H レベルになるクロックイネーブル信号 C K E) により起動し、初期化パルスにより初期化された後に参照クロック (たとえば、外部クロック) に応じて内部クロックを発生する。

30

【 0 0 2 4 】

遅延回路 1 0 3 は、動作開始のトリガを遅延して出力する。ワンショットパルス発生回路 1 0 4 は、遅延回路 1 0 3 の出力に応答してワンショットの初期化パルスを発生する。図 2 に示されるように、電源電圧 V C C が時刻 t 0 において L レベルから H レベルに立上ると、動作開始のトリガとなるクロックイネーブル信号 C K E が時刻 t 1 において H レベルに立上がる。これを受けて、1 ショットの初期化パルスが発生する。初期化パルスの投入後から、同期回路 1 0 1 における同期動作が始まり、内部クロックが発生する。

40

【 0 0 2 5 】

図 1 を参照して、同期回路 1 0 1 と内部回路群 1 0 2 とは、電源 1 0 0 と接地電源 (接地電圧) G N D との間に配置されている。簡単のため、電源 1 0 0 については、電源側と、接地電源については、G N D 側と記す。内部回路群 1 0 2 は、メモリセルアレイ、メモリセルアレイの動作を制御する回路、または入出力バッファ等で構成される。

【 0 0 2 6 】

同期回路 1 0 1 と内部回路群 1 0 2 との対応関係の一例を、図 1 8 を用いて説明する。図 1 8 に示される S D R A M は、外部クロック e x t . C L K を取込み内部クロックを出力するクロックバッファ 1 1 0 1、クロックバッファ 1 1 0 1 の出力に基づき外部制御信号 (たとえば、ロウアドレスストロブ信号 / R A S 等) を取込むコントロール信号バッ

50

ファ１１０２、クロックバッファ１１０１の出力に基づきアドレス信号Ａを取込むアドレスバッファ１１０３、クロックバッファ１１０１の出力に基づき、コントロール信号バッファ１１０２の出力およびアドレスバッファ１１０３の出力に応じてメモリセルを選択するコントロール回路１１０４、複数のメモリセルを含むメモリセルアレイ１１０５、データ入出力ピンＤＱと接続され、選択されたメモリセルからデータを読み出し、または選択されたメモリセルへ書込むデータを外部から受ける入出力バッファ１１０６、および外部クロックを受けて所望の位相でＨ／Ｌを繰返す内部クロックＣＬＫを発生する内部クロック信号発生回路１１１０を備える。記号ＶＣＣ、ＶＳＳは、電源ピンを表わしている。入出力バッファ１１０６は、内部クロックＣＬＫを基準に動作する。内部クロック信号発生回路１１１０は、ＰＬＬ回路またはＤＬＬ回路で構成される。図１に示す同期回路１０１は、たとえば、内部クロック信号発生回路１１１０に対応している。

10

#### 【００２７】

図１を参照して、同期回路１０１の電源側（電圧供給ノードＮＡ）には、差動アンプ１０５とＰＭＯＳトランジスタ１０６とを含むＶＤＣ回路（ＶＤＣ：voltage down converter；電圧降下回路）２００を配置する。ＶＤＣ回路２００を介して、ノードＮＡから同期回路１０１に内部電圧を供給する。

#### 【００２８】

ＰＭＯＳトランジスタ１０６は、電源１００とノードＮＡとの間に接続される。差動アンプ１０５の正の入力端子は、ノードＮＡと接続され、負の入力端子には基準電圧 $v_{ref}$ を供給する。差動アンプ１０５は、クロックイネーブル信号ＣＫＥに応答して活性化し、電源１００から供給される電圧に基づき動作する。ＰＭＯＳトランジスタ１０６は、差動アンプ１０５の出力に応じて導通する。

20

#### 【００２９】

同期回路１０１のＧＮＤ側（電圧供給ノードＮＢ）には、インピーダンスを発生させるためのＮＭＯＳトランジスタ１０９を配置する。ＮＭＯＳトランジスタ１０９は、接地電源ＧＮＤとノードＮＢとの間に接続され、ゲートに電源電圧が供給されている。

#### 【００３０】

ノードＮＡとノードＮＢとの間には、同期回路１０１に供給される電圧を安定化するために容量１０７を配置する。容量１０７は、平行平板容量、ＭＯＳ容量、接合容量、もしくはＤＲＡＭに対応するメモリセル容量等が考えられる。

30

#### 【００３１】

ノードＮＡと接地電源ＧＮＤとの間には、ダミー電流を流すためのＰＭＯＳトランジスタ１０８を配置する。ＰＭＯＳトランジスタ１０８は、クロックイネーブル信号を反転した反転クロックイネーブル信号 $\neg$ ＣＫＥに応じて導通する。

#### 【００３２】

内部回路群１０２の電源側（電圧供給ノードＮＣ）には、差動アンプ１１０とＰＭＯＳトランジスタ１１１とを含むＶＤＣ回路２１０を配置する。ＶＤＣ回路２１０を介して、ノードＮＣから内部回路群１０２に内部電圧を供給する。

#### 【００３３】

ＰＭＯＳトランジスタ１１１は、電源１００とノードＮＣとの間に接続される。差動アンプ１１０の正の入力端子は、ノードＮＣと接続され、負の入力端子には、基準電圧 $v_{ref}$ を供給する。ＰＭＯＳトランジスタ１１１は、差動アンプ１１０の出力に応じて導通する。ノードＮＣと接地電源ＧＮＤとの間には、容量１１２を配置する。

40

#### 【００３４】

このように、電源側にＶＤＣ回路２００、２１０を配置することにより、電圧供給ノードＮＡの電圧が、内部回路群１０２の動作に伴い発生するノイズに連動して振動することを防止する。これにより、同期回路１０１に対して安定した電圧供給を行なうことが可能となる。

#### 【００３５】

ノードＮＡにノイズがのった場合であっても、同期回路１０１の電源側とＧＮＤ側との間

50

に配置された容量１０７のカップリング効果で、ノードＮＡの電圧とノードＮＢの電圧とを同方向に変化させることができる。すなわち、同期回路１０１の動作電圧（ノードＮＡとＮＢとの間の電圧）が一定に保たれることになる。

【００３６】

さらに、ダミー電流を流すための経路（ＰＭＯＳトランジスタ１０８の存在）を設けることにより、ノードＮＡの電圧を発生するための差動アンプ１０５の動作が安定する。ノイズに対して差動アンプ１０５が安定した動作を行なうことが可能となる。

【００３７】

同期回路１０１は、クロックイネーブル信号ＣＫＥがＨレベルになるチップ活性期間に動作する。このため、クロックイネーブル信号ＣＫＥに応じてダミー電流を流し、クロックイネーブル信号ＣＫＥがＬレベルの間（パワーダウン時）には、ダミー電流をカットして消費電流の低減化を図る。このため、ＰＭＯＳトランジスタ８のゲート電極には、反転クロックイネーブル信号／ＣＫＥを供給する。

10

【００３８】

ＧＮＤ側にも同様にノイズがのること考えられる。このため、オン状態のＮＭＯＳトランジスタ１０９を配置する。このようなオン抵抗を利用することにより、ノイズがノードＮＢにのることを防止する。ＮＭＯＳトランジスタ１０９により、ノードＮＢのインピーダンスを高くなる。これにより、容量１０７によるカップリング効果が生じる。

【００３９】

本発明の実施の形態１における他の構成例について、図３を用いて説明する。図３に示す構成では、電源１００とＶＤＣ回路２００との間に配置される、ゲート電極に接地電圧ＧＮＤを受けるＰＭＯＳトランジスタ１１３を含む。

20

【００４０】

ＶＤＣ回路２００に電圧を供給する電源１００に対して、ＰＭＯＳトランジスタ１１３のオン抵抗を利用したフィルタを配置する。一方、ＶＤＣ回路２００は、同期回路１０１用の電源に対するフィルタとしての役割を果たしている。

【００４１】

これにより、電源１００とノードＮＡとの間に２つのフィルタがシリアルに配置される構成となる。この結果、高周波動作時のノイズはもとより、広い周波数領域でのノイズをカットすることが可能となる。

30

【００４２】

〔実施の形態２〕

本発明の実施の形態２における半導体記憶装置の構成について、図４を用いて説明する。チップをパッケージングした後においては、テスト系回路に対して新たな電源を供給するための入力ピンを別途設けることが困難である。そこで、本発明の実施の形態２においては、通常使用のピン（テストモード以外で使用するピン）をテスト系回路の電源ピンとする。なお、本発明の実施の形態２における同期回路１０１は、ＤＬＬ回路等で構成され、同期回路１０１の出力する内部クロックが、テストモードにのみ使用される（以下、同期回路１０１の出力を、内部テストクロックと記す）。

【００４３】

40

同期回路１０１の電源側には、ＶＤＣ回路２００、容量１１８およびＰＭＯＳトランジスタ１１４を配置する。本発明の実施の形態２においては、ＶＤＣ回路２００に含まれる差動アンプ１０５は、テストモード信号ＴＥＳＴに応じて動作する。ＰＭＯＳトランジスタ１０６は、ノードＮＡとＰＭＯＳトランジスタ１１４の一方の導通端子との間に接続される。容量１１８は、ノードＮＡと接地電圧ＧＮＤとの間に接続される。

【００４４】

ＰＭＯＳトランジスタ１１４は、信号Ａを受ける信号入力ピンＰＡとＰＭＯＳトランジスタ１０６との間に接続される。ＰＭＯＳトランジスタ１１４は、テストモード信号ＴＥＳＴを反転したテストモード信号／ＴＥＳＴに応じて導通する。

【００４５】

50

同期回路 101 の GND 側には、PMOS トランジスタ 116 を配置する。NMOS トランジスタ 116 は、ノード NB と信号入力ピン PB との間に接続され、テストモード信号 TEST に応じて導通する。

【0046】

図 4 に示す構成においては、同期回路 101 は、テストモード信号 TEST が H レベル（ある特定のテストモード）になると動作し、内部テストクロックを出力する。

【0047】

信号入力ピン PA に対して設けられる回路 115 は、テストモード信号 / TEST に応じて信号 A を取込み、内部信号を出力する。信号入力ピン PB に対して設けられる回路 117 は、テストモード信号 / TEST に応じて信号 B を取込み、内部信号を出力する。内部回路群 102 は、通常動作モードでは、当該内部信号に応じて動作する。なお、内部回路群 102 に対する電源構成は、実施の形態 1 で説明したとおりである。

【0048】

信号入力ピン PA には、通常モードでは、通常の内部信号系（回路 115）に対する信号 A を与え、テストモードでは、電源電圧レベルの信号 A を与える。信号入力ピン PB には、通常モードでは、通常の内部信号系（回路 117）に対する信号 B を与え、テストモードでは、接地電圧レベルの信号 B を与える。

【0049】

これにより、信号入力ピン PA、PB を、テスト系回路である同期回路 101 の電源ピンとして使用できる。この際、内部信号については、必要であれば、内部で発生させる。または、当該テストモードにおいては使用しない内部信号に対応するピンを電源ピンとして使用する。

【0050】

同期回路 101 と内部回路群 102 との対応関係の一例を、図 19 を用いて説明する。図 19 に示される半導体記憶装置は、外部との電氣的インターフェイスを取るロジック回路ブロック 1120 と、当該ロジック回路ブロック 1120 と信号の送受信を行なうメモリセルアレイ 1126 を含むメモリコア部 1122 とが同一基板上に形成されている。ロジック回路ブロック 1120 は、複数の外部ピン P0 ~ Pn を介して図示しない装置と信号の送受信を行なう。メモリコア部 1122 は、メモリセルアレイ 1126、データ入出力回路 1128、ロジック回路ブロック 1120 から受ける信号に基づき、メモリセルアレイ 1126 およびデータ入出力回路 1128 の動作を制御するコントローラ 1124、および内部クロック信号発生回路 1130 を備える。内部クロック信号発生回路 1130 は、テストモードにおいて内部テストクロックを発生する。たとえば、コントローラ 1124 やデータ入出力回路 1128 は、テストモードにおいては、当該内部クロック信号発生回路 1130 の出力する内部テストクロックを基準に動作する。

【0051】

メモリセルアレイ 1126 に対するテストモードにおいては、ロジック回路ブロック 1120 側への信号入力が不要になる。たとえば、一旦データを書込んだ後であれば、データを入力するピンは不要になる。この際、ロジック回路ブロック 1120 側の信号供給は停止できる。そこで、通常モードにおいてロジック回路ブロック 1120 の回路動作に使用する信号入力ピン P0、P1 を、テストモードではメモリコア部 1122 に含まれる内部テストクロックを発生させる内部クロック信号発生回路 1130 の電源ピンとして使用する。

【0052】

なお、同期回路 101 に対する電源構成は、同期回路 101 のみならずテストモードにのみ動作させるあらゆるテスト系回路に対して適用できる。

【0053】

このように、テストモードで使用しない通常使用ピンをテスト系回路の電源ピンとすることで、テスト系回路における電源ピンを専用化することができる。この結果、テスト系回路の動作が安定するため、特に同期回路においては、高精度な同期動作が実現されること

10

20

30

40

50

になる。

【 0 0 5 4 】

[ 実施の形態 3 ]

同一ボードに搭載した複数個の半導体記憶装置を同時にテストする並列テストについて説明する。図 5 は、複数のチップを同一ボード上に搭載してテストする並列テストについて説明するための概略図である。記号 L 0 0 ~ L 0 2 は信号線を、記号 L 1 0 ~ L 1 2、L 2 0 ~ L 2 2 は電源線をそれぞれ示している。

【 0 0 5 5 】

複数のチップを同一ボード上に搭載して並列テストを行なう場合、複数のチップは、電源や信号（ロウアドレスストローブ信号 R A S 等）を共有する。図 5 においては、代表的に、複数のチップ 1 2 0 0 ~ 1 2 0 1 1 が、信号線と電源線とを共有する場合を示している。

10

【 0 0 5 6 】

信号線 L 0 0 ~ L 0 2 は互いに結合関係にあり、同一の信号を各チップに伝送する。電源線 L 1 0 ~ L 1 2 は、互いに結合状態にあり、同一レベルの電圧を各チップに供給する。同じく、電源線 L 2 0 ~ L 2 2 は、互いに結合関係にあり、同一レベルの電圧を各チップに供給する。

【 0 0 5 7 】

このような並列テストにおいて、一部のチップに欠陥が存在した場合、当該チップから信号線や電源線に流れ込むリーク電流のために、共有する電源線の電圧が低下し、または共有する信号線の電圧レベルが低下する。このような電圧レベルの変化は、テスト結果に影響を及ぼしてしまう。すなわち、正確な試験を行なうことができなくなる。

20

【 0 0 5 8 】

そこで、図 6 に示されるように、各チップごとに異常電流（リーク電流）の発生に対する処置を行なうための回路を設ける。ここで、図 6 に示される本発明の実施の形態 3 における回路構成について説明する。

【 0 0 5 9 】

ノード N C の電圧と所定の電圧（図 6 においては、 $v_{ref} / 2$ ）とを比較する比較器 1 2 7 を配置する。V D C 回路 2 1 0 の差動アンプ 1 1 0 は、比較器 1 2 7 の出力ノード N X とクロックイネーブル信号 C K E とを受ける A N D 回路 1 2 8 の出力に応じて動作させる。

30

【 0 0 6 0 】

ノード N C には、V D C 回路 1 3 0 を配置する。V D C 回路 1 3 0 は、差動アンプ 1 3 1 と P M O S トランジスタ 1 3 2 とを含む。差動アンプ 1 3 1 の正の入力端子はノード N C と接続され、負の入力端子には基準電圧  $v_{ref}$  を供給する。P M O S トランジスタ 1 3 2 は、電源とノード N C との間に接続され、差動アンプ 1 3 1 の出力に応じて導通する。V D C 回路 1 3 0 は、予め、内部回路群 1 0 2 に供給できる電流量を制限できるように構成されている。

【 0 0 6 1 】

V D C 回路 2 0 0 の差動アンプ 1 0 5 は、ノード N X とテストモード信号 T E S T とを受ける A N D 回路 1 2 4 の出力に応じて動作させる。

40

【 0 0 6 2 】

図 5 に示す配置で、複数個の図 6 に示すチップに対して並列テストを実施する際には、まず待機時に、V D C 回路 1 3 0 をオンし、通常動作用の V D C 回路 2 0 0、2 1 0 をオフしておく。なお、ここでいう待機時とは、並列テスト開始後であってチップ活性化前を意味する。

【 0 0 6 3 】

チップが正常な場合、V D C 回路 1 3 0 は内部電圧を正常に供給できる。したがって、ノード N C の電圧と所定の電圧  $v_{ref} / 2$  との比較により、ノード N X が H レベルになる。この結果、チップを活性化すると、通常動作用の V D C 回路 2 1 0 がオンする。また、

50

特定のテストモードに入ると（TESTがHレベル）、VDC回路200がオンして同期回路101が起動する。

【0064】

ところが、内部回路群102に不良がありリーク電流が発生すると、VDC回路130は当該リーク電流を補うだけの電流を供給できない。したがって、ノードNCの電圧が低下する。ノードNCの電圧と所定の電圧 $v_{ref}/2$ との比較により、ノードNXの電圧がLレベルになる。すなわち、リーク電流の発生が検出される。

【0065】

リーク電流が検出された場合には、チップを活性化しても、VDC回路210はオンせず、内部回路群102は起動しない。また、特定のテストモードに入っても（TESTがHレベル）、VDC回路200がオンせず同期回路101が起動しない。

10

【0066】

したがって、並列テストの際、不良チップについては、VDC回路210とVDC回路200とがオフする。これにより、電源線や信号線を共有する他のチップにリーク電流の発生による影響を防止することができる。

【0067】

リーク電流の発生の有無を外部に出力する場合には、通常の径路から受けるデータ（メモリセルから読出したデータ）と、リーク電流の発生の有無（比較器127の出力）を示すノードNXの信号とをラッチするように出力ラッチ122を構成する。これにより、出力ラッチ122のデータを受ける出力バッファ123を介して、リーク電流の発生の有無が

20

【0068】

比較器127における判定レベルを $v_{ref}/2$ として説明したが、当該レベルはこれに限られず任意に設定することが可能である。比較器127での判定レベル用の電圧は、外部から入力してもよいし、内部において任意のレベルを発生してもよい。

【0069】

なお、VDC回路130の構成は、図6に示されたものに限られず、図7に示す構成であってもよい。図7では、VDC回路130に代わりに、PMOSトランジスタ136および137を含むVDC回路135を配置する。PMOSトランジスタ136は、電源とチップ外部からの入力を受けるノードとの間に接続され、PMOSトランジスタ137は、電源とノードNCとの間に接続される。PMOSトランジスタ136および137のゲートは、チップ外部からの信号を受ける。PMOSトランジスタ136および137は、カレントミラー回路を構成している。このように構成することにより、リーク電流をチェックするためのチェック電流値を外部入力により替えることが可能となる。

30

【0070】

図6および図7におけるVDC回路130、135は、リーク電流検出のため専用に設ける。なお、チップ上に存在する通常のスタンバイ用の小電流供給用のVDC回路を、リーク電流検出のために流用することも可能である。

【0071】

図8にスタンバイ用の小電流供給用のVDC回路を利用した一例を示す。図8に示す回路は、ノードNCに差動アンプ131と、回路141、144とを含む。

40

【0072】

回路141は、外部から設定切替信号に応じて導通するPMOSトランジスタ142、および差動アンプ131の出力に応じて導通するPMOSトランジスタ143を含む。PMOSトランジスタ142およびPMOSトランジスタ143は、電源とノードNCとの間に直列に接続される。

【0073】

回路144は、外部から設定切替信号に応じて導通するPMOSトランジスタ145、および差動アンプ131の出力に応じて導通するPMOSトランジスタ146を含む。PMOSトランジスタ145およびPMOSトランジスタ146は、電源とノードNCとの間

50



に直列に接続される。

【 0 0 7 4 】

設定切替信号に応じて、回路 1 4 1、1 4 4 を選択的に起動させることで、ノード N C への供給能力を切替える。

【 0 0 7 5 】

リーク電流が発生すると、内部電圧を保持するための電流供給が不足し、内部電圧が低下する。このときの内部電圧の変化は、図 9 に示すように、あるチェック電流値を境に急激に変化する。したがって、当該チェック電流値を適切に設定することにより不良チップを容易に検出することが可能となる。

【 0 0 7 6 】

なお、上述した構成では、待機時に検出された内部電圧の低下により、チップ活性化時（特定のタイミング）においても V D C 回路 2 0 0、2 1 0 が動作しないように構成している。しかし、これ限定されず、所定のテストモードにおいて当該検出を行ない、この検出結果をラッチし、これに従ってチップ活性化時に V D C 回路をオンさせないように構成してもよい。

【 0 0 7 7 】

たとえば、図 1 0 に示すように、差動アンプ 1 3 1 を特定のテストモードを指定するテストモード信号 I T S T に応じて動作させる。ここでのテストモードとは、並列テストでのテストモードとは別に、電流チェック用のテストするためのモードを意味する。

【 0 0 7 8 】

また、図 1 1 は、比較器 1 2 7 の出力をラッチするための回路構成を示す図である。図 1 1 に示す構成では、比較器 1 2 7 に対して、スイッチ 1 5 0、インバータ 1 5 1、N A N D 回路 1 5 2 およびインバータ 1 5 3 を配置する。スイッチ 1 5 0 は、テストモード信号 I T S T に応じてオンし、インバータ 1 5 1 および N A N D 回路 1 5 2 から構成されるラッチ回路と比較器 1 2 7 の出力とを接続する。ラッチ回路を構成する N A N D 回路 1 5 2 は、リセット信号 R E S E T に応じてリセットされる。インバータ 1 5 3 は、ラッチ回路の出力を反転する。インバータ 1 5 3 の出力に応じて、V D C 回路に含まれる差動アンプを動作させるようにする。

【 0 0 7 9 】

このように本発明の実施の形態 3 における半導体記憶装置によれば、不良チップのリーク電流を検出し、リーク電流の流出を防止することができる。このため、特に、並列テストにおいて同一チップ上に配置される他のチップの動作が保証される。

【 0 0 8 0 】

[ 実施の形態 4 ]

本発明の実施の形態 4 による半導体記憶装置の概要について図 1 2 ~ 図 1 5 を用いて説明する。なお、以下の説明において、先頭に記号 “ / ” が付された信号は、当該 “ / ” を付さない信号を反転した信号であるものとする。

【 0 0 8 1 】

図 1 2 に示されるように、本発明の実施の形態 4 における半導体記憶装置は、D R A M（ダイナミックランダムアクセスメモリ）を含むメモリア部 1 0 0 0 とロジック回路ブロック 1 0 0 1 とを備える。メモリア部 1 0 0 0 とロジック回路ブロック 1 0 0 1 とは、同一チップ 1 0 0 2 上に形成される。なお、図示しないが、S R A M、ゲートアレイ、F P G A、不揮発性 R A M、R O M 等も搭載される。

【 0 0 8 2 】

図 1 3 に示されるように、ロジック回路ブロック 1 0 0 1 とメモリア部 1 0 0 0 とは、接続ノード 2 a ~ 2 m を介して信号の送受信を行なう。ロジック回路ブロック 1 0 0 1 から D R A M に対して、コマンド、アドレス、データが送信され、これに従って、D R A M 側からロジック回路ブロック 1 0 0 1 にデータが送信される。

【 0 0 8 3 】

ロジック回路ブロック 1 0 0 1 は、ピン 1 a から外部クロック信号 C L K を、ピン 1 b から

10

20

30

40

50

らコマンドC M Dを、ピン1 dから基準電圧v r e fを受ける。また、ピン1 cを用いてデータD A T Aの入出力を行なう。

【0084】

ロジック回路ブロック1001は、入力信号に論理処理を施し、メモリコア部1000に対応する信号を出力する。なお、ピン1 dで受ける基準電圧v r e fは、そのままノード2 mに出力される。

【0085】

図14に示されるように、メモリコア部1000には、接続ノード2 a ~ 2 kを介して以下に示す信号が供給される。ノード2 aから、クロック信号C L K、/ C L Kが供給される。ノード2 bから、クロックイネーブル信号C K Eが供給される。ノード2 cからは、制御信号である、ワード線の活性化を示す信号R O W A、ワード線のリセット（プリチャージ）に関連する信号P C、コラム系回路のリード動作に関連する信号R E A D、コラム系回路のライト動作に関連する信号W R I T E、オートプリチャージ動作を指示する信号A P C、リフレッシュ動作に関連する信号R E F、ならびにセルフリフレッシュモードに関する信号S R IおよびS W Oが供給される。

10

【0086】

最大で信号R O W A、信号P C、信号R E A D、信号W R I T Eの合計4コマンドを同時に発することが可能である。

【0087】

ノード2 dから、アクトバンク信号A B 0 ~ A B 7が供給される。アクトバンク信号は、ロウ系およびコラム系のそれぞれのアクセスにおいて、アクセス対象となるバンクを指定する。ノード2 eから、プリチャージバンク信号P B 0 ~ P B 7が供給される。ノード2 fから、リードバンク信号R B 0 ~ R B 7が供給され、ノード2 gから、ライトバンク信号W B 0 ~ W B 7が供給される。

20

【0088】

ノード2 hから、アクトアドレス信号A A 0 ~ A A 10が供給され、ノード2 iから、リードアドレス信号R A 0 ~ R A 5が供給され、ノード2 jから、ライトアドレス信号W A 0 ~ W A 5が供給される。

【0089】

ノード2 kからは、入力データD I 0 ~ D I 511が供給される。なお、メモリコア部1000から出力される出力データD Q 0 ~ D Q 511は、ノード2 lを介してロジック回路ブロック1001に送信される。

30

【0090】

メモリコア部1000は、バッファ3 a ~ 3 l、モードデコーダ4、アクトバンクラッチ5 d、プリチャージバンクラッチ5 e、リードバンクラッチ5 f、ライトバンクラッチ5 g、ロウアドレスラッチ5 h、リードアドレスラッチ5 i、ライトアドレスラッチ5 j、セルフリフレッシュタイマ6、リフレッシュアドレスカウンタ7、マルチプレクサ8、プリデコーダ9、10、11、モードレジスタ12、基準電圧制御回路13および同期回路14を含む。

【0091】

バッファ3 aは、クロック信号C L K、/ C L Kを受けて内部クロック信号i n t . C L K、/ i n t . C L Kを出力する。バッファ3 c ~ 3 kのそれぞれは、基準電圧制御回路13から基準電圧v r e fの供給を受ける。バッファ3 bは、クロックイネーブル信号C K Eを受ける。バッファ3 cは、バッファ3 bの出力に応じて動作し、ノード2 cで受ける制御信号を取込む。モードデコーダ4は、バッファ3 cの出力を受けて、内部制御信号（信号R O W A、信号C O L A、信号P C、信号R E A D、信号W R I T E、信号A P Cおよび信号S R等）を出力する。

40

【0092】

アクトバンクラッチ5 dは、バッファ3 dを介してアクトバンク信号A B 0 ~ A B 7をラッチする。プリチャージバンクラッチ5 eは、バッファ3 eを介して、プリチャージバン

50

ク信号 P B 0 ~ P B 7 をラッチする。リードバンクラッチ 5 f は、バッファ 3 f を介して、リードバンク信号 R B 0 ~ R B 7 をラッチする。ライトバンクラッチ 5 g は、バッファ 3 g を介してライトバンク信号 W B 0 ~ W B 7 をラッチする。ロウアドレスラッチ 5 h は、バッファ 3 h を介してアクトアドレス信号 A A 0 ~ A A 1 0 をラッチする。リードアドレスラッチ 5 i は、バッファ 3 i を介してリードアドレス信号 R A 0 ~ R A 5 をラッチする。ライトアドレスラッチ 5 j は、バッファ 3 j を介してライトアドレス信号 W A 0 ~ W A 5 をラッチする。

#### 【 0 0 9 3 】

バッファ 3 k は、入力データ D I 0 ~ D I 5 1 1 を取込む。バッファ 3 l は、データ入出力回路 1 5 から出力されるデータを取込み、ノード 2 1 に出力する。

10

#### 【 0 0 9 4 】

セルフリフレッシュタイマ 6 は、モードデコーダ 4 から出力される信号 S R を受けて動作を開始する。リフレッシュアドレスカウンタ 7 はセルフリフレッシュタイマ 6 の指示に従い、リフレッシュ動作を行なうためのアドレスを発生する。マルチプレクサ 8 は、通常動作ではロウアドレスラッチ 5 h の出力を、セルフリフレッシュ動作ではリフレッシュアドレスカウンタ 7 の出力を出力する。プリデコーダ 9 は、マルチプレクサ 8 から受けるロウアドレスをデコードする。プリデコーダ 1 0 は、リードアドレスラッチ 5 i から受けるコラムアドレスをデコードする。プリデコーダ 1 1 は、ライトアドレスラッチ 5 j から受けるコラムアドレスをデコードする。モードレジスタ 1 2 は、ロウアドレスラッチ 5 h の出力に応じて、所定の動作モードに対応する情報を（たとえば、バースト長に対応するデータ等）を保持する。

20

#### 【 0 0 9 5 】

グローバルデータバス G I O 1 は、メモリ部 2 0 から読出されるデータをデータ入出力回路 1 5 に伝送する。グローバルデータバス G I O 2 は、データ入出力回路 1 5 で受ける入力データをメモリ部 2 0 に伝送する。

#### 【 0 0 9 6 】

メモリ部 2 0 は、図 1 5 に示されるように、バンク B A N K 0 ~ B A N K 7 に分割されている。各バンクは、行列状に配置される複数のメモリセルと、行に対応して配置された複数のワード線と、列に対応して配置される複数のビット線とを含む。メモリセルは、情報を電荷の形で蓄積するメモリセルキャパシタと、ゲート電極が対応するワード線と接続され、一方の導通端子が対応するビット線と接続され、他方の導通端子がメモリセルキャパシタと接続されるメモリセルトランジスタとで構成される。

30

#### 【 0 0 9 7 】

バンクのそれぞれに対して、ロウデコーダ 2 1 およびコラムデコーダ 2 2 を配置する。ロウデコーダ 2 1 は、プリデコーダ 9 の出力にตอบสนองして対応するロウ方向の選択を行なう。コラムデコーダ 2 2 は、プリデコーダ 1 0 および 1 1 の出力にตอบสนองして、対応するコラム方向の選択を行なう。

#### 【 0 0 9 8 】

バンク B A N K 0 ~ B A N K 7 は、I / O ポート 2 3 を介してグローバルデータバス G I O 1、G I O 2 とデータの受渡しを行なう。

40

#### 【 0 0 9 9 】

各バンクは、バンクアドレスにより制御される。バンクアドレスは、それぞれのコマンドに対応して存在する。たとえば、信号 R O W A とアクトバンク信号 A B n ( n = 0 ~ 7 ) とにより、対応するバンクのワード線が活性化される。信号 P C とプリチャージバンク信号 P B n ( n = 0 ~ 7 ) とにより、対応するバンクのワード線がリセットされる。信号 R E A D とリードバンク信号 R B n ( n = 0 ~ 7 ) とにより、対応するバンクのセンスアンプからデータがリードされる。また、信号 W R I T E とライトバンク信号 W B n ( n = 0 ~ 7 ) とにより、対応するバンクのセンスアンプにデータがライトされる。

#### 【 0 1 0 0 】

ここで、基準電圧制御回路 1 3 と同期回路 1 4 との関係を説明する。同期回路 1 4 は、P

50

ＬＬ回路等で構成されている。同期回路１４は、テストモードにおいて内部テストクロックを発生する。

【０１０１】

メモリコア部１０００は、テストモードにおいては、たとえば、バッファ３ａの出力する内部クロック $int\_CLK$ に代わり当該内部テストクロックを基準に動作する。または、一部の回路（データ入出力回路１５）が、内部クロック $int\_CLK$ に代わり当該内部テストクロックを基準に動作する。

【０１０２】

図１６に示されるように、基準電圧制御回路１３は、 $v_{ref}$ 発生回路４０と切替回路４１とを含む。 $v_{ref}$ 発生回路４０は、テストモード信号 $TEST$ に応じて基準電圧を発生する。

10

【０１０３】

テストモードにおいては、切替回路４１は、ピン１ｄ（ノード２ｍ）と同期回路１４に電圧を供給するための電源線Ｌ３とを接続し、バッファ３ｃ～３ｋに基準電圧を供給する内部 $v_{ref}$ 配線Ｌ４と $v_{ref}$ 発生回路４０の出力ノードとを電氣的に接続する。通常モードにおいては、切替回路４１は、ピン１ｄと内部 $v_{ref}$ 配線Ｌ４とを電氣的に接続する。

【０１０４】

通常モードにおいては、ピン１ｄ（外部）から入力される基準電圧 $v_{ref}$ が入力バッファ３ｃ～３ｋのスレッシュOLD電圧を決定する。この際、テスト系回路である同期回路１４は停止状態にある。テストモードにおいては、ピン１ｄは、同期回路１４に電源電圧を供給するためのピンとして使用する。この際、バッファに対しては、内部で発生した基準電圧を供給する。

20

【０１０５】

基準電圧制御回路１３の具体例を図１７を用いて説明する。切替回路４１は、 $NMOS$ トランジスタ３０、３１および３２で構成する。 $NMOS$ トランジスタ３０および３２のそれぞれは、ゲートにテストモード信号 $TEST$ を受け、 $NMOS$ トランジスタ３１は、ゲートにテストモード信号 $/TEST$ を受ける。

【０１０６】

$NMOS$ トランジスタ３０は、内部 $v_{ref}$ 配線Ｌ４と $v_{ref}$ 発生回路４０の出力ノードとの間に配置する。 $NMOS$ トランジスタ３２は、ピン１ｄ（ノード２ｍ）と電源線Ｌ３との間に配置する。 $NMOS$ トランジスタ３１は、ピン１ｄ（ノード２ｍ）と内部 $v_{ref}$ 配線Ｌ４との間に配置する。 $v_{ref}$ 発生回路４０は、テストモード信号 $TEST$ に応じて、所定の基準電圧を発生する。

30

【０１０７】

内部 $v_{ref}$ 配線Ｌ４の電圧は、テストモード信号 $TEST$ がＨレベルになると、 $v_{ref}$ 発生回路４０の出力する信号に応じて変化し、テストモード信号 $TEST$ がＬレベルになる通常モードでは、ピン１ｄで受ける基準電圧 $v_{ref}$ に応じて変化する。

【０１０８】

電源線Ｌ３の電圧は、テストモード信号 $TEST$ がＨレベルになると、ピン１ｄで受ける電圧に応じて変化する。

40

【０１０９】

このように構成することにより、テスト系回路（同期回路）に対する電源電圧供給のための入力ピンを別途確保することなく、通常時に使用するピン１ｄを電源電圧を供給するためのピンとして使用することができる。この結果、テスト系回路に対し、安定した電源を供給することが可能となる。

【０１１０】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される

50

。

【 0 1 1 1 】

【 発明の効果 】

このように、この発明の実施の形態に係る半導体記憶装置によれば、同期回路と内部回路とが同一電源を使用する場合であっても、電源ノイズを取除き同期回路に安定した動作電圧を供給する回路を配置することにより、高精度な同期動作が保証される。

【 0 1 1 2 】

また、この発明の実施の形態に係る半導体記憶装置によれば、同期回路に内部電圧を供給する電源側と G N D 側との間にダミー電流を流す。これにより、電源側に配置した動作電圧の変化を検出する検出回路（差動アンプ）の動作が安定する。

10

【 0 1 1 3 】

また、この発明の実施の形態に係る半導体記憶装置によれば、G N D 側に高インピーダンス成分を配置することにより、接地電圧にノイズがのることを防止する。

【 0 1 1 4 】

また、この発明の実施の形態に係る半導体記憶装置によれば、電源側と G N D 側とを同方向に変化させることにより、同期回路の動作電圧を一定に保つことが可能となる。

【 0 1 1 5 】

また、この発明の実施の形態に係る半導体記憶装置によれば、電源と同期回路との間にフィルタをシリアルに接続することになる。この結果、より安定した動作電圧を同期回路に供給することができる。

20

【 0 1 1 6 】

さらに、この発明の実施の形態に係る半導体記憶装置によれば、内部回路に発生する異常電流（リーク電流）を検出して、ピンと内部回路とを非接続にする。これにより、リーク電流による外部装置への影響を抑えることができる。

【 0 1 1 7 】

この発明の実施の形態に係る半導体記憶装置によれば、リーク電流の検出結果に基づき、動作電圧の供給を停止することができる。これにより、同一の電源線を使用する他のチップの動作を保証することができる。

【 0 1 1 8 】

さらに、この発明の実施の形態に係る半導体記憶装置によれば、通常モードで使用するピンをテストモードにおける同期回路の電源ピンとして使用する。たとえば、複数のチップが同一の信号線や電源線により、同一の信号や電圧供給を受けている場合において、いずれか 1 のチップにおいてリーク電流が発生した場合には、不良チップに含まれる回路の起動を停止させることにより、信号線または電源線の電圧レベルの低下を防止することが可能となる。

30

【 0 1 1 9 】

この発明の実施の形態に係る半導体記憶装置によれば、電源側と G N D 側にそれぞれ電圧を供給するための制御回路を設ける。これにより、テストモードにおいて、同期回路に動作電圧を安定して供給することができる。

【 0 1 2 0 】

40

この発明の実施の形態に係る半導体記憶装置によれば、テストモードにおいては、通常使用ピンから受ける信号に代わって内部で発生した信号を用いることにより、ピンから受ける入力を電源電圧として同期回路に供給することができる。

【 図面の簡単な説明 】

【 図 1 】 本発明の実施の形態 1 における半導体記憶装置の主要部の構成について説明するための図である。

【 図 2 】 同期回路 1 0 1 の動作を説明するためのタイミングチャートである。

【 図 3 】 本発明の実施の形態 1 における半導体記憶装置の主要部の他の構成例について説明するための図である。

【 図 4 】 本発明の実施の形態 2 における半導体記憶装置の主要部の構成について説明す

50

るための図である。

【図５】 複数のチップを同一ボード上に搭載してテストする並列テストについて説明するための概略図である。

【図６】 本発明の実施の形態３における半導体記憶装置の主要部の構成について説明するための図である。

【図７】 本発明の実施の形態３における半導体記憶装置の主要部の他の構成例について説明するための図である。

【図８】 リーク電流検出用の回路の他の構成例について説明するための図である。

【図９】 正常チップおよび不良チップのそれぞれにおける、チェック電流と内部電圧との関係を示す図である。

10

【図１０】 リーク電流検出用の回路の他の構成例を示す図である。

【図１１】 比較器１２７の出力をラッチするための回路構成を示す図である。

【図１２】 本発明の実施の形態４における半導体記憶装置について説明するための図である。

【図１３】 図１２に示すロジック回路ブロック１００１について説明するための図である。

【図１４】 図１２に示すメモリコア部１０００の構成の一例を示す図である。

【図１５】 メモリ部２０の構成について説明するための図である。

【図１６】 基準電圧制御回路１３の構成の概要を示す図である。

【図１７】 基準電圧制御回路１３の構成の一例を示す図である。

20

【図１８】 同期回路１０１と内部回路群１０２との対応関係の一例を示す図である。

【図１９】 同期回路１０１と内部回路群１０２との対応関係の一例を示す図である。

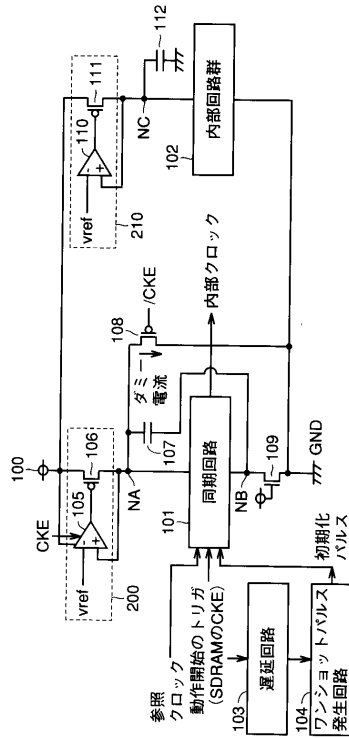
【図２０】 従来の半導体記憶装置における電源について説明するための図である。

【符号の説明】

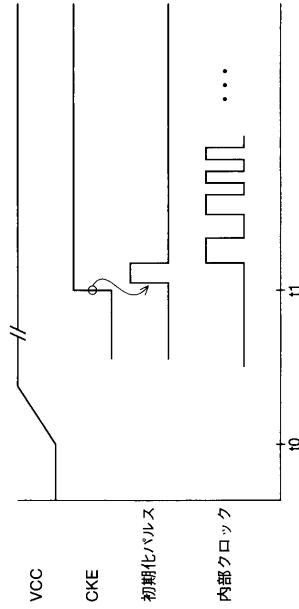
１ａ～１ｄ 外部端子、２ａ～２ｍ 入力ピン、３ａ～３１ バッファ、４ モードデコーダ、６ セルフリフレッシュタイマ、７ リフレッシュアドレスカウンタ、８ マルチプレクサ、９，１０，１１ プリデコーダ、１２ モードレジスタ、１３ 基準電圧制御回路、１４ 同期回路、１５ データ入出力回路、２０ メモリ部、２１ ロウデコーダ、２２ コラムデコーダ、２３ Ｉ／Ｏポート、４０  $v_{ref}$  発生回路、４１ 切替回路、１３０，２００，２１０  $V_{DC}$  回路、１０１ 同期回路、１０２ 内部回路群、１０３ 遅延回路、１０４ ワンショットパルス発生回路、１０７ 容量、１０６，１０８，１１１  $PMOS$  トランジスタ、１０９  $NMOS$  トランジスタ、１００ 電源、１０５，１１０ 差動アンプ、１０００ メモリコア部、１００１ ロジック回路ブロック。

30

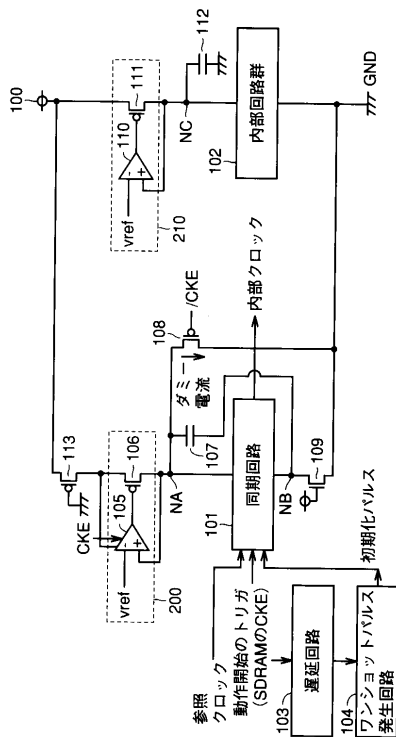
【 図 1 】



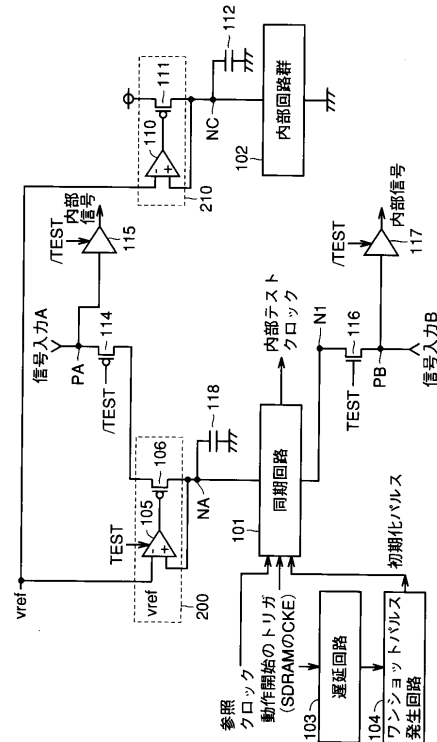
【 図 2 】



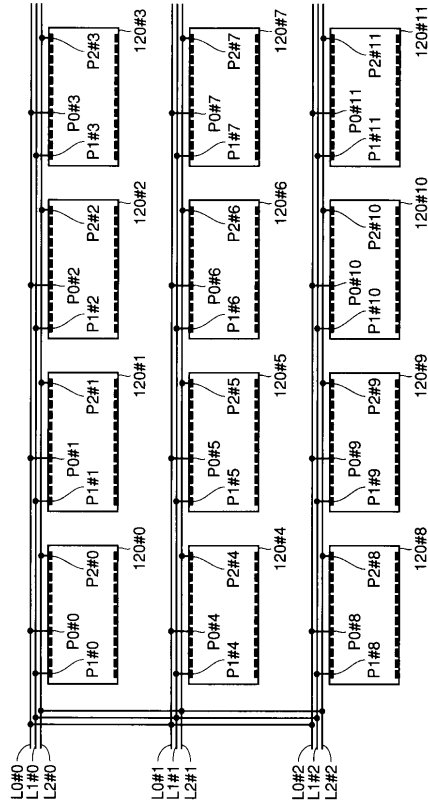
【 図 3 】



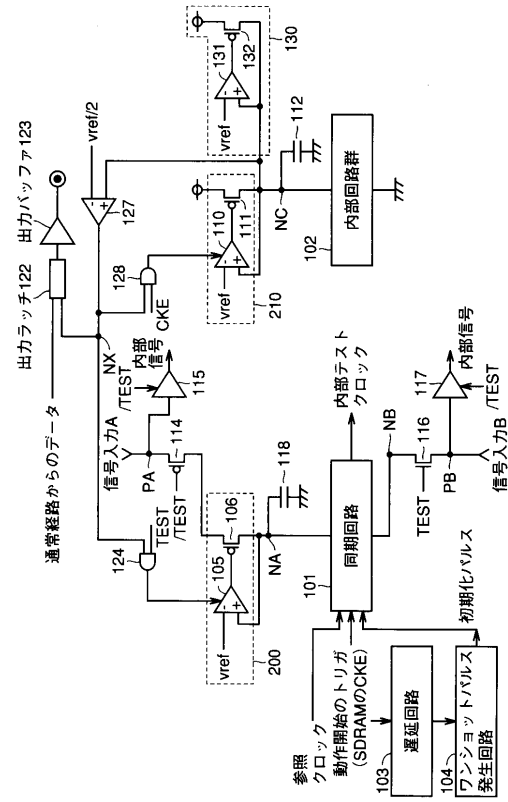
【 図 4 】



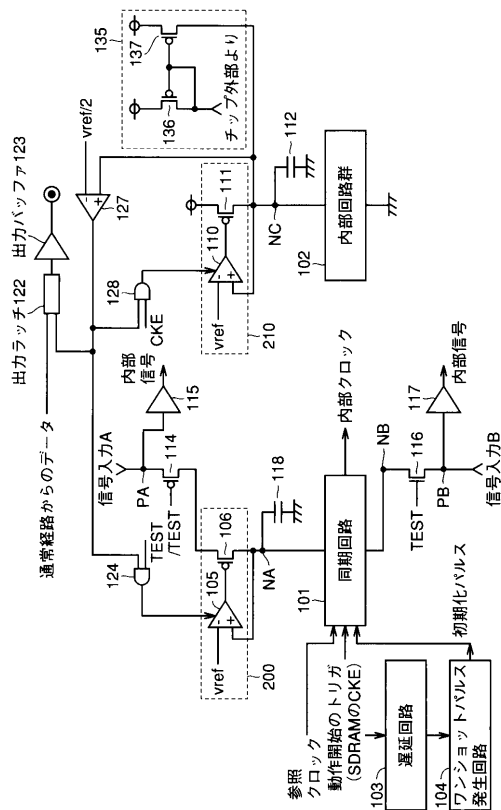
【図 5】



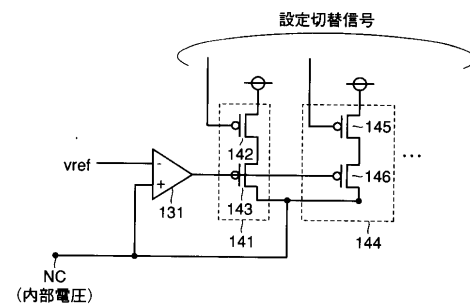
【図 6】



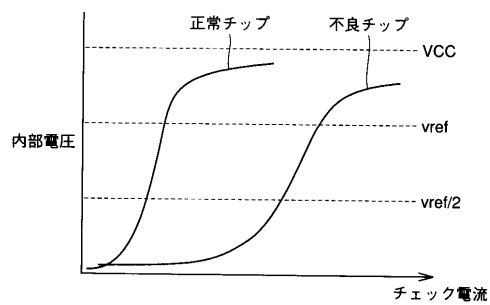
【図 7】



【図 8】

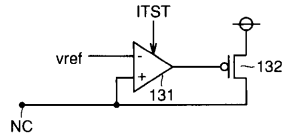


【図 9】

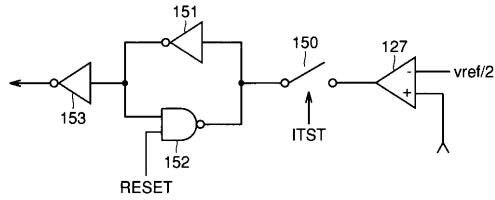




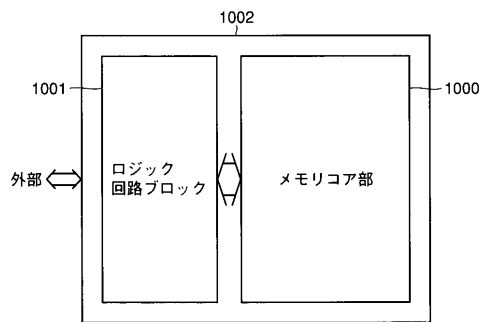
【図10】



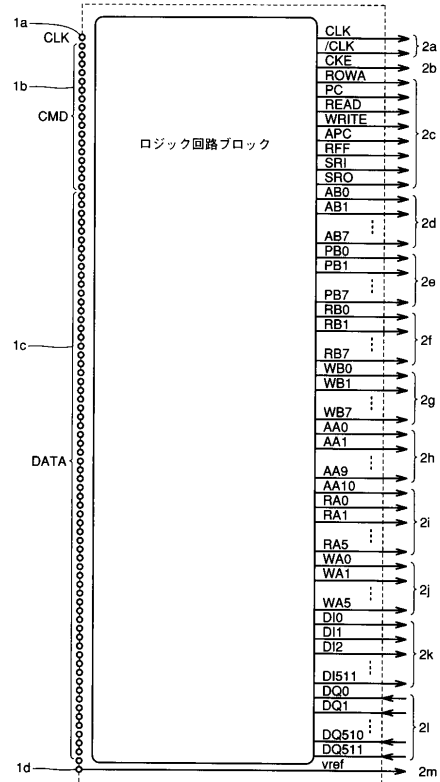
【図11】



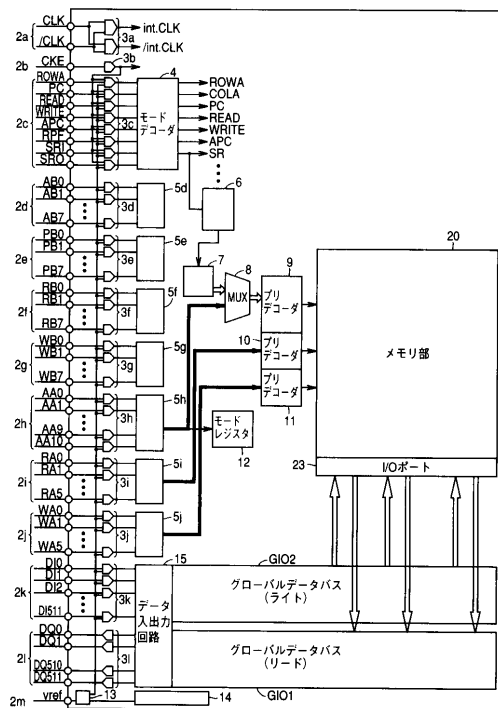
【図12】



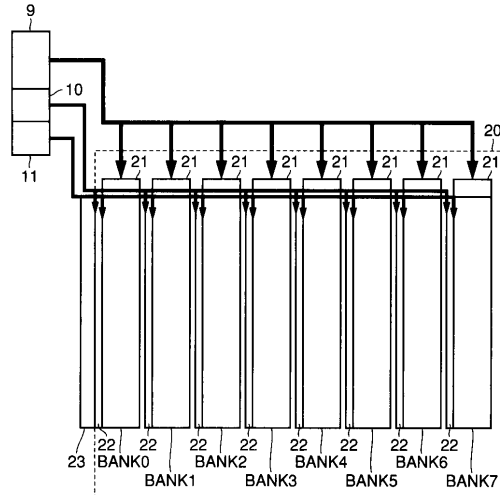
【図13】



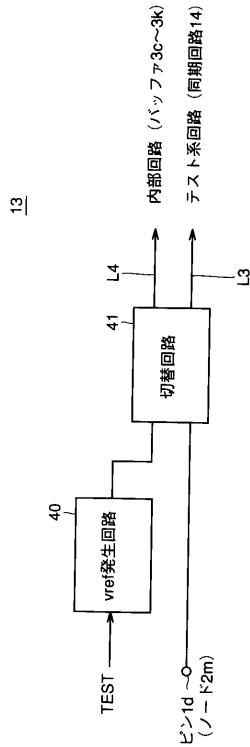
【図14】



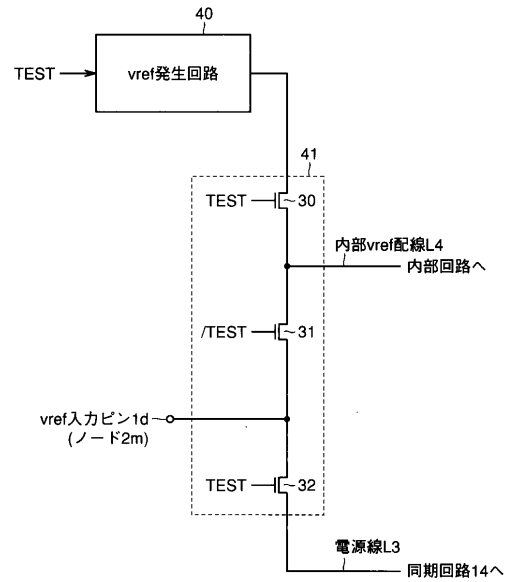
【図15】



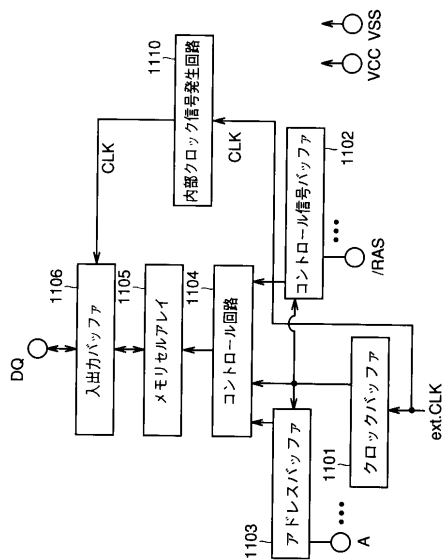
【図 16】



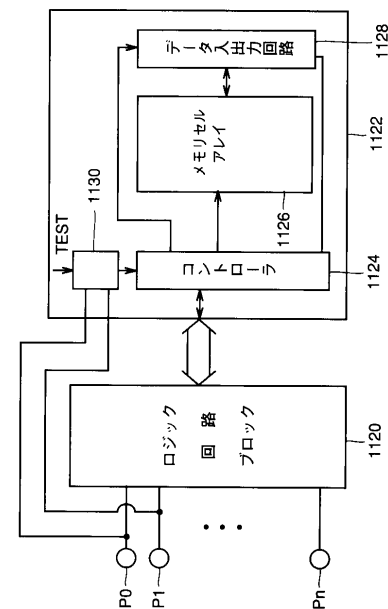
【図 17】



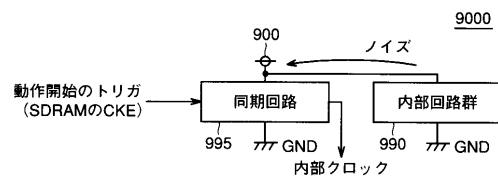
【図 18】



【図 19】



【図 20】



---

フロントページの続き

(74)代理人 100124523

弁理士 佐々木 真人

(74)代理人 100098316

弁理士 野田 久登

(72)発明者 大石 司

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 瀬戸川 潤

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 堀田 和義

(56)参考文献 特開2000-124797(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/4074