



(12) 发明专利

(10) 授权公告号 CN 101677096 B

(45) 授权公告日 2013.09.11

(21) 申请号 200910146106.1

US 2006065962 A1, 2006.03.30,

(22) 申请日 2009.06.12

JP 2005183611 A, 2005.07.07,

(30) 优先权数据

审查员 萨日娜

2008-240825 2008.09.19 JP

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 小松干彦 日高隆雄 木村纯子

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51) Int. Cl.

H01L 25/00 (2006.01)

H01L 23/482 (2006.01)

H01L 23/52 (2006.01)

H01L 23/58 (2006.01)

(56) 对比文件

US 2008116550 A1, 2008.05.22,

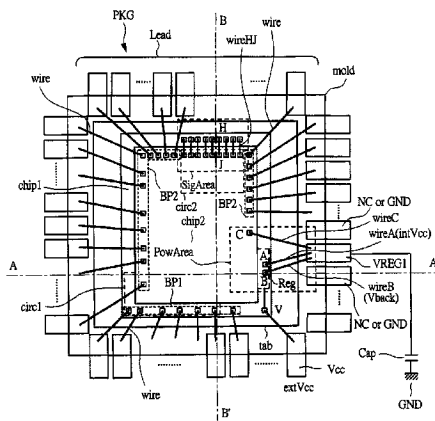
权利要求书6页 说明书27页 附图37页

(54) 发明名称

半导体器件

(57) 摘要

本发明提供一种半导体器件,该半导体器件是在一个封装中层叠有多个半导体芯片,将多个半导体芯片中的任何一个所产生的电压作为电源电压供给其它半导体芯片并可使使其稳定运行。本发明的主要一例是将2个芯片层叠,将焊盘(A、B、C)分别配置于各芯片并排的边,将所述焊盘分别以金属线(wireA、B、C)共同地连接。另一例为沿着与配置有焊盘(A、B、C)的边不同的边配置焊盘(H)及焊盘(J),并通过金属线(wireHJ)将芯片间接合连接。



1. 一种半导体器件,其中上述半导体器件包括:

第 1 半导体芯片,具有包括第 1 边的 4 个边,并在主面设有多个第一焊盘;

第 2 半导体芯片,具有包括第 2 边的 4 个边,并在主面设有多个第二焊盘,并且上述第 2 半导体芯片层叠于上述第 1 半导体芯片的主面上以使上述第 1 边与上述第 2 边并排,而且各主面朝向同一方向;

封装体,对上述第 1 半导体芯片和上述第 2 半导体芯片进行封装;以及

多个外部引脚,每一个外部引脚连接于上述多个第一焊盘和第二焊盘中的部分,且引脚的一部分露出于上述封装体的外部;

其中上述第 1 半导体芯片的上述多个第一焊盘包括:

外部电源输入焊盘,由上述外部引脚供给外部电源电压;

调整器电路,与上述外部电源输入焊盘电连接,且按照参考电压和与上述参考电压进行比较的输入电压来生成将上述外部电源电压降压后的内部电源电压;

内部电源电压输出焊盘,与上述调整器电路电连接,并输出上述内部电源电压;以及

监测器焊盘,与输入上述输入电压的上述调整器电路的输入部电连接;

其中上述第 2 半导体芯片的上述多个第二焊盘包括:

内部电源输入焊盘,所述内部电源输入焊盘由上述内部电源电压输出焊盘输入上述内部电源电压;

其中上述内部电源电压输出焊盘和上述监测器焊盘沿着上述第 1 半导体芯片的上述第 1 边而配置;

其中上述内部电源输入焊盘沿着上述第 2 半导体芯片的上述第 2 边而配置;

上述监测器焊盘在上述内部电源电压输出焊盘和上述内部电源输入焊盘的连接路径之间电连接,或经由上述内部电源输入焊盘而与上述内部电源电压输出焊盘电连接;

其中上述第 1 半导体芯片包括第 1 信号焊盘,所述第 1 信号焊盘沿着与上述第 1 边不同的边而与上述第 2 半导体芯片之间收发信号;

其中上述第 2 半导体芯片包括第 2 信号焊盘,所述第 2 信号焊盘沿着与配置有上述第 1 信号焊盘的边并排的边而与上述第 1 信号焊盘电连接。

2. 一种半导体器件,其中上述半导体器件包括:

第 1 半导体芯片,具有包括第 1 角的 4 个角,并在主面设有多个第一焊盘;

第 2 半导体芯片,具有包括第 2 角的 4 个角,并在主面设有多个第二焊盘,并且上述第 2 半导体芯片层叠于所述第 1 半导体芯片的主面上,以使各主面朝向同一方向、且使上述第 1 角与上述第 2 角接近;

封装体,将上述第 1 半导体芯片和上述第 2 半导体芯片进行封装;以及

多个外部引脚,每一个外部引脚连接于上述多个第一焊盘和第二焊盘的部分,且引脚的一部分露出在上述封装体外部;

上述第 1 半导体芯片的上述多个第一焊盘包括:

外部电源输入焊盘,由上述外部引脚供给外部电源电压;

调整器电路,与上述外部电源输入焊盘电连接,并按照参考电压及与上述参考电压比较的输入电压生成将上述外部电源电压降压后的内部电源电压;

内部电源电压输出焊盘,与上述调整器电路电连接,并输出上述内部电源电压;以及

监测器焊盘,与被输入上述输入电压的上述调整器电路的输入部电连接;

其中上述第 2 半导体芯片的上述多个第二焊盘包括:

内部电源输入焊盘,由上述内部电源电压输出焊盘而输入上述内部电源电压;

其中上述内部电源电压输出焊盘和上述监测器焊盘被配置于上述 4 个角之中靠近上述第 1 角的位置;

其中上述内部电源输入焊盘被配置于上述 4 个角之中靠近上述第 2 角的位置;

其中上述监测器焊盘在上述内部电源电压输出焊盘和上述内部电源输入焊盘的连接路径间电连接,或经由上述内部电源输入焊盘与上述内部电源电压输出焊盘电连接;

其中上述第 1 半导体芯片包括:

第 1 信号焊盘,沿着与构成上述第 1 角的边不同的边而与上述第 2 半导体芯片之间收发信号;

其中上述第 2 半导体芯片包括:

第 2 信号焊盘,沿着与配置了上述第 1 信号焊盘的边并排的边而与上述第 1 信号焊盘电连接。

3. 根据权利要求 1 或 2 所记载的半导体器件,其中上述内部电源电压输出焊盘与上述外部引脚通过第 1 金属线连接,上述监测器焊盘与上述外部引脚通过第 2 金属线连接,从而上述监测器焊盘在上述内部电源电压输出焊盘和上述内部电源输入焊盘的连接路径间电连接,并且

其中上述第 1 信号焊盘与上述第 2 信号焊盘通过第 3 金属线连接,上述第 3 金属线的金属线长度比上述第 1 金属线短,上述第 1 金属线的金属线长度比上述第 2 金属线短。

4. 根据权利要求 1 或 2 所记载的半导体器件,其中上述内部电源电压输出焊盘和上述内部电源输入焊盘通过第 1 金属线连接,上述监测器焊盘与上述内部电源输入焊盘通过第 2 金属线连接,从而上述监测器焊盘经由上述内部电源输入焊盘与上述内部电源电压输出焊盘电连接;并且

其中上述第 1 信号焊盘与上述第 2 信号焊盘通过第 3 金属线连接,上述第 3 金属线的金属线长度比上述第 1 金属线短,上述第 1 金属线的金属线长度比上述第 2 金属线短。

5. 一种半导体器件,其中上述半导体器件包括:

第 1 半导体芯片,在主面设有多个第一焊盘,并且其包括第 1 边、与上述第 1 边相对的第 2 边、以及与上述第 2 边交叉的第 3 边和第 4 边;

第 2 半导体芯片,在主面设有多个第二焊盘,并且其包括第 5 边、以及与上述第 5 边相对的第 6 边,并且上述第 2 半导体芯片层叠于上述第 1 半导体芯片的主面上,使得在由上述第 1 边与上述第 5 边所夹的第 1 区域以及由上述第 2 边与上述第 6 边所夹的第 2 区域露出上述第 1 半导体芯片的上述多个焊盘,并将上述第 3 边与上述第 4 边覆盖,且使各主面朝向同一方向;

封装体,将上述第 1 半导体芯片和上述第 2 半导体芯片进行封装;以及

多个外部引脚,每一个外部引脚连接于上述多个第一焊盘和第二焊盘中的部分,引脚的一部分露出于上述封装体外部;

其中上述第 1 半导体芯片的多个上述第一焊盘包括:

外部电源输入焊盘,配置于上述第 1 区域,并从上述外部引脚供给外部电源电压;

调整器电路,配置于上述第 1 区域,并与上述外部电源输入焊盘电连接,按照参考电压及与上述参考电压比较的输入电压生成将上述外部电源电压降压后的内部电源电压;

内部电源电压输出焊盘,配置于上述第 1 区域,与上述调整器电路电连接并输出上述内部电源电压;以及

监测器焊盘,配置于上述第 1 区域,与输入有上述输入电压的上述调整器电路的输入部电连接;

其中上述第 2 半导体芯片的上述多个第二焊盘包括:

内部电源输入焊盘,由上述内部电源电压输出焊盘而输入上述内部电源电压;

其中上述第 1 半导体芯片包括:

第 1 信号焊盘,在上述第 2 区域进行与上述第 2 半导体芯片之间的信号收发;以及

其中上述第 2 半导体芯片包括:

第 2 信号焊盘,沿着上述第 6 边而与上述第 1 信号焊盘电连接。

6. 根据权利要求 5 所记载的半导体器件,其中上述第 1 半导体芯片具有包括由上述第 1 边与上述第 3 边所形成的第 1 角的 4 个角;

其中上述第 2 半导体芯片具有 4 个角,这 4 个角中包括由上述第 5 边以及与上述第 5 边交叉的第 7 边所形成且比上述第 1 半导体芯片的其他角更接近上述第 1 角的第 2 角;

其中上述内部电源电压输出焊盘和上述监测器焊盘配置在上述 4 个角之中的上述第 1 角的附近;

其中上述内部电源输入焊盘配置在上述 4 个角之中的上述第 2 角的附近;以及

其中上述监测器焊盘在上述内部电源电压输出焊盘和上述内部电源输入焊盘的连接路径间电连接,或经由上述内部电源输入焊盘与上述内部电源电压输出焊盘电连接。

7. 根据权利要求 6 所记载的半导体器件,其中上述内部电源电压输出焊盘与上述外部引脚通过第 1 金属线连接,上述监测器焊盘与上述外部引脚通过第 2 金属线连接,从而上述监测器焊盘在上述内部电源电压输出焊盘和上述内部电源输入焊盘的连接路径间电连接,并且

其中上述第 1 信号焊盘与上述第 2 信号焊盘通过第 3 金属线连接。

8. 根据权利要求 6 所记载的半导体器件,其中上述内部电源电压输出焊盘与上述内部电源输入焊盘通过第 1 金属线连接,上述监测器焊盘与上述内部电源输入焊盘通过第 2 金属线连接,从而上述监测器焊盘经由上述内部电源输入焊盘与上述内部电源电压输出焊盘电连接,并且

其中上述第 1 信号焊盘与上述第 2 信号焊盘通过第 3 金属线连接。

9. 根据权利要求 7 或 8 所记载的半导体器件,其中上述第 3 金属线的金属线长度比上述第 1 金属线短,上述第 1 金属线的金属线长度比上述第 2 金属线短。

10. 根据权利要求 5 所记载的半导体器件,其中从上述调整器电路的上述第 5 边所露出的部分的面积,比上述第 2 半导体芯片覆盖上述调整器电路的部分的面积大。

11. 根据权利要求 5 所记载的半导体器件,其中上述调整器电路包括降压开关部,所述降压开关部生成将上述外部电源电压降压后的上述内部电源电压;上述降压开关部从上述第 5 边露出。

12. 根据权利要求 5 所记载的半导体器件,其中上述第 2 半导体芯片在除了上述第 5 边

之外的边上集中配置有上述多个第二焊盘。

13. 根据权利要求 5 所记载的半导体器件,其中上述第 1 区域中从上述第 1 边至上述第 5 边的距离比上述第 2 区域中从上述第 2 边至上述第 6 边的距离长。

14. 根据权利要求 5 所记载的半导体器件,其中上述第 2 半导体芯片的焊盘数比上述第 1 半导体芯片的焊盘数多。

15. 根据权利要求 14 所记载的半导体器件,其中上述第 1 半导体芯片为包括模拟电路并进行电源控制的模拟芯片,上述第 2 半导体芯片为控制上述模拟芯片并处理信息的微型计算机芯片。

16. 根据权利要求 1、2 和 5 中的任何一项所记载的半导体器件,还包括,上述封装体内安装的作为用于相位补偿和稳定电压的调整器电容的电容器,其中上述内部电源电压输出焊盘通过第 1 金属线与上述电容器的一个引脚电连接;上述监测器焊盘通过第 2 金属线与连接有上述第 1 金属线的上述电容器的引脚电连接;上述内部电源输入焊盘通过第 3 金属线与连接有上述第 1 金属线的上述电容器的引脚电连接,从而上述监测器焊盘在上述内部电源电压输出焊盘和上述内部电源输入焊盘的连接路径之间电连接,并且

其中上述电容器的另一个引脚与从外部来提供接地电压的上述外部引脚电连接。

17. 一种半导体器件,其中上述半导体器件包括:

第 1 半导体芯片,具有包括第 1 边的 4 个边,并在主面设有多个第一焊盘;

第 2 半导体芯片,具有包括第 2 边的 4 个边,并在主面设有多个第二焊盘,并且上述第 2 半导体芯片层叠于上述第 1 半导体芯片的主面上,以使上述第 1 边与上述第 2 边并排,而且各主面朝向同一方向;

封装体,对上述第 1 半导体芯片和上述第 2 半导体芯片进行封装;以及

多个外部引脚,每一个外部引脚连接于上述多个第一焊盘和第二焊盘中的部分,且引脚的一部分露出于上述封装体的外部;

其中上述第 1 半导体芯片的上述多个第一焊盘包括:

外部电源输入焊盘,由上述外部引脚供给外部电源电压;

调整器电路,与上述外部电源输入焊盘电连接,且按照参考电压和与上述参考电压进行比较的输入电压来生成将上述外部电源电压降压后的内部电源电压;

内部电源电压输出焊盘,与上述调整器电路电连接,并输出上述内部电源电压;以及

监测器焊盘,与输入上述输入电压的上述调整器电路的输入部电连接;

其中上述第 2 半导体芯片的上述多个第二焊盘包括:

内部电源输入焊盘,所述内部电源输入焊盘由上述内部电源电压输出焊盘输入上述内部电源电压;

其中上述内部电源电压输出焊盘和上述监测器焊盘沿着上述第 1 半导体芯片的上述第 1 边而配置;

其中上述内部电源输入焊盘沿着上述第 2 半导体芯片的上述第 2 边而配置;

其中上述监测器焊盘在上述内部电源电压输出焊盘和上述内部电源输入焊盘的连接路径之间电连接,或经由上述内部电源输入焊盘而与上述内部电源电压输出焊盘电连接。

18. 一种半导体器件,其中上述半导体器件包括:

第 1 半导体芯片,具有包括第 1 角的 4 个角,并在主面设有多个第一焊盘;

第 2 半导体芯片,具有包括第 2 角的 4 个角,并在主面设有多个第二焊盘,并且上述第 2 半导体芯片层叠于所述第 1 半导体芯片的主面上,以使各主面朝向同一方向、且使上述第 1 角与上述第 2 角接近;

封装体,将上述第 1 半导体芯片和上述第 2 半导体芯片进行封装;以及

多个外部引脚,每一个外部引脚连接于上述多个第一焊盘和第二焊盘的部分,且引脚的一部分露出在上述封装体外部;

其中上述第 1 半导体芯片的上述多个第一焊盘包括:

外部电源输入焊盘,由上述外部引脚供给外部电源电压;

调整器电路,与上述外部电源输入焊盘电连接,并按照参考电压及与上述参考电压比较的输入电压生成将上述外部电源电压降压后的内部电源电压;

内部电源电压输出焊盘,与上述调整器电路电连接,并输出上述内部电源电压;以及

监测器焊盘,与被输入上述输入电压的上述调整器电路的输入部电连接;

其中上述第 2 半导体芯片的上述多个第二焊盘包括:

内部电源输入焊盘,由上述内部电源电压输出焊盘而输入上述内部电源电压;

其中上述内部电源电压输出焊盘和上述监测器焊盘被配置于上述 4 个角之中靠近上述第 1 角的位置;

其中上述内部电源输入焊盘被配置于上述 4 个角之中靠近上述第 2 角的位置;以及

其中上述监测器焊盘在上述内部电源电压输出焊盘和上述内部电源输入焊盘的连接路径间电连接,或经由上述内部电源输入焊盘与上述内部电源电压输出焊盘电连接。

19. 一种半导体器件,其中上述半导体器件包括:

第 1 半导体芯片,在主面设有多个第一焊盘,并且其包括第 1 边、与上述第 1 边相对的第 2 边、以及与上述第 2 边交叉的第 3 边和第 4 边;

第 2 半导体芯片,在主面设有多个第二焊盘,并且其包括第 5 边、以及与上述第 5 边相对的第 6 边,并且上述第 2 半导体芯片层叠于上述第 1 半导体芯片的主面上,使得在由上述第 1 边与上述第 5 边所夹的第 1 区域以及由上述第 2 边与上述第 6 边所夹的第 2 区域露出上述第 1 半导体芯片的上述多个焊盘,并将上述第 3 边与上述第 4 边覆盖,且使各主面朝向同一方向;

封装体,将上述第 1 半导体芯片和上述第 2 半导体芯片进行封装;以及

多个外部引脚,每一个外部引脚连接于上述多个第一焊盘和第二焊盘中的部分,引脚的一部分露出于上述封装体外部;

其中上述第 1 半导体芯片的多个上述第一焊盘包括:

外部电源输入焊盘,配置于上述第 1 区域,并从上述外部引脚供给外部电源电压;

调整器电路,配置于上述第 1 区域,并与上述外部电源输入焊盘电连接,按照参考电压及与上述参考电压比较的输入电压生成将上述外部电源电压降压后的内部电源电压;

内部电源电压输出焊盘,配置于上述第 1 区域,与上述调整器电路电连接并输出上述内部电源电压;以及

监测器焊盘,配置于上述第 1 区域,与输入有上述输入电压的上述调整器电路的输入部电连接;

其中上述第 2 半导体芯片的上述多个第二焊盘包括:

---

内部电源输入焊盘,由上述内部电源电压输出焊盘而输入上述内部电源电压。

## 半导体器件

### 技术领域

[0001] 本发明公开了一种在一个封装中层叠有多个半导体芯片的半导体器件中,将多个半导体芯片中的任何一个所产生的电压作为电源电压供给其它的半导体芯片并使其稳定运行的技术。

### 背景技术

[0002] 两个半导体芯片之间的关系,一般已知的有如下。

[0003] 一个半导体芯片具有调整器电路,其被供给外部电源电压,并输出将外部电源电压降压后的内部电源电压(第1半导体芯片)。

[0004] 另一个的半导体芯片则被供给所述内部电源电压作为动作电源电压(第2半导体芯片)。

[0005] 此时,第1半导体芯片以高的电源电压进行动作,例如可以以4~25V来进行动作。第2半导体芯片以比第1半导体芯片低的电源电压进行动作,例如可以以1.4~3.6V来进行动作。

[0006] 即,以半导体产品目录所示的最大电压值来进行比较时,第1半导体芯片为最大电压值比第2半导体芯片高的半导体芯片。

[0007] 过去,第1半导体芯片与第2半导体芯片收容于不同的封装中,经由连接于半导体芯片的外部引脚,向两个半导体芯片供给电源电压。

[0008] 但是,在电路板上并排搭载两个封装时,则存在需要很大安装面积的问题。

[0009] 为了使安装面积变小,已知有如下的背景技术。

[0010] 在日本公开特许公报特开2005-183611号公报(专利文献1)中,记载有关于多芯片型半导体器件的技术,为将设于外部的调整器电路内置于芯片,并在1个封装中将2个芯片并排装载(平放)。

[0011] 可将2个芯片并排收容于一个封装,与将2个封装并排安装相比,可减少安装面积,即可使封装尺寸变小。该文献虽记载了在1个封装内平放2个芯片的技术,但是并没有充分的记载通过1个封装化而使调整器电路更加稳定地动作的技术。

[0012] 另外,作为安装方法,使封装尺寸更小的技术一般被认为是芯片层叠技术。

[0013] 但是,在本次的背景技术调查中,并未发现着重于层叠时使调整器电路稳定地动作的技术文献。

[0014] 另一方面,在本次的背景技术调查中,找到了记载关于使调整器电路的动作稳定化的电路及半导体器件的技术的专利第3732884号(专利文献2)。

[0015] 但是,该文献仅记载关于在1芯片内的调整器电路的稳定化技术。并未记载在有多个芯片及层叠所述芯片的构造中,使调整器电路稳定地动作的技术。

[0016] 《专利文献1》

[0017] 日本公开特许公报特开2005-183611号公报

[0018] 《专利文献2》

[0019] 专利第 3732884 号

## 发明内容

[0020] 本发明的目的在于提供一种在多个半导体芯片层叠于同一封装的半导体器件中, 可将多个半导体芯片中的任何一个所产生的电压作为其它的半导体芯片的电源电压, 且可稳定动作的技术。

[0021] 于本案所公开的技术中, 其中一实施例如下。即, 关于本发明的半导体器件, 包括: 第 1 半导体芯片, 其具有包括第 1 边的 4 个边, 并在主面设有焊盘; 第 2 半导体芯片, 其具有包括第 2 边的 4 个边, 并在主面设有焊盘, 上述第 1 边与上述第 2 边并排层叠于上述第 1 半导体芯片的主面上, 且各主面朝向同一方向; 封装体, 将上述第 1 半导体芯片及上述第 2 半导体芯片进行封装; 及多个外部引脚, 连接于上述焊盘, 且引脚的一部分露出在上述封装体的外部。上述第 1 半导体芯片包括: 外部电源输入焊盘, 由上述外部引脚供给外部电源电压; 调整器电路, 电连接于上述外部电源输入焊盘, 按照参考电压及与该参考电压比较的输入电压以生成将上述外部电源电压降压后的内部电源电压; 内部电源电压输出焊盘, 电连接于上述调整器电路, 并输出上述内部电源电压; 及监测器焊盘, 电连接于输入有上述输入电压的上述调整器电路的输入部。上述第 2 半导体芯片包括: 内部电源输入焊盘, 由上述内部电源电压输出焊盘输入上述内部电源电压; 上述内部电源电压输出焊盘及上述监测器焊盘, 沿着上述第 1 半导体芯片的上述第 1 边配置, 上述内部电源输入焊盘, 沿着上述第 2 半导体芯片的上述第 2 边配置, 上述监测器焊盘与上述内部电源电压输出焊盘和上述内部电源输入焊盘的连接路径间电连接, 或经由上述内部电源输入焊盘与上述内部电源电压输出焊盘电连接。另外, 上述第 1 半导体芯片具有: 第 1 信号焊盘, 沿着与上述第 1 边不同的边, 与上述第 2 半导体芯片之间收发信号; 上述第 2 半导体芯片具有: 第 2 信号焊盘, 沿着与配置上述第 1 信号焊盘的边并排的边, 并与上述第 1 信号焊盘电连接。

[0022] 在本案所公开的发明中, 对于解决上述课题的手段所示的一实施例可得到的效果简单说明如下。

[0023] 即, 通过将上述芯片作成层叠构造, 可减少因第 1 信号焊盘与第 2 信号焊盘之间所进行的信号收发所产生的噪声对内部电源电压的影响。

[0024] 附图的简单说明

[0025] 图 1 是本发明实施方式 1 的半导体器件的功能框图。

[0026] 图 2 是本发明实施方式 1 的半导体器件的封装构造的平面图。

[0027] 图 3 是本发明实施方式 1 的半导体器件的封装构造的剖面图。(a) 是图 2 的 A-A' 的剖面图。(b) 是图 2 的 B-B' 的剖面图。

[0028] 图 4 是表示本发明实施方式 1 的半导体器件的调整器电路及外围部分的详细内容。

[0029] 图 5 是表示本发明实施方式 1 的半导体器件的比较部的等价电路的详细内容。

[0030] 图 6 是表示本发明实施方式 1 的半导体器件的带隙电路的一例。

[0031] 图 7 是图 2 所示本发明实施方式 1 的半导体器件的封装构造的平面图的比较例的详细内容图。

[0032] 图 8 是表示图 2 及图 7 的等价电路的详细内容图。(a) 是表示图 7 的等价电路的

详细内容图。(b) 是表示图 2 的等价电路的详细内容图。

[0033] 图 9 是表示信号区域与电源区域并排于同一边时的详细内容图。

[0034] 图 10 是表示相对于配置有电源区域的边,将信号区域配置于不同的边的例子的详细内容。(a) 是表示将信号区域配置于与配置有电源区域的边交叉的边的例子的详细内容。(b) 是表示将信号区域配置于与配置有电源区域的边相对的边的例子的详细内容。

[0035] 图 11 是表示相对于配置有电源区域的边,将信号区域配置于不同的边且与图 10 不同例的详细内容。

[0036] 图 12 是表示调整器电路、第 1-1 内部电路及第 1-2 内部电路,分别连接于金属布线的详细内容。(a) 是表示调整器电路、第 1-1 内部电路及第 1-2 内部电路,共同地连接于焊盘的图。(b) 是表示将连接调整器电路的焊盘,与连接第 1-1 内部电路及第 1-2 内部电路的焊盘分开设置的图。

[0037] 图 13 是表示本发明实施方式 2 的半导体器件的引线引脚与第 1 金属线、第 2 金属线及第 3 金属线的连接部的放大图。(a) 是表示第 3 金属线与引线引脚的第 3 连接点,比第 2 金属线的第 2 连接点更靠近第 1 金属线的第 1 连接点的位置的状态图。(b) 是表示第 3 金属线与引线引脚的第 3 连接点,在于第 1 连接点与第 2 连接点之间的位置的状态。

[0038] 图 14 是表示在于本发明实施方式 3 的半导体器件的降压开关部的 PMOS 晶体管及外围部分的剖面的详细内容图。

[0039] 图 15 是表示在于本发明实施方式 3 的半导体器件的降压开关部的 PMOS 晶体管及外围部分的布局的详细内容图。

[0040] 图 16 是表示本发明实施方式 4 的半导体器件的焊盘与多个第 2 内部电路的连接图。(a) 是表示第 2-1 内部电路与第 2-2 内部电路连接于焊盘,且在焊盘与第 2-2 内部电路之间连接有焊盘 X 的图。(b) 是表示第 2-1 内部电路、第 2-2 内部电路、第 2-3 内部电路及第 2-4 内部电路共同地连接于焊盘的图。

[0041] 图 17 是本发明实施方式 5 的半导体器件的引线引脚与第 1 金属线、第 2 金属线及第 3 金属线的连接部的放大图。(a) 是表示第 1 焊盘及第 3 焊盘,分别以多个第 1 金属线及第 3 金属线与引线引脚连接的状态图。(b) 是表示多个第 1 焊盘及第 3 焊盘分别以多个第 1 金属线及第 3 金属线与引线引脚连接的状态图。

[0042] 图 18 是表示本发明实施方式 6 的半导体器件的调整器电路及外围部分的详细内容图。

[0043] 图 19 是表示本发明实施方式 7 的半导体器件的调整器电路及外围部分的详细内容图。

[0044] 图 20 是表示本发明实施方式 8 的半导体器件的调整器电路及外围部分的详细内容图。

[0045] 图 21 是表示本发明实施方式 9 的半导体器件的调整器电路及外围部分的详细内容图。

[0046] 图 22 是本发明实施方式 10 的半导体器件的封装构造的平面图。

[0047] 图 23 是本发明实施方式 10 的半导体器件的封装构造的剖面图。(a) 是图 22 的 A-A' 的剖面图。(b) 是图 22 的 B-B' 的剖面图。

[0048] 图 24 是表示图 22 的平面图的比较例的详细内容图。

[0049] 图 25 是表示在焊盘配置于第 2 半导体芯片的第 1 长边时,第 1 焊盘、第 2 焊盘的外围部分的放大图。

[0050] 图 26 是表示并非将调整器电路配置于第 2 半导体芯片之下,而配置在不与第 2 半导体芯片重迭的区域时的图。

[0051] 图 27 是在调整器电路上重迭第 2 半导体芯片时,重迭在降压开关部以外的区域做层叠时的图。

[0052] 图 28 是表示一般的输入 / 输出电路的一例的详细内容图。

[0053] 图 29 是表示本发明实施方式 11 的半导体器件的封装构造的平面图。

[0054] 图 30 是表示本发明实施方式 12 的半导体器件的封装构造的平面图。

[0055] 图 31 是表示本发明实施方式 13 的半导体器件的封装构造的平面图。

[0056] 图 32 是表示本发明实施方式 13 的半导体器件的调整器电路及外围部分的详细内容图。

[0057] 图 33 是表示 AFE 与 MCU 的电池电压控制系统的详细内容的电路框图。

[0058] 图 34 是表示本发明实施方式 14 的半导体器件的封装构造的平面图。

[0059] 图 35 是表示本发明实施方式 14 的半导体器件的封装构造的剖面图。(a) 是图 34 的 A-A' 的剖面图。(b) 是图 34 的 B-B' 的剖面图。

[0060] 图 36 是表示本发明实施方式 15 的半导体器件的封装构造的平面图。

[0061] 图 37 是表示本发明实施方式 15 的半导体器件的封装构造的剖面图。(a) 是图 36 的 A-A' 的剖面图。(b) 是图 36 的 B-B' 的剖面图。

#### [0062] 符号的说明

[0063]	A、B、C、D、E、F、G、H、J	焊盘
[0064]	S、V、X、BP1、BP2	焊盘
[0065]	Ball	焊锡球
[0066]	Cap	电容器
[0067]	chip1	第 1 半导体芯片
[0068]	chip2	第 2 半导体芯片
[0069]	circ1	内部电路
[0070]	circ1-1	内部电路
[0071]	circ1-2	内部电路
[0072]	circ2	内部电路
[0073]	circ2-1	内部电路
[0074]	circ2-2	内部电路
[0075]	circ2-3	内部电路
[0076]	circ2-4	内部电路
[0077]	circ3	内部电路
[0078]	corner1	角
[0079]	corner2	角
[0080]	CS	定电流源
[0081]	extVcc	外部电源电压

[0082]	film1、film2	接着膜
[0083]	GND	接地电压（接地极）
[0084]	ifD	漏极电极的接触部
[0085]	ifS	源极电极的接触部
[0086]	IN	输入部
[0087]	inter	内插器衬底
[0088]	intVcc、intVcc2	内部电源电压
[0089]	Lac、Lbc、Lda、Lsv、t1、t2	距离
[0090]	La、Lv	长度
[0091]	LD1、LD2	触点
[0092]	Lead、VREG0、VREG1	引线引脚
[0093]	VREG2、Vcc、Vss	引线引脚
[0094]	VDD、VDD2	引线引脚
[0095]	LP	触点焊盘
[0096]	metal、metalA、metalB	金属布线
[0097]	metalC、metalH、metalJ	金属布线
[0098]	metalV、metalG、metalX	金属布线
[0099]	mold	封装体
[0100]	Ntr1、Ntr2	NMOS 晶体管
[0101]	PKG	封装
[0102]	pointA、pointB、pointC	连接点
[0103]	PowArea	电源区域
[0104]	Ptr1、Ptr2、Ptr3	PMOS 晶体管
[0105]	R1、R2	电阻
[0106]	Ref	比较部
[0107]	Reg	调整器电路
[0108]	Reg2	调整器电路
[0109]	Rvreg1、Rvdd	导体电阻
[0110]	RwireA、RwireB、RwireC	布线电阻
[0111]	S1、S2	区域
[0112]	secP	第二焊盘
[0113]	Sep	分压部
[0114]	SigArea	信号区域
[0115]	sig1、sig2、sig3、sig4	信号引脚
[0116]	SW	降压开关部
[0117]	tab	晶台
[0118]	Vback	输入电压
[0119]	via	通孔
[0120]	Vmon	监测电压

[0121]	Vref	参考电压
[0122]	wire、wireA、wireB	金属线
[0123]	wireC、wireD、wireE	金属线
[0124]	wireF、wireH、wireJ	金属线
[0125]	wireHJ、wireV、wireG	金属线
[0126]	wireSub	电路板上的布线
[0127]	1L1、2L1	第 1 长边
[0128]	1L2、2L2	第 2 长边
[0129]	1S1、2S1	第 1 短边
[0130]	1S2、2S2	第 2 短边

### 具体实施方式

[0131] 以下根据附图详细说明本发明的实施方式。为了说明实施方式的所有图中，原则上对具有同一功能的构件采用同一符号，省略掉重复的说明。另外，在除了需要特别说明的以外，对具有同一或同样的部分原则上不进行重复说明。

[0132] (实施方式 1)

[0133] 图 1 是本发明实施方式 1 的半导体器件的功能框图。

[0134] 如图 1 所示，在第 1 半导体芯片 chip1 之上，层叠第 2 半导体芯片 chip2，所述 2 个芯片收容于 1 个封装 PKG 内。

[0135] 例如，第 1 半导体芯片 chip1 具有模拟电路，是进行电源控制等的模拟芯片，第 2 半导体芯片 chip2 是控制所述模拟芯片，并进行信息处理的微型计算机芯片。

[0136] 第 1 半导体芯片 chip1 具有 1 个或多个输出将外部电源电压 extVcc 降压后的内部电源电压 intVcc 的调整器电路 Reg。

[0137] 而且，第 1 半导体芯片 chip1 经由信号引脚 sig1 与封装 PKG 外部进行信号的收发，具有 1 个或多个处理信息的内部电路 circ1。

[0138] 调整器电路 Reg 及内部电路 circ1 电连接于供给外部电源电压 extVcc 的引脚。

[0139] 第 2 半导体芯片 chip2 经由信号引脚 sig2 与封装 PKG 外部进行信号的收发，并具有 1 个或多个处理信息的内部电路 circ2。

[0140] 内部电路 circ2 电连接于调整器电路 Reg。

[0141] 内部电路 circ1 具有与内部电路 circ2 进行信号收发的信号引脚 sig3。

[0142] 内部电路 circ2 具有与内部电路 circ1 进行信号收发的信号引脚 sig4。

[0143] 信号引脚 sig3 与信号引脚 sig4 经由金属线 wire 电连接。

[0144] 此时，第 1 半导体芯片以高的电源电压进行动作，例如可以以 4 ~ 25V 进行动作。第 2 半导体芯片是以比第 1 半导体芯片低的电源电压进行动作，例如可以以 1.4 ~ 3.6V 进行动作。

[0145] 即，以半导体产品目录所示的最大电压值来进行比较时，第 1 半导体芯片为比第 2 半导体芯片的最大电压值高的半导体芯片。

[0146] 调整器电路 Reg、内部电路 circ1 及内部电路 circ2，与提供接地电压 GND 的引脚电连接。

[0147] 图 2 是本发明实施方式 1 的半导体器件的封装构造的平面图。

[0148] 图 3 是本发明实施方式 1 的半导体器件的封装构造的剖面图。

[0149] 图 3(a) 是图 2 的 A-A' 的剖面图。图 3(b) 是图 2 的 B-B' 的剖面图。

[0150] 如图 2 及图 3 所示,实施方式 1 的半导体器件的封装在本实施方式中使用 QFP(Quad Flat Package:方型扁平式封装)。

[0151] 如图 2 及图 3 所示,封装内有用于装载半导体芯片的晶座 tab。晶座 tab 以图中未示出的吊带导线保持于 4 个角落。晶座 tab 上装载有第 1 半导体芯片 chip1。

[0152] 第 1 半导体芯片 chip1 以及后述的第 2 半导体芯片 chip2 以使用半导体晶圆工艺技术形成有晶体管等的电路层的面为主面。另外,以与所述主面相对的面,即相反的面为背面。

[0153] 如图 3 所示,第 1 半导体芯片 chip1 的背面通过与例如晶座 tab 的表面和以热硬化性环氧接着膜 film1 等固定。晶座 tab 是由构成 QFP 的材料之一、在以金属性(导电性)材料所组成的导线架的制造阶段中,与吊带导线、引线引脚 Lead 等一起一体地成形。换言之,晶座 tab 为用于装载半导体芯片的导线架的一部分。

[0154] 在第 1 半导体芯片 chip1 的主面上,第 2 半导体芯片 chip2 的主面与第 1 半导体芯片 chip1 的主面朝相同的方向层叠。

[0155] 第 1 半导体芯片 chip1 的主面及第 2 半导体芯片 chip2 的背面亦以接着膜 film2 等固定。

[0156] 例如第 1 半导体芯片 chip1 及第 2 半导体芯片 chip2 的芯片厚度分别都是 150  $\mu\text{m}$  左右。另外,接着膜 film1 及接着膜 film2 的接着厚度分别都是 25  $\mu\text{m}$  左右。

[0157] 如图 2 所示,第 1 半导体芯片 chip1 及第 2 半导体芯片 chip2 为四角形,而在本实施方式中为长方形。

[0158] 另外,第 2 半导体芯片 chip2 的外形比第 1 半导体芯片 chip1 的外形小。因此,第 2 半导体芯片 chip2 的 4 个边被第 1 半导体芯片 chip1 的 4 个边围绕。

[0159] 另外,第 2 半导体芯片 chip2 的各边与第 1 半导体芯片 chip1 的各边并列层叠。

[0160] 如图 2 所示,第 1 半导体芯片 chip1 的主面上,内置的调整器电路 Reg 及内部电路 circ1 连接的多个焊盘 BP1 沿着芯片的各边配置。也可以说是所述多个焊盘 BP1 被配置成夹在第 1 半导体芯片 chip1 的各边与第 2 半导体芯片 chip2 的各边之间。

[0161] 另外,同样地,第 2 半导体芯片 chip2 的主面上的连接内部电路 circ2 的多个焊盘 BP2 被沿着芯片各边配置。

[0162] 另外,如图 2 所示,关于第 1 半导体芯片 chip1 的多个焊盘 BP1 及第 2 半导体芯片 chip2 的多个焊盘 BP2 的数量,图标中的数字只是为了方便说明而举出的适当数,实际数量可比图示的数多或少。

[0163] 如图 2 及图 3 所示,多个焊盘 BP1 及 BP2 由金属线 wire 连接至各自对应的多个引线(外部)引脚 Lead。所述金属线 wire 例如可为金线、铝(Al)线及铜(Cu)线等。所述金属线 wire 通过兼用了超音波和热的打线接合法等来连结。

[0164] 收容于封装 PKG 的第 1 半导体芯片 chip1 及第 2 半导体芯片 chip2 经由以金属线 wire 连接的引线引脚 Lead,由封装外部输入电源电压、接地电压,并且进行信号类的收发(相当于图 1 所示的信号引脚 sig1、sig2)。

[0165] 如图 2 及图 3 所示,第 1 半导体芯片 chip1 以及第 2 半导体 chip2 以热硬化性环氧类树脂等材料所构成,被由传递模法等形成的封装体 mold 覆盖。封装体 mold 的厚度,例如可为 1.4mm 左右。

[0166] 封装体 mold 具有保护半导体芯片受到来自外部的电性冲击及机械性冲击的作用。

[0167] 引线引脚 Lead 的一部分从封装体 mold 的 4 个边露出。

[0168] 此外,关于图 2 所示的封装的引线引脚 Lead 的数量,图标中的数字只是为了方便说明而举出的适当数,实际数量可比图示的数多或少。藉此,将 2 个半导体芯片进行层叠,并收容于 1 个封装内,比起以前的将 2 个封装排列安装于电路板上的方法相比,可减小安装面积。

[0169] 图 4 表示本发明实施方式 1 的半导体器件的调整器电路 Reg 及外围部分的详细内容。

[0170] 如图 4 所示,调整器电路 Reg 由比较部 Ref、降压开关部 SW 及分压部 Sep 构成。

[0171] 图 5 表示本发明实施方式 1 的半导体器件的比较部 Ref 的等价电路的详细内容。

[0172] 如图 5 所示,在本实施方式中,比较部 Ref 为由 PMOS 晶体管 Ptr1,Ptr2、NMOS 晶体管 Ntr1,Ntr2 及定电流源 CS 所构成的电流镜型放大电路。

[0173] 如图 4 及图 5 所示,降压开关部 SW 由 PMOS 晶体管 Ptr3 构成。

[0174] 如图 4 及图 5 所示,分压部 Sep 由电阻 R1 及电阻 R2 构成。另外,电阻 R1 及电阻 R2 为在半导体芯片中使用多晶硅等所形成的电阻。

[0175] 如图 4 及图 5 所示,构成调整器电路 Reg 的晶体管及电阻等分别用金属布线 metal 连接。金属布线 metal 为使用半导体晶圆工艺技术等,以铝 (Al)、铜 (Cu) 等形成的布线。

[0176] 如图 4 所示,配置于第 1 半导体芯片 chip1 的主面的焊盘 V,为通过金属布线 metalV 连接于内部电路 circ1 及调整器电路 Reg,并输入外部电源电压 extVcc 的外部电源输入焊盘。

[0177] 焊盘 V 通过金属线 wireV 与输入外部电源电压 extVcc 的引线引脚 Vcc 连接。

[0178] 如图 4 所示,配置于第 1 半导体芯片 chip 1 的主面的焊盘 A,为通过金属布线 metalA 与调整器电路 Reg 的降压开关部 SW 的漏极电极连接,并输出内部电源电压 intVcc 的内部电源输出焊盘。

[0179] 如图 4 所示,配置于第 1 半导体芯片 chip1 的主面的焊盘 B,通过金属布线 metalB 与调整器电路 Reg 的分压部 Sep 连接,为用于输入在调整器电路 Reg 内用于与后述的参考电压 Vref 比较的输入电压 Vback 的监测焊盘。

[0180] 分压部 Sep 通过金属布线 metal 与具有用于输入 2 个比较用电压的比较部 Ref 的输入部 IN 连接。

[0181] 如图 4 所示,配置于第 2 半导体芯片 chip2 的主面的焊盘 C,通过金属布线 metalC 与内部电路 circ2 连接,为输入内部电源电压 intVcc 的内部电源输入焊盘。

[0182] 焊盘 A、B、C 分别通过金属线 wireA、B、C 与输出内部电源电压 intVcc 的引线引脚 VREG1 连接。

[0183] 如图 4 所示,在引线引脚 VREG1 与接地极 GND 之间,连接有补偿内部电源电压 intVcc 的相位补偿及稳定电压的调整器容量的电容器 Cap。调整器容量的电容器,一般多

为设有  $\mu\text{F}$  等级的大容量。因此,最好使用电解电容。电容器 Cap 安装于封装 PKG 的外侧,即与封装 PKG 一起安装在电路板上。

[0184] 如图 4 所示,配置于第 1 半导体芯片 chip1 的主面的 1 个或多个焊盘 H,为通过金属布线 metalH 与内部电路 circ1 连接,并与内部电路 circ2 进行信号收发的焊盘。另外,焊盘 H 相当于图 1 的信号引脚 sig3。

[0185] 如图 4 所示,配置于第 2 半导体芯片 chip2 的主面的 1 个或多个焊盘 J,为通过金属布线 metalJ 与内部电路 circ2 连接,并与内部电路 circ1 进行信号收发的焊盘。此外,焊盘 J 相当于图 1 的信号引脚 sig4。

[0186] 焊盘 H 与焊盘 J 通过金属线 wireHJ 连接。

[0187] 如图 4 所示,配置于第 1 半导体芯片 chip1 及第 2 半导体芯片 chip2 的主面的 1 个或多个焊盘 G,为通过金属布线 metalG 与调整器电路 Reg、内部电路 circ1 及内部电路 circ2 连接,并供给有接地电压 GND 的接地极焊盘。

[0188] 多个焊盘 G,通过金属线 wireG 与供给有接地电压 GND 的 1 个或多个引线引脚 Vss 连接。

[0189] 下面说明图 4 所示电路的动作。

[0190] 调整器电路 Reg 为产生将外部电源电压 extVcc 降压后的内部电源电压 intVcc 的电路。

[0191] 内部电源电压 intVcc 由焊盘 A 输出,并经由引线引脚 VREG1 从第 2 半导体芯片 chip2 的焊盘 C 输入。

[0192] 由焊盘 C 输入的内部电源电压 intVcc,被输入第 2 半导体芯片 chip2 的内部电路 circ2。藉此,内部电路 circ2,即第 2 半导体芯片 chip2 为可以动作的状态。

[0193] 调整器电路 Reg 的比较部 Ref 中,输入对于周围的温度变化而电压值变化小的带隙电路所产生的参考电压 Vref。

[0194] 图 6 为表示本发明实施方式 1 的半导体器件的带隙电路的一例。

[0195] 一般地,在通常的电路中,电压的电压偏差值相对于目标电压值为  $\pm 3\%$  左右。通过使用带隙电路生成电压,可在对温度变动为  $0 \sim 60^\circ\text{C}$  的范围内将电压偏差值抑制在目标电压值的  $\pm 0.5\%$  左右。

[0196] 如图 4 所示,由引线引脚 VREG1 反馈的内部电源电压 intVcc,即由焊盘 B 输入而进入分压部 Sep 的输入电压 Vback,通过电阻 R1 及电阻 R2 被分压成与参考电压 Vref 的电压值相等的监测电压 Vmon。

[0197] 调整器电路 Reg 的比较部 Ref 通过调整供给 PMOS 晶体管 Ptr3 的栅极的电压,调整内部电源电压 intVcc 的大小,以使得输入至输入部 IN 的参考电压 Vref 与监测电压 Vmon 相等。

[0198] 以上说明了关于在层叠有 2 个半导体芯片收容于同一封装的半导体器件中,由一边的芯片向另一边的芯片供给电源电压,并在 2 个半导体芯片之间进行信号的收发的构造。如果在多数特征中以例子来说明的话,例子如下。但是,并非仅限于以下各例。

[0199] 其中 1 个例为关于第 1 半导体芯片 chip1 的内部电源输出焊盘(焊盘 A)、监测器焊盘(焊盘 B)及层叠的第 2 半导体芯片 chip2 的内部电源输入焊盘(焊盘 C)的配置关系。

[0200] 另一例为关于收发第 1 半导体芯片 chip1 与第 2 半导体芯片 chip2 的信号的焊盘

的连接方法及其配置。

[0201] 关于这些特征,以下使用比较例进行详细说明。

[0202] 图 7 为与图 2 所示的本发明实施方式 1 的半导体器件的封装构造的平面图的比较例的详细内容图。

[0203] 如图 7 所示,焊盘 A 及焊盘 B 为在第 1 半导体芯片 chip1 的主面上,沿着 4 个边之中的 1 边配置,在本实施方式中为沿着一边的长边配置。

[0204] 其次,焊盘 C 为在第 2 半导体芯片 chip2 的主面上,沿着与配置有焊盘 A 及焊盘 B 的边相反的第 2 半导体芯片 chip2 的长边而配置。

[0205] 焊盘 A 及 B 通过金属线 wireA 及金属线 wireB 分别与多个引线引脚 Lead 之中的引线引脚 VREG1 共同连接。

[0206] 另外,引线引脚 VREG1 与引线引脚 VDD 通过藉由将铜 (Cu) 等进行蚀刻所形成的电路板上的布线 wireSub 被连接,并且引线引脚 VDD 通过金属线 wireC 与焊盘 C 连接。

[0207] 对此,图 2 所示的本发明实施方式 1 的半导体器件的焊盘 C,为在第 2 半导体芯片 chip2 的主面上,沿着与配置有焊盘 A 及焊盘 B 的边并排的第 2 半导体芯片 chip2 的边配置。

[0208] 另外,焊盘 A、B、C 分别通过金属线 wireA、B、C 共通地与引线引脚 VREG1 连接。

[0209] 亦可说是焊盘 A、B、C 经由引线引脚 VREG1 分别通过金属线 wireA、B、C 电连接。

[0210] 如上所述,通过层叠芯片使 2 个芯片的各边并排,将焊盘 A、B、C 分别沿着 2 个芯片所排列的边配置,并通过金属线 wire 将所述焊盘共通地连接于引线引脚 VREG1,与以电路板上的布线 wireSub 连接相比,可使布线长度变短。通过缩短布线长度,可使布线电阻变小,故可减少内部电源电压 intVcc 的电压降。

[0211] 另外,在图 2 中,由于不需要图 7 所示的引线引脚 VDD,故亦可减少封装 PKG 的引脚数。

[0212] 图 8 表示图 2 及图 7 的等价电路的详细内容。

[0213] 图 8(a) 表示图 7 的等价电路的详细内容。图 8(b) 表示图 2 的等价电路的详细内容。

[0214] 如图 8(a) 所示,连接焊盘 A 与引线引脚 VREG1 的金属线 wireA 中具有布线电阻  $R_{wireA}$ 。连接焊盘 B 与引线引脚 VREG1 的金属线 wireB 中具有布线电阻  $R_{wireB}$ 。引线引脚 VREG1 中具有导体电阻  $R_{vreg1}$ 。在连接引线引脚 VREG1 与引线引脚 VDD 的电路板上的布线 wireSub 中具有布线电阻  $R_{wireSub}$ 。引线引脚 VDD 中具有导体电阻  $R_{vdd}$ 。连接焊盘 C 与引线引脚 VDD 的金属线 wireC 中具有布线电阻  $R_{wireC}$ 。

[0215] 即,图 7 所示的比较例的焊盘 A 与焊盘 C 之间的合计电阻  $R$  可用  $R = R_{wireA} + R_{vreg1} + R_{wireSub} + R_{vdd} + R_{wireC}$  表示。

[0216] 对此,如图 8(b) 所示,图 2 的本发明实施方式 1 的半导体器件的焊盘 A 与焊盘 C 之间的合计电阻  $R$  可用  $R = R_{wireA} + R_{vreg1} + R_{wireC}$  表示。

[0217] 图 2 的本发明实施方式 1 的半导体器件的焊盘 A 经由引线引脚 VREG1 与焊盘 C 连接。因此,在图 2 的本发明实施方式 1 的半导体器件中,由于没有电路板上的布线 wireSub 与引线引脚 VDD 的连接,所以布线长度可比图 7 中的比较例短。即,在图 2 的本发明实施方式 1 的半导体器件中,可使电阻比图 7 中的比较例小,可减小电路板上的布线 wireSub 的布

线电阻  $R_{\text{wireSub}}$  及引线引脚 VDD 的导体电阻  $R_{\text{vdd}}$  的部分。通过减小电阻,可减少内部电源电压  $\text{intVcc}$  的电压降。

[0218] 另外,流过的电流比流过金属线  $\text{wireB}$  的电流多的金属线  $\text{wireA}$  的金属线长度最好比金属线  $\text{wireB}$  的金属线的长度短。

[0219] 藉此,可使金属线  $\text{wireA}$  的布线电阻  $R_{\text{wireA}}$  变小,从而可减少内部电源电压  $\text{intVcc}$  的电压降。

[0220] 下面说明其特征。

[0221] 如图 7 的比较例所示,在第 1 半导体芯片  $\text{chip1}$  的主面中,沿着配置有焊盘 A、B 的边配置 1 个或多个焊盘 H。

[0222] 如图 4 所示,焊盘 H 通过金属布线  $\text{metalH}$  与第 1 半导体芯片  $\text{chip1}$  的内部电路  $\text{circ1}$  连接。

[0223] 接着,如图 7 的比较例所示,在第 2 半导体芯片  $\text{chip2}$  的主面中,沿着与配置有焊盘 C 的边相反(相对)的边配置 1 个或多个焊盘 J。

[0224] 如图 4 所示,焊盘 J 通过金属布线  $\text{metalJ}$  与第 2 半导体芯片  $\text{chip2}$  的内部电路  $\text{circ2}$  连接。

[0225] 焊盘 H 与焊盘 J 分别以金属线  $\text{wireH}$  及金属线  $\text{wireJ}$ ,经由各自对应的引线引脚  $\text{Lead}$  连接。

[0226] 藉此,第 1 半导体芯片  $\text{chip1}$  的内部电路  $\text{circ1}$  与第 2 半导体芯片  $\text{chip2}$  的内部电路  $\text{circ2}$  可进行信号的收发。

[0227] 对图 7 的比较例,图 2 所示的本发明实施方式 1 的半导体器件中,焊盘 H 为在第 1 半导体芯片  $\text{chip1}$  的主面上,沿着与配置有焊盘 A、B 的边不同的边而配置。在本实施方式中,焊盘 H 沿着与配置有焊盘 A、B 的边交叉的边而配置。

[0228] 另外,焊盘 J 也为在第 2 半导体芯片  $\text{chip2}$  的主面上中,沿着与配置有焊盘 C 的边不同的边配置,配置该焊盘 J 的边与配置有上述焊盘 H 的边并排。

[0229] 另外,焊盘 H 与焊盘 J 通过金属线  $\text{wireHJ}$  连接于芯片间。所述芯片间的连接通过打线接合法等形成。金属线  $\text{wireHJ}$  的金属线长度最好比金属线  $\text{wireA}$  短。藉此,可减少信号的恶化及延迟。

[0230] 另外,金属线  $\text{wireA}$  由于会有比金属线  $\text{wireB}$  多的电流流过,故金属线  $\text{wireA}$  的金属线长度最好比金属线  $\text{wireB}$  的金属线的长度短。由于以上原因,各金属线长度的关系变成:金属线  $\text{wireHJ} <$  金属线  $\text{wireA} <$  金属线  $\text{wireB}$ 。

[0231] 如图 2 所示,通过将焊盘 H 与焊盘 J 做芯片间连接,与图 7 所示的比较例中经由引线连接时相比,可使布线的长度变短。藉此,与图 7 所示的比例中,经由引线引脚  $\text{Lead}$  的连接时相比,可减少内部电路  $\text{circ1}$  与内部电路  $\text{circ2}$  之间的信号的恶化及延迟。

[0232] 另外,通过将焊盘 H 与焊盘 J 作芯片间连接,由于不需要用于连接的引线引脚  $\text{Lead}$ ,故可减少封装  $\text{PKG}$  的引脚数。另外还可将来自封装  $\text{PKG}$  外部的噪声对信号线的影响抑制至最小。

[0233] 如图 2 所示的本发明实施方式 1 的半导体器件中,包括焊盘 H 与焊盘 J 的信号区域  $\text{SigArea}$ ,及包括焊盘 A、焊盘 B、焊盘 C 及引线引脚  $\text{VREG1}$  的电源区域  $\text{PowArea}$  配置于彼此不同的边。下面将说明其理由。

[0234] 图 9 表示信号区域 SigArea 与电源区域 PowArea 排列于同一边时的详细内容。

[0235] 如图 9 所示,信号区域 SigArea 与电源区域 PowArea 排列配置时,内部电路 circ1 与内部电路 circ2 经由金属线 wireHJ 进行信号收发时,由信号区域 SigArea 与电源区域 PowArea 回绕形成的金属线 wire 将成为天线,有可能将从信号区域 SigArea 向电源区域 PowArea 传递噪声。此类噪声,多为以超过数百 MHz 的信号所产生的高频波噪声。特别是由于电源区域 PowArea 中具有 3 条金属线,故容易受到噪声的影响。

[0236] 因此,如图 2 所示,并不是将信号区域 SigArea 与电源区域 PowArea 排列配置,而通过互相配置于不同的边(在本实施方式中是直角方向),从而减少电源区域 PowArea 受到来自信号区域 SigArea 的噪声的影响。

[0237] 图 10 表示相对于配置有电源区域 PowArea 的边,而将信号区域 SigArea 配置于不同的边的例子的详细内容图。

[0238] 图 10(a) 表示在与配置有电源区域 PowArea 的边交叉的边上,配置有信号区域 SigArea 的例子的详细内容。图 10(b) 表示在与配置有电源区域 PowArea 的边相对的边上,配置有信号区域 SigArea 的例子的详细内容。

[0239] 图 10(a) 与图 2 相同,在与配置有电源区域 PowArea 的边交叉的边上配置有信号区域 SigArea。而且,所述信号区域 SigArea 配置在比配置有电源区域 PowArea 的边更靠近没配置有电源区域 PowArea 的边相对的边上。

[0240] 图 10(b) 所示的是在与配置有电源区域 PowArea 的边相对的边上配置有信号区域 SigArea。换言之,就是电源区域 PowArea 与信号区域 SigArea 夹着第 2 半导体芯片 chip2 而配置。

[0241] 如上述所示,图 10(a)(b) 均为将信号区域 SigArea 配置于与配置有电源区域 PowArea 的边不同的边上。藉此,由于电源区域 PowArea 与信号区域 SigArea 并不会并排,所以可减少电源区域 PowArea 受到来自信号区域 SigArea 的噪声的影响。所述信号区域 SigArea 的配置方法,可减少在封装内受限的空间中的噪声。

[0242] 图 11 表示与相对于配置有电源区域 PowArea 的边上,信号区域 SigArea 配置在不同边上与图 10 不同的例子的详细内容图。

[0243] 图 11 与图 10 的差异是焊盘 C 并非配置于与配置有焊盘 A、B 的边并排的边上,而是沿着与配置有焊盘 A、B 的边交叉的边而配置。如上所述,也可将电源区域 PowArea 横跨 2 个边配置。

[0244] 对此,信号区域 SigArea 为使用没配置有电源区域 PowArea 的对角侧的 2 个边配置。换言之,就是电源区域 PowArea 与信号区域 SigArea 夹着第 2 半导体芯片 chip2 而配置于对角方向。

[0245] 即使如图 11 所示地进行配置,也与图 10 的情况相同,由于电源区域 PowArea 并不会与信号区域 SigArea 并排,所以可减少来自信号区域 SigArea 的噪声。

[0246] 要是对图 10 及图 11 中的焊盘 A、B、C 的配置,以及焊盘 H 及焊盘 J 的配置进行总结则可作如下描述。

[0247] 第 1 半导体芯片 chip1 具有 4 个角,将其中 1 个角作为角 corner1 时,在 4 个角之中焊盘 A 及焊盘 B 接近于角 corner1 配置。

[0248] 同样地,第 2 半导体芯片 chip2 亦具有四个角,将其中的 1 个角作为角 corner2 时,

第 2 半导体芯片 chip2 为在第 1 半导体芯片 chip1 的主面上,使角 corner2 比第 1 半导体芯片的其它角更接近角 corner1 而层叠。而且,在 4 个角之中接近于焊盘 C 角 corner2 配置。

[0249] 其次,焊盘 H 配置在与构成第 1 角的边不同的边上,焊盘 J 配置在与配置有焊盘 H 的边并排的边上。

[0250] 另外,如图 10 及图 11 所示的引线引脚 VREG1 的两个相邻引脚,分配给无连接 NC 或接地电压(接地极)GND 比分配给信号或频率时更好。藉此,可减少带给内部电源电压 intVcc 的噪声。

[0251] 接着说明在信号区域 SigArea 中内部电路间的信号的收发对电源区域 PowArea 内的调整器电路 Reg 的动的影响,以及减少影响的方法。

[0252] 图 12 表示调整器电路 Reg、内部电路 circ1-1 及内部电路 circ1-2 分别连接于金属布线 metalV 与金属布线 metalG 的详细内容。内部电路 circ1-1 及内部电路 circ1-2 是指设有多个图 1 所示的内部电路 circ1。

[0253] 图 12(a) 表示将调整器电路 Reg、内部电路 circ1-1 及内部电路 circ1-2 分别共同连接于焊盘 G。图 12(b) 表示将连接有调整器电路 Reg 的焊盘 G 与连接有内部电路 circ1-1 及内部电路 circ1-2 的焊盘 G 分开设置时的情况。

[0254] 如图 12(a) 所示,调整器电路 Reg、内部电路 circ1-1 及内部电路 circ1-2 以金属布线 metalV 与由封装 PKG 的外部供给外部电源电压 extVcc 的焊盘 V 连接。

[0255] 另外,调整器电路 Reg、内部电路 circ1-1 及内部电路 circ1-2 以金属布线 metalG 与由封装 PKG 外部供给接地电压(接地极)GND 的焊盘 G 连接。

[0256] 内部电路 circ1-1 及内部电路 circ1-2 与内部电路 circ2 进行信号的收发时,则由各电路流出电流  $i$  至金属布线 metalG。金属布线 metalG 由于具有布线电阻  $R$ ,且有来自 2 个电路的电流流过,故会产生  $2iR (= V)$  电压。

[0257] 此时,有可能所产生的  $2iR (= V)$  使接地极 GND 的电位上升(发生接地极偏移)的情况。然后,连接于相同焊盘 G 的调整器电路 Reg 的接地极 GND 亦因电位上升而有可能变得动作不稳定。

[0258] 为了避免如上所述的调整器电路 Reg 的不稳定动作,如图 12(b) 所示,可将连接有调整器电路 Reg 的焊盘 G、及连接有内部电路 circ1-1 及内部电路 circ1-2 的焊盘 G 分开设置。

[0259] 即,最好将电源区域 PowArea 的焊盘 G 及信号区域 SigArea 的焊盘 G 分开设置。

[0260] 通过分开设置焊盘 G,如图 12(b) 所示,即使内部电路 circ1-1 及内部电路 circ1-2 与内部电路 circ2 进行信号收发,电流也不会流入调整器电路 Reg 的接地极 GND,所以接地极 GND 的电位亦不会上升,由此可以减少调整器电路 Reg 的动作不稳定的情况。

[0261] 以上说明了实施方式 1 的半导体器件的几个特征。

[0262] 主要的 1 例是将 2 个芯片层叠,并将焊盘 A、B、C 分别配置于各个芯片并排的边上,将所述焊盘分别通过金属线 wireA、B、C 共通地连接。

[0263] 藉此,与通过电路板上的布线连接相比,可使布线长度变短,从而使内部电源电压 intVcc 不容易接受到来自布线电阻的电压降的影响。

[0264] 另一例是沿着与配置有焊盘 A、B、C 的边不同的边配置焊盘 H 及焊盘 J,且以金属

线 wireHJ 做芯片间接合连接。

[0265] 藉此,可使布线长度比经由引线引脚 Lead 连接时短,所以可减少信号恶化。另外,通过将电源区域 PowArea 与信号区域 SigArea 配置于不同的边而非并排,所以电源区域 PowArea 不容易接受来自信号区域 SigArea 的噪声。

[0266] 再者,虽已于实施方式 1 中说明了多个特征,但并非是说必须要全部具备这些特征,而只要具有所述特征中的 1 个即可,亦可为多个特征的组合。这点在以后所说明的实施方式中亦相同。

[0267] (实施方式 2)

[0268] 图 13 是本发明实施方式的半导体器件的引线引脚 VREG1 与金属线 wireA、B、C 的连接部的放大图。

[0269] 图 13(a) 表示金属线与引线引脚的连接点 pointC 比连接点 pointB 更接近连接点 pointA 的位置的状态。图 13(b) 表示金属线与引线引脚的连接点 pointC 在连接点 pointA 与连接点 pointB 之间的位置的状态。

[0270] 如图 13(a) 所示,内部电源输出焊盘的焊盘 A 与引线引脚 VREG1 通过金属线 wireA 连接。将所述金属线 wireA 与引线引脚 VREG1 的连接部为连接点 pointA。

[0271] 监测器焊盘的焊盘 B 与引线引脚 VREG1 通过金属线 wireB 连接。将该金属线 wireB 与引线引脚 VREG1 的连接部作为连接点 pointB。

[0272] 内部电源输入焊盘的焊盘 C 与引线引脚 VREG1 通过金属线 wireC 连接。使所述金属线 wireC 与引线引脚 VREG1 的连接部作为连接点 pointC。

[0273] 从焊盘 A 输出,经过金属线 wireA 及连接点 pointA 输入至引线引脚 VREG1 的内部电源电压 intVcc,经过从连接点 pointC 输入的金属线 wireC 进入焊盘 C。

[0274] 此时,由于连接点 pointB 比连接点 pointC 更接近连接点 pointA,所以为从连接点 pointA 附近取出输入电压 Vback 的状态。

[0275] 相对于图 13(a),图 13(b) 表示连接点 pointC 设于连接点 pointA 与连接点 pointB 之间的状态。

[0276] 通过在连接点 pointA 与连接点 pointB 之间设置连接点 pointC,连接点 pointB 可从连接点 pointC 附近取出输入电压 Vback。

[0277] 藉此,不从连接点 pointA 附近取出,而是从连接点 pointC 附近取出输入电压 Vback,可以从更接近焊盘 C 的位置取出。内部电源电压 intVcc 在输入至焊盘 C 前的布线路径中,会因布线电阻等影响而逐渐地产生电压降。因此,在接近焊盘 C 的位置取出输入电压 Vback,可更好地得到高精度的电压。

[0278] 另外,为了提升精度,最好使连接点 pointC 接近连接点 pointB。即,最好是使连接点 pointB 至连接点 pointC 的距离 Lbc 比从连接点 pointA 至连接点 pointC 的距离 Lac 短。基于与上述相同的理由,由此可获得更高精度的电压。

[0279] (实施方式 3)

[0280] 图 14 表示本发明实施方式 3 的半导体器件的降压开关部 SW 的 PMOS 晶体管 Ptr3 及外围部分的剖面的详细内容。

[0281] 如图 14 所示,输入有外部电源电压 extVcc 的焊盘 V 通过金属布线 metalV 与 PMOS 晶体管 Ptr3 的源极电极的接触部 ifS 连接。

[0282] 另外,输出内部电源电压 intVcc 的焊盘 A 通过金属布线 metalA 与 PMOS 晶体管 Ptr3 的漏极电极的接触部 ifD 连接。

[0283] 例如,将具有 4~25V 电压值的外部电源电压 extVcc,通过调整器电路 Reg 降压到具有 1.4~3.6V 电压值的内部电源电压 intVcc 时,因图 4 所示的金属布线 metalV 的布线电阻造成的电压降对半导体器件的稳定动作影响方面,大多情况下并不需要考虑。

[0284] 但是,在 1.4~3.6V 的电压值较小的内部电源电压 intVcc 中,因图 4 所示的金属布线 metalV 的布线电阻造成的电压降,有时会招致内部电路 circ2 的不稳定动作,从而可能引发问题。

[0285] 基于上述理由,如图 14 所示从焊盘 A 至漏极电极的接触部 ifD 的长度 La 最好比从焊盘 V 至源极电极的接触部 ifS 的长度 Lv 短。

[0286] 通过使之变短,可减少内部电源电压 intVcc 因布线电阻产生的影响。

[0287] 另外,最好使金属布线 metalA 的布线宽度比金属布线(栅极布线)metal 的宽度宽。

[0288] 通过使布线宽度变宽,可减少布线电阻。

[0289] 图 15 表示本发明实施方式 3 的半导体器件的降压开关部 SW 的 PMOS 晶体管 Ptr3 及外围部分的布局的详细内容。

[0290] 难以比较上述焊盘 A 至漏极电极的接触部 ifD 的长度 La 与焊盘 V 至源极电极的接触部 ifS 的长度 Lv 时,由于性质方面并没有较大地变化,所以也可代用接触部与焊盘的直线距离的比较。

[0291] 即,最好分别将图 15 所示的焊盘 A 至漏极电极的接触部 ifD 的直线距离 Lda 配置为比焊盘 V 至源极电极的接触部 ifS 的直线距离 Lsv 短。

[0292] 另外,为使直线距离 Lda 比直线距离 Lsv 短,最好将调整器电路 Reg 配置于配置有焊盘 A 及焊盘 C 的边,这比起配置于没有焊盘 A 及焊盘 C 配置的边更好。

[0293] (实施方式 4)

[0294] 图 16 所示的是本发明实施方式 4 的半导体器件的焊盘 C 与多个内部电路 circ2 的连接图。

[0295] 图 16(a) 所示的是内部电路 circ2-1 与内部电路 circ2-2 连接于焊盘 C、且焊盘 C 与内部电路 circ2-2 之间连接有焊盘 X 的连接图。图 16(b) 所示的是内部电路 circ2-1、内部电路 circ2-2、内部电路 circ2-3、及内部电路 circ2-4 共通地连接于焊盘 C 的连接图。内部电路 circ2-1、内部电路 circ2-2、内部电路 circ2-3、及内部电路 circ2-4 是指设有多个图 1 所示的内部电路 circ2。

[0296] 如图 16(a) 所示,内部电路 circ2-2 是与内部电路 circ2-1 比较时,例如为比 CPU 等其它电路流过更多电流的电路。为更好地把握输入至这样有较多电流流过的内部电路 circ2-2 的电压精度,最好是焊盘 X 通过金属布线 metalX 与连接焊盘 C 及内部电路 circ2-2 的金属布线 metalC 连接。

[0297] 藉此,通过金属布线 metalX 连接焊盘 X,将从焊盘 X 取出的反馈至调整器电路 Reg 的输入电压 Vback 反馈至调整器电路 Reg,与图 4 所示的通过引线引脚 VREG1 取出相比,可取出精度较高的电压。

[0298] 另外,此时,如图 4 所示的第 1 半导体芯片 chip1 的焊盘 B 并不是连接于引线引脚

VREG1,而最好是使用图 16(a) 所示的焊盘 X 与金属线 wireB 连接。

[0299] 其次,有许多内部电路 circ2、且在第 2 半导体芯片 chip2 动作并有使电源 ON 或 OFF 的电路混在一起时,在各个电路上,因为需要许多的焊盘而较难于将各个电路连接到上述焊盘 X 而进行个别监测。

[0300] 对此,最好如图 16(b) 所示,使金属布线 metalC 由焊盘 C 分歧,分别连接至内部电路 circ2-1、内部电路 circ2-2、内部电路 circ2-3 及内部电路 circ2-4。

[0301] 藉此,经由引线引脚 VREG1 监测焊盘 C 的电压的焊盘 B,即使有 ON 的电路与 OFF 的电路混在一起,亦可对输入至内部电路 circ2 的电压整体作最低限度的监测。

[0302] (实施方式 5)

[0303] 图 17 是本发明实施方式 5 的半导体器件的引线引脚 VREG1 与金属线 wireA、B、C 的连接部的放大图。

[0304] 图 17(a) 是表示焊盘 A 及焊盘 C 分别通过以多条金属线 wireA 及金属线 wireC 与引线引脚 VREG1 连接的状态图。图 17(b) 是表示多个焊盘 A 及焊盘 C 分别通过多条金属线 wireA 及金属线 wireC 与引线引脚 VREG1 连接的状态图。

[0305] 如图 17(a) 所示,最好是使焊盘 A 及焊盘 C 的焊盘面积扩大到可连接多条金属线的程度,并使连接焊盘 A 与引线引脚 VREG1 的金属线 wireA 及连接焊盘 C 与引线引脚 VREG1 的金属线 wireC 为多条。

[0306] 通过将金属线 wireA 与金属线 wireC 设为多条,可降低 2 个焊盘(焊盘 A、焊盘 C)与引线引脚 VREG1 之间的布线电阻,从而减少内部电源电压 intVcc 的电压降。

[0307] 另外,亦可如图 17(b) 所示,通过使焊盘 A 以及焊盘 C 多焊盘化,从而将金属线 wireA 以及金属线 wireC 多条化。

[0308] 在本实施方式中,亦可降低 2 个焊盘(焊盘 A、焊盘 C)与引线引脚 VREG 1 间的布线电阻,从而减少内部电源电压 intVcc 的电压降。

[0309] (实施方式 6)

[0310] 图 18 所示的是本发明实施方式 6 的半导体器件的调整器电路及外围部分的详细内容。

[0311] 如图 18 所示,本发明实施方式 6 的半导体器件与实施方式 1 的主要差异,在于金属线 wireA 与引线引脚 VREG1 之外的引线引脚 VREG0 连接。

[0312] 另外,引线引脚 VREG1 与其它的引线引脚 VREG0,是通过安装有封装 PKG 的电路板上的布线 wireSub 连接。

[0313] 引线引脚的宽度狭窄时,造成使用的打线接合装置等的性能较低,而无法将 3 条金属线 wireA、B、C 一起连接于引线引脚 VREG1 时,如果引线引脚容许,最好如图 18 所示分成 2 个引线引脚进行连接。

[0314] 通过使所述 2 个引线引脚在封装 PKG 的外侧连接,可得到与实施方式 1 的半导体器件同等的效果。

[0315] (实施方式 7)

[0316] 图 19 所示的是本发明实施方式 7 的半导体器件的调整器电路及外围部分的详细内容。

[0317] 如图 19 所示,本发明实施方式 7 的半导体器件与实施方式 1 的主要差异,在于金

属线 wireC 并非连接于引线引脚 VREG1, 而是连接于作为内部电源输出焊盘的焊盘 A。

[0318] 通过使金属线 wireC 与焊盘 A 连接, 因不经过引线引脚 VREG1 而可使布线长度变短。因此, 可对焊盘 C 输入比实施方式 1 的半导体器件电压降少的内部电源电压 intVcc。

[0319] 但是, 由于焊盘 C 与引线引脚 VREG1 并没有连接, 从封装 PKG 外侧经由引线引脚 VREG1 可监测的电压并不是焊盘 C 的电压, 而是焊盘 A 的电压。

[0320] (实施方式 8)

[0321] 图 20 所示的是本发明实施方式 8 的半导体器件的调整器电路及外围部分的详细内容。

[0322] 如图 20 所示, 本发明实施方式 8 的半导体器件与实施方式 1 的主要差异, 在于金属线 wireB 并不是连接于引线引脚 VREG1, 而是连接于作为内部电源输入焊盘的焊盘 C。

[0323] 通过使金属线 wireB 与焊盘 C 连接, 可不经过引线引脚 VREG1 从焊盘 C 取出输入电压 Vback。藉此, 可使引线引脚 VREG1 所产生电压降部分消失, 所以比起实施方式 1 的半导体器件, 可取出精度更高的输入电压 Vback, 并反馈至调整器电路 Reg。

[0324] (实施方式 9)

[0325] 图 21 所示的是本发明实施方式 9 的半导体器件的调整器电路及外围部分的详细内容。

[0326] 如图 21 所示, 本发明实施方式 9 的半导体器件与实施方式 8 的主要差异在于金属线 wireA 并不是连接于引线引脚 VREG1, 而是连接于作为内部电源输入焊盘的焊盘 C。

[0327] 通过使金属线 wireA 与焊盘 C 连接, 因不经过引线引脚而可使布线长度变短。因此, 可对焊盘 C 输入比实施方式 8 的半导体器件精度更高的内部电源电压 intVcc。

[0328] 另外, 由于焊盘 B 经由金属线 wireB 与焊盘 C 连接, 所以比起与实施方式 8 的半导体器件, 可取出输入电压精度所提高的部分的高精度的输入电压 Vback, 并反馈至调整器电路上。

[0329] 以上, 说明了实施方式 1、6、7、8、9 的半导体器件。关于所述作为监测器焊盘的焊盘 B 的连接, 可大致分为二种。

[0330] 在实施方式 1、6、7 的半导体器件中, 焊盘 B 由引线引脚 VREG1 取出输入电压 Vback。

[0331] 即, 可说是监测器焊盘的焊盘 B, 电连接于内部电源输出焊盘的焊盘 A 与内部电源输入焊盘的焊盘 C 的连接路径间。

[0332] 另外, 实施方式 8、9 的半导体器件中, 焊盘 B 从焊盘 C 取出输入电压 Vback。

[0333] 即, 可说是监测器焊盘的焊盘 B, 经由内部电源输入焊盘的焊盘 C 电连接于内部电源输出焊盘的焊盘 A。

[0334] (实施方式 10)

[0335] 图 22 所示的是本发明实施方式 10 的半导体器件的封装构造的平面图。

[0336] 图 23 是本发明实施方式 10 的半导体器件的封装构造的剖面图。

[0337] 图 23(a) 是图 22 的 A-A' 的剖面图。图 23(b) 是图 22 的 B-B' 的剖面图。

[0338] 如图 22 及图 23 所示, 本发明实施方式 10 的半导体器件与实施方式 1 的主要差异, 在于第 2 半导体芯片 chip2 在第 1 半导体芯片 chip1 的主面上呈十字平面形状层叠。另外, 在没有第 2 半导体芯片 chip2 重叠的第 1 半导体芯片 chip1 的主面上所露出的区域集中配

置有多个焊盘 BP1。

[0339] 下面说明如此层叠的理由。

[0340] 图 24 所示的是相对于图 22 的平面图的比较例的详细内容。

[0341] 如图 24 所示,在本实施方式中,第 1 半导体芯片 chip1 与第 2 半导体芯片 chip2 的外形是大致相同的。此时,在第 1 半导体芯片 chip1 的主面上,如果将第 2 半导体芯片 chip2 以各个长边相互并排地层叠,则配置于第 1 半导体芯片 chip1 的主面上的多个焊盘 BP1 及焊盘 H 将被第 2 半导体芯片 chip2 掩盖。

[0342] 将 2 个芯片层叠时,上层芯片会覆盖下层芯片的主面时,如图 22 所示,为了确保用于配置下层芯片的焊盘的区域,最好考虑好上层芯片的装载方向再做层叠。

[0343] 通过确保用于配置下层芯片的焊盘的区域,可容易进行全体焊盘的配置。

[0344] 另外,如图 22 所示有几个通过层叠 2 个芯片而得。以下说明所述的例子。

[0345] 最初的例子是关于第 1 半导体芯片 chip1 的内部电源输出焊盘(焊盘 A)、监测器焊盘(焊盘 B)及第 2 半导体芯片 chip2 的内部电源输入焊盘(焊盘 C)的配置关系。

[0346] 如图 22 所示,第 1 半导体芯片 chip1 具有第 1 长边 1L1、第 2 长边 1L2、第 1 短边 1S1、第 2 短边 1S2。

[0347] 第 2 半导体芯片 chip2 具有第 1 长边 2L1、第 2 长边 2L2、第 1 短边 2S1、第 2 短边 2S2。

[0348] 如图 22 所示,焊盘 A 与焊盘 B 配置于第 1 半导体芯片 chip1 与第 2 半导体芯片 chip2 没有重叠的第 1 半导体芯片 chip1 的主面上的区域 S1。

[0349] 该区域 S1 是被第 1 半导体芯片 chip1 的第 1 短边 1S1 与第 2 半导体芯片的第 1 长边 2L1 所夹的区域

[0350] 而且,焊盘 A 与焊盘 B 是在区域 S1 上沿着第 1 长边 1L1 配置。

[0351] 焊盘 C 是在第 2 半导体芯片 chip2 的主面上沿着第 1 短边 2S1 配置。

[0352] 第 1 半导体芯片 chip1 的第 1 长边 1L1,与第 2 半导体芯片 chip2 的第 1 短边 2S1 是并排的边。因此,沿着所述的边配置的焊盘 A、B、C 均并排配置于同一侧。

[0353] 另外,焊盘 A、B、C 分别通过金属线 wireA、B、C 共通地连接于引线引脚 VREG1。

[0354] 换言之,就是焊盘 A、B、C 是经由引线引脚 VREG1,分别以金属线 wireA、B、C 电连接。

[0355] 如图 22 所示,即使是使 2 个芯片以十字平面形状层叠时,可将焊盘 A、B、C 沿着各个芯片所并排的边配置,并以金属线 wireA、B、C 分别共通地连接于引线引脚 VREG1。藉此,与实施方式 1 的半导体器件同样地,可使布线长度比以安装有封装 PKG 的电路板上的布线连接时短。

[0356] 下面说明下一个例子。

[0357] 如图 22 所示,在第 1 半导体芯片 chip1 的第 2 短边 1S2 与第 2 半导体芯片 chip2 的第 2 长边 2L2 所夹的第 1 半导体芯片 chip 的主面上设有区域 S2。

[0358] 在该区域 S2 上面,配置有 1 个或多个焊盘 H。

[0359] 而且,在第 2 半导体芯片 chip2 的主面,沿着第 2 半导体芯片 chip2 的第 2 长边 2L2 配置有 1 个或多个焊盘 J。

[0360] 焊盘 H 与焊盘 J,与实施方式 1 的半导体器件同样,通过金属线 wireHJ 进行芯片间

连接。

[0361] 藉此,与实施方式 1 的半导体器件同样地,第 1 半导体芯片 chip1 的内部电路 circ1 及连接于焊盘 J 的第 2 半导体芯片 chip2 的内部电路 circ2 可进行信号的收发。

[0362] 而且,关于本实施方式 10 的半导体器件,也与实施方式 1 的半导体器件一样,芯片间连接有焊盘 H、J 的信号区域 SigArea 配置的边,与焊盘 A、B、C 与引线引脚 VREG1 共通地连接的电源区域 PowArea 配置的边,为不同的边。

[0363] 藉此,与实施方式 1 的半导体器件一样,金属线 wire 成为天线,从而可减少从信号区域 SigArea 对电源区域 PowArea 所造成的噪声。

[0364] 下面说明下一个例子。

[0365] 如图 22 所示,在第 2 半导体芯片 chip2 的主面,沿着第 2 长边 2L2、第 1 短边 2S1 及第 2 短边 2S2 配置有多个焊盘 BP2。但是,并没有沿着第 1 长边 2L1 配置焊盘 BP2。

[0366] 对沿着第 2 半导体芯片 chip2 的第 1 长边 2L1 配置有焊盘 BP2 时的不良的事项加以说明。

[0367] 图 25 是在第 2 半导体芯片 chip2 的第 1 长边 2L1 配置有焊盘 BP2 时,焊盘 A、B 的外围部分的放大图。

[0368] 如图 25 所示,沿着第 2 半导体芯片 chip2 的第 1 长边 2L1 配置多个焊盘 BP2,并且连接有金属线 wire。另外,在区域 S1 上配置有焊盘 A、焊盘 B 及多个焊盘 BP1,同样地,与金属线 wire 连接。连接于焊盘 BP2 的金属线 wire,为覆盖连接于焊盘 A、焊盘 B 及多个焊盘 BP1 的金属线 wire 上。

[0369] 此时,若连接于焊盘 BP2 的金属线与连接于焊盘 A、焊盘 B 及多个焊盘 BP1 的金属线的距离(间隙)并不充分时,对形成封装 PKG 的封装体 mold 的成形模具注入熔融树脂时,因该注入压而发生使金属线倒塌现象的导线流,而会使金属线 wire 之间短路(短路)的情形变多。

[0370] 另一个是例如在通上内部电源电压 intVcc 的金属线 wireA,或通上输入电压 Vback 的金属线 wireB 上,有收发超过数百 MHz 的信号金属线 wire 时,将会以金属线 wire 作为天线而将噪声传播,从而有可能使内部电源电压 intVcc 受到噪声的影响。

[0371] 基于以上的理由,并不沿着第 2 半导体芯片 chip2 的第 1 长边 2L1 配置焊盘 BP2。

[0372] 下面说明下一个例子。

[0373] 在层叠于上层的第 2 半导体芯片 chip2 之下配置有调整器电路 Reg 时,调整器电路 Reg 在动作时所产生的热有可能对第 2 半导体芯片 chip2 的动作带来影响。

[0374] 如图 22 所示的本发明实施方式 10 的半导体器件中,例如假设将供给的最大 25V 的外部电源电压 extVcc,生成降压至 1.5V 的内部电源电压 intVcc。此时,调整器电路 Reg 中,流过最大 20mA 左右的电流\*。

[0375] 另外,假设 QFP 的热电阻为 51°C/W。

[0376] 则调整器电路 Reg 在动作时,为  $(25-1.5)(V) * 0.020(A) * 51(°C/W) = 23.97(°C)$ 、即,温度上升最大为大约 24°C。

[0377] 假设周围环境温度为 85°C,则调整器电路 Reg 上升 24°C 为 109°C。

[0378] 构成半导体芯片的材料,例如有硅(Si)。所述硅的热传导率是 168W/(m.K)。

[0379] 另外,构成封装体 mold 的环氧树脂的热传导率是 0.21W/(m.K)。

[0380] 硅的热传导率比环氧树脂大。即,半导体芯片比封装体容易传导热。

[0381] 第 2 半导体芯片 chip2 经由接着膜 film2 层叠于第 1 半导体芯片 chip1 之上。

[0382] 接着膜 film2 一般由环氧树脂构成,由于膜厚度较薄(25  $\mu\text{m}$  左右),在此可以忽略其阻碍热传导。

[0383] 调整器电路 Reg 配置在第 2 半导体芯片 chip2 下时,其热量(在此是 109 $^{\circ}\text{C}$ )将被传至第 2 半导体芯片 chip2。

[0384] 一般而言,半导体芯片的接面温度为 150 $^{\circ}\text{C}$  左右,达到该温度时则接面漏电流会增大,从而可能造成芯片的动作不稳定。实际上亦有从超过 120 $^{\circ}\text{C}$  时起,漏电流即以  $\mu\text{A}$  的幂次急剧地变大的情况。

[0385] 来自调整器电路 Reg 的热量(在此是 109 $^{\circ}\text{C}$ )传入第 2 半导体芯片 chip2,例如在该温度前后饱和时,芯片对接面温度的容许范围会变小。

[0386] 而且,第 2 半导体芯片 chip2 流过比在本实施方式中所计算的 20mA 更大电流的芯片时,供给内部电源电压 intVcc 的调整器电路 Reg 的发热量也会变大,容许范围将变得更小。

[0387] 因此,对于芯片的接面温度,为了确保容许范围,如图 26 所示,并不是将调整器电路 Reg 配置于第 2 半导体芯片 chip2 下,而最好是配置于区域 S1。

[0388] 藉此,可使第 2 半导体芯片 chip2 不容易受到热的影响。

[0389] 例如在布局上,第 2 半导体芯片 chip2 与调整器电路 Reg 重叠时,最好使调整器电路 Reg 由第 2 半导体芯片 chip2 露出于第 1 长边 2L1 外的部分的面积比没有露出的部分的面积大。

[0390] 一般地,用于生成外部电源电压 extVcc 降压后的内部电源电压 intVcc 的降压开关部 SW,为调整器电路 Reg 之中产生热最多的部分。因此,在调整器电路 Reg 上层叠第 2 半导体芯片 chip2 时,如图 27 所示,最好在降压开关部 SW 之外的区域重叠层叠。

[0391] 如上所述,通过至少使调整器电路 Reg 的降压开关部 SW 不与第 2 半导体芯片 chip2 重叠,可减少传入第 2 半导体芯片 chip2 的热量,从而可减少第 2 半导体芯片 chip2 的不稳定动作。

[0392] 以下说明下一个例子。

[0393] 在上层芯片的位于调整器电路 Reg 的上方的区域,最好不要配置进行信号输入/输出的焊盘。

[0394] 图 28 所示的是一般的输入/输出电路的一例的详细内容。

[0395] 如图 28 所示,内部电路 circ2-1 以金属布线 metal 与输出电路 outcirc 的输入部 OI 连接。

[0396] 另外,内部电路 circ2-2 以金属布线 metal 与输入电路 incirc 的输出部 IO 连接。

[0397] 焊盘 S 以金属布线 metal 与输出电路 outcirc 的输出部 OO 及输入电路 incirc 的输入部 II 连接。藉此,内部电路 circ2-1 及内部电路 circ2-2 经由焊盘 S 与其它电路进行信号的收发。

[0398] 内部电路 circ2-1、内部电路 circ2-2 及内部电路 circ2-3 以金属布线 metalG 分别与接地极 GND 连接。

[0399] 从内部电路 circ2-1 经由输出电路 outcirc 对焊盘 S 输出信号时,由于输出电路

outcirc 的晶体管尺寸大多比输入电路 incirc 大（栅极宽度大），所以将会流过比输入电路 incirc 更大的电流。

[0400] 此时，在连接输出电路 outcirc 与接地极 GND 的金属布线 metalG 中会有电流  $i$  流过。

[0401] 金属布线 metalG 具有布线电阻  $R$ ，而在此将产生  $iR (= V)$  的电压。

[0402] 此时，因产生的  $iR (= V)$  使接地极 GND 的电位上升（接地偏移），连接于金属布线 metalG 的内部电路 circ2-3 有可能受其影响而导致动作变得不稳定。

[0403] 特别是内部电路 circ2-3 为以微小电流动作的模拟电路时，更容易受到此影响。

[0404] 例如，电压的限值在电源附近或在接地极附近的模拟电路，或如检测用于测定功率晶体管的 ON 电阻的严格的检测限值的电路等。

[0405] 如上所述，在进行信号输入 / 输出的焊盘 S 中连接有输入电路 incirc 或输出电路 outcirc，所述输入 / 输出电路，如上所述，信号收发时容易使接地极 GND 电位上升（接地偏移）。

[0406] 因此，将焊盘 S 配置于调整器电路 Reg 的附近时，连接于焊盘 S 的输入电路 incirc 或输出电路 outcirc，将受到来自调整器电路 Reg 的热的影响，而出现接地极 GND 的限值进一步发生变化的情况。此时，连接于该接地极 GND 的其它的电路亦会随着该限值的变化而变得更加不稳定的状态。

[0407] 基于上述原因，上层芯片的位于调整器电路 Reg 上的部分，最好不要配置进行信号输入 / 输出的焊盘。

[0408] 而且，将多个芯片层叠收容于 1 个封装时，层叠芯片的顺序最好考虑以下几点。

[0409] 有会发热的芯片，且其会对其他的芯片的动作带来影响时，最好将发热的芯片置于最下层。

[0410] 最下层芯片如图 22 及图 23 所示，于封装 (QFP) 内与晶座 tab 粘接。

[0411] QFP 为使用将引线引脚 Lead、晶座吊挂导线及晶座 tab 一体成形的导线架组装而成的封装。所述导线架的材质以铜 (Cu) 类为多。

[0412] 铜 (Cu) 的热传导率为  $398\text{W}/(\text{mK})$ ，比  $168\text{W}/(\text{mK})$  的硅热传导率高，所以比较容易将热传导。

[0413] 因此，通过将发热的芯片配置于最下层，晶座起到散热片 (heatsink) 的作用，由此可减少热传至上层芯片。

[0414] 另外，为有焊盘数较多的芯片时，最好将该芯片层叠于最上层。

[0415] 通过层叠于最上层，可于 4 个边全部配置焊盘，由此可容易以金属线连接焊盘与引线引脚（使打线接合变得容易）。

[0416] 如图 22 所示，为了使区域 S1 的面积比区域 S2 的面积大，最好在第 1 半导体芯片 chip1 之上层叠第 2 半导体芯片 chip2 ( $S1 > S2$ )。即，使第 1 半导体芯片 chip1 的第 1 短边 1S1 至第 2 半导体芯片 chip2 的第 1 长边 2L1 的距离  $t1$  大于第 1 半导体芯片 chip1 的第 2 短边 1S2 至第 2 半导体芯片 chip2 的第 2 长边 2L2 的距离  $t2$  长 ( $t1 > t2$ )。

[0417] 藉此，比起距离  $t1$  与距离  $t2$  的关系  $t1 \leq t2$  时，可收发内部电路 circ1 与内部电路 circ2 的信号的金属线 wireHJ 的金属线长度变短，由此可减少信号的恶化及延迟。另外，还可增加配置于区域 S1 的焊盘数。

[0418] 以上,说明了实施方式 10 的半导体器件的几个特征。并不需要全部具备所述特征,可为具有所述特征之中的 1 个特征或为多个特征的组合。

[0419] (实施方式 11)

[0420] 图 29 是本发明实施方式 11 的半导体器件的封装构造的平面图。

[0421] 如图 29 所示,本发明实施方式 11 的半导体器件与实施方式 10 的差异,在于焊盘 A 及焊盘 B 并不是配置于第 1 半导体芯片 chip1 的第 1 长边 1L1,而是沿着与配置有焊盘 C 的边交叉的方向上的第 1 半导体芯片 chip1 的第 1 短边 1S1 配置。

[0422] 即使如上所述地配置焊盘 A、B、C,亦与实施方式 10 的半导体器件相同,可使布线长度比通过电路板上的布线连接时短,从而减少内部电源电压 intVcc 因布线电阻导致的电压降。

[0423] 以上,至此,在本发明实施方式 10 及 11 所说明的主要内容,亦可如下进行说明。

[0424] 第 2 半导体芯片 chip2 具有:以第 1 长边 2L1 与第 1 半导体芯片 chip1 的第 1 短边 1S1 所夹的区域 S1;及以第 2 长边 2L2 与第 1 半导体芯片 chip1 的第 2 短边 1S2 所夹的区域 S2。而且,在区域 S1 中,将第 2 半导体芯片 chip2 层叠于第 1 半导体芯片 chip1 的主面以使得第 1 半导体芯片 chip1 的焊盘 BP1 露出且覆盖第 1 半导体芯片 chip1 的第 1 长边 1L1 及第 2 长边 1L2。

[0425] 第 1 半导体芯片 chip1 具有包括以第 1 短边 1S1 与第 1 长边 1L1 所构成的角 corner1 的四个角,焊盘 A 及焊盘 B 在区域 S1 上配置在比其它的角更接近角 corner1 之处。

[0426] 另外,第 2 半导体芯片 chip2 具有包括以所述第 1 短边 2S1 与第 1 长边 2L1 所构成的角 corner2 的四个角,焊盘 C 是在第 2 半导体芯片 chip2 的主面上配置在比其它的角更接近角 corner2 之处。

[0427] 而且,焊盘 H 配置在区域 S2 上,与焊盘 H 电连接的焊盘 J 在第 2 半导体芯片 chip2 的主面上沿着第 2 长边 2L2 配置。

[0428] (实施方式 12)

[0429] 图 30 是本发明实施方式 12 的半导体器件的封装构造的平面图。

[0430] 如图 30 所示,本发明实施方式 12 的半导体器件与实施方式 10 的差异,在于第 1 半导体芯片 chip1 的焊盘数比第 2 半导体芯片 chip2 的焊盘数多,而且,第 1 半导体芯片 chip1 层叠于第 2 半导体芯片 chip2 的主面上。

[0431] 如调整器电路 Reg 的发热小,无需经由晶座 tab 放热时,可在第 2 半导体芯片 chip2 的上层叠具有调整器电路 Reg 的第 1 半导体芯片 chip1。即使是如所述地将上下层的芯片交换时,最好将焊盘 A、B、C 分别以金属线 wireA、B、C 连接于引线引脚 VREG1。

[0432] 2 个芯片之中,通过使焊盘数较多的芯片在上层,可使焊盘全部露出,可对焊盘连接金属线 wire。

[0433] (实施方式 13)

[0434] 本发明实施方式 13 的半导体器件与实施方式 10 的差异,在于其构成为第 1 半导体芯片 chip1 具有 2 个调整器电路,而对第 2 半导体芯片 chip2 供给电压值不同的 2 种电源电压。

[0435] 图 31 是本发明实施方式 13 的半导体器件的封装构造的平面图。

[0436] 图 32 所示的是本发明实施方式 13 的半导体器件的调整器电路及外围部分的详细

内容。

[0437] 如图 32 所示,本发明实施方式 13 的半导体器件中,在调整器电路 Reg 上追加设置调整器电路 Reg2。

[0438] 调整器电路 Reg2 产生将外部电源电压 extVcc 降压的内部电源电压 intVcc2。

[0439] 内部电源电压 intVcc2 从焊盘 D 输出,并经由引线引脚 VREG2、电路板上的布线 wireSub 及引线引脚 VDD2 而输入焊盘 F。

[0440] 而且,调整器电路 Reg 从调整器电路 Reg2 供给内部电源电压 intVcc2,并产生将内部电源电压 intVcc2 降压后的内部电源电压 intVcc。

[0441] 因此,内部电源电压 intVcc2 的电压值,比内部电源电压 intVcc 的电压值高。

[0442] 如图 32 表示,焊盘 F 连接有内部电路 circ2-2。连接于焊盘 F 的内部电路 circ2-2,以比连接于焊盘 C 的内部电路 circ2-1 高的电压动作的电路。

[0443] 例如,内部电源电压 intVcc2 的电压值为 3.45V 左右,而内部电源电压 intVcc 的电压值为 1.5V 左右。

[0444] 如上所述,通过以图 32 所示的电路构成,可将通过多个半导体芯片的任何一个所产生的电压值不同的多个种类的电压,作为电源电压稳定地供给其它的半导体芯片。

[0445] 而且在本实施方式中,内部电源电压 intVcc2 为从引线引脚 VREG2 输出,经由电路板上的布线 wireSub,并供给引线引脚 VDD2 的结构。即,相对于内部电源电压 intVcc 在封装 PKG 内部供给第 2 半导体芯片 chip2 的内部电路 circ2-1,内部电源电压 intVcc2 为经过封装 PKG 外部供给内部电路 circ2-2。

[0446] 如上所述,因配置焊盘等的限制事项,而无法经由封装 PKG 内的金属线 wire 由一边的芯片向另一边的芯片供给内部电源电压时,最好是将一般地对布线电阻的影响少,且不是那么要求精度的电压值较高的电源电压,经由封装 PKG 外部的电路板上的布线 wireSub 供给其它的芯片。

[0447] 藉此,即使对焊盘的配置等的有所限制时,也不会对需要精度的电压值低的内部电源电压带来影响,由此可稳定地将多个种类不同的电压值的内部电源电压稳定供给其它的半导体芯片。

[0448] 另外,本发明实施方式 13 的半导体器件可用于各式各样的应用程序。

[0449] 例如,本发明实施方式 13 的半导体器件,可使用于移动电话或笔记本型计算机等数码机器的电源所用的锂离子电池(以下,称为「Li 电池」)的电池电压控制系统等。

[0450] 以下,说明关于 Li 电池的电池电压控制系统的应用例。

[0451] 在 Li 电池的电池电压控制系统中,第 1 半导体芯片 chip1 具有模拟电路,为进行电源控制等的模拟芯片。所述模拟芯片从连接的 Li 电池输入电压等信息,并进行处理。常被称为模拟前端 IC(以下,称为「AFE」)。

[0452] 第 2 半导体芯片 chip2 为控制 AFE,并处理信息的微型计算机芯片(以下,简称为「MCU」)。

[0453] 在 Li 电池的电池电压控制系统中,将 AFE 与 MCU 收容于一个封装的半导体器件,多被搭载于笔记本型计算机等的电池包内。

[0454] 图 33 所示的是 AFE 与 MCU 的电池电压控制系统的详细内容的电路框图。

[0455] 如图 33 所示,AFE 监视例如 4 支串联的 Li 电池 Li 的电压等。各个 Li 电池的 + 引

脚及 - 引脚连接于 AFE。并于终端的 + 引脚与 - 引脚之间连接有负荷或充电器。

[0456] AFE 按照来自 MCU 的命令,将各个 Li 电池电压以既定的倍率(例如 0.3 倍左右)放大,作为 GND 基准的模拟数据输出至 MCU。

[0457] MCU 根据从 AFE 所输入的模拟资料算出 Li 电池的电压。MCU 除了上述检测电池电压的手段以外,还具有检测充放电电流和温度的手段。

[0458] 而且,MCU 将根据所述检测结果与电池电压检测结果,判断过充电状态、过放电状态等的电池状态。

[0459] MCU 的判定结果将输出到 AFE。AFE 按照 MCU 的判定结果,将外接的功率 MOSFET 进行 ON/OFF。AFE 在内部具有 FET 控制部,并输出功率 MOSFET 的控制信号。

[0460] 功率 MOSFET 串联于充电及放电路径,并作为充放电开关进行动作。如上所述,通过本半导体器件,可将 Li 电池的电压控制在既定的电压范围内。

[0461] 另外,此时的 AFE 具有高耐压部(35V)及低耐压部(5V)。高耐压部设有连接 4 个 Li 电池(单电池胞的 Max 电压为 4.2V 左右)或 16 ~ 18V 左右的充电器的引脚等。

[0462] 低耐压部设有如与 MCU 的串行资料的 I/O 部等。这相当于图 31 所示的焊盘 H 及焊盘 J 经由金属线 Wire 连接芯片间连接的部分。

[0463] 另一方面,MCU 仅由低耐压部构成。

[0464] MCU 由 AFE 的调整器电路供给内部电源电压而动作。图 33 所示的引线引脚 VREG1 及引线引脚 VREG2 相当于其供应引脚。由引线引脚 VREG1 供给内部电源电压 intVcc,由引线引脚 VREG2 供给内部电源电压 intVcc2。另外,内部电源电压 intVcc 的电压值为 1.5V 左右,内部电源电压 intVcc2 的电压值为 3.45V 左右。MCU 将内部电源电压 intVcc 作为 MCU 电源、将内部电源电压 intVcc2 作为 MCU 电源及 LED 用电源使用。

[0465] (实施方式 14)

[0466] 图 34 是本发明实施方式 14 的半导体器件的封装构造的平面图。

[0467] 图 35 是本发明实施方式 14 的半导体器件的封装构造的剖面图。

[0468] 图 35(a) 为图 34 的 A-A' 的剖面图。图 35(b) 为图 34 的 B-B' 的剖面图。

[0469] 如图 34 及图 35 所示,本发明实施方式 14 的半导体器件与实施方式 10 的主要差异,将作为内部电源电压 intVcc 的相位补偿及对电压稳定化的调整器容量的电容器 Cap 组装入封装 PKG 内部。

[0470] 在晶座 tab 上,经由接着膜 film1 搭载内插器衬底 inter。内插器衬底 inter 以减去法等所形成的单层或 2 层左右的树脂衬底等或陶瓷衬底等。另外,也可为薄膜衬底。可有效地使衬底厚度变薄。

[0471] 第 1 半导体芯片 chip1 及第 2 半导体芯片 chip2 分别经由接着膜 film2、3 层叠于内插器衬底 inter 上。

[0472] 如图 34 所示,以第 1 半导体芯片 chip1 的第 1 长边 1L1、第 2 半导体芯片 chip2 的第 1 长边 2L1 及内插器衬底 inter 的外周所围的内插器衬底 inter 的主面,设有触点 LD1 及触点 LD2。而且,在所述触点 LD1 及触点 LD2 上搭载有电容器 Cap。

[0473] 电容器 Cap 最好使用可收容在封装 PKG(QFP) 中的程度的小面安装型。在本实施方式中,图示使用以层叠介电体片所形成的积层陶瓷芯片电容的例。另外,电容器 Cap 亦可为烧结金属钽粉所形成的钽质电解电容器。钽质电解电容器可得到比积层陶瓷电容器更大

的容量。

[0474] 电容器 Cap 的 2 个电极分别以焊锡或导电性糊料等电连接于触点 LD1 及触点 LD2。

[0475] 焊盘 A、B、C 分别以金属线 wireA、B、C 与触点 LD1 连接。另外，触点 LD2 以金属线 wireG 连接于供给接地电压（接地极）GND 的引线引脚 Vss。

[0476] 如上所述，通过在封装内组装入电容器 Cap，可减少电路板上的零件数。另外，由于焊盘 A、B、C 分别以金属线 wireA、B、C 共同地连接于触点 LD1，所以不需要如图 22 所示的引线引脚 VREG1。因此，可减少封装 PKG 的引脚数。

[0477] 另外，将 2 个芯片以十字平面形状层叠所获得的区域，即，于第 1 半导体芯片 chip1 的第 1 长边 1L1、第 2 半导体芯片 chip2 的第 1 长边 2L1 及内插器衬底 inter 的外周所围的内插器衬底 inter 的主面上的区域配置电容器 Cap，由此，无需扩大封装尺寸，便可使尺寸与实施方式 10 的半导体器件的封装 PKG 尺寸同等。

[0478] 另外，将电容器 Cap 连接于触点 LD1 及触点 LD2 的焊锡，最好使用铅 (Pb) 含有率为 90% 以上的高熔点焊锡。通过使用高熔点焊锡，可使焊锡熔点比在电路板上安装封装 PKG 时的回焊温度高。藉此，可防止焊锡在封装 PKG 内再熔融而造成电容器 Cap 电极间的短路 (short) 或封装龟裂。

[0479] 封装 PKG 需要对应无铅 (Pb) 时，最好使用有通用性、容易购得的 Sn-Ag 类或 Sn-Ag-Cu 类的焊锡作为无铅 (Pb) 焊锡。组成比为 Ag1.0 ~ 3.5%，Cu0 ~ 0.5%，其它的是 Sn。但是，无法避免在将封装 PKG 安装在电路板上的回焊时发生焊锡再熔融。因此，封装体 mold 可吸收（缓和），在焊锡发生熔融而体积膨胀时的其体积膨胀部分，最好事先采用树脂材料降低弹性率而使封装不会发生龟裂。

[0480] （实施方式 15）

[0481] 图 36 是本发明实施方式 15 的半导体器件的封装构造的平面图。

[0482] 图 37 是本发明实施方式 15 的半导体器件的封装构造的剖面图。

[0483] 图 37(a) 为图 36 的 A-A' 的剖面图。图 37(b) 为图 36 的 B-B' 的剖面图。

[0484] 如图 36 及图 37 所示，本发明实施方式 15 的半导体器件与实施方式 14 的主要差异在于封装 PKG 为 BGA (Ball Grid Array) 封装。

[0485] 第 1 半导体芯片 chip1 及第 2 半导体芯片 chip2 分别经由接着膜 film1、2 层叠于内插器衬底 inter 上。

[0486] 内插器衬底 inter 以建构法等形成的多层布线树脂衬底等。布线多以铜 (Cu) 等形成。

[0487] 第 1 半导体芯片 chip1 及第 2 半导体芯片 chip2 分别经由接着膜 film1、2 层叠于内插器衬底 inter 上。

[0488] 另外，于内插器衬底 inter 的主面配置有多个第二焊盘 secP。第 1 半导体芯片 chip1 的多个接合焊盘 BP1 及第 2 半导体芯片 chip2 的多个接合焊盘 BP2 分别以金属线 wire 连接对应的多个第二焊盘 secP。

[0489] 另外，如图 36 及图 37 所示，关于第二焊盘 secP 的数量，图字中的数字只是为了方便说明而举出的适当数，实际数量可比图字的数多或少。

[0490] 多个第二焊盘 secP 经由通孔 via 连接于封装 PKG 背面的触点焊盘 LP。此外触点焊盘 LP 上连接有焊锡球 ball。焊锡球 ball 的焊锡，多为 Sn-Pb 的共晶焊锡。封装 PKG 需

要对应无铅 (Pb) 时,最好使用通用性、容易购得的 Sn-Ag 类或 Sn-Ag-Cu 类的焊锡作为无铅 (Pb) 焊锡。组成比为 Ag 1.0 ~ 3.5%, Cu 0 ~ 0.5%, 其它的是 Sn。

[0491] 另外,如图 36 及图 37 所示,关于触点焊盘 LP 与焊锡球 ball 的数量,图字中的数字只是为了方便说明而举出的适当数,实际数量可比图字的数多或少。

[0492] 上述实施方式 14 的半导体器件中,搭载有电容器 Cap 的触点 LD2,通过金属线 wireG 与引线引脚 Vss 连接。本实施方式 15 的半导体器件中,触点 LD2 经由通孔 via 与供给有接地电压 (接地极) GND 的焊锡球 ball 连接。

[0493] 如上所述,通过将封装 PKG 由 QFP 改成 BGA,由于无需引线引脚 Lead,可使封装尺寸变小。而且,为 QFP 时所得的效果,在将封装形态改为 BGA 的本实施方式 15 的半导体器件时亦可得到同样的效果。

[0494] 以上,说明了本发明实施方式 1 至 15 的半导体器件。至此所述的任何发明,都是关于提供在将多个半导体芯片层叠于同一封装的半导体器件中,将多个半导体芯片的任何一个所产生的电压,作为电源电压供给其它的半导体芯片,从而可实现该半导体器件稳定地动作的技术。

[0495] 于至此说明的各实施方式的半导体器件的封装虽为 QFP 及 BGA,同时亦可为同是面安装封装的 CSP (Chip Size Package : 芯片尺寸封装) 或在封装的背面没有设置焊锡球的 LGA (Land Grid Array : 栅格阵列) 封装,并非限定于在本实施方式中所记载的封装种类。

[0496] QFP 引线引脚 (导线架) 可为金属性 (导电性) 材料的铜 (Cu) 类,亦可为铁 (Fe) 类与镍 (Ni) 的合金的合金 42。

[0497] 引线引脚以封装体为边界露出于封装外部,以安装时与电路板焊接的外引线,及以金属线 wire 于封装内部与半导体芯片连接的内引线所构成。

[0498] 外引线的表面施有外层镀敷。外层镀敷为 Sn-Pb 焊锡镀敷等。封装需要对应无铅化时为无铅焊锡镀敷。

[0499] 虽然图中所示的晶座的外形 (尺寸) 比搭载于 QFP 的晶座上的芯片外形 (尺寸) 大,相反地,为小亦可。

[0500] 晶座的外形 (尺寸) 比搭载于晶座上的芯片外形 (尺寸) 小时,芯片的背面会与封装体的树脂粘着。由于半导体芯片 (硅) 与树脂的界面粘着力比晶座 (金属) 与树脂的界面粘着力大,故可防止水分渗入晶座与树脂的界面。结果,通过焊锡回焊将封装安装于衬底时可抑制渗入水分因回焊的热产生膨胀而造成封装龟裂。

[0501] 另外,以上就使用接着膜层叠半导体芯片的构造进行了说明。亦可用接着涂料来代替接着膜。

[0502] 但是,比起接着涂料,接着膜在制造时的管理更容易。接着膜由于膜厚的偏差比接着涂料的供应量的偏差小,故芯片安装后的完成品偏差也较少。因此,容易管理接着后的膜 (接着膜) 的厚度。

[0503] 另外,对于接着后接着材料从芯片的溢出,接着膜比接着涂料少。溢出较少者可避免在下层芯片的焊盘沾到接合剂,从而可避免无法连接到金属线等不良。

[0504] 以上按照实施方式具体地说明了本案发明人所作的发明,但是本发明并不受到上述实施方式的限定,在不超出其要旨的范围下能够进行各种变更,在此无需赘言。另外,可

将实施方式 1 至 15 进行适当的组合,也可仅利用各实施方式的一部分进行适当的组合。

[0505] 本发明可广泛地用于制造半导体器件的制造业。

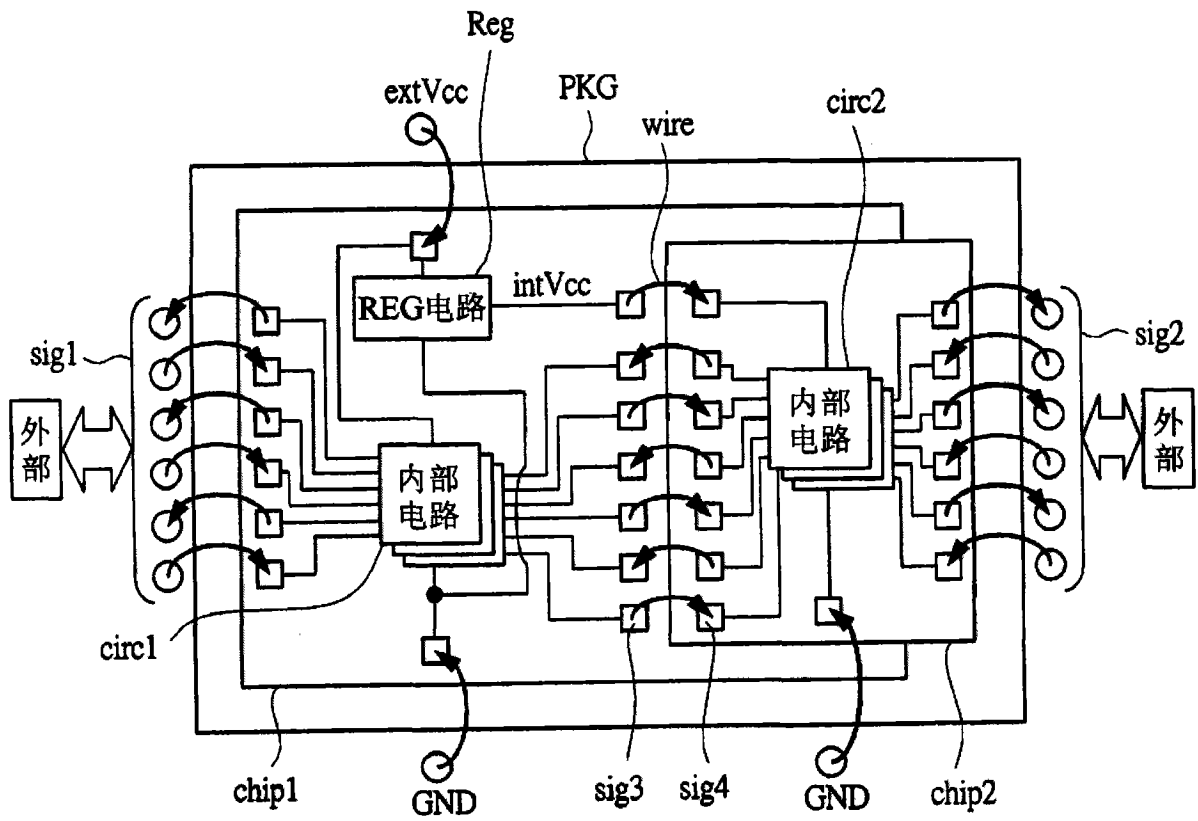


图 1

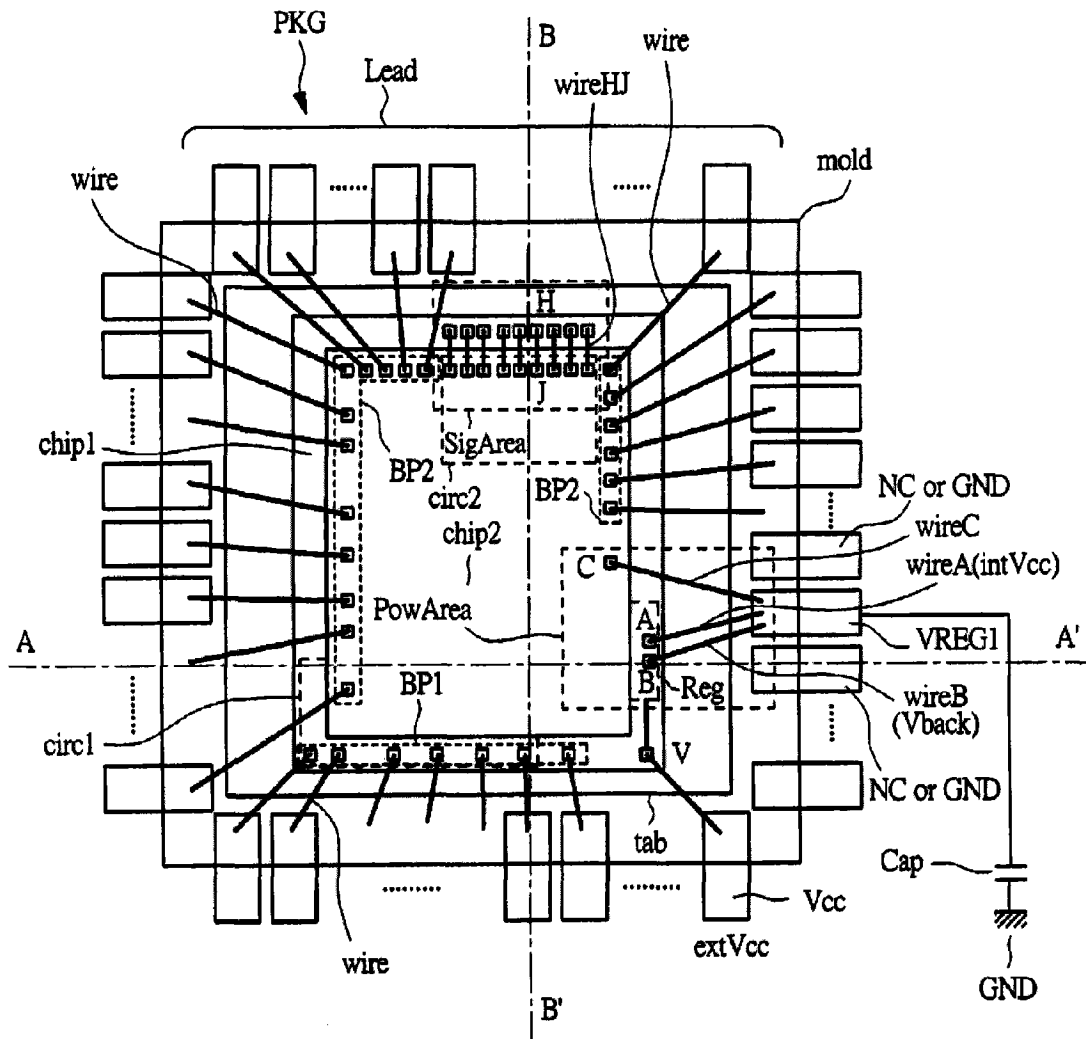


图 2

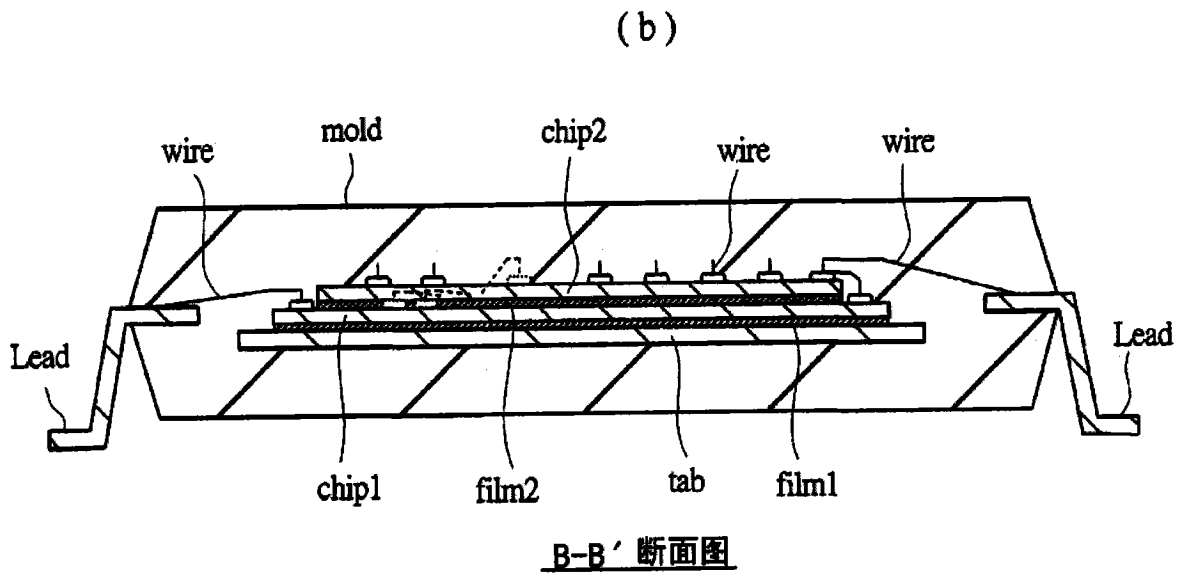
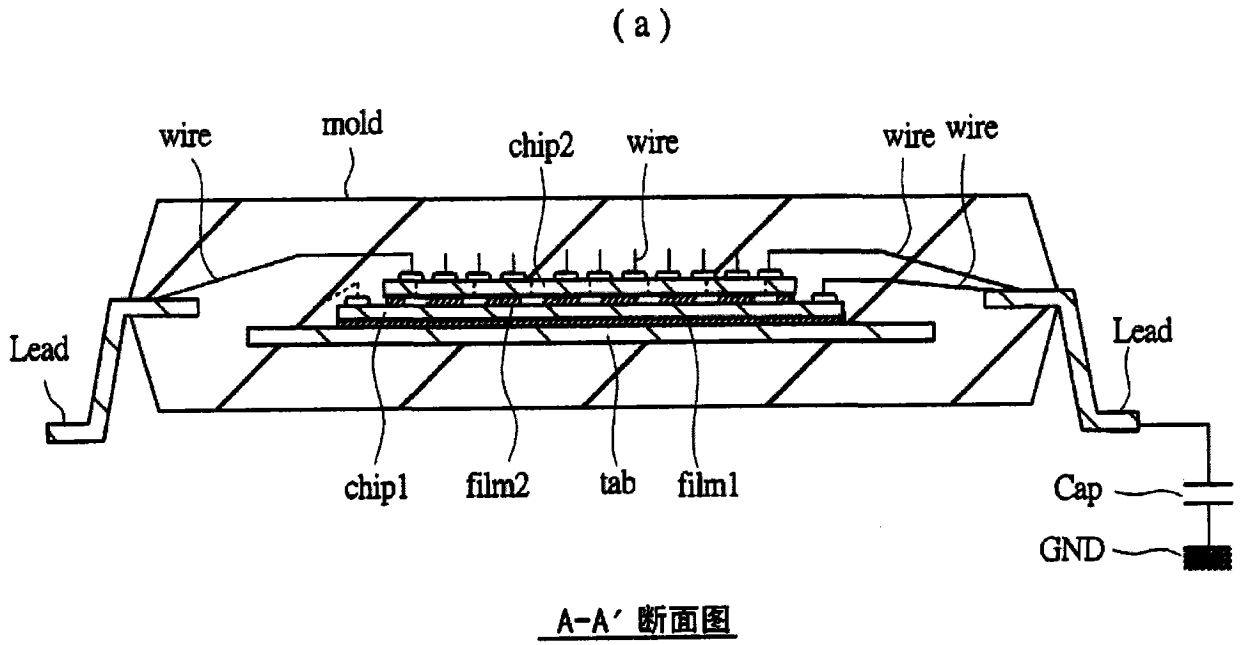


图 3

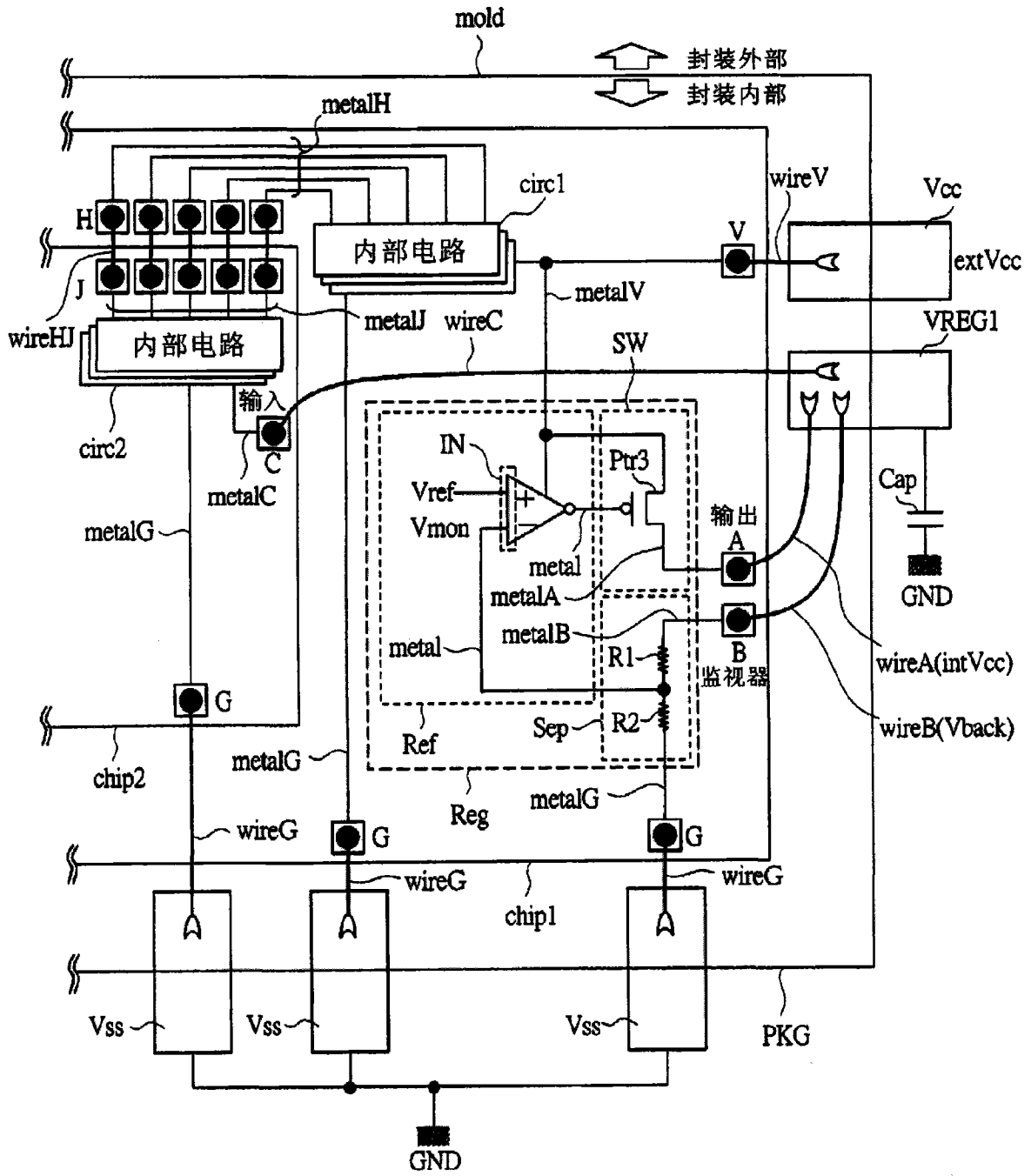


图 4



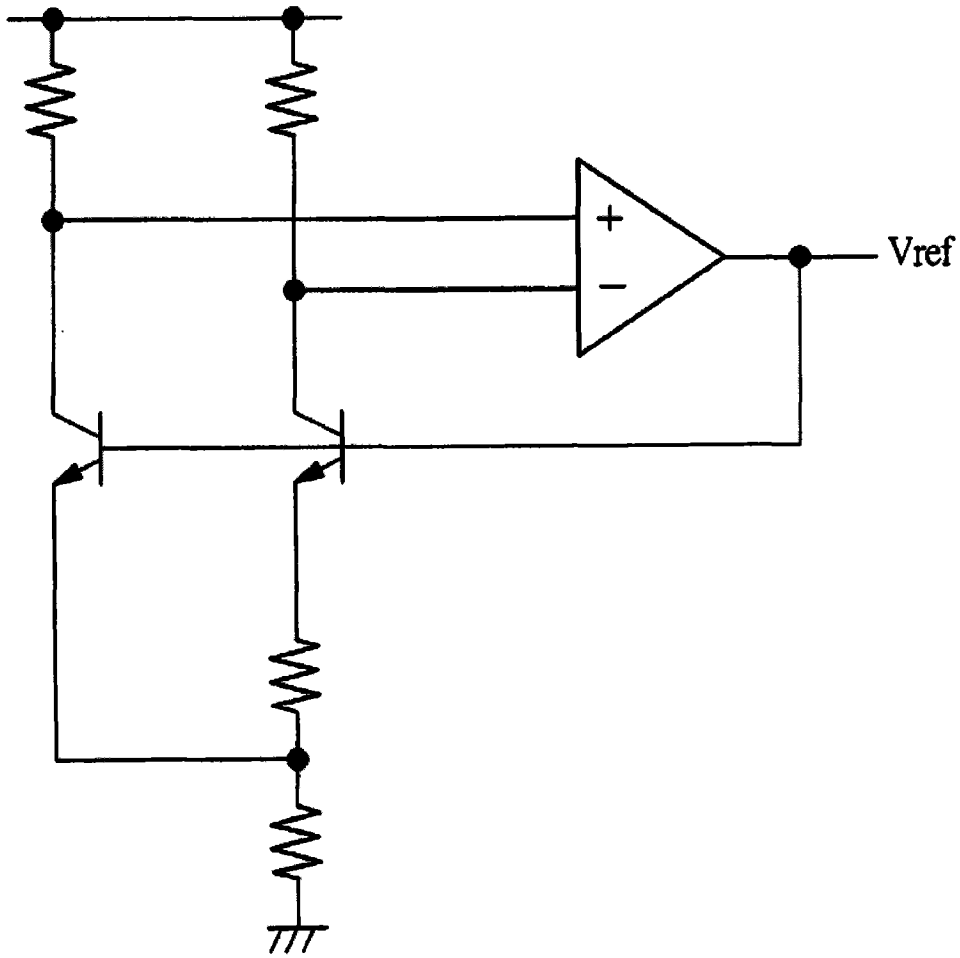


图 6

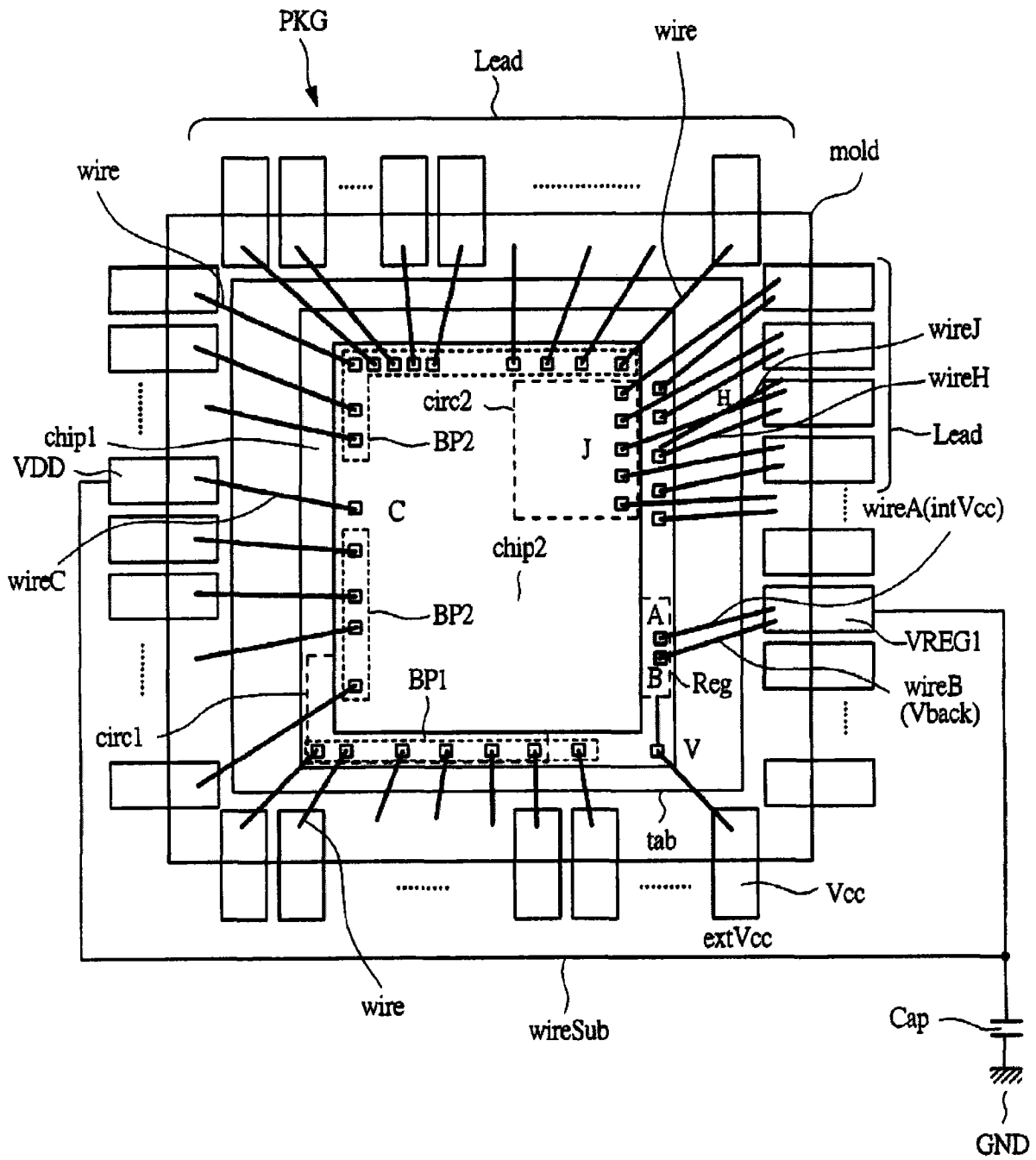


图 7

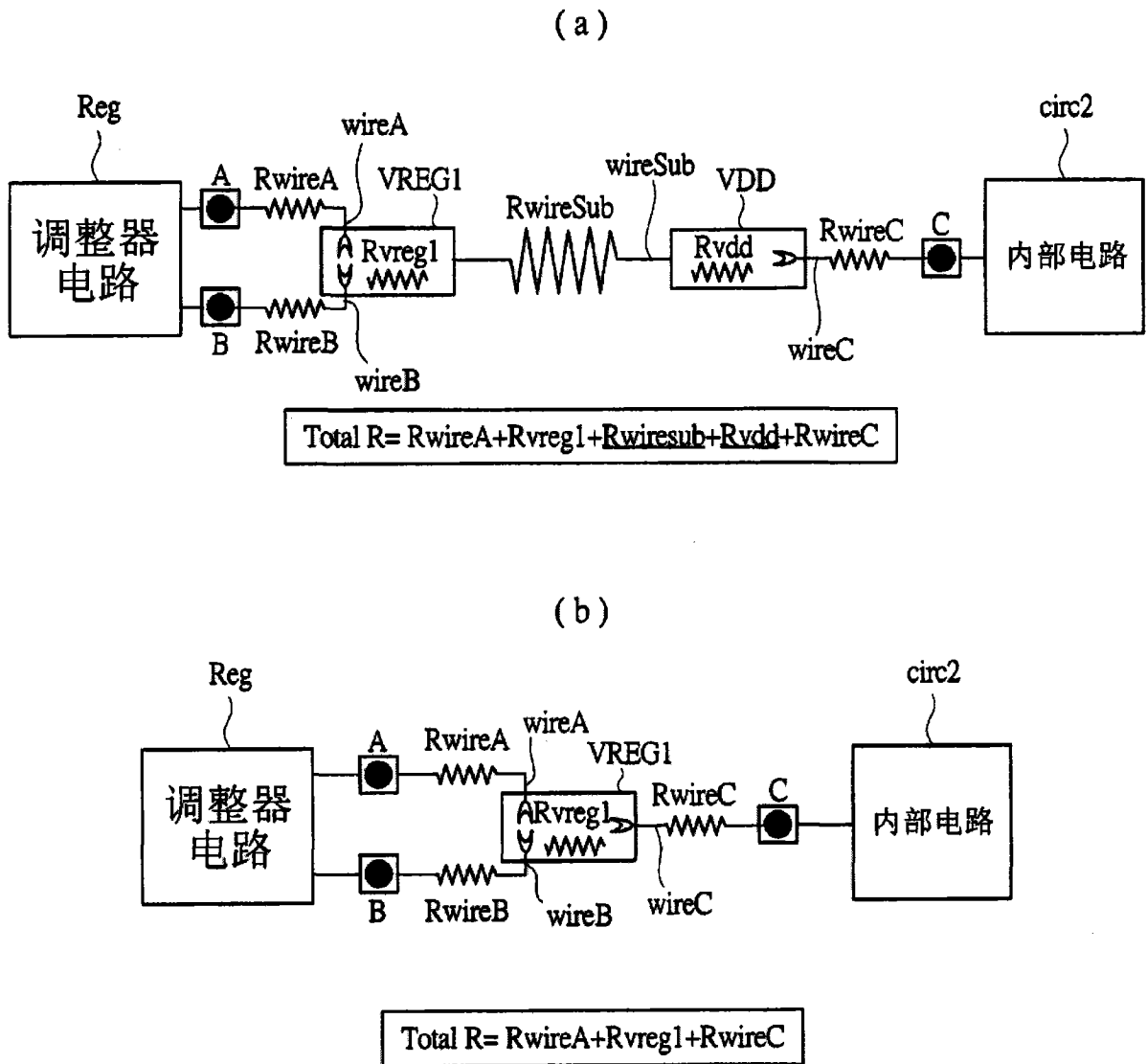


图 8

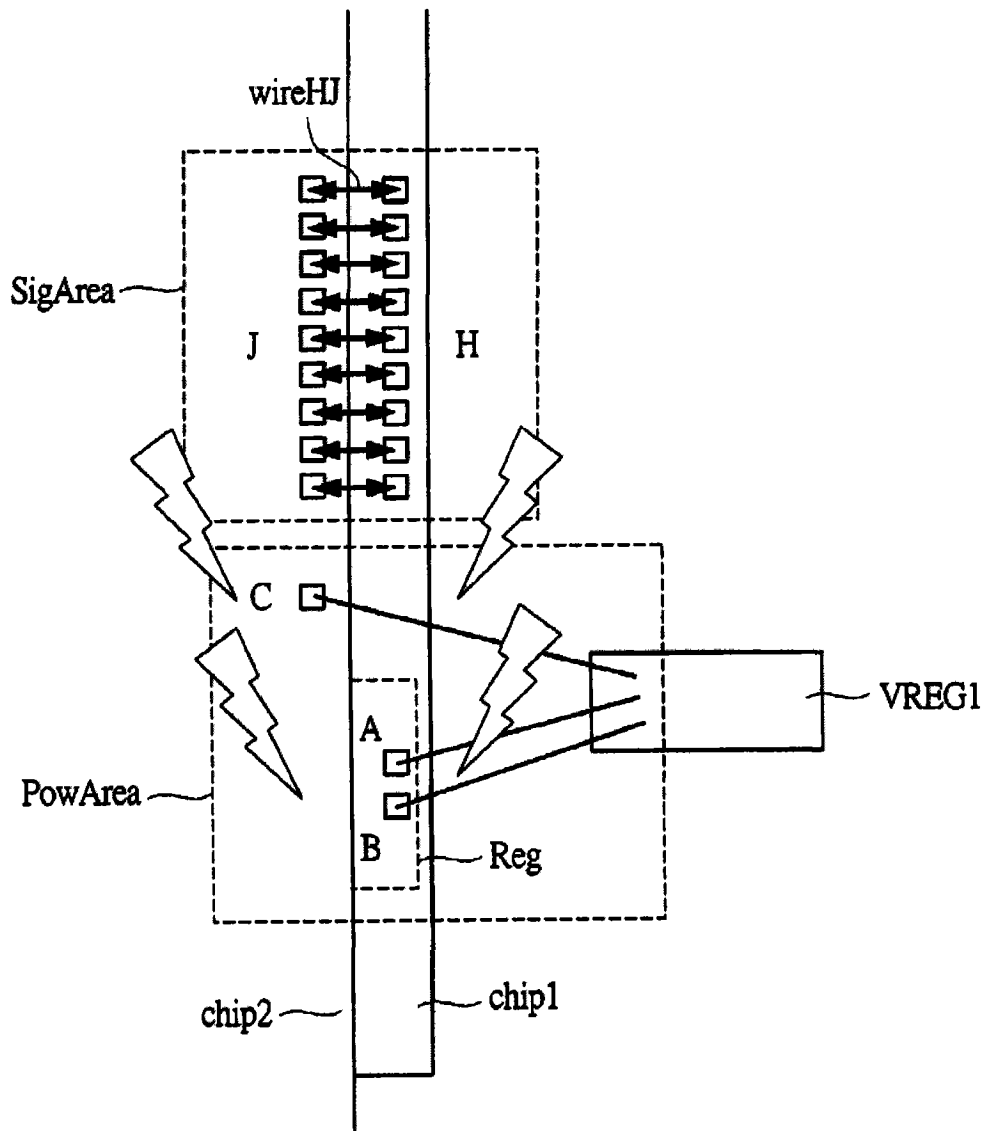


图 9

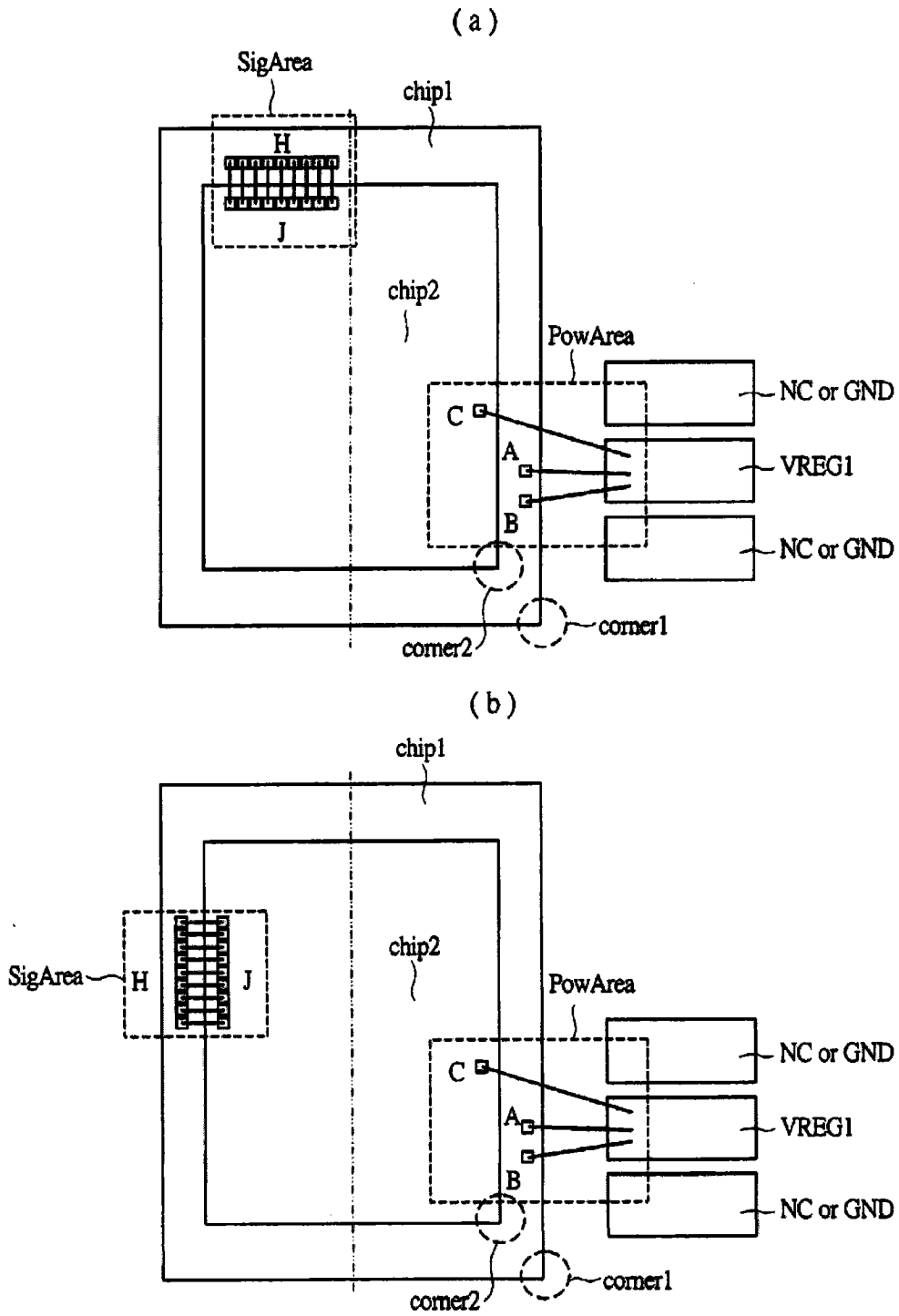


图 10

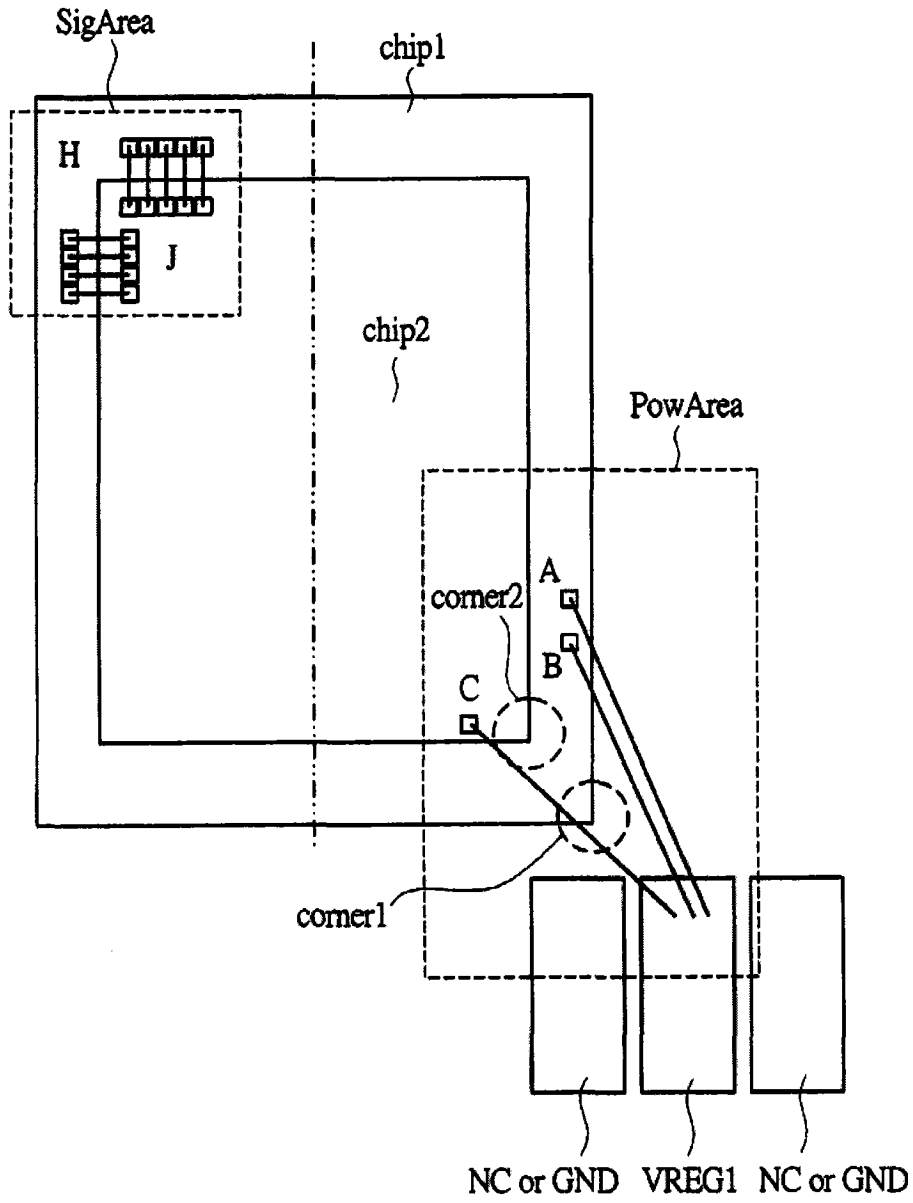
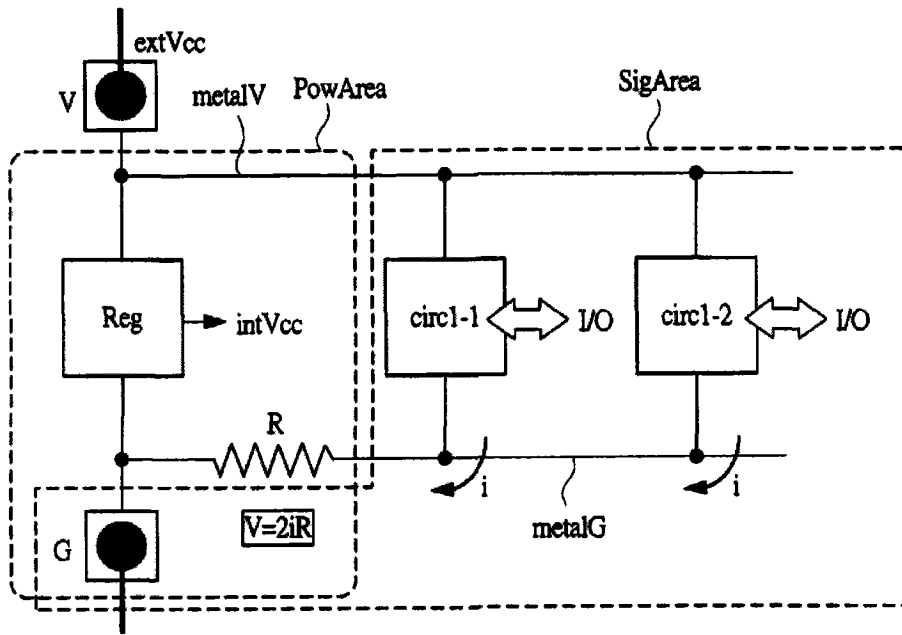


图 11

(a)



(b)

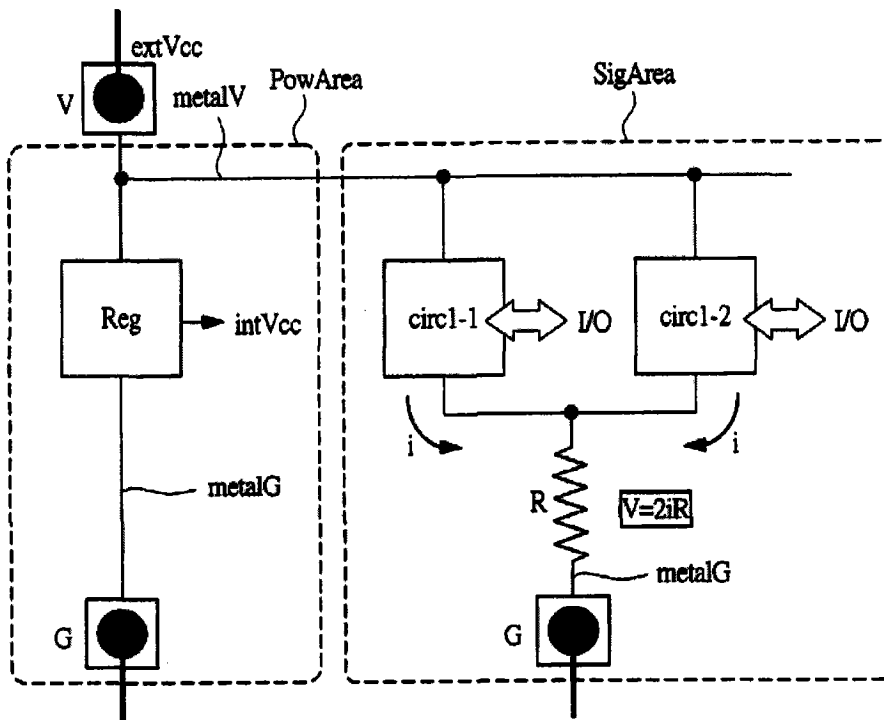


图 12

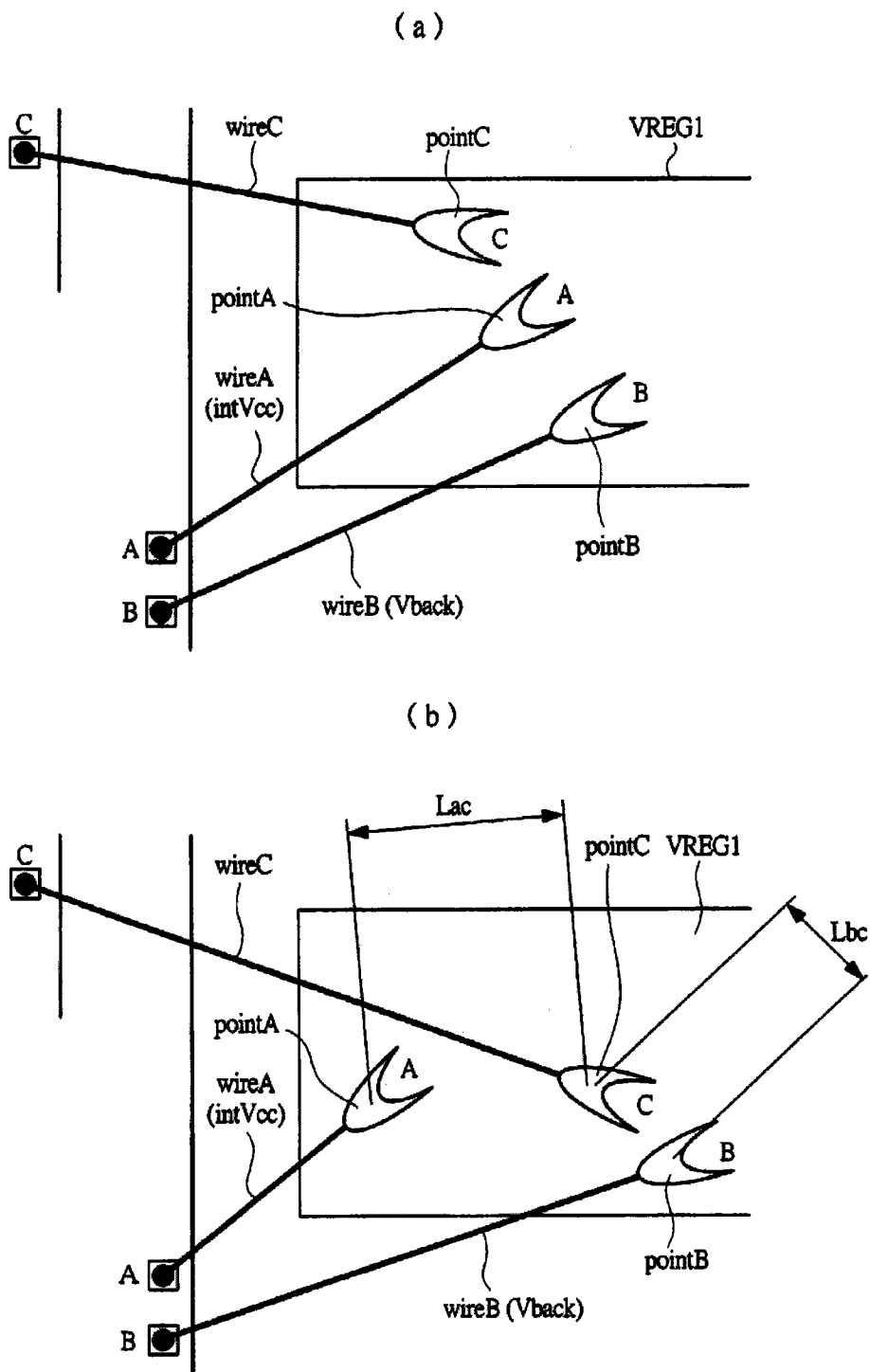


图 13



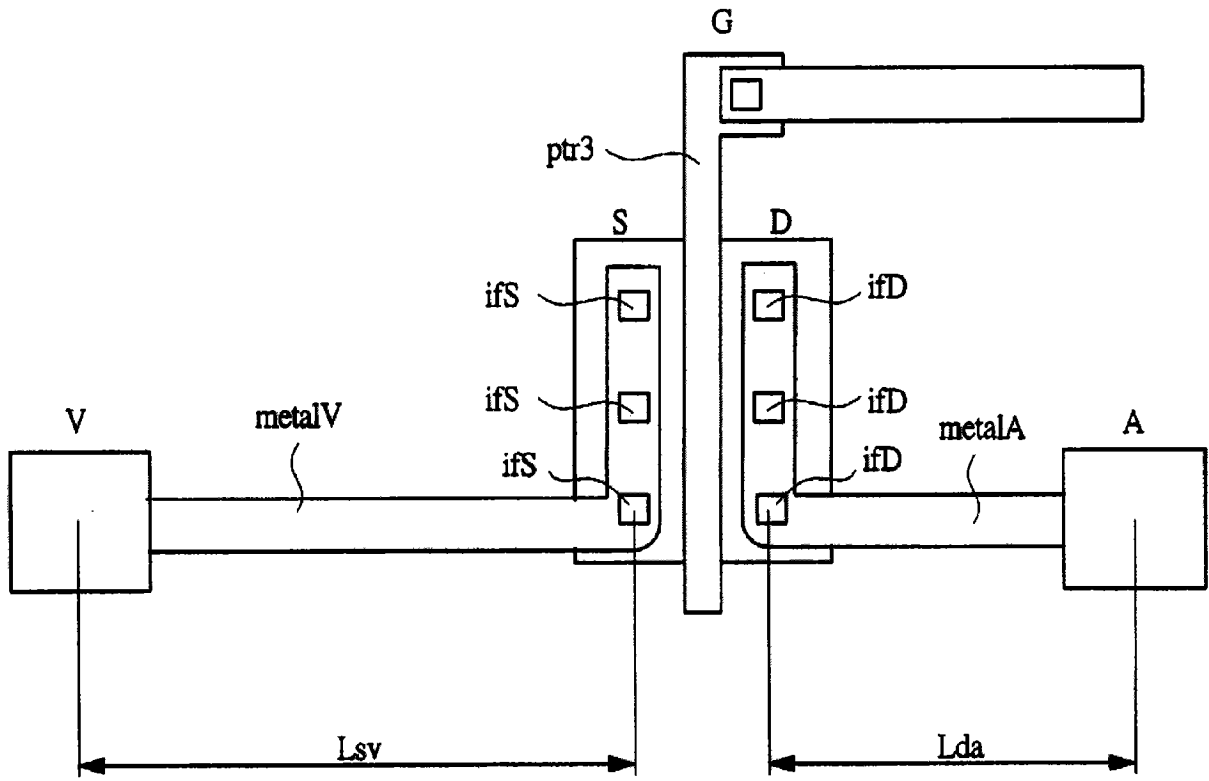


图 15

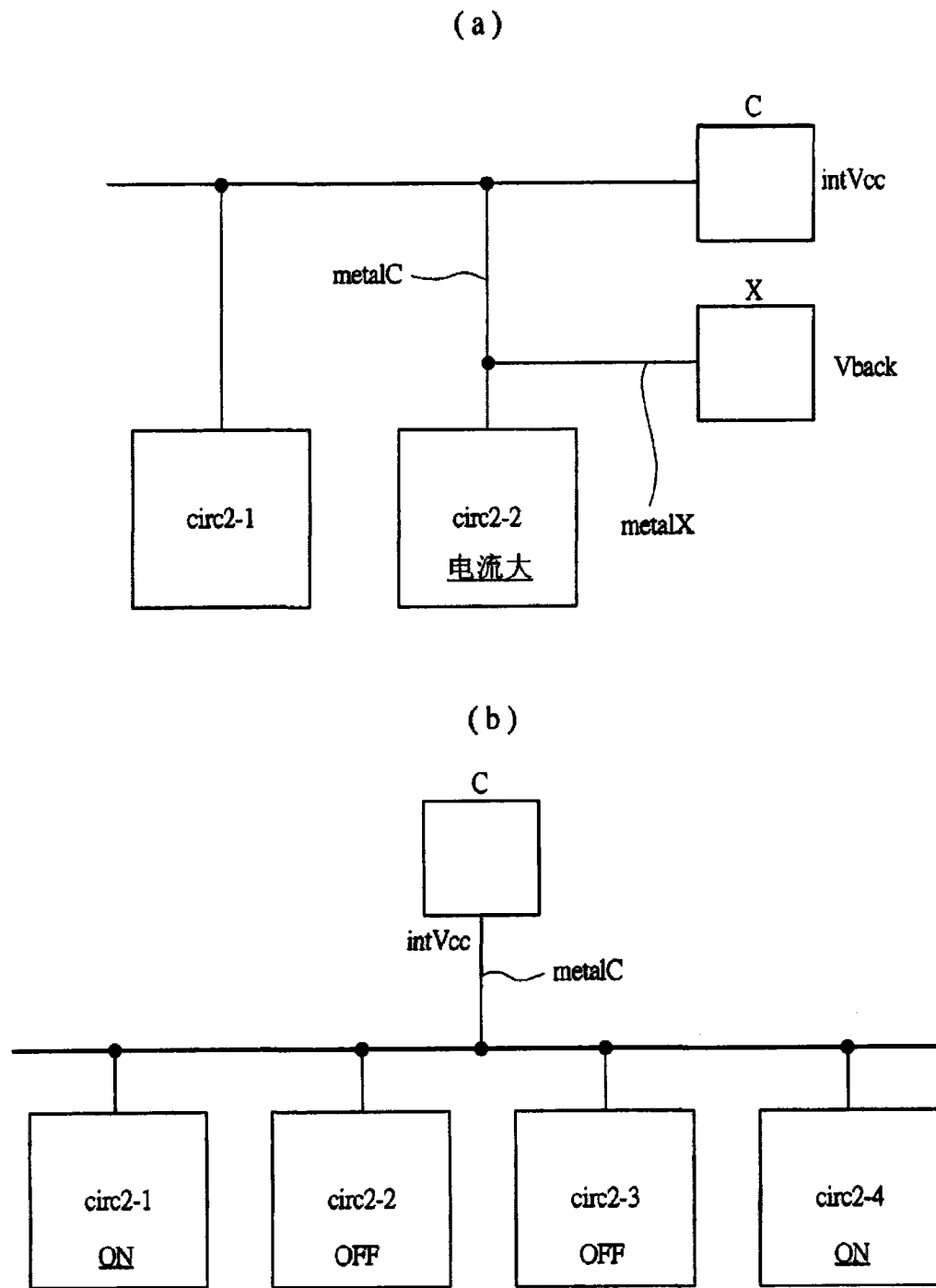


图 16

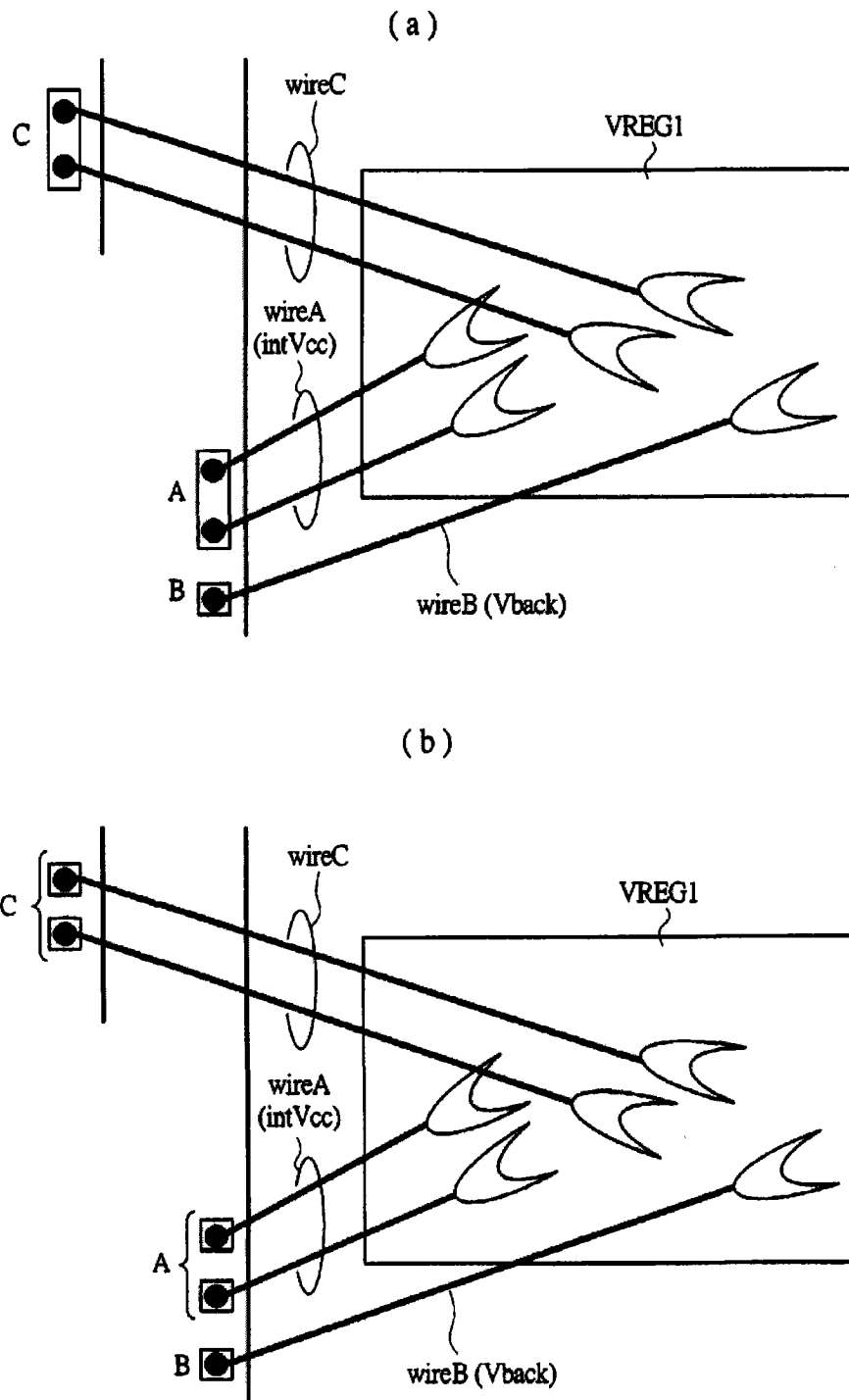


图 17





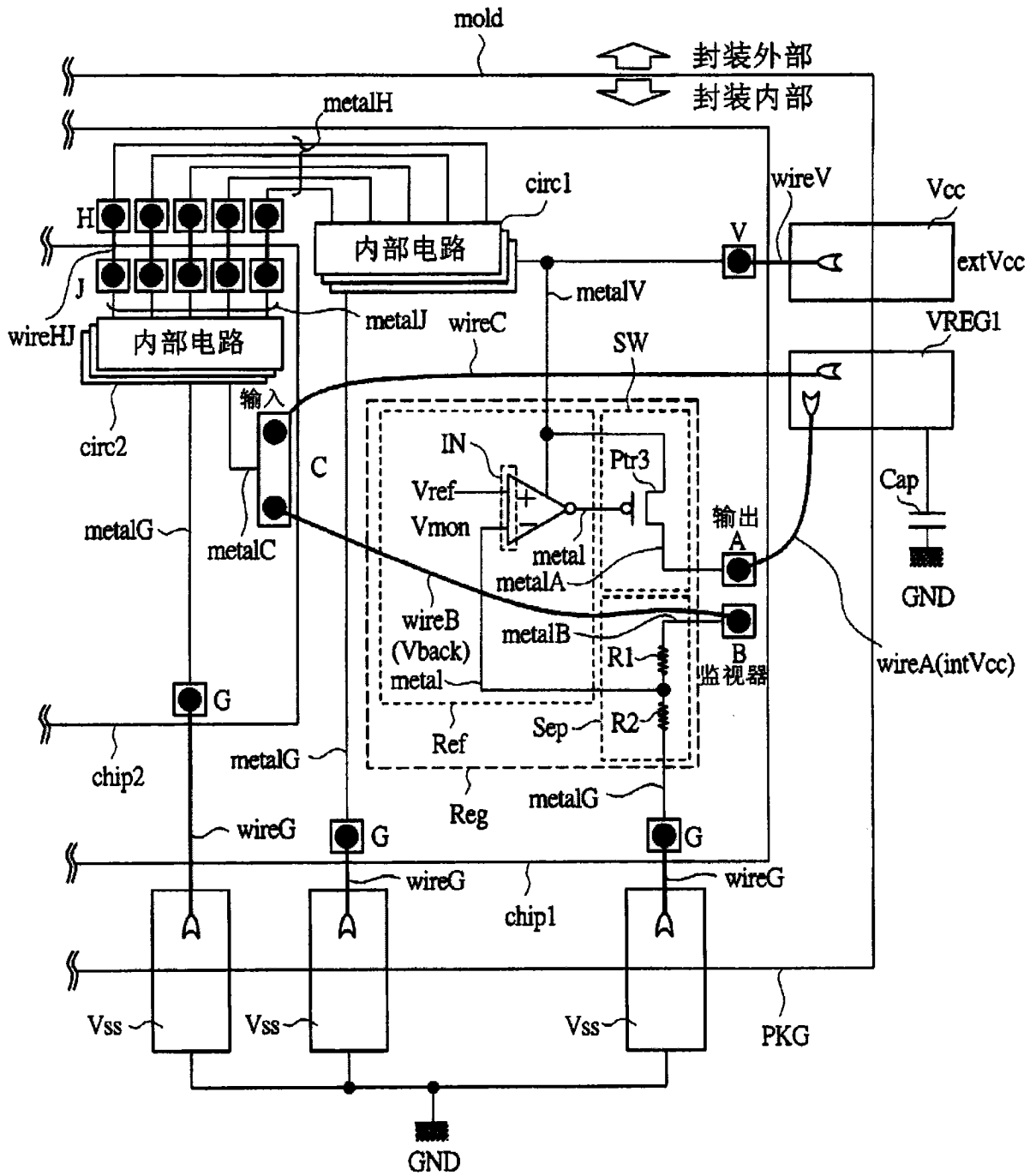


图 20



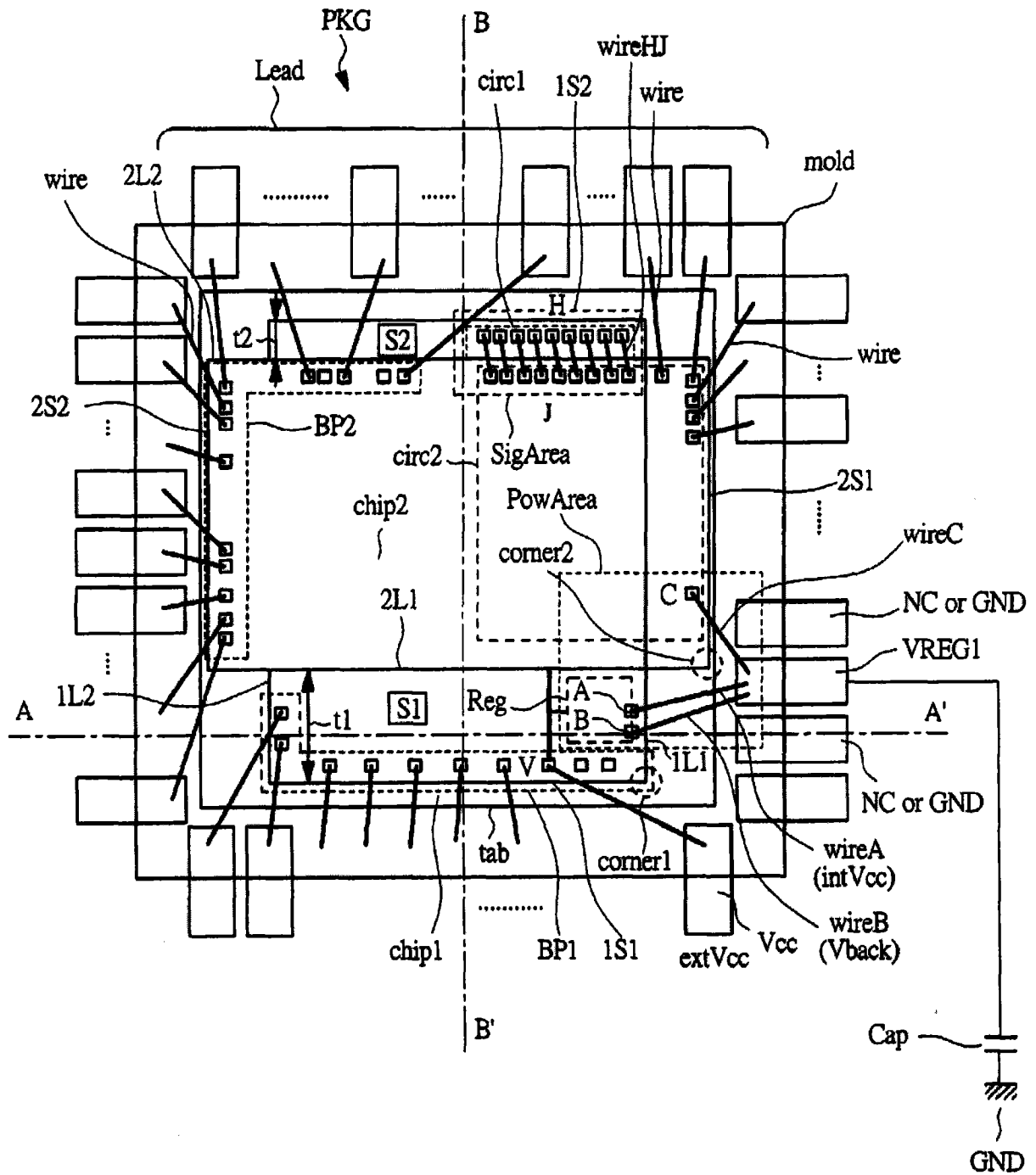
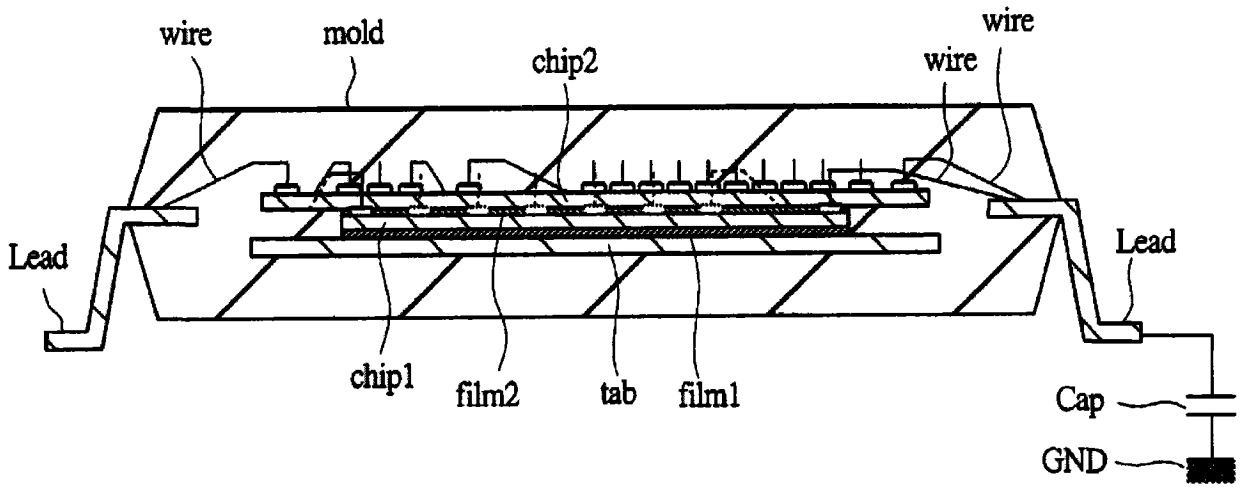


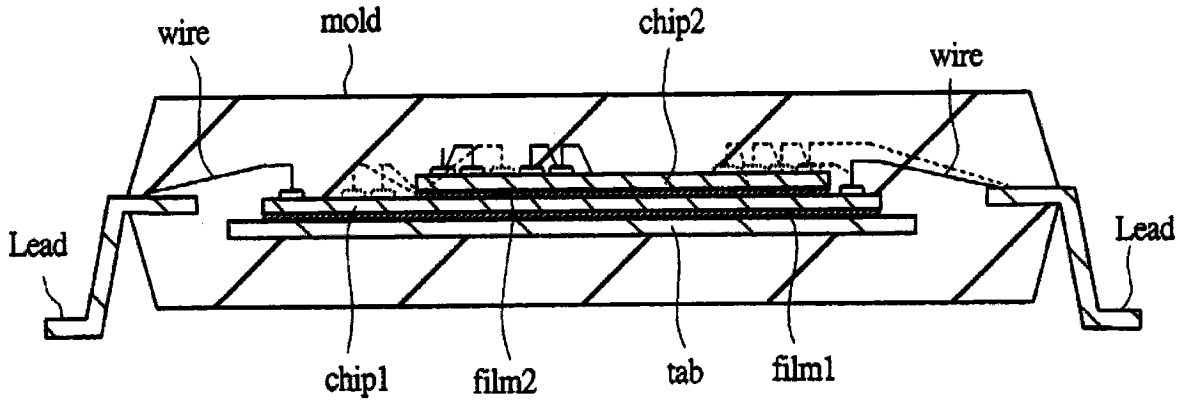
图 22

(a)



A-A' 断面图

(b)



B-B' 断面图

图 23

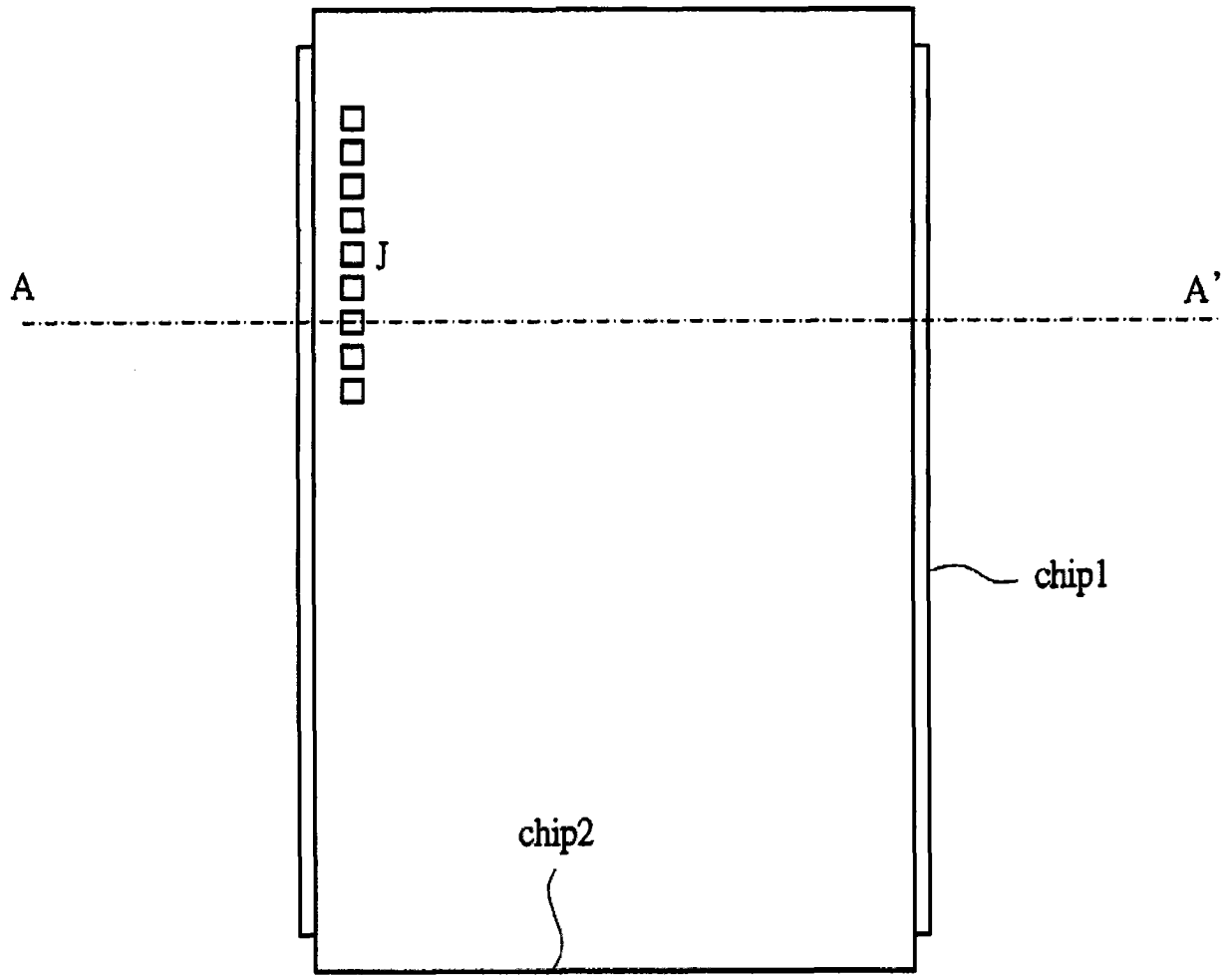


图 24

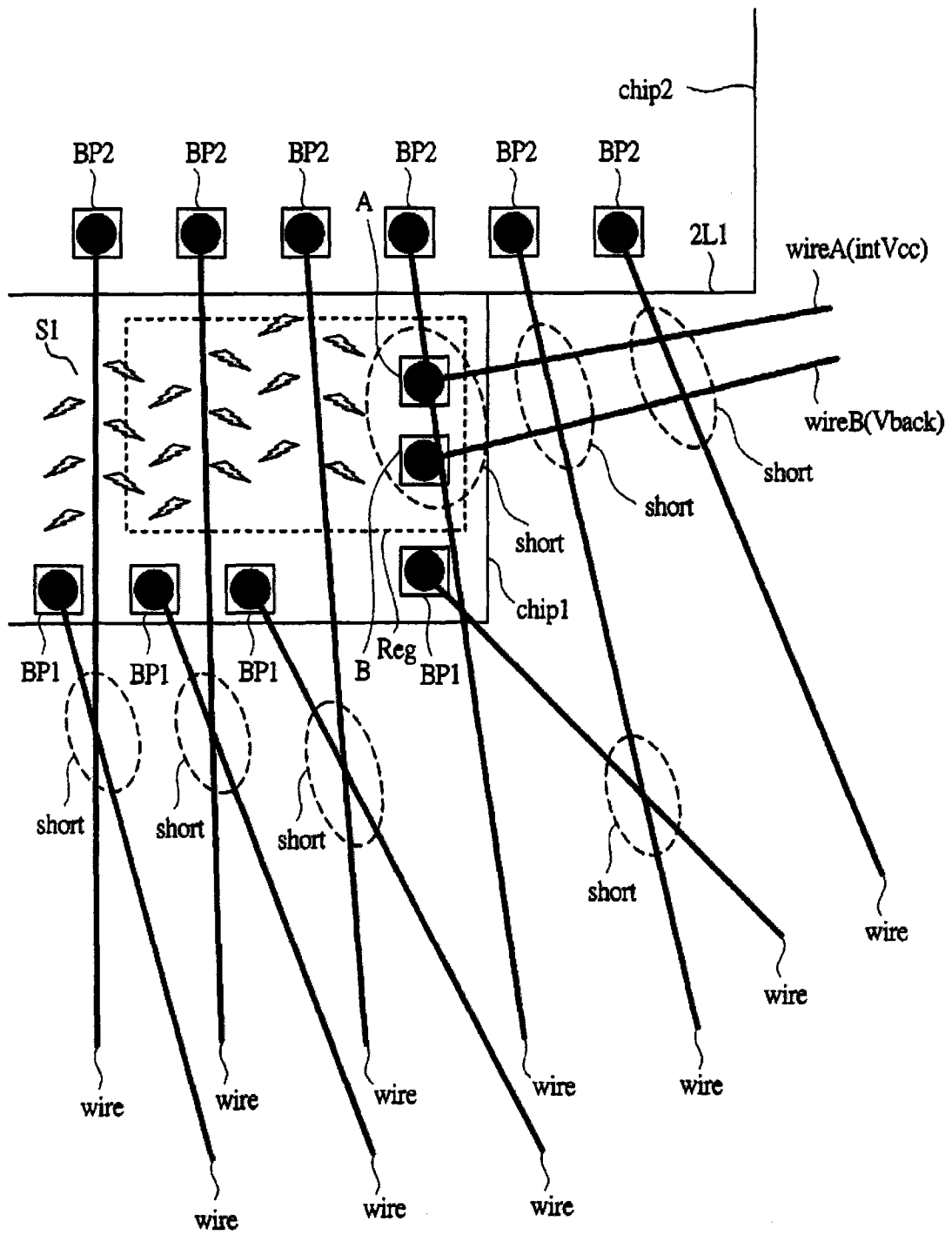


图 25

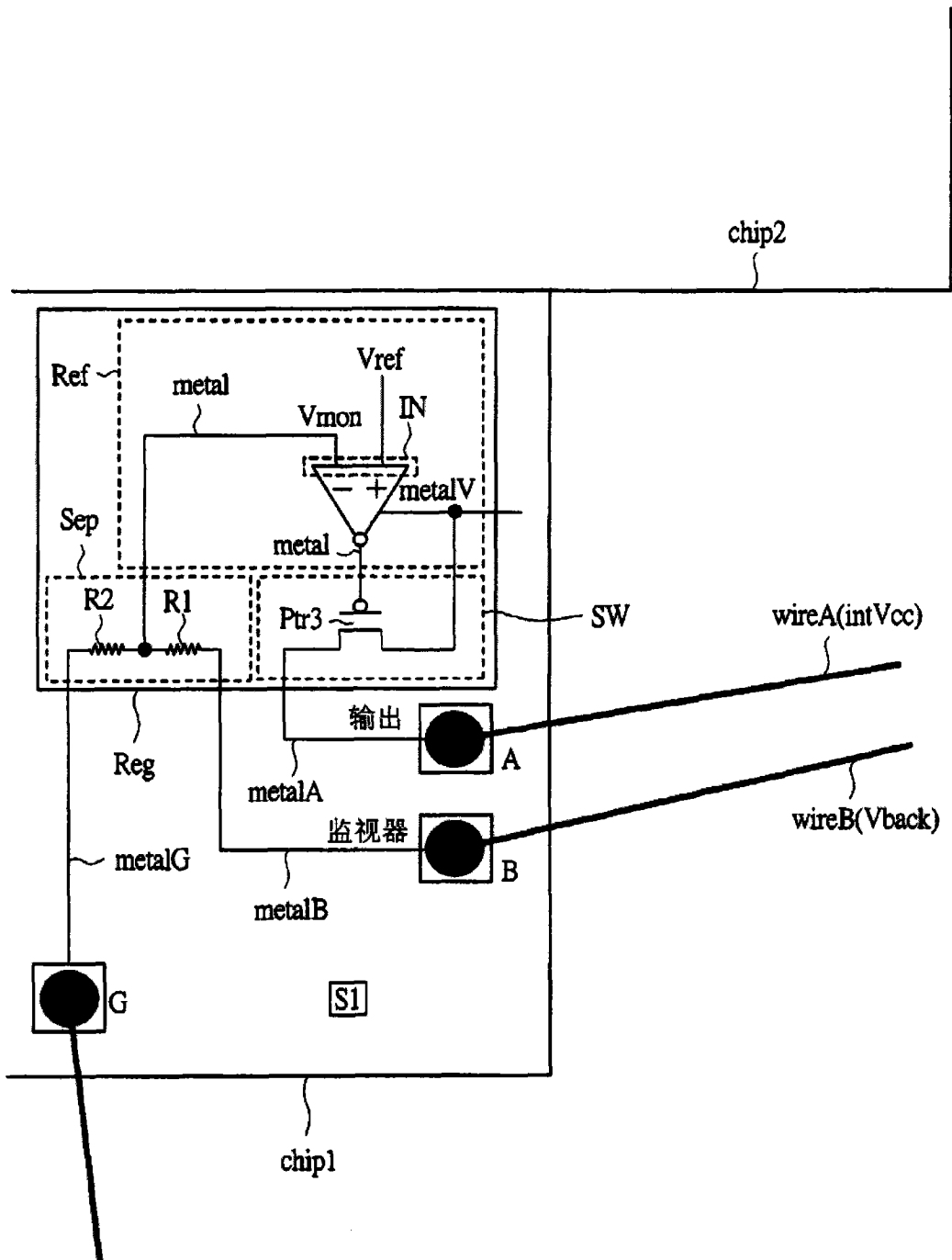


图 26

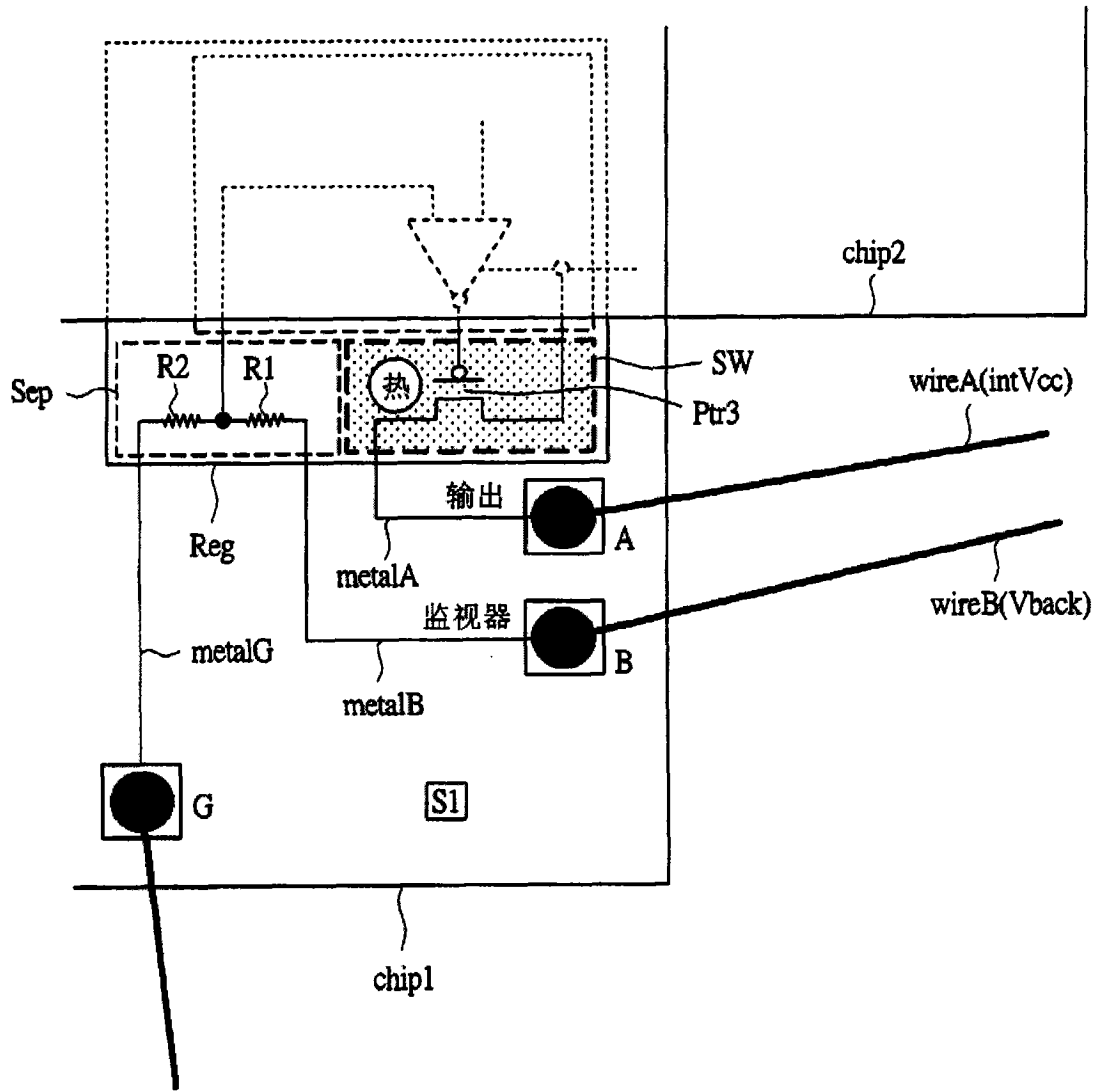


图 27

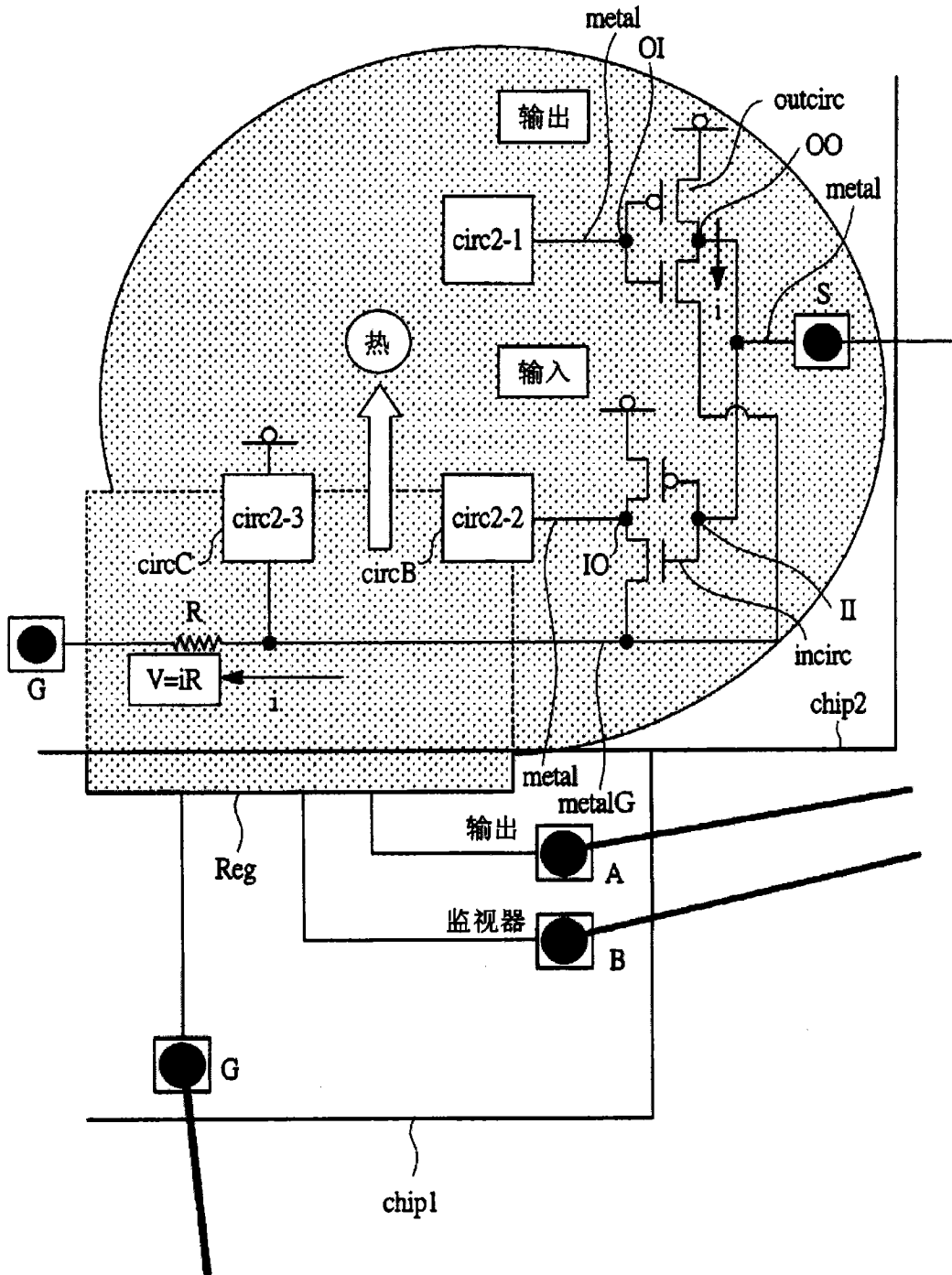


图 28

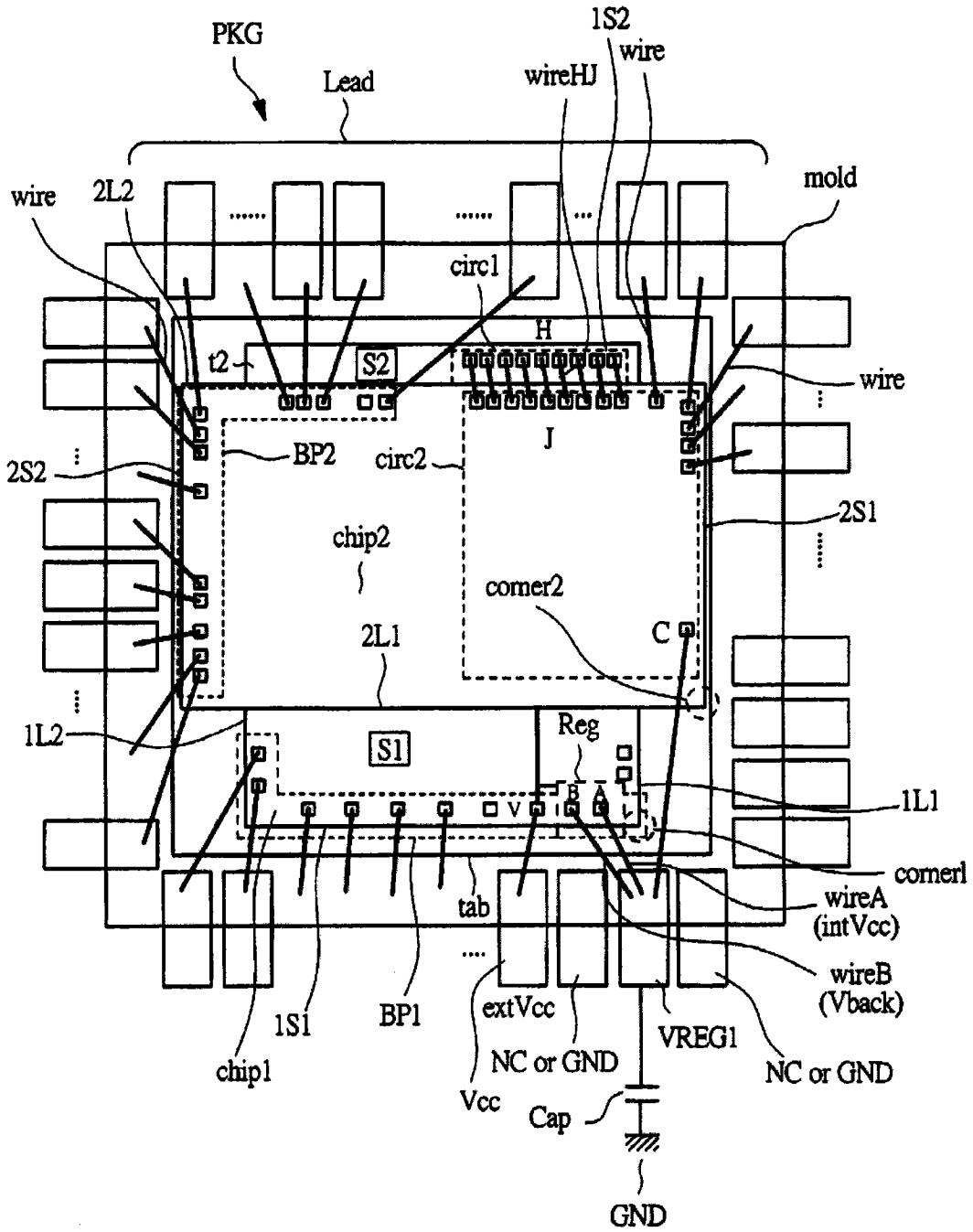


图 29

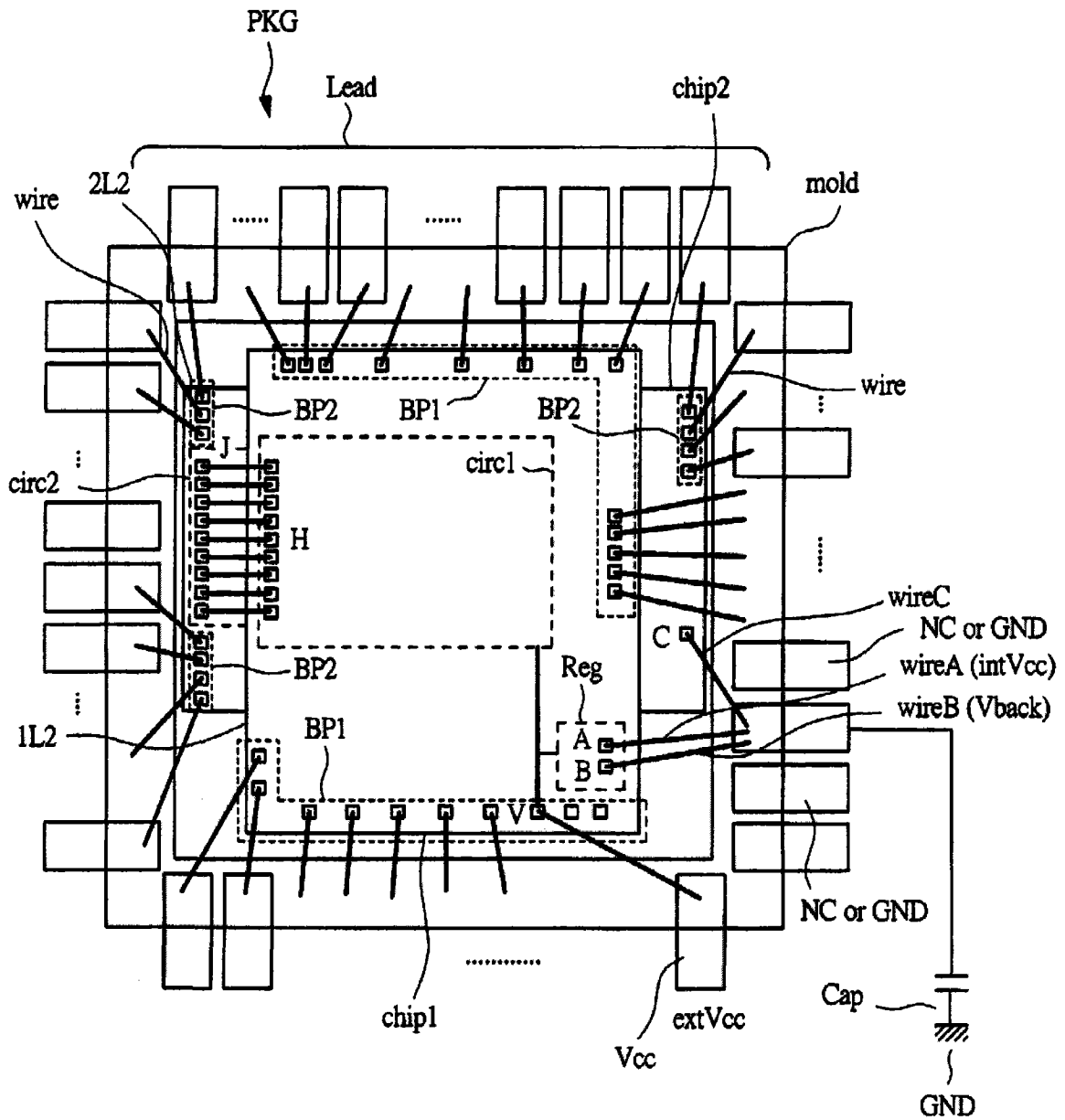


图 30

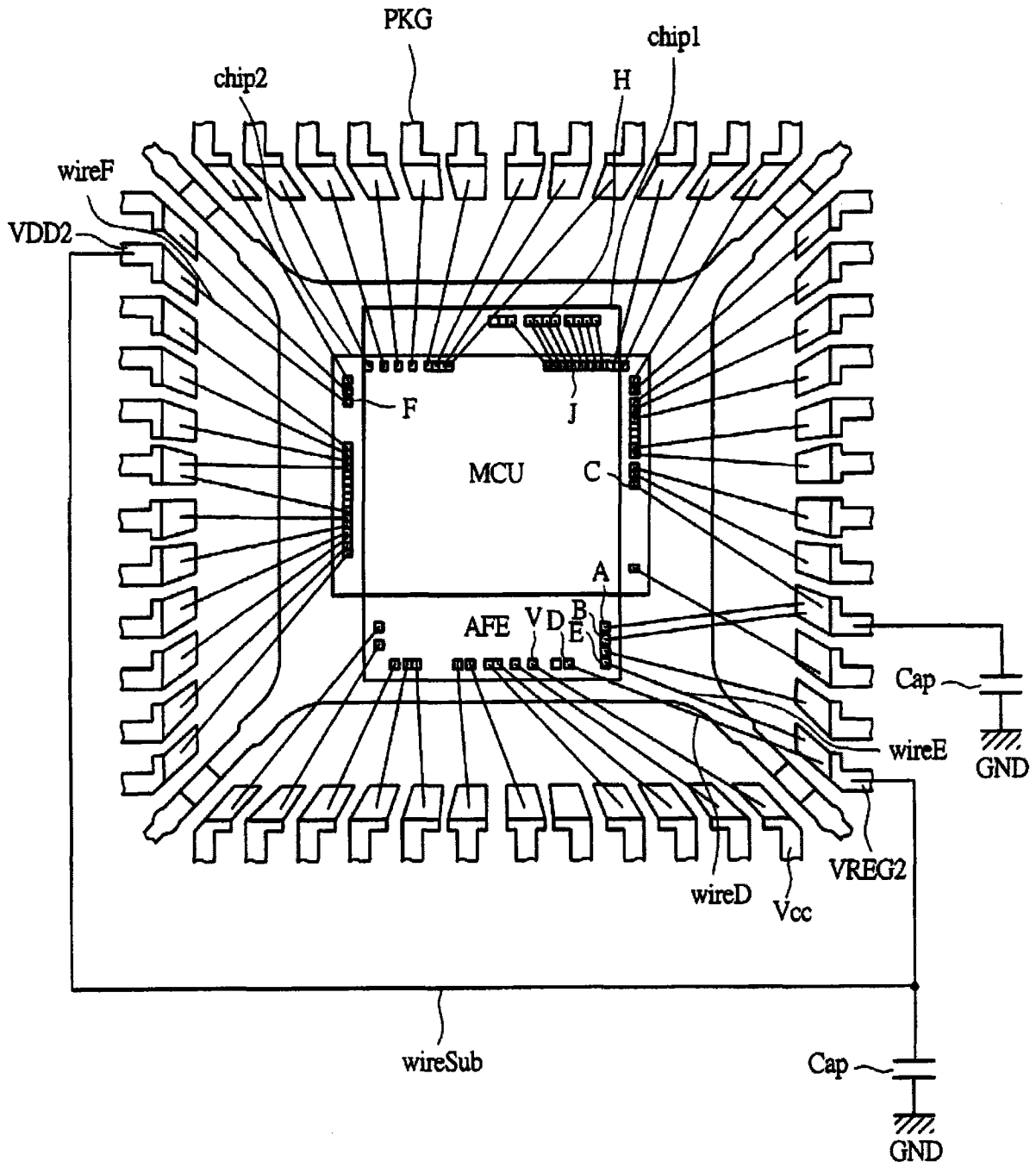


图 31

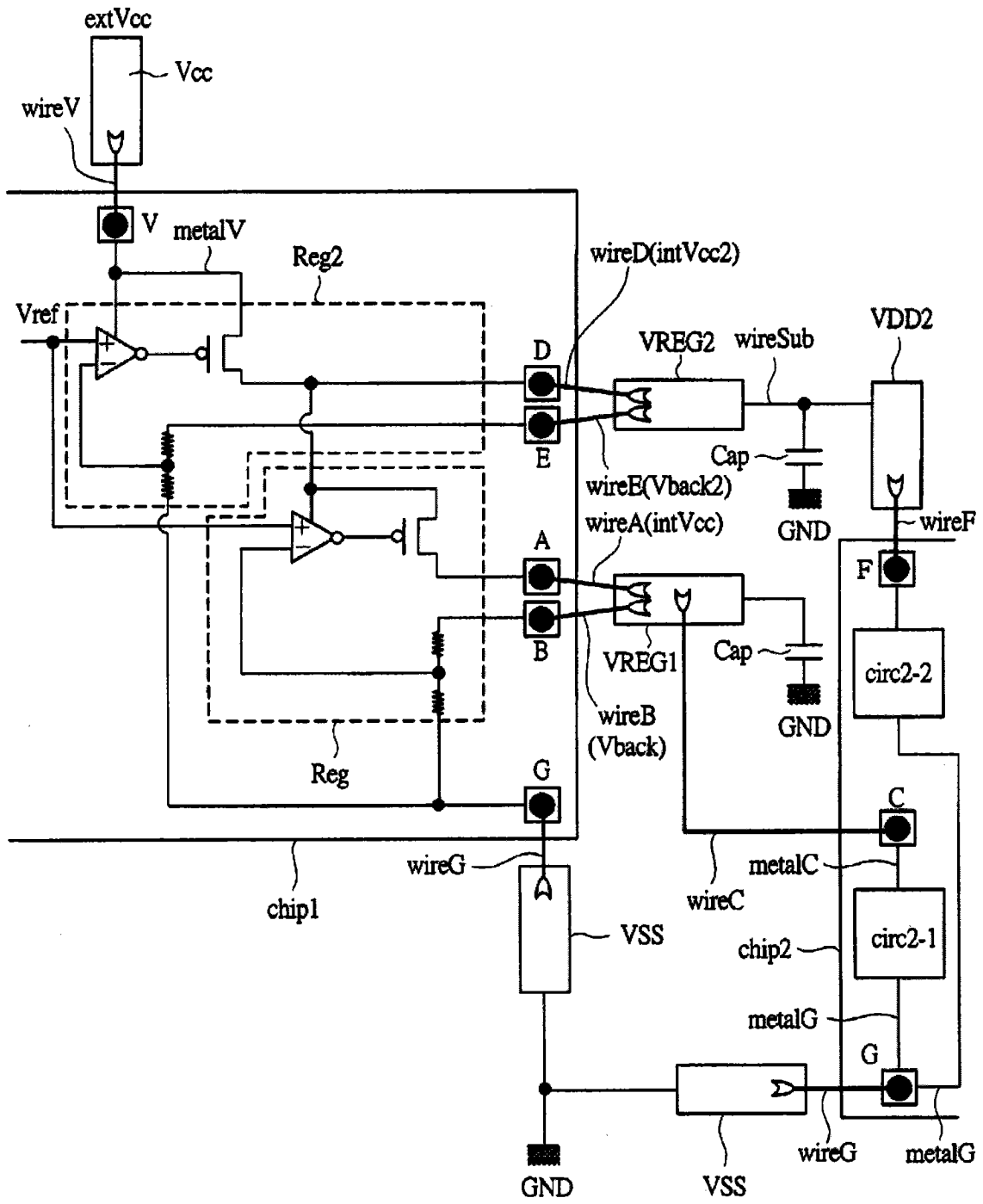


图 32

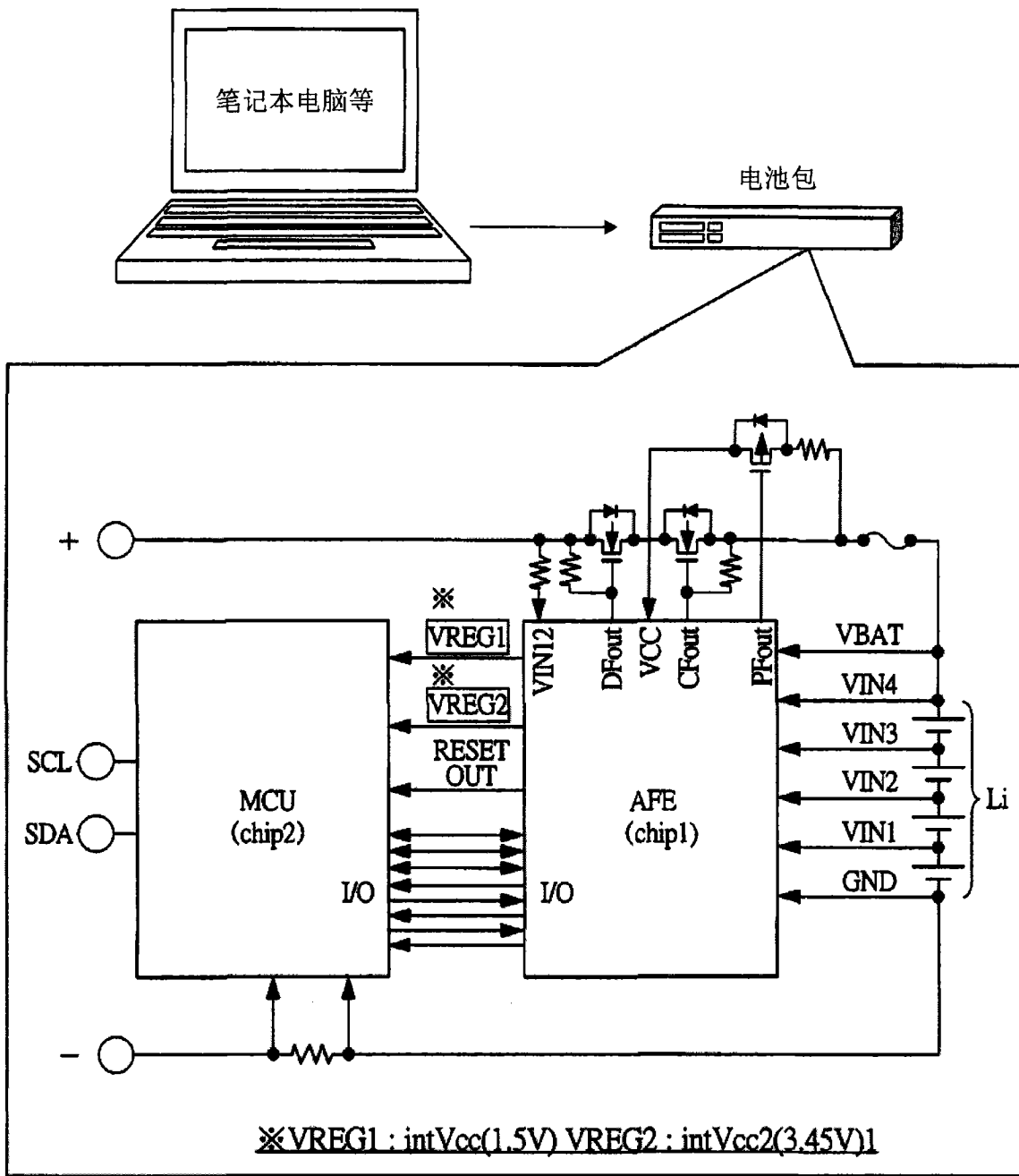


图 33

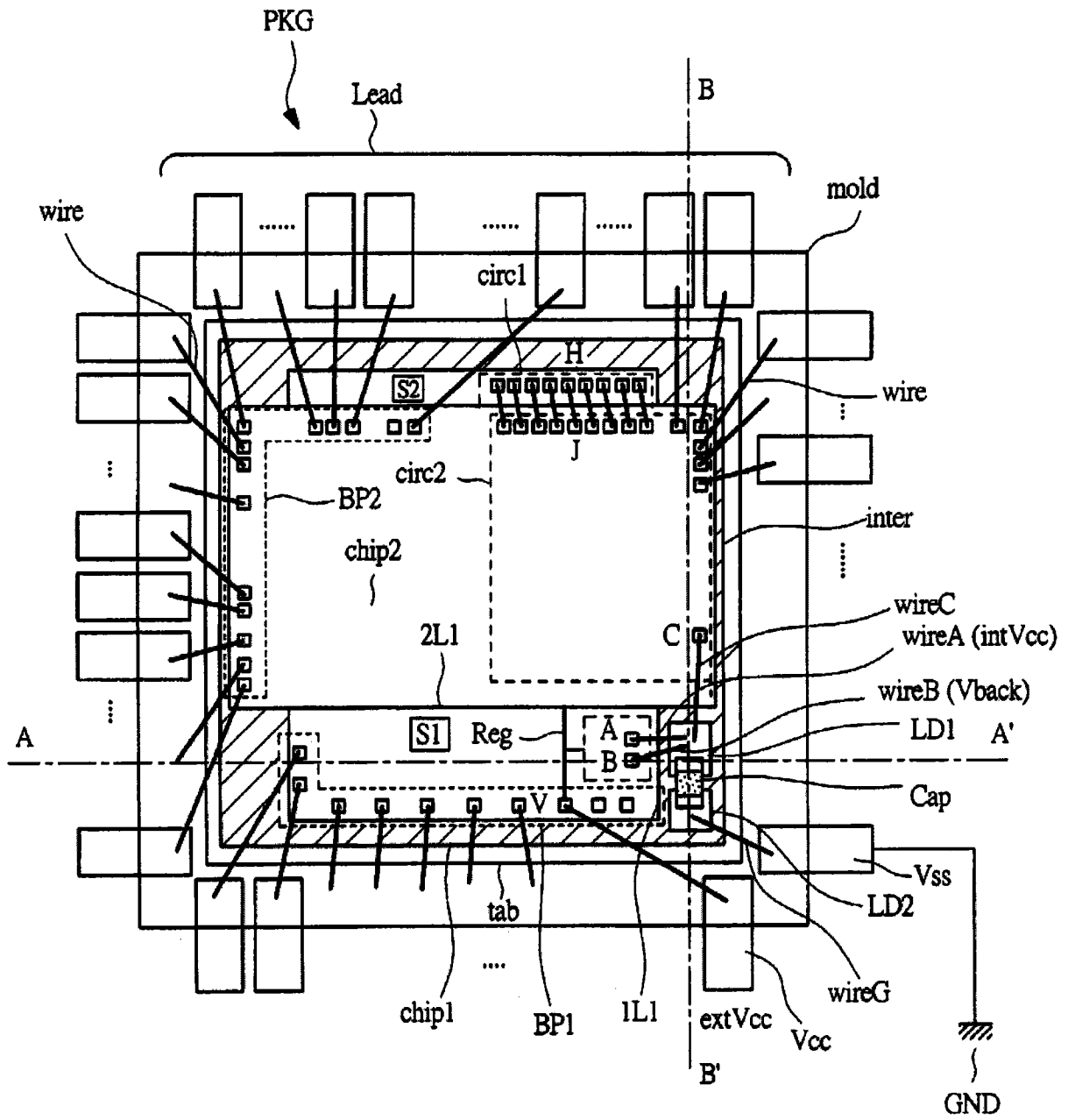


图 34

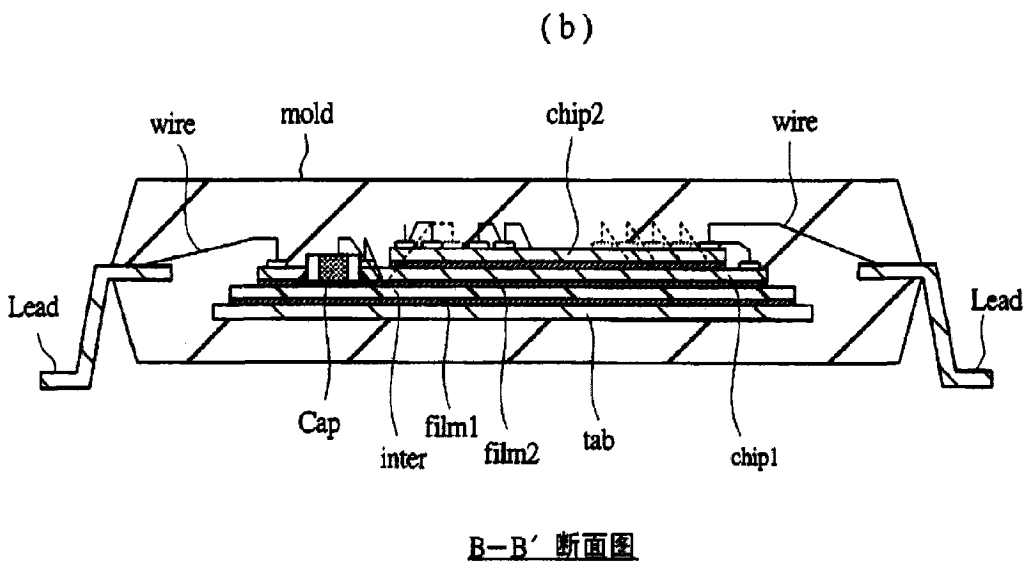
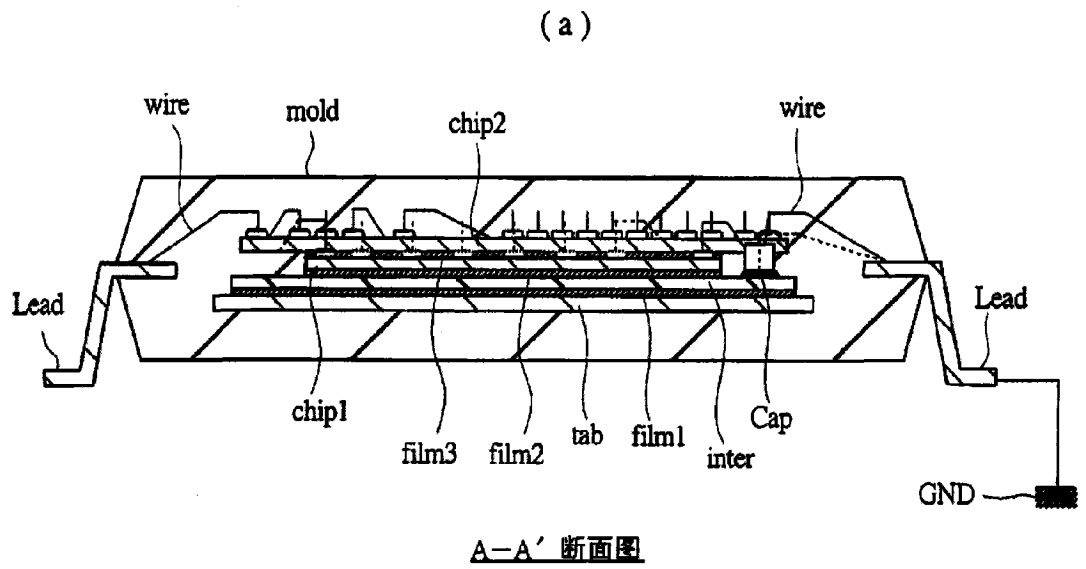


图 35

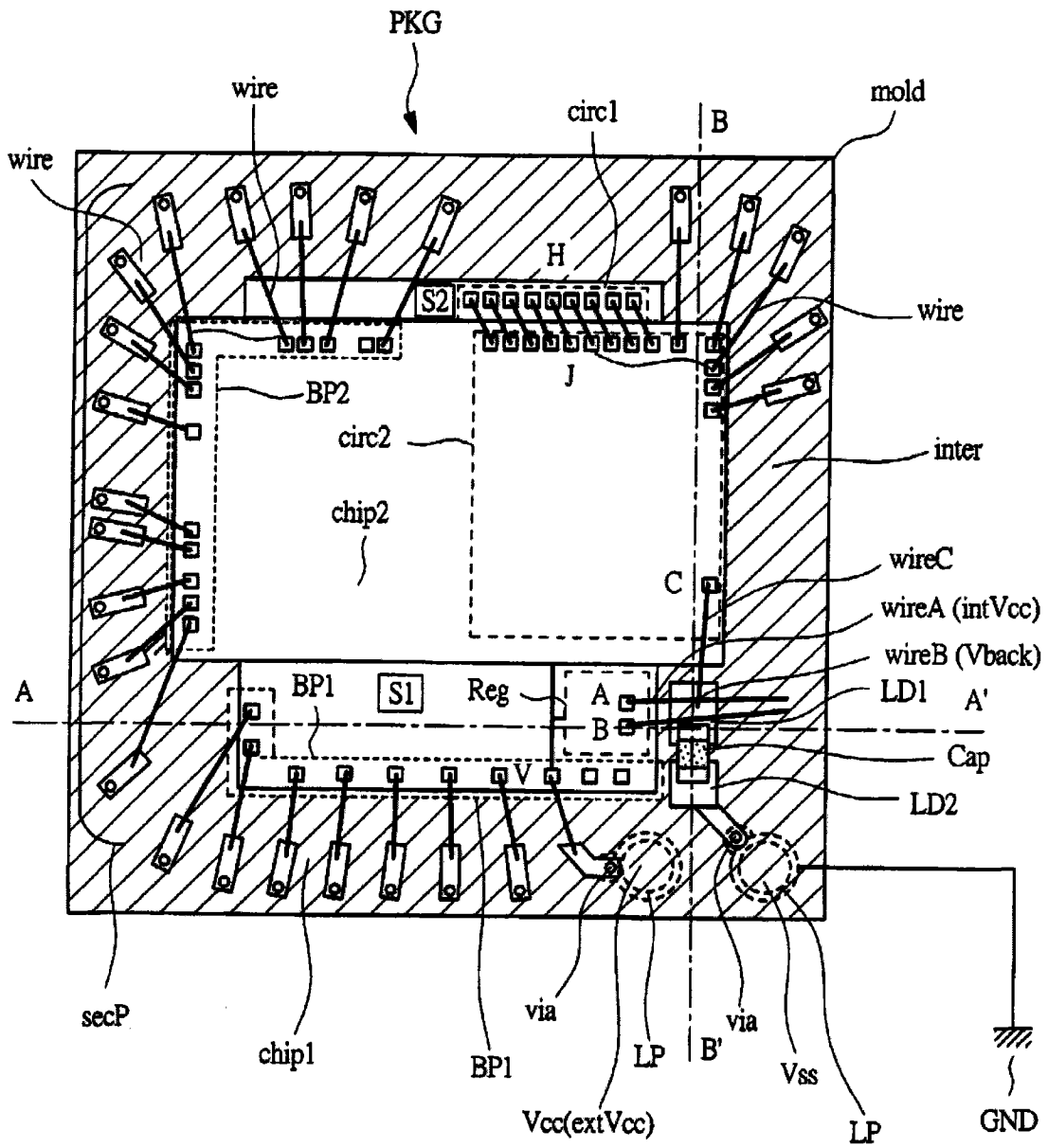
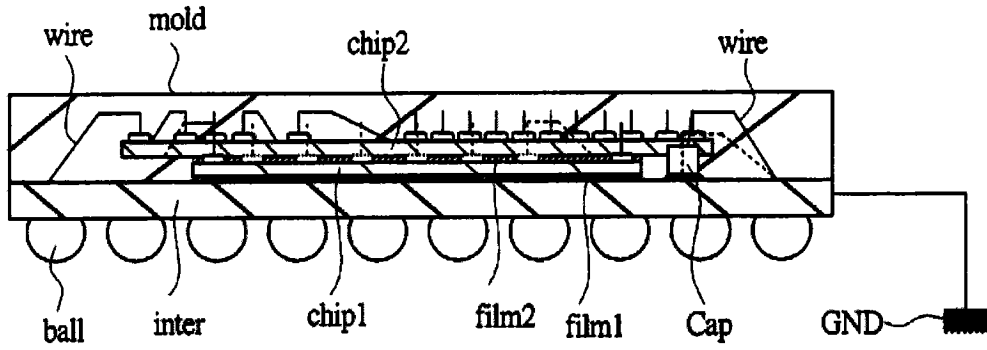


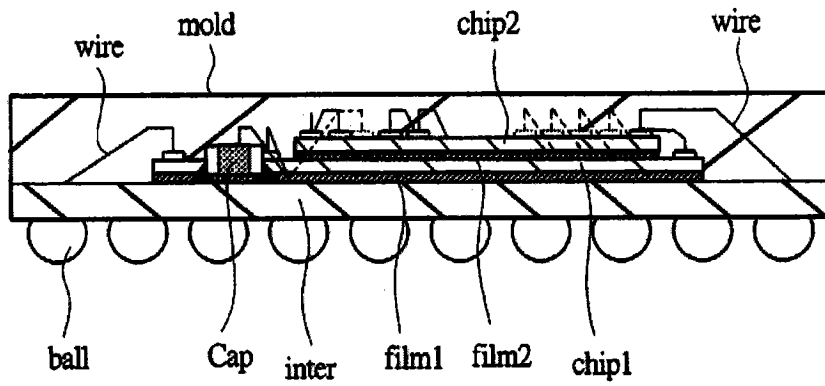
图 36

(a)



A-A' 断面图

(b)



B-B' 断面图

图 37