

申請日期	P11.5.31
案號	P1111671
類別	HOLL 2/60 GUC 17/60

A4
C4

546751

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	可降低輕便廉價堅固型記憶體(PIRM)之記憶體陣列中之串音的裝置與製造方法
	英文	APPARATUS AND FABRICATION PROCESS TO REDUCE CROSSTALK IN PIRM MEMORY ARRAY
二、發明人	姓名	(1)梅平PING MEI (2)卡爾 P. 陶席格Carl P. Taussig (3)派翠西亞 A. 貝克PATRICIA A. BECK
	國籍	美國 U.S.A.
住、居所	姓名 (名稱)	(1)美國加州帕羅亞托·威爾基道4276號#D 4276 Wilkie Way #D Palo Alto, CA 94306, USA (2)美國加州紅木市·阿拉曼達迪拉斯普加斯2295號 2295 Alameda de las Pulgas, Redwood City, CA 94061, USA (3)美國加州帕羅亞托·佩基米爾路1501號 1501 Page Mill Rd. Palo Alto, CA 94304, USA
	國籍	美國 USA
三、申請人	住、居所 (事務所)	美國加州帕羅亞托·哈諾維街3000號 3000 HANOVER STREET, PALO ALTO, CA 94304, USA
	代表人姓名	安O. 巴斯金 Ann O. Baskins

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

美 國 (地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
2001,06,29 09/896,480

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

本發明係有關於記憶胞元陣列的領域。尤有關於可減少在一交叉點記憶陣列中之記憶胞元間的串擾之記憶結構及製造方法。

可攜式電子裝置已逐變得更為小巧而更為複雜多功能，故需要賦具更先進的結構來產生及/或利用愈來愈多的數據。數位化裝置，例如數位照相機等，一般需要至少數百MB(百萬位元組)的儲存資料內建於或可附加於該相機。為滿足此類資料儲存用具的需求，未來的儲存記憶體應要能成本較低，極為精小並具有大約100MB至1GB(十億位元組)的容量。該儲存記憶體亦應要有小於1W的低功率消耗，並具有較強固的物理特性，俾供用於可攜式電池動力的操作環境。

為能檔案式儲存，資料必須係僅只一次地被寫入記憶體中。較好是，該記憶體要能有很短的進入時間，大約在數毫秒(ms)左右，以及適度的傳輸速率，例如每秒1至2MB左右。又較好是，該記憶體應要能夠與各種的工業標準平台及模組配接使用。

一種可滿足此等需求的器具乃可使用只寫一次的交叉點記憶裝置。在交叉點記憶陣列中，係設有一記憶元件矩陣，其各包含有一熔線或反熔線及一串聯的二極體。該等記憶元件係由多數的半導體及設在導電線路或電極之間的鈍化層等所製成。

一種利用只寫一次的交叉點記憶陣列來在可攜式裝置中提供高密度檔案儲存的器具，乃被揭述於2001年6月5日

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (2)

所申請的第09/875356號美國專利申請案中，其名稱為“只寫一次的記憶體”，其內容併此附送參考。該申請案所揭的記憶系統係稱為輕便廉價堅固型記憶體(PIRM)，其係為可供檔案儲存之低成本高容量的只寫一次記憶體。其成果有部份係藉由避免使用矽基材，儘量減少製程複雜性及降低面積密度等而來達成。該記憶系統含有一記憶模組，係由設在塑膠基材上之堆疊的積體電路層所構成。該各層皆含有一交叉點二極體記憶陣列。對儲存在該陣列中之資料的感測，則由一遠離該記憶模組之分開的積體電路來執行。

因該PIRM記憶體較為便宜，故使用者將會以大量的PIRM模組來積存各種儲存內容。故很重要的是要能以一種很直接單純而且較不昂貴的方法來製造及組裝該等記憶模組，俾可儘量減少對精確度的要求，而得增加資訊儲存密度，並簡化定址、讀取及寫入等之功能。

在一如上所述之疊層式高密度記憶模組中，於各相鄰記憶胞元之間的電流洩漏或“串音”(crosstalk)之可能性恐會大量增加。此問題將會由於“on”及“off”記憶胞元之間的電流洩漏，以及其它潛在的串音途徑，而使其錯誤率與功率損耗形成不可接受的增加程度。

在第1圖中，有三個示意圖示出易於洩漏電流的途徑，其中之交叉點二極體係由正交的電極條帶所形成，在該等條帶之間具有非結晶矽p-i-n層，而反熔線係將本徵非結晶矽與一金屬接面而來製成，該金屬會擴散進入該半導體中以形成良好的接觸，即為一種“擴散金屬”。在第1A圖中，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (3)

乃示出一交叉點記憶電極10的柵格。沿X方向之底部的電極條帶15~17。該等底部的電極條帶12~14係由導電材料製成，以金屬為佳，而頂部的電極條帶15~17則由擴散金屬製成，例如銀。交替的正電壓 $+V$ 以及負電壓 $-V$ ，會在該二方向施加於間次的電極條帶上，如圖所示。

第1B圖係為沿該具有負電壓 $-V$ 之中央底部X電極13之X軸的截面圖。該頂部電極15具有負電壓 $-V$ ，電極16則具有正電壓 $+V$ ，而電極17亦具有負電壓 $-V$ 。二極體20~22等會被設在電極15~17與電極13之間，其係由三個沈積在電極13上之半導體p-i-n層23~25所構成。一 p^+ 摻雜層23係沈積在一本徵i層24上方，而該層24則覆設在一 n^+ 摻雜層25上。反熔線26~28係由一鈍化層29所形成，該鈍化層29係設在二極體20~22上方，而位於頂部電極15~17底下。

一 p^+ 摻雜層即為一半導體材料例如矽而摻有較多的p型摻雜物，例如硼。同樣地， n^+ 摻雜層係為一半導體材料例如矽而摻有較多的n型摻雜物，例如磷。該“+”記號係表示該材料已被較重地摻雜至少1%的濃度。

當一定址的元件之反熔線開放(即未導電連接)而相鄰之反熔線導電時，即會發生位元之間的串音(串擾)。一洩漏途徑係由一導電的反熔線至最接近的二極體。如第1B圖所示，當反熔線26導電時，一洩漏電流250會由該反熔線26經由該 p^+ 層23而流至相鄰的二極體21。通過該 p^+ 層的洩漏電流很小，因為該 p^+ 層通常很薄，約在20奈米(nm)左右。

第1C圖係沿具有正電壓 $+V$ 之中央頂部電極16的Y軸之

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (4)

截面圖。該底部電極12具有正電壓 $+V$ ，電極13具有負電壓 $-V$ ，而電極14具有正電壓 $+V$ 。反熔線31~33係由電極16及鈍化層29所形成。而二極體34~36係由p-i-n層23~25及電極12~14等所形成。當反熔線31導電時，洩漏電流37會經由 p^+ 層23流至相鄰的二極體35。又，由於該 p^+ 層23係相當薄，故該洩漏電流37很小。但是，由二極體34之電極14通過 n^+ 層25流至二極體35之電極13的洩漏電流38，將會較大而成為一可觀的因素。該 n 型層通常會較厚，並具有比 p^+ 層更小甚多的電阻。此外，電子活動力係大於電洞活動力，因此通常在 n^+ 層中之電流洩漏會大於在 p^+ 層中者。

洩漏之電流將會隨著記憶陣列的大小而增加。第2圖為一圖表示出洩漏電流(1.E-0X表示 10^{-x} 安培)形成記憶陣列大小(1.E+0Y表示 10^{+y} 記憶位元)的函數。在該圖表中的評估值係假設摻磷的非晶矽之電阻率約為 $1(K\Omega\text{-cm})$ ，而 n^+ 層的厚度係為 100nm ，通過各電極的電壓差為 $5V$ ，且線路寬度相等於線路間隔。當該記憶陣列的大小超過1百萬位元(10^{+6} 記憶胞元)時，其洩漏電流會大於 0.1 毫安培(10^{-4} 安培)，此對一記憶陣列是不可接受的。該點係被示於第2圖中的點39處。目前，具有至少 8MB (即 64 百萬位元)記憶體的產品單元已十分普遍。故，在既存及未來的記憶陣列中電流洩漏乃為一主要的問題。

他人等亦曾企圖構建不同的裝置來儘量減少記憶陣列中的電流洩漏。其中之一結構乃示於所附之第4698900及第5008722號(Esquivel)美國專利中，其中之交叉點EPROM陣

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (5)

列乃具有溝槽，而可在相鄰的埋設 n^+ 位元線之間提供更佳的絕緣，以及改良的電流洩漏特性。該Esquivel的製造方法係包括在除去表面層之後，將一溝槽蝕入一單晶矽基材中。但要隔絕複合的三個終端EPROM電晶體裝置會有特殊的需求，而非可輕易地移轉至其它的技術，例如供用於高密度、可攜式的廉價資料儲存器之薄膜結構中。

使用薄膜製品及二終端二極體裝置的交叉點記憶陣列會具有更大的挑戰性。該等薄膜製品係指使用一層半導體及障壁和導電層等，其厚度係小於或等於數微米，來構建記憶陣列裝置者。該等薄膜裝置須在非常薄的基材，例如玻璃或塑膠片上，來製成記憶胞元，而在該等基材上係不可能製成絕緣溝槽。故在此情況下，需要有新的方法及製品形式來減少該串擾的問題，其將會隨著更大及更密集的記憶陣列而大量增加。

因此，乃需要一種交叉點薄膜記憶結構及製造方法來儘量減少記憶胞元之間的電流洩漏或串擾。且該等結構必須要簡單而又容易構建，並最好能在製程中無需增加的關鍵步驟或罩蔽。該等薄膜記憶胞元的絕緣構造亦必須使用簡單低成本的製法來完成，且要能適用於大面積處理及高密度記憶結構者。

本發明即在提供一種交叉點記憶陣列結構，其在相鄰的各排記憶胞元之間乃設有一溝槽，俾得隔離絕緣以儘量減少電流洩漏者。一鈍化材料可被沈積於該等溝槽中，來提高各排記憶胞元之間的絕緣。該等記憶胞元較好係被製

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (6)

成各具有一二極體及串接的反熔線介於橫交的電極之間。於此所述之“橫交電極”係指以某非0度角來相交的電極。該等溝槽係被形成於各記憶胞元排之間，而溝槽深度最好係延伸至 n^+ 層底部。該等胞元可被製成在一二極體上具有該反熔線，且鈍化材料可由該反熔線伸入溝槽內而來形成絕緣材料。或者，該二極體亦可被設在反熔線上方，而使該 n^+ 層更高，俾儘量減少溝槽深度。該等溝槽係在正常的導體蝕刻步驟中被製成，因此不需有額外增加的圖案化步驟。而且，該等罩蔽與蝕刻製程本質上並非為關鍵性的，如前所述。

在本發明之一較佳實施例中，一交叉點記憶陣列係被製設在一基材上，而具有多數的記憶胞元，各胞元包含一二極體與一反熔線。一第一導電材料會被設在該基材上之分開的各別區域中，來形成多數的第一電極。一第二導電材料係被設在橫交於第一電極之分開的各別區域中，並與該等第一電極間隔分開來形成多數的第二電極，而具有相對於第一電極的交叉點等。多數的半導體層被設在第一與第二電極之間，來形成多數的二極體介於第一與第二電極的交叉點之間。一鈍化層介設於該等第一電極與二極體之間，而在第一與第二電極的交叉點處形成多數鄰接於二極體的反熔線。在電極交叉點之間的部份二極體層會被除去，而形成多數的記憶胞元，及各相鄰胞元之間的成排溝槽，俾於相鄰胞元之間形成可防止串擾的阻障。

在另一較佳實施例中，一種供製造交叉點記憶陣列的

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (7)

方法乃被提供，該陣列具有多數記憶胞元設在一基材上，各記憶胞元含有一二極體及一反熔線。一第一導電材料會被沈積在該基材上來形成底部電極。有多數的半導體層會接續地沈積在該底部電極上。部份的第一導電材料及半導體層會被除去，而來形成沿一第一方向延伸之二極體與底部電極的各分開區域，並形成溝槽等沿該第一方向延伸於相鄰的二極體之間，以提供可防止相鄰胞元之間發生串擾的阻障。一鈍化層會被沿著各二極體區域來沈積在該等二極體上，以及該等溝槽內並大致依循該溝槽的廓形。一第二導電材料會被沈積在該鈍化材料上來形成多數的頂部電極，其係沿一第二方向延伸而橫交於底部電極所延伸的第一方向，故可在該等頂部及底部電極的交叉點處形成該等記憶胞元。

在另一較佳實施例中，亦為一種供製造交叉點記憶陣列的方法，該陣列具有多數的記憶胞元設在一基材上，各胞元包含一二極體與一反熔線。一第一導電材料係沈積在該基材上來形成一底部電極。多數的半導體層會被接續地沈積在該底部電極上。部份的第一導電材料及半導體層會被除去，而形成沿第一方向延伸之分開的二極體各別區域與底部電極等，並形成溝槽等沿該第一方向延伸於相鄰的二極體之間，而在相鄰的胞元之間形成可防止串擾的阻障。一鈍化材料會被沿著各二極體區域來沈積在該等二極體上，以及該等溝槽內並大致依循溝槽的廓形。一第二導電材料係沈積在該鈍化材料上，來形成多數的頂部電極，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (8)

其會沿一第二方向延伸來橫交於底部電極所延伸的第一方向，而在該等頂部與底部電極的交叉點處形成該等記憶胞元。

在另一較佳實施例中，亦為可供製造交叉點記憶陣列的方法，該陣列具有多數的記憶胞元設在一基材上，各胞元包含一二極體及一反熔線。一第一導電材料會被沈積在該基材上來形成一底部電極。一鈍化材料係沈積在第一導電材料上。部份的第一導電材料及鈍化材料會被除去，而形成沿該基材的第一方向來延伸的條帶。多數的半導體層會被接續地沈積在該鈍化材料上。一第二導電材料會被沈積在該等半導體層上。部份的第二導電材料及半導體層會被除去，來形成各記憶胞元的分開條帶，以及頂部電極等沿一第二方向沿伸而橫交於底部電極的第一方向，並形成溝槽等沿該第二方向延伸於相鄰的記憶胞元之間，以提供一可防止相鄰胞元之間串擾的阻障。

在另一較佳實施例中，乃提供一種交叉點記憶陣列的製造方法，該陣列具有多數記憶胞元設在一基材上，各胞元包含一二極體鄰接於一線電極。該方法包括在一製造步驟中一起來蝕刻沿各二極體與線電極之第一方向延伸的邊界，以形成沿該第一方向延伸的多排二極體與該一線電極。

本發明之其它的態樣和優點等，將可由以下詳細說明配合示出本發明之原理的各實施例之所附圖式，而得更清楚地瞭解。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (9)

圖式之簡單說明：

第1A~1C圖係為平面及截面示意圖，乃示出具有一串聯二極體及反熔線的交叉點記憶裝置；

第2圖為一圖表，示出交叉點記憶陣列之洩漏電流與記憶陣列大小之間的關係；

第3A~3D圖係為側視示意圖，乃示出本發明一較佳實施例之交叉點記憶陣列的製造步驟；

第4圖乃示出第3圖的實施例之一變化例的示意圖；及

第5A、5B圖及第6圖係為本發明另一較佳實施例之記憶陣列的結構和製法之側視示意圖。

請參閱第3A~3D圖，係示出本發明之交叉點記憶陣列在製造時之關鍵步驟的示意圖。在本實施例中，各記憶胞元乃包含一二極體與一串聯的反熔線元件，而該反熔線元件係設在頂部。於此所用之“熔線”或“反熔線”乃可互換地認為，一熔線係指當燒斷時即不會導電者，而反熔線則指當燒斷時即會導電者。在本發明之較佳實施例的大部份情況下，乃以反熔線為較佳，但熔線或反熔線皆可使用。

第3A圖係示出部份製造中的記憶陣列40，其含有三個二極體p-i-n層疊覆在一底部電極層42上，該層42則係被沈積在一基材41上。如前所述， n^+ 層44最好係比 p^+ 層46更厚。本徵層45係沈積在該 n^+ 層與 p^+ 層之間，而形成整體的p-i-n二極體。於此所稱之“本徵層”係指未被刻意摻雜的料層。該各層之典型厚度係： p^+ 層為20nm， n^+ 層為100nm，而本徵層為200nm。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

如第3B圖所示，一記憶陣列50乃被示出，其中上述各層44~46及電極層42已被圖案化，最好以蝕刻為佳，而來除去中間部份並留下各二極體排54設在電極線55上，其間則形成溝槽52。各二極體排54乃含有一p-i-n二極體，如前所述。蝕刻會被進行用來形成平行線，其最好係以光微影製程或其它的刻印製程，包括沖印法及印痕法等來處理。嗣該各層及金屬膜會被圖案化。較好係以乾蝕刻處理為宜。或者，該等平行線亦可用雷射磨削技術來形成。

在第3C圖中，有一鈍化層62會被沈積在各二極體排54上，來形成該反熔線的障壁部份，並依循溝槽52的形狀來覆蓋其上。由於電流洩漏非常容易經由側壁來發生，故該等溝槽的側壁及底部皆被覆設該鈍化層62。於此所稱之“鈍化層”係指一層材料其可大量地減少表面之電流洩漏者。該鈍化層係可由本徵非晶矽，含矽量高之氮化矽，碳化矽，或其它的該等材料來製成。

如第3C圖所示，有一導電層64會沿X方向被沈積在該鈍化層62上並伸入溝槽52中。該導電層64係可為如前所述的“擴散金屬”，或任何其它的適當材料。導電層64與鈍化層62會形成與各二極體54串聯的反熔線。最後，如第3D圖所示，該導電層64會被以一橫交於溝槽之方向來圖案化及蝕刻，而形成個別的記憶胞元66及導線68等，其會與在Y方向之相鄰的記憶胞元分開。

該等頂部及底部電極的最普遍設置方式係呈正交，即互相垂直，但其相較的角度並不十分重要，除非例如為了

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (11)

封裝的需要。雖然最大的封裝密度係可藉正交排列來達成，但該等電極亦可為彎曲的，而仍如前所述地橫交，來使該等電極以某一角度相交。

本製造方法之一重要優點係僅使用一圖案化(罩蔽)及一蝕刻步驟，來製成該等二極體排54及底部電極55，如第3B圖所示。且，該等罩蔽及蝕刻步驟係為“非關鍵性的”，即其並不需要將蝕刻界線與該陣列中之某些其它元件精確地調準對齊。其它非關鍵性的圖案化及蝕刻步驟，在罩蔽及除掉沿Y方向的相鄰記憶胞元間之頂部電極材料時，將會被進行，如第3D圖所示。應可瞭解在交叉點記憶陣列中，至少需有二次圖案化及蝕刻之步驟，來製成該橫交的電極區域。於本發明中，該製造程序及所形成之可大量減少串擾之隔絕的記憶胞元等，將可不必增加任何額外的圖案化步驟，且不必使既有的圖案化及蝕刻步驟變得十分關鍵而來完成。

在第3A~3D圖中所示實施例的另一優點係，在各二極體排54之間幾乎可將串擾完全地阻絕。該製造方法之一挑戰，即在用以製成如所示之最小構造物的蝕刻製程之一極限。

在第4圖中，乃示出第3圖的實施例之一變化例。於該方法中係先依循如第3A~3B圖中所示的相同步驟。然後，鈍化材料70會被沈積來完全覆蓋該等溝槽52及二極體54，而形成一平面71，其上則沈積一導電材料72。雖本方法須要較多的鈍化材料，但本方法會較為簡單，因為不必沿著

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (12)

該等溝槽的外形來蝕刻。

現請參閱第5、6圖，本發明之另一較佳實施例乃被示出，其中該記憶陣列80具有多數的記憶胞元91，係各由一二極體81及一串聯的反熔線82所形成，該二極體81乃設在該反熔線82頂上。本方法的優點係該等溝槽可被切得較淺一些。如所述，該等溝槽會具有一深度而至少延伸至該 n^+ 層的深度，即大部份的串擾所發生之處。藉著將該二極體81設在反熔線82上方，該等溝槽的深度將可比第3圖所示之實施例更淺甚多，但仍可達到與該 n^+ 層底部平行的深度。

第5A與5B圖乃示出沿該等記憶胞元91的X軸及Y軸之截面圖，其具有一“擴散金屬”84沈積在一基材85上。於該“擴散金屬”84上係沈積有一鈍化層86。而該鈍化層86上方則沈積一 p^+ 層87。分開條帶的圖案將會形成於該 p^+ 層87的表面上。蝕刻該 p^+ 層87、鈍化層86及“擴散金屬”84的結果，將會形成該等疊層的分開條帶93，如第5B圖所示。在各條帶93上係沈積有一本徵層88，一 n^+ 層89，及一導電層90。如圖所示，該 n^+ 層89及導電層90已被等間隔蝕掉，而形成各排的記憶胞元91，以及隔絕溝槽92等。該 n^+ 層89與導電層90可同時被圖案化。

沿X方向來蝕刻導電層90將會如先前第3D圖所示地來進行。然後，該 n^+ 層89可藉一適當的媒劑，例如 CF_4 電漿，而來蝕刻。該 n^+ 層89的蝕刻製程並非關鍵性的，因為不需要選擇性地蝕刻覆設在本徵矽上面的 n^+ 材料。由於該本徵層88的厚度較好係大於200nm，故可利用一簡單的蝕刻時

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (13)

點控制來停止該本徵矽層88中的蝕刻。或者，該頂部金屬90及 n^+ 層89皆可被以雷射磨削或離子銑削來處理。而蝕刻深度可藉雷射能量密度，蝕刻速率或光干涉量度來控制。

在第6圖中，一記憶陣列100乃示出第5A與5B圖中之結構與製法的變化例。在各記憶胞元91之間的絕緣係藉於各 n 型條帶89之間形成 p 型區94而來達成。摻雜則可藉雷射技術或離子浴摻雜處理而來達成。該二技術皆為大面積可用的處理方法，並可被實施於須要曝現在低溫中的基材。沿著 Y 方向(進入紙頁中)，該背對背的二極體結構將可避免側向洩漏。此方法亦可免除溝槽蝕刻步驟，如於第5A與5B圖中所述者。

雖上述各實施例僅為本發明之代表性範例，但專業人士將可由本說明書及所附申請專利範圍之推想，或由本發明所揭實施例的實施中，而容易得知其它的實施例。故文中細節及所揭實施例係僅供舉例而已，本發明應由以下申請專利範圍及其等效結構來界定。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (14)

元件標號對照

10...交叉點記憶電極	54...二極體排
12、13、14、15、16、17	55...電極線
...電極條帶	62...鈍化層
20、21、22、34、35、36	64、90...導電層
...二極體	66、91...記憶胞元
23、24、25...半導體層	68...導線
26、27、28、31、32、33	70...鈍化材料
...反熔線	71...平面
29...鈍化層	72...導電材料
40、80...記憶陣列	81...二極體
41...基材	82...反熔線
42...底部電極層	84...擴散金屬
44、49...n ⁺ 層	85...基材
45、88...本徵層	86...鈍化層
46、87...p ⁺ 層	93...分開條帶
50、100...記憶陣列	94...p型區
52、92...溝槽	

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要(發明之名稱: 可降低輕便廉價堅固型記憶體(PIRM)之記憶體陣列中之串音的裝置與製造方法)

一種交叉點記憶陣列係被設在一基材(85)上而具有多數的記憶胞元，各記憶胞元包含一二極體及一串聯的反熔線。第一與第二導電材料會呈分開條帶被設在該基材上，來形成多數呈正交的第一與第二電極(93、90)，而具有交叉點等。有多數的半導體層(87、88、89)被設在該第一與第二電極(93、90)之間，來形成多數的二極體(81)介於第一與第二電極的交叉點之間。一鈍化層(86)設在該第一電極(93)與二極體(81)之間，而在第一與第二電極的交叉點處形成多數鄰接於二極體(81)的反熔線(82)等。在電極交叉點之間的部分二極體層(87、88、89)會被除去，來形成多數的記憶胞元(91)，及在各相鄰的記憶胞元(91)之間各排溝槽(92)等，以提供可防止相鄰記憶胞元(91)間之串擾的阻障。一種供製造該記憶陣列的方法，包含在各記憶胞元(66)的二極體(54)上方製成反熔線(62、64)，並以鈍化材料(62)伸入於該等溝槽(52)中來作為絕緣材料(70)。或者，該等二極體(81)亦可被設在反熔線(82)上方，以使該等溝槽(92)能被製得較淺。

英文發明摘要(發明之名稱: APPARATUS AND FABRICATION PROCESS TO REDUCE CROSSTALK IN PIRM MEMORY ARRAY)

A cross point memory array is fabricated on a substrate (85) with a plurality of memory cells, each memory cell including a diode and an anti-fuse in series. First and second conducting materials are disposed in separate strips on the substrate to form a plurality of first and second orthogonal electrodes (93, 90) with cross points. A plurality of semiconductor layers (87, 88, 89) are disposed between the first and second electrodes (93, 90) to form a plurality of diodes (81) between the cross points of the first and second electrodes (93, 90). A passivation layer (86) is disposed between the first electrodes (93) and the diodes (81) to form a plurality of anti-fuses (82) adjacent to the diodes (81) at the cross points of first and second electrodes (93, 90). Portions of the diode layers (87, 88, 89) are removed between the electrode cross points to form the plurality of memory cells (91) with rows of trenches (92) between adjacent memory cells (91) to provide a barrier against cross-talk between adjacent memory cells (91). A process for fabricating the memory array comprises formation of the anti-fuse (62, 64) above the diode (54) in each memory cell (66) and extending the passivation material (62) into the trenches (52) as the isolation material (70). Alternately, the diode (81) may be formed above the anti-fuse (82), so that the trenches (92) may be substantially more shallow.



(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種薄膜交叉點記憶陣列⁵係被製設在一基材上而具有多數的記憶胞元，各記憶胞元含有一二極體及一反熔線，該記憶陣列包含：

一第一導電材料設在該基材上之各別區域中，來形成多數的第一電極；

一第二導電材料設在橫交於第一電極的各別區域中並與第一電極間隔分開，來形成多數的第二電極而具有相對於第一電極之交叉點；

多數的半導體層設在第一與第二電極之間，而在該等第一與第二電極的各交叉點之間形成一二極體；及

一鈍化層介設於該等第一電極與二極體之間，而在該等第一與第二電極的交叉點處形成多數鄰接於各二極體的反熔線；

其中在相鄰的電極交叉點之間的二極體層部份會被除去，以形成多數的記憶胞元，並使相鄰的記憶胞元之間各排溝槽形成可防止串擾的阻障。

2. 如申請專利範圍第1項之交叉點記憶陣列，其中該等半導體層係包含一p摻雜層，一n摻雜層，及一本徵層設在該p摻雜層與n摻雜層之間，而來形成該等二極體。
3. 如申請專利範圍第2項之交叉點記憶陣列，其中該等溝槽的深度係延伸至大致平行於該n摻雜層的底部。
4. 如申請專利範圍第2項之交叉點記憶陣列，更包含有鈍化材料設在該等n摻雜層之間的溝槽內。
5. 如申請專利範圍第1項之交叉點記憶陣列，其中該等第

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

一電極係設在該鈍化層與基材之間，而形成該等反熔線位於二極體下方。

6. 一種製造薄膜交叉點記憶陣列的方法，該陣列具有多數的記憶胞元設在一基材上，各記憶胞元含有一二極體及一反熔線；該方法包含：

(a) 將一第一導電材料沈積在該基材上，來形成一底部電極；

(b) 將多數的半導體層接續地沈積在該底部電極上；

(c) 除去部份的第一導電材料及半導體層，來形成沿第一方向延伸之二極體與底部電極之各別區域，並形成溝槽沿第一方向延伸於相鄰的二極體之間，而在相鄰的胞元之間形成可防止串擾的阻障；

(d) 將一鈍化材料沈積在沿各二極體區域列設之二極體上，以及該等溝槽內並大致依循溝槽的廓形；及

(e) 將一第二導電材料沈積在該鈍化材料上，來形成多數的頂部電極沿一橫交於底部電極延伸之第一方向的第二方向來延伸，而在該等頂部電極與底部電極的交叉點處形成該等記憶胞元。

7. 一種製造薄膜交叉點記憶陣列的方法，該陣列具有多數的記憶胞元設在一基材上，各記憶胞元含有一二極體及一反熔線；該方法包含：

(a) 將一第一導電材料沈積在該基材上，來形成一底部電極；

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

(b) 將一鈍化材料沈積在第一導電材料上；

(c) 除去部份的第一導電材料及鈍化材料，來形成沿該基材之第一方向延伸的各別區域；

(d) 將多數的半導體層接續地沈積在該鈍化材料上；

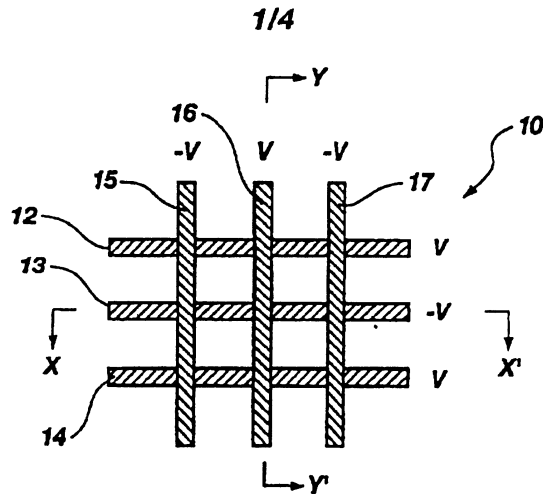
(e) 將一第二導電材料沈積在該等半導體層上；及

(f) 除去部份的第二導電材料及該等半導體層，來形成記憶胞元的各別區域，以及頂部電極等沿一橫交於底部電極之第一方向的第二方向來延伸，並形成溝槽等沿該第二方向延伸於相鄰的記憶胞元之間，而在相鄰的胞元之間形成可防止串擾的阻障。

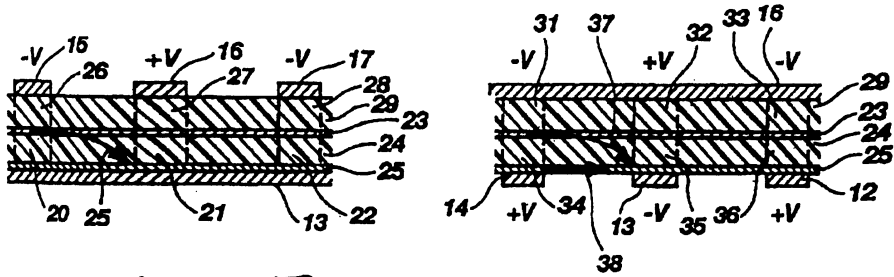
8. 一種製造薄膜交叉點記憶陣列的方法，該陣列具有多數記憶胞元設在一基材上，各記憶胞元含有一二極體及一線電極；該方法包含在一製造步驟中一起蝕刻沿各二極體及各線電極之第一方向來延伸的邊界，以製成沿該第一方向延伸之多數排的二極體和線電極。
9. 如申請專利範圍第8項之方法，其中該蝕刻步驟包括除去材料而使該各二極體與鄰接的線電極被製成於一沿橫交於該第一方向的第二方向來延伸的疊層中。
10. 如申請專利範圍第8項之方法，更包含在該蝕刻步驟之前，將該各二極體與線電極先於一製造步驟中一起來圖案化。

(請先閱讀背面之注意事項再填寫本頁)

訂

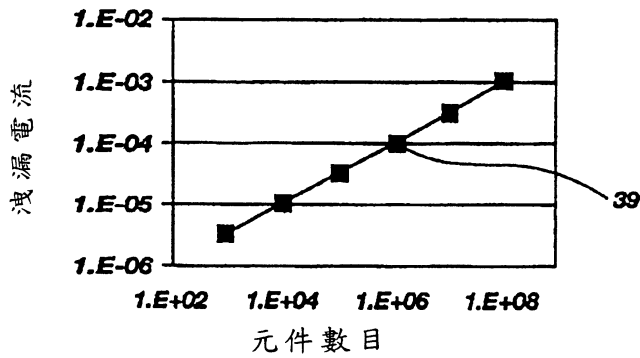


第 1A 圖

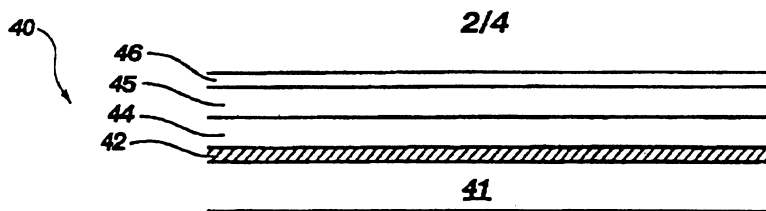


第 1B 圖

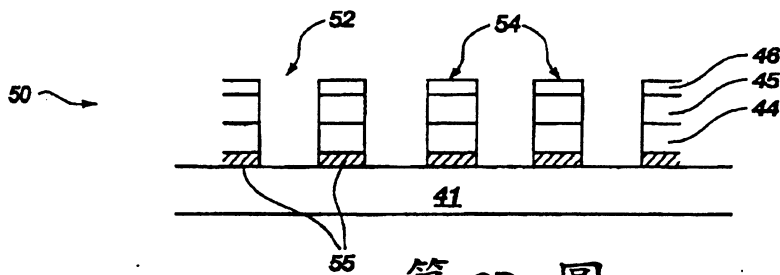
第 1C 圖



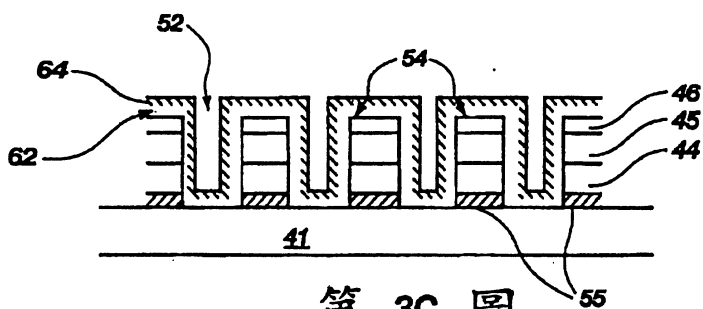
第 2 圖



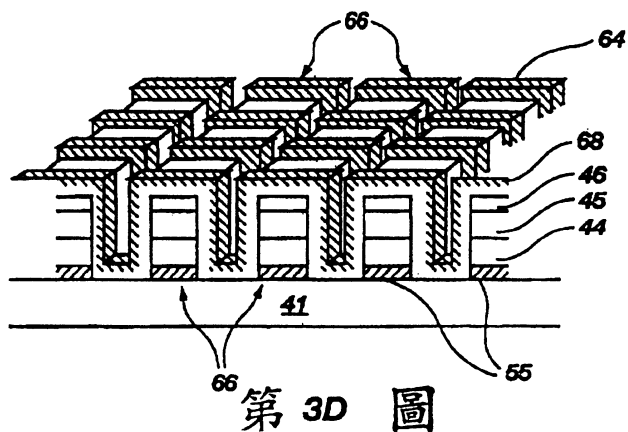
第 3A 圖



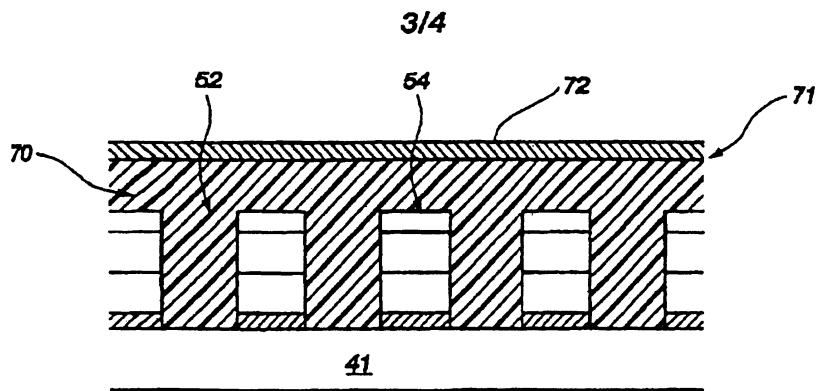
第 3B 圖



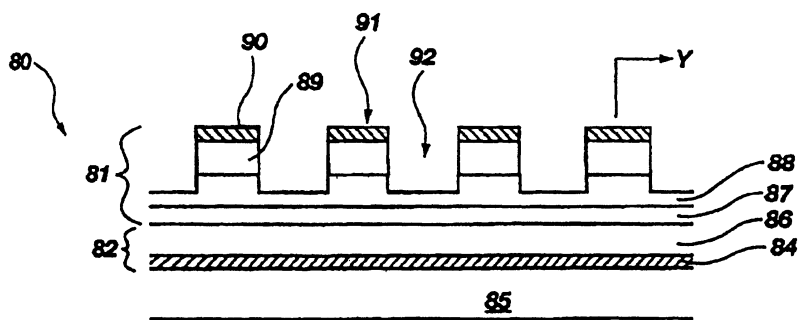
第 3C 圖



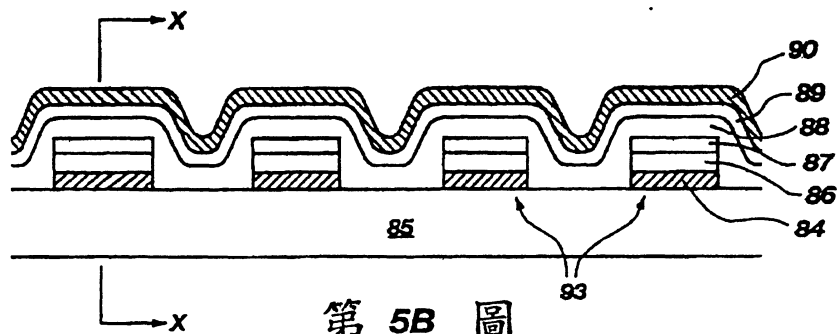
第 3D 圖



第 4 圖

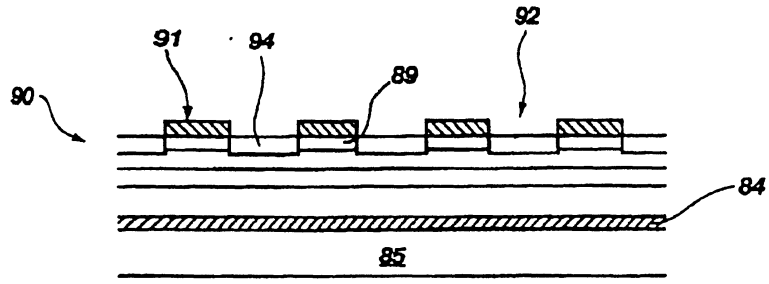


第 5A 圖



第 5B 圖

4/4



第 6 圖