

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-244596

(P2010-244596A)

(43) 公開日 平成22年10月28日(2010.10.28)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 29/04 (2006.01)	G 1 1 C 29/00 6 0 3 L	5 L 1 0 6
G 1 1 C 29/12 (2006.01)	G 1 1 C 29/00 6 0 3 K	
	G 1 1 C 29/00 6 7 1 B	

審査請求 未請求 請求項の数 7 O L (全 16 頁)

(21) 出願番号	特願2009-89878 (P2009-89878)	(71) 出願人	302062931
(22) 出願日	平成21年4月2日 (2009.4.2)		ルネサスエレクトロニクス株式会社
		(74) 代理人	100103894
			弁理士 冢入 健
		(72) 発明者	山内 尚
			神奈川県川崎市中原区下沼部 1 7 5 3 番地
			N E C エレクトロニクス株式会社内
		F ターム (参考)	5L106 AA00 CC04 CC08 CC13 DD24
			DD25 DD26 EE07 FF04 FF05
			GG07

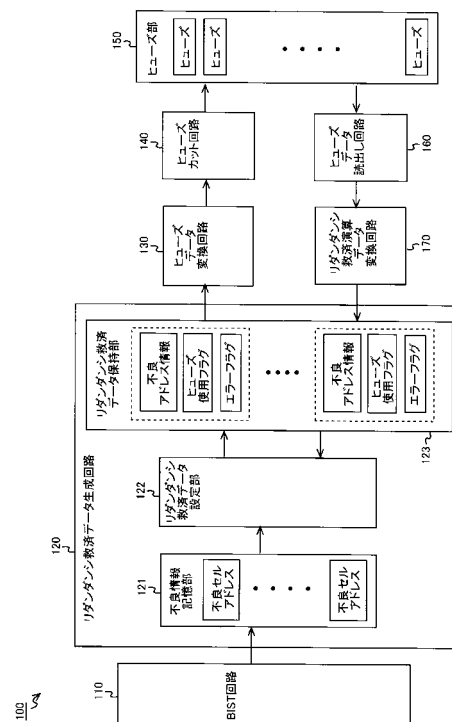
(54) 【発明の名称】 集積回路

(57) 【要約】

【課題】テスト効率が悪かった。

【解決手段】本発明は、複数のメモリセルと、複数のヒューズと、複数のヒューズのうち対応するヒューズが第1の状態となることで複数のメモリセルにある不良セルを救済する機能を有する冗長メモリと、既に救済され第1の不良セルに対応した第1の状態となっているヒューズの位置情報から第1の不良セルの第1の情報を生成するヒューズデータ変換回路と、複数のメモリセルのテスト結果により第2の不良セルを検出すると、第2の不良セルの第2の情報と第1の情報とに応じて、第2の不良セルを救済するための救済情報を生成する救済データ生成回路と、救済演算回路が生成した救済情報に応じて、複数のヒューズのうち、所定のヒューズを第1の状態とするヒューズ状態変更回路と、を有する集積回路である。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

複数のメモリセルと、
複数のヒューズと、

前記複数のヒューズのうち、対応するヒューズが第 1 の状態となることで、前記複数のメモリセルにある不良セルを救済する機能を有する冗長メモリと、を有する集積回路であって、

既に救済され、第 1 の不良セルに対応した前記第 1 の状態となっているヒューズの位置情報から、前記第 1 の不良セルの第 1 の情報を生成するヒューズデータ変換回路と、

前記複数のメモリセルのテスト結果により第 2 の不良セルを検出すると、その検出した第 2 の不良セルの第 2 の情報と、前記第 1 の不良セルの第 1 の情報とに応じて、前記第 2 の不良セルを救済するための救済情報を生成する救済データ生成回路と、

前記救済データ生成回路が生成した救済情報に応じて、前記複数のヒューズのうち、所定のヒューズを第 1 の状態とするヒューズ状態変更回路と、
を有する集積回路。

【請求項 2】

前記救済データ生成回路は、

前記ヒューズデータ変換回路からの前記第 1 の不良セルの第 1 の情報を保持する保持部と、

前記複数のメモリセルのテスト結果である前記第 2 の不良セルの第 2 の情報と、前記保持部が保持する前記第 1 の不良セルの第 1 の情報とのデータ値が異なる場合、前記第 2 の不良セルの第 2 の情報に応じた救済情報を設定する救済データ設定部と、を有する
請求項 1 に記載の集積回路。

【請求項 3】

前記救済データ生成回路は、

前記複数のメモリセルのテストを行うテスト部を更に有する

請求項 2 に記載の集積回路。

【請求項 4】

前記複数のメモリセルのテストを行うテスト回路を更に有し、

前記救済データ生成回路は、

前記テスト回路のテスト結果である前記第 2 の不良セルの第 2 の情報を記憶する記憶部と、

前記ヒューズデータ変換回路からの前記第 1 の不良セルの第 1 の情報を保持する保持部と、

前記記憶部が記憶する前記第 2 の不良セルの第 2 の情報と、前記保持部が保持する前記第 1 の不良セルの第 1 の情報とのデータ値が異なる場合、前記第 2 の不良セルの第 2 の情報に応じた救済情報を設定する救済データ設定部と、を有する

請求項 1 に記載の集積回路。

【請求項 5】

前記第 1 の状態とは、ヒューズがカットされた状態である

請求項 1 ～ 請求項 4 のいずれか 1 項に記載の集積回路。

【請求項 6】

ヒューズデータ変換回路は、

前記第 1 の不良セルに対応してカットされたヒューズの位置情報を読み出すヒューズデータ読み出し回路と、

前記ヒューズデータ読み出し回路が読み出したカットされたヒューズの位置情報から、前記第 1 の不良セルの第 1 の情報に変換する救済データ変換回路と、を有する

請求項 5 に記載の集積回路。

【請求項 7】

ヒューズ状態変更回路は、

前記救済データ生成回路からの前記救済情報に応じて、カットするヒューズの位置情報を生成するヒューズデータ変換回路と、

前記ヒューズデータ変換回路からのヒューズの位置情報に応じたヒューズをカットするヒューズカット回路と、を有する

請求項 5 に記載の集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路に関し、特にリダンダンシ救済機能を有する集積回路に関する。

【背景技術】

【0002】

内蔵 R A M 等を有する半導体集積回路において、不良メモリセルが存在する場合、これをスペアのメモリセルと置換することにより、その不良メモリセルを等価的に救済し、製品歩留まりを向上させることが図られている。このように、現在の半導体集積回路には、不良メモリセルを置換救済するための冗長なスペアメモリセルを設ける、リダンダンシ（冗長構成）が用いられている。

【0003】

近年、内蔵 R A M 等のメモリ回路の容量が大規模化している。このため、メモリ回路に対してこのようなリダンダンシを活用しなければ、製品の歩留まりが悪化してしまう。しかも、この欠陥不良は、周囲条件によって変化する場合がある。具体的には、高温・高電圧では、ある特定アドレスが不良となるが、低温・低電圧では、別のアドレスが不良になるというような場合である。このため、上記のような複数条件で発生する不良を、低コストでリダンダンシ救済が可能な手法や回路が求められている。

【0004】

ここで、従来技術として特許文献 1 に冗長メモリの不良を救済するための救済情報の転送時間やヒューズの切断時間を短縮する方法が記載されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2 0 0 7 - 3 2 3 7 2 6 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

ここで、特許文献 1 等の従来のリダンダンシを持つメモリ回路に対する不良救済は、1 つの条件で行なったテストで不良と検出された際の、不良情報（不良アドレスや、不良ビットの情報）をもとに、集積回路内でリダンダンシ救済情報を求めている。そして、そのリダンダンシ救済情報に応じたヒューズをカット（溶断）することでリダンダンシ救済を行っていた。このような方法では、上述したように温度等の周囲条件を変えたときに不良となる部分が変わる場合、両条件での不良情報を何らかの方法で格納しておく必要がある。

【0007】

ここで、周囲条件を変更するには、長い時間がかかる場合が多い。例えば、複数の温度でテストする場合、集積回路の周辺温度を変更し、安定させるまでには長時間を要していた。そして、この場合、1 つのチップがテスターを占有する時間が長くなり、テストコストが増大するという問題を有していた。更に、集積回路内の B I S T（Built-In-Self-Test）等で救済処理を行なう場合、条件を変更する期間、集積回路内のレジスタやラッチにデータを保持する必要がある。このことは、過去に実行したテスト結果の不良情報が失われないように、集積回路に電源電圧を与え続けて待つ必要があり、消費電力の面からも問題がある。

【0008】

10

20

30

40

50

また、集積回路内でテスト結果の不良情報を保持せず、一端外部に取り出す場合は、テスト結果の不良情報をテスター等の外部装置に取り出し、条件を変えた後で、その情報を集積回路のチップID等の識別情報と対応をとって、再度、対応した不良情報を読み出し、テストを再開する必要がある。このため、集積回路を識別する情報と、それに対応する不良情報の対応を適切に保存・管理しておく必要があった。

【課題を解決するための手段】

【0009】

本発明は、複数のメモリセルと、複数のヒューズと、前記複数のヒューズのうち、対応するヒューズが第1の状態となることで、前記複数のメモリセルにある不良セルを救済する機能を有する冗長メモリと、を有する集積回路であって、既に救済され、第1の不良セルに対応した前記第1の状態となっているヒューズの位置情報から、前記第1の不良セルの第1の情報を生成するヒューズデータ変換回路と、前記複数のメモリセルのテスト結果により第2の不良セルを検出すると、その検出した第2の不良セルの第2の情報と、前記第1の不良セルの第1の情報とに応じて、前記第2の不良セルを救済するための救済情報を生成する救済データ生成回路と、前記救済演算回路が生成した救済情報に応じて、前記複数のヒューズのうち、所定のヒューズを第1の状態とするヒューズ状態変更回路と、を有する集積回路である。

10

【0010】

本発明にかかる集積回路によれば、過去のテストによる不良セルの救済情報をヒューズの位置情報で記憶し、その位置情報から不良セルの情報を生成できる。このため、新たに行ったテストにより検出された不良セルの情報と、過去に行ったテストの不良セルの情報とを比較することが可能になる。よって、外部で不良情報の保存管理や、テスト条件が変更されるまでテスターを占有する必要がなくなる。

20

【発明の効果】

【0011】

本発明にかかる集積回路により、テスト効率の向上が可能である。

【図面の簡単な説明】

【0012】

【図1】実施の形態1にかかるリダンダンシ制御回路のブロック構成である。

【図2】実施の形態1にかかるリダンダンシ制御回路の動作フローチャートである。

30

【図3】従来のリダンダンシ制御回路の動作フローチャートである。

【図4】実施の形態2にかかるリダンダンシ制御回路のブロック構成である。

【図5】実施の形態2にかかるリダンダンシ制御回路の動作フローチャートである。

【図6】実施の形態3にかかるリダンダンシ制御回路のブロック構成である。

【発明を実施するための形態】

【0013】

発明の実施の形態1

【0014】

以下、本発明を適用した具体的な実施の形態1について、図面を参照しながら詳細に説明する。図1に本実施の形態にかかる集積回路のリダンダンシ制御回路100の構成を示す。なお、このリダンダンシ制御回路100は、当該リダンダンシ制御回路100が組み込まれる半導体集積回路が有するメモリ回路のリダンダンシを制御するものとする。

40

【0015】

図1に示すように、リダンダンシ制御回路100は、BIST (Built-In-Self-Test) 回路110と、リダンダンシ救済データ生成回路120と、ヒューズデータ変換回路130と、ヒューズカット回路140と、ヒューズ部150と、ヒューズデータ読み出し回路160と、リダンダンシ救済演算データ変換回路170とを有する。

【0016】

BIST回路110は、所定の条件下で、当該リダンダンシ制御回路100が組み込まれる集積回路が有するメモリ回路に対してテストを行う。そして、そのテストの結果であ

50

る不良情報をリダンダンシ救済データ生成回路 120 に送る。

【0017】

ヒューズデータ変換回路 130 は、リダンダンシ救済データ生成回路 120 が生成したリダンダンシ救済データから不良を救済するためのヒューズのビット位置とその値の情報に変換し、出力する。ヒューズカット回路 140 は、ヒューズデータ変換回路 130 からの情報に応じて、ヒューズ部 150 のヒューズをカットする（第 1 の状態とする）。なお、ヒューズデータ変換回路 130 と、ヒューズカット回路 140 とでヒューズ状態変更回路を構成する。

【0018】

ヒューズ部 150 は、リダンダンシ救済するための複数のヒューズにより構成される。例えば、不良ロウを冗長ロウで置換して救済を行う場合、この冗長ロウに対応したヒューズがカットされる。このヒューズ部 150 のそれぞれのヒューズは、ビット位置情報を有している。このため、どのヒューズをカットするか、もしくは、どのヒューズがカットされたかは、このビット位置情報の値により特定することが可能である。

【0019】

ヒューズデータ読み出し回路 160 は、ヒューズカット回路 140 によりカットされたヒューズのビット位置とその値の情報を読み出す。リダンダンシ救済演算データ変換回路 170 は、ヒューズデータ読み出し回路 160 が読み出したヒューズのビット位置とその値の情報により、過去に行ったリダンダンシ救済データに変換し、リダンダンシ救済データ生成回路 120 に送る。例えば、不良ロウを冗長ロウで置換してリダンダンシ救済によりカットされたヒューズの位置情報から、その不良ロウのアドレスが特定できる。このため、リダンダンシ救済演算データ変換回路 170 は、リダンダンシ救済データに、その不良ロウのアドレスを格納してリダンダンシ救済データ生成回路 120 に送る。なお、ヒューズデータ読み出し回路 160 と、リダンダンシ救済演算データ変換回路 170 とでヒューズデータ変換回路を構成する。

【0020】

リダンダンシ救済データ生成回路 120 は、不良情報記憶部 121 と、リダンダンシ救済データ設定部 122 と、リダンダンシ救済データ保持部 123 とを有する。リダンダンシ救済データ生成回路 120 は、BIST 回路 110 から送られたテスト結果による不良情報、また、リダンダンシ救済演算データ変換回路 170 からのリダンダンシ救済データに応じて、そのテストによりリダンダンシ救済を行う不良セルのリダンダンシ救済データを生成する。この生成されたリダンダンシ救済データには、テスト結果によりリダンダンシ救済する不良情報（不良セルのアドレス情報等）が格納される。

【0021】

不良情報記憶部 121 は、BIST 回路 110 からの不良情報を記憶する。例えば、BIST 回路がテストを行ったメモリセルアレイの不良アドレス情報等を記憶する。

【0022】

リダンダンシ救済データ設定部 122 は、不良情報記憶部 121 が記憶している不良情報、及び、リダンダンシ救済データ保持部 123 が保持しているリダンダンシ救済データに応じてリダンダンシ救済データを設定する。リダンダンシ救済データ設定部 122 は、この設定により、BIST 回路 110 が検出した複数の不良をどのように救済するかを決定する。この決定方法の具体的な例として、以下のようなリダンダンシ救済がある。

【0023】

一例として、多数の不良が存在する箇所が、同一のロウアドレスで発生している場合には、その全ての不良を 1 つの冗長ロウで置換し、不良部分のリダンダンシ救済を行う。このような救済を行った場合、その不良を救済するヒューズが、ヒューズカット回路 140 によりカットされることになる。言い換えると、このカットされたヒューズのビット位置が特定されると、そのヒューズに対応した不良ロウアドレスが特定できることになる。

【0024】

リダンダンシ救済データ保持部 123 は、リダンダンシ救済データ設定部 122 が設定

10

20

30

40

50

したリダンダンシ救済データ、及び、リダンダンシ救済演算データ変換回路170から送られたリダンダンシ救済データを記憶する。リダンダンシ救済データは、不良アドレス情報、ヒューズ使用フラグ、エラーフラグ等の情報を有する。

【0025】

以上のようなリダンダンシ制御回路100の動作について説明する。なお、本例では、複数の不良が発生している場合を想定する。また、リダンダンシ制御回路100が組み込まれる半導体集積回路のメモリ回路（不図示）には、リダンダンシ救済に使用可能な複数の冗長口（第1の冗長口、第2の冗長口、・・・）が用意されているとする。以下の説明では、第1の冗長口を使用するために必要なリダンダンシ救済データの格納場所をRQ1、第2の冗長口を使用するために必要なリダンダンシ救済データの格納場所をRQ2と表記し、第3の冗長口を使用するために必要なリダンダンシ救済データの格納場所をRQ3と表記する。ここでいう格納場所とはレジスタ群をさすものとし、リダンダンシ救済データ保持部123はこれらレジスタ群で構成される。

10

【0026】

また、リダンダンシ救済データ格納場所RQ1に入ったデータを、「RQ1a」または「RQ1b」と表記し、リダンダンシ救済データ格納場所RQ2に入ったデータを、「RQ2a」または「RQ2b」とし、リダンダンシ救済データ格納場所RQ3に入ったデータを、「RQ3a」または「RQ3b」として表記する。ここで、RQ1a、RQ2a、RQ3aは、リダンダンシ救済データ設定部122で直接生成されたデータを示し、RQ1b、RQ2b、RQ3bは、ヒューズから読み出したデータをリダンダンシ救済データに変換したデータを示している。

20

【0027】

第1の条件下において、メモリ回路のテスト及びリダンダンシ救済を行う。まず、BIST回路110によるメモリ回路のテストが行われる。このテスト結果である不良情報が、リダンダンシ救済データ生成回路120に送られる。不良情報記憶部121は、この不良情報を記憶する。リダンダンシ救済データ設定部122は、不良情報記憶部121が記憶している不良情報に応じてリダンダンシ救済データRQ1aを設定する。本例では、リダンダンシ救済データRQ1aとして、不良が発生している不良口アドレスROW1、値が「0」のヒューズ使用フラグ、値が「0」のエラーフラグが設定される。そして、このリダンダンシ救済データRQ1aが、リダンダンシ救済データ保持部123に保持される。

30

【0028】

ヒューズデータ変換回路130は、リダンダンシ救済データ保持部123のリダンダンシ救済データRQ1aの不良口アドレスROW1を、不良を救済するためカットするヒューズのビット位置とその値に変換する。ヒューズカット回路140は、ヒューズデータ変換回路130が変換した値に応じた箇所のヒューズをカットする。このことにより、第1の冗長口を利用可能となり、第1の条件下におけるリダンダンシ救済が行われる。このようなヒューズカットを行うことにより、第1の条件下での不良救済情報がこのヒューズ部150に保存されたことになる。

【0029】

40

次に、第2の条件下において、リダンダンシ制御回路100のテスト及びリダンダンシ救済を行う。まず、ヒューズデータ読み出し回路160は、第1の条件下で行ったリダンダンシ救済によりカットされたヒューズのビット位置情報を読み出す。リダンダンシ救済演算データ変換回路170は、ヒューズデータ読み出し回路160が読み出したヒューズのビット位置の値の情報をリダンダンシ救済データRQ1bに変換し、リダンダンシ救済データ生成回路120に送る。そして、このリダンダンシ救済データRQ1bが、リダンダンシ救済データ保持部123に保持される。

【0030】

リダンダンシ救済データRQ1bには、第1の条件下で検出された不良口アドレスとROW1、値が「1」のヒューズ使用フラグ、値が「0」のエラーフラグが設定される。

50

なお、ヒューズ使用フラグが「１」の値となっているのは、第１の条件下でのリダンダンシ救済が行われ、第１の冗長ロウに対応するヒューズが、カットされていることを示している。

【００３１】

さらに、第２の条件下で、ＢＩＳＴ回路１１０によるメモリ回路のテストが行われる。このテスト結果である不良情報が、リダンダンシ救済データ生成回路１２０に送られる。不良情報記憶部１２１は、この不良情報を記憶する。リダンダンシ救済データ設定部１２２は、不良情報記憶部１２１が記憶している不良情報により、全ての不良が同一ロウアドレスで発生しており、更に、その不良ロウアドレスがリダンダンシ救済データＲＱ１ｂの不良ロウアドレスと一致するなら、新たなリダンダンシ救済を行わないと決定する。よって、その後において新たなヒューズカットは行われない。

10

【００３２】

ここで、テストの結果、リダン領域、つまり第１の冗長ロウ部分に、不良が検出される場合も考えられる。リダンダンシ救済データ設定部１２２は、リダン領域、つまり第１の冗長ロウ部分のテストにより、不良が検出された場合、リダンダンシ救済データ格納場所ＲＱ１のエラーフラグの値を「１」にする。そして、リダンダンシ救済データ格納場所ＲＱ１のエラーフラグが「１」の場合、リダンダンシ救済データ設定部１２２は、第１の冗長ロウに対するリダンダンシ救済データを設定せず、第２の冗長ロウのリダンダンシ救済データ格納場所ＲＱ２に、不良のロウアドレスを設定する。以降、第１の条件下において行ったのと同様に、ヒューズデータ変換回路１３０、ヒューズカット回路１４０が動作し、第１の冗長ロウの使用をキャンセルし、第２の冗長ロウを利用できるようになる。但し、前提として、メモリ回路が第１の冗長ロウの使用をキャンセルできる回路構成である必要がある。

20

【００３３】

また、第２の条件下でＢＩＳＴ回路１１０によるメモリ回路のテストの結果、全ての不良が２つのロウアドレスで発生しており、且つ、１つ目の不良ロウは、第１の条件下のテストでリダンダンシ救済対象となっており、リダンダンシ救済データＲＱ１ｂとして登録されている場合について説明する。ただし、ここでは、冗長ロウ部分には不良は存在しないものとする。この場合、１つ目の不良ロウは、第１の冗長ロウで置換されているため、２つ目の不良ロウアドレスＲＯＷ２に対応するリダンダンシ救済データをＲＱ２に設定する。本例では、リダンダンシ救済データＲＱ２ａとして、複数の不良が発生している２つ目の不良ロウアドレスＲＯＷ２、値が「０」のヒューズ使用フラグ、値が「０」のエラーフラグが設定される。そして、このリダンダンシ救済データＲＱ２ａが、リダンダンシ救済データ保持部１２３に保持される。

30

【００３４】

以降、第１の条件下において行ったのと同様、ヒューズデータ変換回路１３０は、リダンダンシ救済データ保持部１２３のリダンダンシ救済データＲＱ２ａの不良ロウアドレスＲＯＷ２を、不良を救済するためカットするヒューズのビット位置とその値に変換する。ヒューズカット回路１４０は、ヒューズデータ変換回路１３０が変換した値に応じた箇所のヒューズをカットする。このことにより、第２の冗長ロウを利用可能となり、第２の条件下におけるリダンダンシ救済が行われる。このヒューズカットにより、第２の条件下での不良救済情報がこのヒューズ部１５０に保存されたことになる。

40

【００３５】

更に、第３の条件下において、メモリ回路のテスト及びリダンダンシ救済を行い、上述したのと同様の処理を繰り返してもよい。このように、複数の条件下で発生する不良に対するリダンダンシ救済を行う。

【００３６】

図２に、本実施の形態１のリダンダンシ制御回路１００の動作フローチャートを示す。また、比較のため、特許文献１等の従来のリダンダンシ救済機能を持つ集積回路の動作フローチャートを図３に示す。まず、図３に示す従来の集積回路では、ＢＩＳＴを実行する

50

(S201)。BISTの結果からリダンダンシ救済演算を行う(S202)。その演算結果に基づきヒューズカットを行う(S203)。このように、従来では、1回のヒューズカットによるリダンダンシ救済で完結してしまっている。

【0037】

これに対して、図2に示すリダンダンシ制御回路100では、BISTを実行する(S101)。BISTの結果からリダンダンシ救済演算を行う(S102)。その演算結果に基づきヒューズカットを行う(S103)。ここで、再ヒューズカットを行う場合(S104YES)、過去にカットされたヒューズのデータを読み込む(S105)。この過去のヒューズデータを基にリダンダンシ救済データを設定する(S106)。その後、S106で設定されたリダンダンシ救済データを基に、BISTを再実行する(S101)。

10

【0038】

以降、S102、S103の処理を行い、再ヒューズカットを行わなくなる(S104NO)まで、繰り返す。このように、リダンダンシ制御回路100は、過去にカットされたヒューズのデータを利用してリダンダンシ救済処理が行われる。

【0039】

従来のリダンダンシを持つメモリ回路に対する不良救済は、1つの条件で行なったテストで不良と検出された際の、不良情報をもとに、集積回路内でリダンダンシ救済情報を求めている。そして、そのリダンダンシ救済情報に応じたヒューズをカットすることでリダンダンシ救済を行っていた。このような方法では、複数のテスト条件において不良となる部分が変わる場合、各条件での不良情報を集積回路外に蓄積しておく必要がある。

20

【0040】

しかし、本実施の形態1のリダンダンシ制御回路100を組み込んだ集積回路では、1つの条件で行ったテスト結果による不良部分の救済情報を、カットしたヒューズのビット位置情報で保存する。そして、他の条件下でのテスト時に、カットしたヒューズの情報から過去の不良部分の救済情報をヒューズデータ読み出し回路160で読み出す。更に、読み出したデータをリダンダンシ救済演算データ変換回路170で、リダンダンシ救済データに変換する。その変換された過去のリダンダンシ救済データと、今回行ったテスト結果から、リダンダンシ救済演算を行う。この演算結果により、複数の条件下での不良救済を行う。このことにより、リダンダンシ制御回路100を組み込んだ集積回路は、1つの条件下のテスト結果による不良部分の救済情報をカットしたヒューズのビット位置情報で保存する。このため、集積回路の電源を切ったとしても、その不良部分の救済情報は、集積回路内に保持されることになる。よって、複数の条件下でのテスト結果によるリダンダンシ救済を当該集積回路内で処理可能となる。結果として、当該集積回路外に各条件下でのリダンダンシ救済データを蓄積する必要がなく、更に蓄積データを管理する必要もない。よって、テスト設備の削減と、テスト効率の向上が可能となる。

30

【0041】

発明の実施の形態2

【0042】

以下、本発明を適用した具体的な実施の形態2について、図面を参照しながら詳細に説明する。この実施の形態2で説明するリダンダンシ制御回路200は、実施の形態1と同様、当該リダンダンシ制御回路200が組み込まれる半導体集積回路が有するメモリ回路のリダンダンシを制御するものとする。図4に本実施の形態2にかかるリダンダンシ制御回路200を示す。

40

【0043】

図4に示すように、リダンダンシ制御回路200は、BIST機能付リダンダンシ救済データ生成回路220と、ヒューズデータ変換回路130と、ヒューズカット回路140と、ヒューズ部150と、ヒューズデータ読み出し回路160と、リダンダンシ救済演算データ変換回路170とを有する。なお、図4に示された符号のうち、図1と同じ符号を付した構成は、図1と同じか又は類似の構成を示している。本実施の形態2では、実施の

50

形態 1 と相違する箇所を重点的に説明し、その他の箇所は説明を省略する。

【 0 0 4 4 】

実施の形態 2 のリダンダンシ制御回路 2 0 0 が実施の形態 1 と異なるのは、B I S T 回路 1 1 0 と、リダンダンシ救済データ生成回路 1 2 0 とが結合した B I S T 機能付リダンダンシ救済データ生成回路 2 2 0 を有している点である。それ以外は、実施の形態 1 のリダンダンシ制御回路 1 0 0 と同様である。

【 0 0 4 5 】

B I S T 機能付リダンダンシ救済データ生成回路 2 2 0 は、B I S T 部 2 1 0 と、リダンダンシ救済データ設定部 1 2 2 と、リダンダンシ救済データ保持部 1 2 3 とを有する。B I S T 部 2 1 0 は、実施の形態 1 の B I S T 回路 1 1 0 と同様の機能を有している。よって、この B I S T 機能付リダンダンシ救済データ生成回路 2 2 0 により、B I S T 実行中にリダンダンシ救済演算を行うことができる。また、B I S T 回路 1 1 0 と同様の機能を有する B I S T 部 2 1 0 を備えるため、B I S T 機能付リダンダンシ救済データ生成回路 2 2 0 には、実施の形態 1 で B I S T 回路 1 1 0 からの不良情報を記憶する不良情報記憶部 1 2 1 が要らない。

【 0 0 4 6 】

以下に、リダンダンシ制御回路 2 0 0 の動作を説明する。ただし、本例でも、実施の形態 1 と同様、複数の不良が発生している場合を想定する。また、リダンダンシ制御回路 2 0 0 が組み込まれる半導体集積回路のメモリ回路（不図示）には、リダンダンシ救済に使用可能な複数の冗長口ウ（第 1 の冗長口ウ、第 2 の冗長口ウ、・・・）が用意されているとする。

【 0 0 4 7 】

第 1 の条件下において、メモリ回路のテスト及びリダンダンシ救済を行う。まず、B I S T 部 2 1 0 によるメモリ回路のテストが行われる。このテストで、まず最初に、ロウアドレス R O W 1 で不良が検出された場合、直ちにリダンダンシ救済データ設定部 1 2 2 が処理を行う。そして、不良の検出されたロウアドレス R O W 1 がリダンダンシ救済データ保持部 1 2 3 に、リダンダンシ救済データ R Q 1 a として保持される。なお、このリダンダンシ救済データ R Q 1 a に格納されたロウアドレス R O W 1 は、後に行われるヒューズカットにより第 1 の冗長口ウにより救済される。

【 0 0 4 8 】

更にその後のテストで不良が検出された場合で、その不良ロウアドレスが、リダンダンシ救済データ格納場所 R Q 1 に格納されている上記ロウアドレス R O W 1 と一致したならば、リダンダンシ救済データ設定部 1 2 2 は、新たなリダンダンシ救済データを生成しない。つまり、リダンダンシ救済データ保持部 1 2 3 に、リダンダンシ救済データ R Q 1 a のみが保持される。

【 0 0 4 9 】

反対に不良が検出された場合で、その不良ロウアドレスが、上記ロウアドレス R O W 1 と一致しないロウアドレス R O W 2 であったならば、リダンダンシ救済データ設定部 1 2 2 は、新たなリダンダンシ救済データ R Q 2 a を設定する。そして、そのリダンダンシ救済データ R Q 2 a が、リダンダンシ救済データ保持部 1 2 3 に保持される。リダンダンシ救済データ格納場所 R Q 2 には、ロウアドレス R O W 2 が格納されている。なお、このリダンダンシ救済データ格納場所 R Q 2 に格納されたロウアドレス R O W 2 は、後に行われるヒューズカットにより第 2 の冗長口ウにより救済される。また、リダンダンシ救済データ R Q 1 a、R Q 2 a のヒューズ使用フラグは共に「 0 」である。

【 0 0 5 0 】

ヒューズデータ変換回路 1 3 0 は、リダンダンシ救済データ保持部 1 2 3 のリダンダンシ救済データ R Q 1 a の不良ロウアドレス R O W 1 を、不良を救済するためカットするヒューズのビット位置とその値に変換する。ヒューズカット回路 1 4 0 は、ヒューズデータ変換回路 1 3 0 が変換した値に応じた箇所のヒューズをカットする。このことにより、第 1 の冗長口ウを利用可能となり、第 1 の条件下におけるリダンダンシ救済が行われる。こ

10

20

30

40

50

のようなヒューズカットを行うことにより、第 1 の条件下での不良救済情報がこのヒューズ部 150 に保存されたことになる。

【0051】

なお、リダンダンシ救済データ保持部 123 にリダンダンシ救済データ RQ1a、RQ2a が保持されている場合、ヒューズデータ変換回路 130 とヒューズカット回路 140 の処理により、そのデータに対応したヒューズがカットされる。その結果、第 1 の冗長ロウ、第 2 の冗長ロウが利用可能となり、第 1 の条件下におけるリダンダンシ救済が行われる。

【0052】

次に、第 2 の条件下において、メモリ回路のテスト及びリダンダンシ救済を行う。まず、ヒューズデータ読み出し回路 160 は、第 1 の条件下で行ったリダンダンシ救済によりカットされたヒューズのビット位置情報を読み出す。リダンダンシ救済演算データ変換回路 170 は、ヒューズデータ読み出し回路 160 が読み出したヒューズのビット位置の値の情報をリダンダンシ救済データ RQ1b に変換し、BIST 機能付リダンダンシ救済データ生成回路 220 に送る。そして、このリダンダンシ救済データ RQ1b が、リダンダンシ救済データ保持部 123 に保持される。このリダンダンシ救済データ保持部 123 に保持されたリダンダンシ救済データには、第 1 の条件下で格納したリダンダンシ救済データ RQ1a と同じ不良ロウアドレス ROW1 が格納される。

【0053】

なお、もし第 1 の条件下で第 1 の冗長ロウ、第 2 の冗長ロウによるリダンダンシ救済が行われたならば、リダンダンシ救済データが RQ1a、RQ2a が格納していた不良ロウアドレス ROW1、ROW2 と同じものが、リダンダンシ救済データ RQ1b、RQ2b にも格納される。なお、このリダンダンシ救済データ RQ1、RQ2 のヒューズ使用フラグは共に「1」である。

【0054】

さらに、第 2 の条件下で、BIST 部 210 によるメモリ回路のテストが行われる。このテスト結果で検出した不良ロウアドレスが、リダンダンシ救済データ保持部 123 に保持されているリダンダンシ救済データ RQ1b（もしくは、RQ1b、RQ2b）の不良ロウアドレスと一致するなら、リダンダンシ救済データ設定部 122 は、新たなリダンダンシ救済を行わないと決定する。よって、この場合、その後において新たなヒューズカットは行われない。

【0055】

反対に、テスト結果で検出した不良ロウアドレスが、リダンダンシ救済データ保持部 123 に保持されているリダンダンシ救済データ RQ1b（もしくは、RQ1b、RQ2b）の不良ロウアドレスと一致しないのがあるなら、リダンダンシ救済データ設定部 122 は、その不良ロウアドレスを新たなリダンダンシ救済データ RQ3a として設定する。このリダンダンシ救済データ RQ3a は、リダンダンシ救済データ保持部 123 に保持される。このリダンダンシ救済データ RQ3a のヒューズ使用フラグは「0」である。よって、上述したのと同様の動作が行われ、新たにヒューズカットがヒューズデータ変換回路 130 とヒューズカット回路 140 の処理により行われる。このことにより、第 2 の条件下での不良救済情報がこのヒューズ部 150 に保存されたことになる。

【0056】

更に、第 3 の条件下において、メモリ回路のテスト及びリダンダンシ救済を行い、上述したのと同様の処理を繰り返してもよい。このように、複数の条件下で発生する不良に対するリダンダンシ救済を行う。

【0057】

図 5 に、本実施の形態 2 のリダンダンシ制御回路 200 の動作フローチャートを示す。図 5 に示すように、まず、BIST 機能付リダンダンシ救済データ生成回路 220 により、BIST 及びリダンダンシ救済演算を同時に行う（S301）。その演算結果に基づきヒューズカットを行う（S302）。ここで、再ヒューズカットを行う場合（S303 Y

10

20

30

40

50

ES)、過去にカットされたヒューズのデータを読み込む(S304)。この過去のヒューズデータを基にリダンダンシ救済データを設定する(S305)。その後、S305で設定されたリダンダンシ救済データを基に、BIST及びリダンダンシ救済演算を同時実行する(S301)。以降、S302の処理を行い、再ヒューズカットを行わなくなる(S303NO)まで、繰り返す。上記フローチャートからわかるように、実質的には図2で説明した実施の形態1のフローチャートのS101、S102の処理を同時に行っている点が本実施の形態2のフローチャートと異なる。

【0058】

以上のように、本実施の形態2のリダンダンシ制御回路200では、BISTを行うテスト回路とリダンダンシ救済演算を行う演算回路が同一回路内で構成されている。このため、実施の形態1で必要であった、不良情報記憶部111がなくなり、回路規模を削減することができる。更に、BISTで検出された不良情報を直ちにリダンダンシ救済データ設定部122で処理できるメリットもある。

10

【0059】

発明の実施の形態3

【0060】

以下、本発明を適用した具体的な実施の形態3について、図面を参照しながら詳細に説明する。この実施の形態2で説明するリダンダンシ制御回路300は、実施の形態1、2と同様、当該リダンダンシ制御回路300が組み込まれる半導体集積回路が有するメモリ回路のリダンダンシを制御するものとする。図6に本実施の形態3にかかるリダンダンシ制御回路300を示す。

20

【0061】

図6に示すように、リダンダンシ制御回路300は、BIST機能付リダンダンシ救済データ生成回路220と、ヒューズデータ変換回路330と、ヒューズカット回路140と、ヒューズ部150と、ヒューズデータ読み出し回路160と、リダンダンシ救済演算データ変換回路370とを有する。なお、図6に示された符号のうち、図1、図4と同じ符号を付した構成は、図1、図4と同じか又は類似の構成を示している。本実施の形態3では、実施の形態1、2と相違する箇所を重点的に説明し、その他の箇所は説明を省略する。

【0062】

実施の形態3のリダンダンシ制御回路300が実施の形態1、2と異なるのは、ヒューズデータ変換回路330と、リダンダンシ救済演算データ変換回路370とである。それ以外は、実施の形態1、2のリダンダンシ制御回路100、200と同様である。但し、BIST機能付リダンダンシ救済データ生成回路220のリダンダンシ救済データ保持部111に保持されるリダンダンシ救済データは、実施の形態1、2と異なり、不良IOビット位置の情報が保持される。ここで、不良IOビット位置の情報とは、以下のようなものであるとする。

30

【0063】

例えば、メモリ回路が8ビットのIOデータを格納できる構成(以下、IOビットと称す)であるとする。そして、そのIOビットの5ビット目で不良が検出された場合、不良IOビット位置の情報として、「00010000」という8ビットのデータが生成される。これは、不良ビットの位置データとして、LSB(右端側)から5ビット目が、値「1」となっている。なお、メモリ回路に不良ビットがなければ、不良IOビット位置の情報として、「00000000」という全てのビット値が「0」となる8ビットのデータが生成される。但し、これは一例であるため、不良IOビットの位置が確定できるものであれば良い。よって、不良IOビット位置の情報は、上記構成にとらわれないものとする。

40

【0064】

ヒューズデータ変換回路330は、IOアドレス変換部331と、ヒューズビット変換部332とを有する。IOアドレス変換部331は、リダンダンシ救済データ保持部12

50

3のリダンダンシ救済データである不良IOビット位置の情報をアドレスの値に変換する。ヒューズビット変換部332は、IOアドレス変換部331からのアドレスの値の情報に応じて、リダンダンシ救済に対応するヒューズのビット位置とその値に変換し、ヒューズカット回路140に送る。ヒューズカット回路140は、このヒューズのビット位置の値の情報に応じたヒューズをカットする。

【0065】

リダンダンシ救済演算データ変換回路370は、IOビット変換部371と、リダンダンシ救済アドレス変換部372とを有する。リダンダンシ救済アドレス変換部372は、ヒューズデータ読み出し回路160からのヒューズデータを不良IOビットの位置に対応するアドレス情報に変換する。IOビット変換部371は、このアドレス情報を不良IO

10

【0066】

以下に、リダンダンシ制御回路300の動作を説明する。本例では、メモリ回路（不図示）の不良をビット単位でリダンダンシ救済する場合を示す。但し、説明を簡略化するため、メモリ回路は、8ビットのIOデータを格納できる構成となっているものとする。また、このメモリ回路には、リダンダンシ救済に使用可能な複数の冗長IOビット（第1の冗長IOビット、第2の冗長IOビット、・・・）が用意されているとする。

【0067】

第1の条件下において、メモリ回路のテスト及びリダンダンシ救済を行う。まず、BIST部210によるメモリ回路のテストが行われる。このテストで、IOビットの5ビット目で不良が検出された場合、直ちにリダンダンシ救済データ設定部122が処理を行う。このとき、不良ビットのデータとして、値が「1」のIOデータが生成される。具体的には、「00010000」のようにLSB（右端側）から5ビット目が値「1」として表現された8ビットデータが生成される。そして、この不良の検出された不良ビットのデータがリダンダンシ救済データ保持部123に、リダンダンシ救済データとして保持される。あるいは、BISTで発見された不良IOビットのデータは、一端パイプラインレジスタに保持して、その保持時間の間に、リダンダンシ救済データ保持部123に保存してもよい。以下の説明では、第1の条件下におけるテスト結果から設定されるリダンダンシ救済データをRB1aまたはRB1bと表記し、第1の条件下におけるテスト結果から設定されるリダンダンシ救済データを含んで第2の条件下におけるテスト結果から設定されるリダンダンシ救済データをRB2aまたはRB2bと表記するものとする。ここで、RB1aとRB2aは、リダンダンシ救済データ設定部122で直接生成されたデータを示し、RB1bとRB2bは、ヒューズから読み出したデータをリダンダンシ救済データに変換したデータを示している。

20

30

【0068】

ヒューズデータ変換回路330は、リダンダンシ救済データ保持部123のリダンダンシ救済データRB1aの不良IOビット情報を、不良を救済するためカットするヒューズのビット位置とその値に変換する。ヒューズカット回路140は、ヒューズデータ変換回路130が変換した値に応じた箇所のヒューズをカットする。このことにより、第1の冗長IOビットを利用可能となり、第1の条件下におけるリダンダンシ救済が行われる。このようなヒューズカットを行うことにより、第1の条件下での不良救済情報がこのヒューズ部150に保存されたことになる。

40

【0069】

次に、第2の条件下において、メモリ回路のテスト及びリダンダンシ救済を行う。まず、ヒューズデータ読み出し回路160は、第1の条件下で行ったリダンダンシ救済によりカットされたヒューズのビット位置情報を読み出す。リダンダンシ救済演算データ変換回路370は、ヒューズデータ読み出し回路160が読み出したヒューズのビット位置の値の情報をリダンダンシ救済データRB1bに変換し、BIST機能付リダンダンシ救済データ生成回路220に送る。そして、このリダンダンシ救済データRB1bが、リダンダンシ救済データ保持部123に保持される。このリダンダンシ救済データ保持部123に

50

保持されたリダンダンシ救済データには、第 1 の条件下で格納したリダンダンシ救済データ R B 1 a と同じ不良 I O ビット位置の情報が格納される。具体的には、上述した不良 I O ビット位置の情報と同じ、「0 0 0 1 0 0 0 0」という 8 ビットデータである。

【0 0 7 0】

さらに、第 2 の条件下で、B I S T 部 2 1 0 によるメモリ回路のテストが行われる。このテスト結果で検出した不良 I O ビット位置の情報が、リダンダンシ救済データ保持部 1 2 3 に保持されているリダンダンシ救済データ R B 1 b の不良 I O ビット位置の情報と一致するなら、リダンダンシ救済データ設定部 1 2 2 は、新たなリダンダンシ救済を行わないと決定する。よって、この場合、その後において新たなヒューズカットは行われない。

【0 0 7 1】

反対に、テスト結果で検出した不良 I O ビット位置の情報が、リダンダンシ救済データ保持部 1 2 3 に保持されているリダンダンシ救済データ R B 1 b の不良 I O ビット位置の情報と一致しないのがあるなら、リダンダンシ救済データ設定部 1 2 2 は、その不良 I O ビット位置の情報とリダンダンシ救済データ R B 1 b の不良 I O ビット位置の情報との O R 演算を行い、新たなリダンダンシ救済データ R B 2 a を生成する。

【0 0 7 2】

具体的に説明すると、第 2 の条件下のテストで、I O ビットの 3 ビット目と 5 ビット目で不良が検出された場合、不良 I O ビット位置の情報として「0 0 0 1 0 1 0 0」が生成される。この不良 I O ビット位置の情報「0 0 0 1 0 1 0 0」と、リダンダンシ救済データ R B 1 b の不良 I O ビット位置の情報「0 0 0 1 0 0 0 0」の O R 演算を行い、新たなリダンダンシ救済データ R B 2 a として不良 I O ビット位置の情報「0 0 0 1 0 1 0 0」を生成する。

【0 0 7 3】

このリダンダンシ救済データ R B 2 a の不良 I O ビット位置の情報「0 0 0 1 0 1 0 0」に基づいて、新たにヒューズカットがヒューズデータ変換回路 3 3 0 とヒューズカット回路 1 4 0 の処理により行われる。このことにより、第 2 の冗長 I O ビットを利用可能となり、第 2 の条件下におけるリダンダンシ救済が行われる。よって、第 2 の条件下での不良救済情報がこのヒューズ部 1 5 0 に保存されたことになる。

【0 0 7 4】

なお、リダンダンシ救済データ保持部が、不良 I O ビット位置の情報しか持たず、救済された I O ビットに対するどのヒューズがカットされているかの情報を持っていない場合、そのヒューズカット情報を保持している回路（以下、ヒューズカット情報保持回路と称す）から、情報を取り出し、未カットの I O ビットに対するアドレス情報に変換し、ヒューズカットを行なうようにしてもよい。ヒューズカット情報保持回路としては、リダンダンシ救済演算データ変換回路 3 7 0 に変換前の I O ビットを現すアドレスを保持しておく等がある。この保持データを D Q として、図 6 に示す。また、実施の形態 1、2 と同様、ヒューズ使用フラグをリダンダンシ救済データに格納してもよい。

【0 0 7 5】

更に、第 3 の条件下において、メモリ回路のテスト及びリダンダンシ救済を行い、上述したのと同様の処理を繰り返してもよい。このように、複数の条件下で発生する不良に対するリダンダンシ救済を行う。

【0 0 7 6】

ここで、メモリ回路のテストは、通常、1 サイクルで 1 アドレスずつしか行なわれない。しかしながら、I O に関しては、ビット数分（上述した例では、8 ビット）全ビット同時にテストが行われる。このため、B I S T の検査結果から、どのビットに不良があり、それが過去に既に検出された不良と一致するか否かを判断するには、多数のクロックサイクルを必要とする。また、1 回の B I S T により検出する不良ビットの数も 1 つとは限らない。しかし、I O（I O データ）に対しては、ビット数分（上述した例では、8 ビット）全ビット同時に行なわれる。

【0 0 7 7】

10

20

30

40

50

本実施の形態 3 では、このことを利用して、I O (I O データ) のリダン救済演算の場合、ビット数分で不良箇所の検出を行い、その不良箇所を I O ビット数分のデータのビット位置 (上述した例の「 0 0 0 1 0 1 0 0 」の値「 1 」の箇所) で表し、B I S T 終了後に、そのビット位置に対応するアドレスに変換する。このことにより、テスト及びリダダンシ救済の効率化が上昇する効果が得られる。

【 0 0 7 8 】

なお、本発明は上記実施の形態に限られたものでなく、趣旨を逸脱しない範囲で適宜変更することが可能である。

【 符号の説明 】

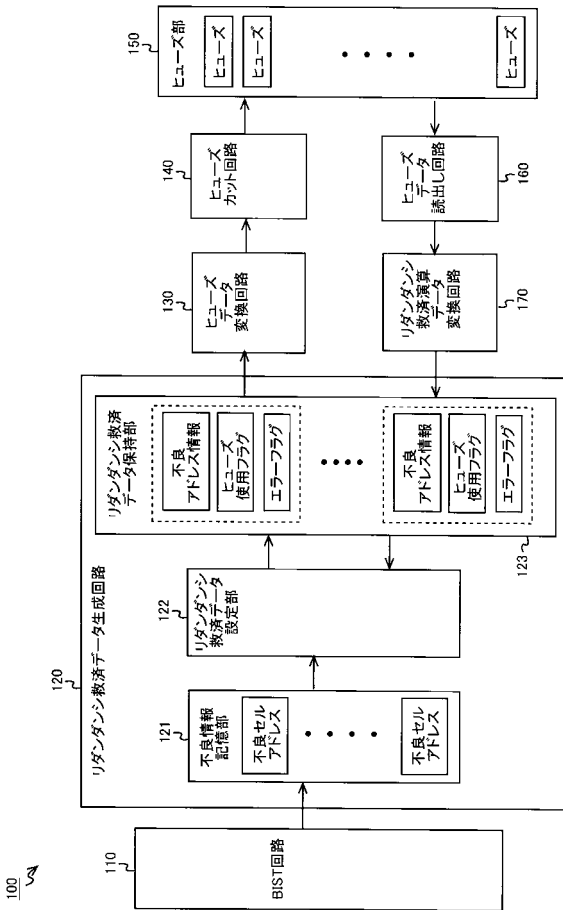
【 0 0 7 9 】

1 0 0、2 0 0、3 0 0 リダダンシ制御回路
1 1 0 B I S T 回路
1 2 0 リダダンシ救済データ生成回路
1 2 1 不良情報記憶部
1 2 2 リダダンシ救済データ設定部
1 2 3 リダダンシ救済データ保持部
1 3 0、3 3 0 ヒューズデータ変換回路
1 4 0 ヒューズカット回路
1 5 0 ヒューズ部
1 6 0 ヒューズデータ読み出し回路
1 7 0、3 7 0 リダダンシ救済演算データ変換回路
2 1 0 B I S T 部
2 2 0 B I S T 機能付リダダンシ救済データ生成回路
3 3 1 I O アドレス変換回路
3 3 2 ヒューズビット変換回路
3 7 1 I O ビット変換回路
3 7 2 リダダンシ救済アドレス変換回路

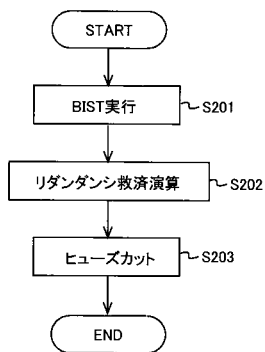
10

20

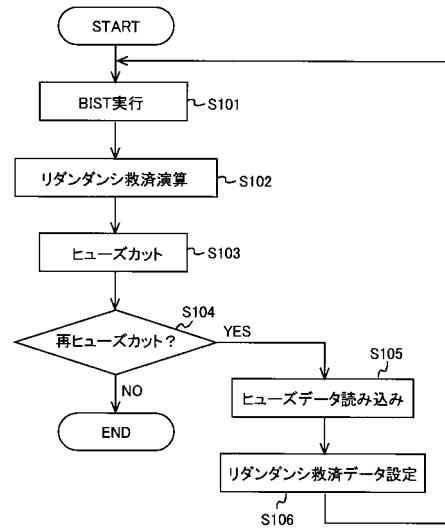
【図 1】



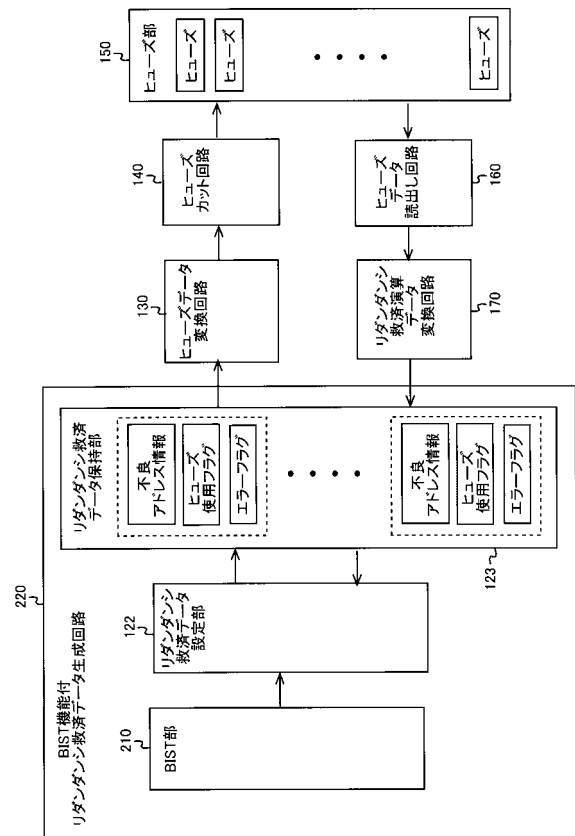
【図 3】



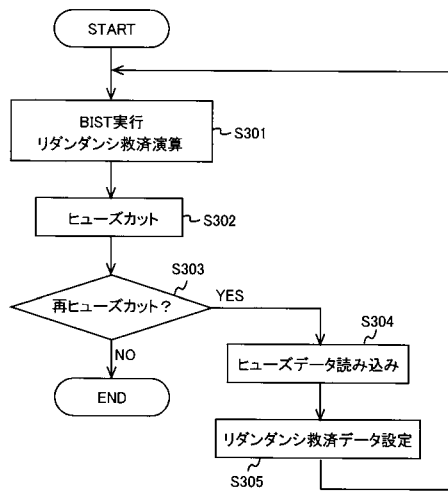
【図 2】



【図 4】



【図 5】



【図 6】

