

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-531934

(P2005-531934A)

(43) 公表日 平成17年10月20日(2005.10.20)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/8234	HO 1 L 27/08 1 O 2 C	5 F 0 4 8
HO 1 L 21/8244	HO 1 L 29/78 3 O 1 G	5 F 0 8 3
HO 1 L 27/088	HO 1 L 27/10 3 8 1	5 F 1 4 0
HO 1 L 27/11	HO 1 L 27/08 1 O 2 H	
HO 1 L 29/78		

審査請求 未請求 予備審査請求 未請求 (全 24 頁)

(21) 出願番号 特願2004-519678 (P2004-519678)
 (86) (22) 出願日 平成15年6月25日 (2003. 6. 25)
 (85) 翻訳文提出日 平成17年2月28日 (2005. 2. 28)
 (86) 国際出願番号 PCT/US2003/020453
 (87) 国際公開番号 W02004/006338
 (87) 国際公開日 平成16年1月15日 (2004. 1. 15)
 (31) 優先権主張番号 60/421, 115
 (32) 優先日 平成14年7月2日 (2002. 7. 2)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 10/211, 433
 (32) 優先日 平成14年8月2日 (2002. 8. 2)
 (33) 優先権主張国 米国 (US)

(71) 出願人 592012513
 サンディスク コーポレイション
 SanDisk Corporation
 アメリカ合衆国、94089、カリフォル
 ニア州、サニーバール、カスピアン コー
 ト 140
 (74) 代理人 100068755
 弁理士 恩田 博宣
 (74) 代理人 100105957
 弁理士 恩田 誠
 (72) 発明者 モクレージ、ニーマ
 アメリカ合衆国 95032 カリフォル
 ニア州 ロス ガトス セリンダ ウェイ
 14285

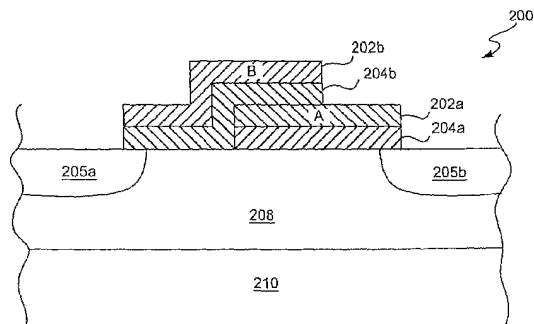
最終頁に続く

(54) 【発明の名称】 複数のゲートレイヤを用いて論理要素を製造する技術

(57) 【要約】

【課題】 半導体デバイスで用いられるさまざまな論理要素のデザインおよび製造において複数のポリシリコンレイヤを利用するさまざまな技術を提供する。

【解決手段】 本発明の具体的な実現例によれば、論理ゲートセルサイズおよびメモリアレイセルサイズは、さまざまなトランジスタゲートを複数のポリシリコンレイヤを用いて製造することによって縮小されえる。論理要素のトランジスタゲートを形成するためにポリシリコンの複数のレイヤを用いる本発明のさまざまな技術は、例えば酸化物厚さ、スレッショルド電圧、最大許容ゲート電圧などのようなトランジスタパラメータを細かく調整するのにさらなる自由度を提供する。



【特許請求の範囲】

【請求項 1】

集積回路の論理要素領域を形成する方法であって、前記集積回路は基板上に製造され、前記方法は、

第 1 トランジスタゲート材料レイヤを備える第 1 ゲート構造を前記基板上に形成すること、

第 2 トランジスタゲート材料レイヤを備える第 2 ゲート構造を前記基板上に形成すること

を含み、

前記第 1 トランジスタゲート材料レイヤは、前記第 2 トランジスタゲート材料レイヤとは異なり、

前記第 2 ゲート構造の第 2 部分は、前記第 1 ゲート構造の第 1 部分上に形成され、それによって第 1 オーラップゲート領域を形成する方法。

【請求項 2】

請求項 1 に記載の方法であって、

前記基板上に前記第 1 トランジスタゲート材料レイヤを形成すること、およびその後、前記基板上に前記第 2 トランジスタゲート材料レイヤを形成することをさらに含む方法。

【請求項 3】

請求項 1 に記載の方法であって、前記第 1 ゲート構造は、第 1 厚さを有するように形成され、

前記第 2 ゲート構造は、第 2 厚さを有するように形成される方法。

【請求項 4】

請求項 1 ~ 3 のいずれかに記載の方法であって、

前記基板上に第 1 誘電体レイヤを形成すること、その後、前記基板上に前記第 1 トランジスタゲート材料レイヤを形成すること、その後、前記基板上に第 2 誘電体レイヤを形成すること、およびその後、前記基板上に前記第 2 トランジスタゲート材料レイヤを形成すること

をさらに含む方法。

【請求項 5】

請求項 1 ~ 4 のいずれかに記載の方法であって、前記第 1 ゲート材料レイヤおよび前記第 2 ゲート材料レイヤは、ポリシリコン材料をそれぞれ含む方法。

【請求項 6】

請求項 4 に記載の方法であって、前記第 1 および第 2 ゲート誘電体レイヤは二酸化珪素をそれぞれ含む方法。

【請求項 7】

請求項 4 に記載の方法であって、前記第 1 誘電体レイヤは、第 1 厚さを有するように形成され、

前記第 2 誘電体レイヤは、第 2 厚さを有するように形成される方法。

【請求項 8】

請求項 1 ~ 3 のいずれかに記載の方法であって、

第 1 厚さを有する誘電体レイヤを前記第 1 ゲート構造および前記第 2 ゲート構造の間に形成すること

をさらに含む、

前記第 2 ゲート構造の前記第 2 部分および前記第 1 ゲート構造の前記第 1 部分の間隔は、前記誘電体レイヤの前記第 1 厚さに実質的に等しい

方法。

10

20

30

40

50

【請求項 9】

請求項 1 ~ 8 に記載の方法であって、前記論理要素は、2つの直列に接続されたトランジスタのパフォーマンス特性に実質的に類似するパフォーマンス特性を示すように設計される回路部分を含み、

前記第 1 ゲート構造および第 2 ゲート構造は前記回路部分のトランジスタのゲート群に対応し、

前記方法は、

前記回路部分のソース領域として機能する第 1 ドーピング領域を前記基板中に形成すること、

前記回路部分のドレイン領域として機能する第 2 ドーピング領域を前記基板中に形成すること、および

前記ソースおよびドレイン領域の間で電流が流れるよう設計された活性領域を前記ソースおよびドレイン領域の間の前記基板中に形成することをさらに含む方法。

【請求項 10】

請求項 9 に記載の方法であって、前記第 1 ゲート構造の前記第 1 部分は、前記第 2 ゲート領域の前記第 2 部分および前記回路部分の活性領域の間に挟まれる方法。

【請求項 11】

請求項 1 ~ 8 のいずれかに記載の方法であって、前記論理要素は、並列に接続された2つのトランジスタのパフォーマンス特性に実質的に類似するパフォーマンス特性を示すように設計される回路部分を含み、

前記第 1 ゲート構造および第 2 ゲート構造は前記回路部分のトランジスタのゲート群に対応し、

前記方法は、

前記回路部分のソース領域として機能する第 1 ドーピング領域を前記基板中に形成すること、

前記回路部分のドレイン領域として機能する第 2 ドーピング領域を前記基板中に形成すること、および

前記ソースおよびドレイン領域の間で電流が流れるよう設計された活性領域を前記ソースおよびドレイン領域の間の前記基板中に形成することをさらに含む方法。

【請求項 12】

請求項 9 または 11 に記載の方法であって、前記回路部分は、前記第 1 ドーピング領域のドーピング特性に実質的に類似するドーピング特性を有する第 3 ドーピング領域を欠く方法。

【請求項 13】

請求項 9 または 11 に記載の方法であって、前記回路部分は、フローティングゲート構造を欠く方法。

【請求項 14】

請求項 9 ~ 13 のいずれかに記載の方法であって、前記第 1 オーラップゲート領域の大部分が前記活性領域上にあり、

前記オーラップゲート部分の幅は、前記活性領域の幅以下である方法。

【請求項 15】

請求項 14 に記載の方法であって、前記第 1 ゲート構造の前記第 1 部分は、前記活性領域上に形成され、

前記第 2 ゲート構造の少なくとも一部は前記第 1 ゲート構造の前記第 1 部分の一部の上形成される方法。

【請求項 16】

請求項 1 1 ~ 1 3 に記載の方法であって、前記第 1 オーバラップゲート領域の大部分が前記活性領域上にあり、

前記第 1 ゲート構造の前記第 1 部分は前記活性領域上に形成され、

前記第 2 ゲート構造の少なくとも一部は、前記第 1 ゲート構造の前記第 1 部分の全体の上に形成される

方法。

【請求項 1 7】

請求項 1 1 ~ 1 3 のいずれかに記載の方法であって、前記回路部分は、単一のソース領域を含む方法。

【請求項 1 8】

請求項 1 ~ 1 7 のいずれかに記載の方法であって、前記論理要素は、NANDゲート、ANDゲート、NORゲート、ORゲート、XORゲート、ASIC、SRAMセル、およびラッチのグループから選択される要素に対応する方法。

【請求項 1 9】

請求項 1 ~ 1 8 のいずれかに記載の方法であって、前記論理要素はフローティングゲートを欠く方法。

【請求項 2 0】

集積回路上に形成された論理要素であって、前記集積回路は基板上に製造され、前記論理要素は、

第 1 トランジスタゲート材料レイヤを備える、前記基板上に形成された第 1 ゲート構造

、
第 2 トランジスタゲート材料レイヤを備える、前記基板上に形成された第 2 ゲート構造を備え、

前記第 1 トランジスタゲート材料レイヤは、前記第 2 トランジスタゲート材料レイヤとは異なり、

前記第 2 ゲート構造の第 2 部分は、前記第 1 ゲート構造の第 1 部分上に形成され、それによって第 1 オーバラップゲート領域を形成する

論理要素。

【請求項 2 1】

請求項 2 0 に記載の論理要素であって、

前記基板および前記第 1 ゲート部分の間に形成された第 1 酸化物部分、および

少なくとも前記第 1 ゲート部分および前記第 2 ゲート部分の間の第 2 酸化物部分をさらに含む論理要素。

【請求項 2 2】

請求項 2 0 または 2 1 に記載の論理要素であって、前記第 1 ゲート材料レイヤおよび前記第 2 ゲート材料レイヤはそれぞれポリシリコン材料を含む論理要素。

【請求項 2 3】

請求項 2 0 ~ 2 2 のいずれかに記載の論理要素であって、前記第 1 および第 2 ゲート誘電体レイヤはそれぞれ二酸化珪素を含む論理要素。

【請求項 2 4】

請求項 2 0 ~ 2 3 のいずれかに記載の論理要素であって、前記第 1 誘電体レイヤは、第 1 厚さを有するように形成され、

前記第 2 誘電体レイヤは、第 2 厚さを有するように形成される

論理要素。

【請求項 2 5】

請求項 2 0 ~ 2 4 のいずれかに記載の論理要素であって、

前記第 1 ゲート構造および前記第 2 ゲート構造の間に形成された、第 1 厚さを有する誘電体レイヤ

をさらに含み、

前記第 2 ゲート構造の前記第 2 部分および前記第 1 ゲート構造の前記第 1 部分の間

10

20

30

40

50

隔は、前記誘電体レイヤの前記第 1 厚さに実質的に等しい論理要素。

【請求項 26】

請求項 20 に記載の論理要素であって、2 つの直列に接続されたトランジスタのパフォーマンス特性に実質的に類似するパフォーマンス特性を示すように設計される回路部分をさらに含み、

前記第 1 ゲート構造および第 2 ゲート構造は前記回路部分のトランジスタのゲート群に対応し、

前記論理要素は、

前記回路部分のソース領域として機能する、前記基板中に形成された第 1 ドーピング領域、

前記回路部分のドレイン領域として機能する、前記基板中に形成された第 2 ドーピング領域、および

前記ソースおよびドレイン領域の間で電流が流れるよう設計された、前記ソースおよびドレイン領域の間の前記基板中に形成された活性領域をさらに備えた論理要素。

【請求項 27】

請求項 26 に記載の論理要素であって、前記第 1 ゲート構造の前記第 1 部分は、前記第 2 ゲート領域の前記第 2 部分および前記回路部分の活性領域の間に挟まれる論理要素。

【請求項 28】

請求項 20 に記載の論理要素であって、並列に接続された 2 つのトランジスタのパフォーマンス特性に実質的に類似するパフォーマンス特性を示すように設計される回路部分をさらに含み、

前記第 1 ゲート構造および第 2 ゲート構造は前記回路部分のトランジスタのゲート群に対応し、

前記論理要素は、

前記回路部分のソース領域として機能する、前記基板中に形成された第 1 ドーピング領域、

前記回路部分のドレイン領域として機能する、前記基板中に形成された第 2 ドーピング領域、および

前記ソースおよびドレイン領域の間で電流が流れるよう設計された活性領域を前記ソースおよびドレイン領域の間の前記基板中に形成すること

をさらに備える論理要素。

【請求項 29】

請求項 26 ~ 28 のいずれかに記載の論理要素であって、前記回路部分は、前記第 1 ドーピング領域のドーピング特性に実質的に類似するドーピング特性を有する第 3 ドーピング領域を欠く論理要素。

【請求項 30】

請求項 26 ~ 29 のいずれかに記載の論理要素であって、前記回路部分は、フローティングゲート構造を欠く方法。

【請求項 31】

請求項 26 ~ 30 の論理要素であって、前記第 1 オーラップゲート領域の大部分が前記活性領域上にあり、

前記オーラップゲート部分の幅は、前記活性領域の幅以下である論理要素。

【請求項 32】

請求項 31 に記載の論理要素であって、前記第 1 ゲート構造の前記第 1 部分は、前記活性領域上に形成され、

前記第 2 ゲート構造の少なくとも一部は前記第 1 ゲート構造の前記第 1 部分の一部のみの上に形成される

10

20

30

40

50

論理要素。

【請求項 3 3】

請求項 2 6 ~ 3 2 のいずれかに記載の論理要素であって、前記第 1 オーバラップゲート領域の大部分が前記活性領域上にあり、

前記第 1 ゲート構造の前記第 1 部分は前記活性領域上に形成され、

前記第 2 ゲート構造の少なくとも一部は、前記第 1 ゲート構造の前記第 1 部分の全体の上形成される

論理要素。

【請求項 3 4】

請求項 3 4 に記載の論理要素であって、前記回路部分は、単一のソース領域を含む論理要素。 10

【請求項 3 5】

請求項 2 0 ~ 3 4 のいずれかに記載の論理要素であって、前記論理要素は、NANDゲート、ANDゲート、NORゲート、ORゲート、XORゲート、ASIC、SRAMセル、およびラッチのグループから選択される要素に対応する論理要素。

【請求項 3 6】

請求項 2 0 ~ 3 5 のいずれかに記載の論理要素であって、前記論理要素はフローティングゲートを欠く論理要素。

【請求項 3 7】

集積回路の論理要素領域を形成するシステムであって、前記集積回路は基板上に製造され、前記システムは、 20

第 1 トランジスタゲート材料レイヤを備える第 1 ゲート構造を前記基板上に形成する手段、

第 2 トランジスタゲート材料レイヤを備える第 2 ゲート構造を前記基板上に形成する手段

を備え、

前記第 1 トランジスタゲート材料レイヤは、前記第 2 トランジスタゲート材料レイヤとは異なり、

前記第 2 ゲート構造の第 2 部分は、前記第 1 ゲート構造の第 1 部分上に形成され、それによって第 1 オーバラップゲート領域を形成する システム。 30

【請求項 3 8】

請求項 3 7 に記載のシステムであって、前記論理要素は、2つの直列に接続されたトランジスタのパフォーマンス特性に実質的に類似するパフォーマンス特性を示すように設計される回路部分を含み、

前記第 1 ゲート構造および第 2 ゲート構造は前記回路部分のトランジスタのゲート群に対応し、

前記システムは、

前記回路部分のソース領域として機能する第 1 ドーピング領域を前記基板中に形成する手段、 40

前記回路部分のドレイン領域として機能する第 2 ドーピング領域を前記基板中に形成する手段、および

前記ソースおよびドレイン領域の間で電流が流れるよう設計された活性領域を前記ソースおよびドレイン領域の間の前記基板中に形成する手段をさらに含むシステム。

【請求項 3 9】

請求項 3 7 に記載のシステムであって、前記論理要素は、並列に接続された2つのトランジスタのパフォーマンス特性に実質的に類似するパフォーマンス特性を示すように設計される回路部分を含み、

前記第 1 ゲート構造および第 2 ゲート構造は前記回路部分のトランジスタのゲート群に 50

対応し、

前記システムは、

前記回路部分のソース領域として機能する第1ドーピング領域を前記基板中に形成する手段、

前記回路部分のドレイン領域として機能する第2ドーピング領域を前記基板中に形成する手段、および

前記ソースおよびドレイン領域の間で電流が流れるよう設計された活性領域を前記ソースおよびドレイン領域の間の前記基板中に形成する手段

をさらに含むシステム。

【請求項40】

請求項37～39のいずれかに記載のシステムであって、前記第1ゲート材料レイヤおよび前記第2ゲート材料レイヤは、ポリシリコン材料をそれぞれ含むシステム。

【請求項41】

スタティックランダムアクセスメモリ(SRAM)セルであって、

導電材料の第1レイヤ、

前記第1レイヤは、少なくとも1つの第1ゲート領域および少なくとも1つの第1相互接続領域を含み、

前記第1レイヤとは異なる導電材料の第2レイヤ、

前記第2レイヤは、少なくとも1つの第2ゲート領域および少なくとも1つの第2相互接続領域を含む

SRAMセル。

【請求項42】

請求項41に記載のSRAMセルであって、前記少なくとも1つの第1相互接続領域のうちの少なくとも第1部分は、前記少なくとも1つの第2相互接続領域の少なくとも第2部分と重なるSRAMセル。

【請求項43】

請求項41または42に記載のSRAMセルであって、前記第1および第2相互接続領域は、前記SRAMセルのパッシブ領域上に形成されるSRAMセル。

【請求項44】

請求項41または42に記載のSRAMセルであって、前記第1および第2部分の前記重なりは、前記SRAMセルのパッシブ部分上にあるSRAMセル。

【請求項45】

請求項41～44のいずれかに記載のSRAMセルであって、前記第1および第2レイヤは、ポリシリコンの異なるレイヤ群に対応するSRAMセル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に集積回路チップ製造に関し、より具体的にはマルチプルゲートレイヤ技術を用いて論理要素を製造する技術に関する。

【背景技術】

【0002】

集積回路の製造は、設計フェーズ、マルチプルシミュレーションフェーズ、および製造フェーズを含むさまざまなステップを典型的には伴う。設計フェーズのあいだは、典型的には集積回路設計ソフトウェアの助けを借りて集積回路のさまざまな論理要素が統一的なデザインレイアウトに組み込まれる。その後、シミュレーションフェーズのあいだ、集積回路デザインは、例えばスパイスパラメータ抽出ソフトウェアのような従来の回路シミュレーションソフトウェアを用いてテストされる。スパイスパラメータ抽出ソフトウェアの例には、BSIMPRO(カリフォルニア州、サンノゼのCelestry Design Technologies, Inc.によってライセンスされる)、およびAurora(カリフォルニア州、マウンテンビューのSynopsys, Inc.によってライセンスされる)が含まれる。集積回路の製造ステ

10

20

30

40

50

ージのあいだ、シリコンウェーハ上にレイヤ群を形成し、さまざまなレイヤ化された領域をシリコンウェーハから除去することによって、さまざまな集積回路構造がシリコンウェーハ上に形成されえる。

【0003】

一般に、集積回路（IC）チップ製造に関連付けられたコストおよび費用を低減することが望ましい。ICチップ製造コストを低減する従来の技術は、ICチップ製造プロセスのあいだに行われる堆積およびエッチングステップの数を減らすことを伴う。この理由で、単一レイヤの堆積されたポリシリコンだけを用いて集積回路を製造するのが業界の従来の慣行である。このような技術は、比較的複雑ではなく、安価な製造プロセスを提供する。実際、論理要素（集積回路の一部をなす）の製造における単一ポリシリコンレイヤは、
10 広く受け入れられているので現在、市場で利用可能なたいの従来回路シミュレーションソフトウェアは、標準化されたレイアウト、および単一ポリシリコンレイヤを用いる製造技術と互換性があるように第一には設計される。

【0004】

従来の集積回路デザインの一部の例は、図面の図1A～Cに示される。図1Aは、直列に接続された2つのトランジスタ（ここでは「直列トランジスタ回路」と呼ぶ）を含む回路100の概略図を示す。従来のIC製造技術を用いた集積回路の一部として組み込まれたとき、図1Aの直列トランジスタ回路100は、図1Bに示されるように製造されえる。図1Bに示されるように、回路部分150は、単一のポリシリコンレイヤを用いて製造された2つの直列に接続されたトランジスタを含む。より具体的には図1Bに示されるように、回路部分150は、単一のポリシリコンレイヤを用いて製造された2つのゲート部分102a、102bを含む。さらに回路部分150はまた2つの酸化物レイヤ部分104a、104bを含み、これらは共に単一の酸化物レイヤを用いて製造されている。回路部分150は、さらに基板110（例えばシリコン基板）を含み、これはドーピングされたウェル領域108内に形成された3つのドーピングされた領域105a、105b、105cを含む。図1Bの例では、回路部分150は、2つの直列に接続されたNMOSトランジスタとして構成され、これはPウェル領域108、およびN+ドーピングされた領域105a～cを含む。このような回路は例えば、NORゲート、NANDゲートなどのようなさまざまな従来の論理要素を形成するのに用いられえる。
20

【0005】

図1Cは、図1Aの直列トランジスタ回路100の従来のIC設計レイアウト170の例を示す。図1Cに示されるように、直列トランジスタ回路100を製造する従来の技術は、単一のポリシリコン層形成（layering）技術を用いて行われ、ここでゲート102aおよび102bは、トランジスタ回路の活性領域115の上に形成される。ゲート102aおよび102bのそれぞれは、同じポリシリコンレイヤから形成される。従来の語法を用いれば、ゲート102aおよび102bは、それぞれ「ポリ1」材料から構成されていると記述されえるが、これはこれらのゲートのそれぞれが、堆積されたポリシリコンの同じ第1レイヤ（すなわちポリ-1）から形成されているからである。従来のデザインルールによれば、ゲート102aおよび102bのそれぞれは、製造された回路の適切な動作を確実にするために最小距離117だけ分離されることが必要とされる。
30
40

【0006】

単一のポリシリコンレイヤの使用は、標準化されたICレイアウトおよび製造技術に適合するが、そのような標準化された技術は、特定のデザインおよびレイアウト要件を必要とし、これはシリコンウェーハまたは基板上の空間の非効率な利用につながりえる。

【発明の開示】

【発明が解決しようとする課題】

【0007】

したがって、新しく現れる技術を受け入れ、利用するために、集積回路チップ製造技術について改良するための要求が常に存在することがわかるだろう。

【課題を解決するための手段】

10

20

30

40

50

【0008】

本発明の異なる実施形態によれば、基板上に製造される集積回路上の論理要素を形成するさまざまな方法、デバイス、およびシステムが記載される。第1ポリシリコンレイヤを備える第1ゲート構造が基板上に形成される。第2ポリシリコンレイヤを備える第2ゲート構造が、第2ゲート構造の一部が第1ゲート構造の一部の上に形成され、それによってオーバーラップゲート領域 (overlapping gate region) を形成するようにそれから基板上に形成される。具体的な実施形態によれば、この論理要素は、例えばNANDゲート、ANDゲート、NORゲート、ORゲート、XORゲート、SRAMセル、ラッチなどのようなさまざまな論理要素またはデバイスに対応しえる。

【0009】

具体的な実施形態によれば、本発明の論理要素は、2つの直列に接続されたトランジスタまたは、代替として、並列に接続された2つのトランジスタのパフォーマンス特性に実質的に類似するパフォーマンス特性を示すように設計される回路部分を含む。このような実施形態において、第1ゲート構造および第2ゲート構造は、回路部分のトランジスタゲートに対応しえる。さらに論理要素は、基板中に形成されたソースおよびドレインのドーピングされた領域群、およびソースおよびドレイン領域の間で基板中に形成された活性領域を含みえ、ここで活性領域は、ソースおよびドレイン領域の間で電流が流れることを可能にするよう設計される。

【0010】

論理要素のトランジスタゲートを形成するためにポリシリコンの複数のレイヤを用いる本発明のさまざまな技術は、例えば酸化物厚さ、スレッショルド電圧、最大許容ゲート電圧などのようなトランジスタパラメータを細かく調整するのにさらなる自由度を提供することが理解されよう。

【0011】

本発明のさまざまな局面のさらなる目的、特徴、および優位性は、その好ましい実施形態の以下の記載から明らかになり、この記載は添付の図面と共に参照されるべきである。

【発明を実施するための最良の形態】

【0012】

本発明は、半導体デバイスに用いられるさまざまな論理要素 (例えばNANDゲート、ANDゲート、NORゲート、XORゲート、SRAMセル、ラッチなど) の設計および製造において複数のポリシリコンレイヤを利用するさまざまな技術を記載する。本発明の具体的な実施例によれば、論理ゲートセルサイズおよびメモリアレイセルサイズは、複数のポリシリコンレイヤを用いてさまざまなトランジスタゲートを製造することによって縮小されえる。このようにして、集積回路チップのエリア縮小は、ポリ1からポリ1への最小間隔に対応する標準化されたデザインルールを縮小することによって達成されえる。よって、例えば、本発明の技術は、互いに短絡しない重なり合うポリシリコンの部分のレイアウトおよび/または設計を可能にしえるが、これは異なるポリシリコン部分は複数レイヤのポリシリコン製造技術を用いて形成されえるからである。具体的な実施形態によれば、そのような重複部分は、例えば酸化物レイヤのような少なくとも1つの絶縁レイヤによって垂直方向に分離される少なくとも2つの異なるポリシリコンレイヤで構成されえる。このようにして、重なり合うポリシリコン部分の電氣的短絡は防ぎえる。さらに、複数のポリシリコンレイヤを用いて論理要素のトランジスタゲートを形成する本発明の技術は、例えば酸化物厚さ、スレッショルド電圧、最大許容ゲート電圧などのようなトランジスタパラメータを細かく調整するのにさらなる自由度を提供する。

【0013】

前述のように、従来知見は、集積回路を製造するのに関連するコストを削減または最小化することが望ましいことを教える。典型的には、そのようなコストを削減または最小化する技術の一つは、集積回路の論理要素を形成するのに用いられるポリシリコンレイヤの数を最小化することである。より最近では、例えばフラッシュメモリのようなある種のタイプのメモリを製造するのに用いられる製造技術は、フラッシュメモリセルのコントロ

10

20

30

40

50

ールゲートおよびフローティングゲートを形成するために、異なるポリシリコンのレイヤが異なる時にシリコンウェーハ上に堆積される、ダブルポリシリコンレイヤプロセスを利用する。集積回路チップデザインがフラッシュメモリおよび従来の論理要素の両方を含む具体的な応用例において、例えばフラッシュメモリセルを形成ために、集積回路チップの製造はダブルポリシリコン層形成 (layering) プロセスを伴いえる。しかしこのような集積回路の製造においては、単一のポリシリコンレイヤを用いて集積回路の論理要素を製造するのが従来の慣習である。集積回路の論理要素を単一のポリシリコンレイヤを用いて設計および製造する (集積回路がフラッシュメモリを含む場合でさえ) のがなぜ好ましいかという一つの理由は、単一のポリシリコンレイヤ回路は、設計においてより単純であり、したがって典型的には製造が容易で、製造エラーの影響をより受けにくくなるからである。さらに前述のように、現在、市場で入手可能なたいの従来の回路シミュレーションソフトウェアは、単一のポリシリコンレイヤを用いる標準化されたレイアウトおよび製造技術とだけ互換性があるように設計されている。このような回路シミュレーションソフトウェアは、典型的にはマルチポリシリコンレイヤ (multi-poly-silicon layer) の設計とは互換性がない。

【0014】

しかし従来の知見および慣習とは逆に、本発明は、特にメモリ要素 (例えばフラッシュメモリ、DRAM) および論理要素が同じ集積回路チップ上に製造されるべき応用例において、複数のポリシリコンレイヤを用いて論理要素を製造することが望ましいことを教示する。このような応用例において、複数ポリレイヤを利用する論理要素を設計することによって、複数ポリレイヤのプロセス (例えばメモリ要素を製造するのに用いられる) を利用することができる。

【0015】

図2Aは、本発明の具体的な実施形態によって製造された論理要素の部分200を示す。より具体的には、図2Aに示される回路部分200は、直列トランジスタ回路 (図1Aに示されるような) が本発明の具体的な実施形態によってどのように製造されえるかの例である。具体的な実施形態によれば、回路部分200は、例えばNANDゲート、ANDゲート、NORゲート、ORゲート、XORゲート、SRAMセル、ラッチなどのようなさまざまな論理要素を製造するのに用いられえる。

【0016】

回路部分200を製造する具体的な実施形態は、図面の図2B~2Iに示される。図2B~2Iは、本発明の具体的な実施形態によって論理要素を製造するある技術を示す。図2B~2Iに示される例において、集積回路チップの製造にはシリコンウェーハが用いられていると想定される。ICチップ製造プロセスの準備のために、シリコンウェーハの一部は、pタイプ材料でドーピングされ、それによりPウェル208を形成する。

【0017】

図2Bに示されるように、第1酸化物レイヤ204a'がシリコンウェーハ210の表面上に形成される。第1酸化物レイヤ204a'の形成の後、第1ポリシリコン (ポリ-1) レイヤ202a'が第1酸化物レイヤ上に堆積されえる。図2Cに示されるように、ポリ-1レイヤ202a'の一部領域は、それから除去またはエッチングされ、それにより第1ポリシリコンレイヤ部202aを形成する。図2Dに示されるように、第1ポリシリコンレイヤ部202aの形成の後、第1酸化物レイヤ204a'の一部領域が除去され、それによって第1酸化物レイヤ部204aを形成する。具体的な実施形態によれば、ポリシリコンレイヤおよび酸化物レイヤの形成および/または除去は、当業者に一般に知られている従来のICチップ製造技術を用いて達成されえる。

【0018】

図2Eおよび2Fに示されるように、それから第2酸化物レイヤ204b'および第2ポリシリコン (ポリ-2) レイヤ202b'が、部分202aおよび204aを含むシリコンウェーハの一部領域の上に形成および/または堆積されえる。図2Gに示されるように、ポリ-2レイヤの一部領域が除去されることによって第2ポリシリコンレイヤ部20

2 bを形成しえる。その後、図2 Hに示されるように、第2酸化物レイヤの選択された領域が除去されることによって第2酸化物レイヤ部2 0 4 bを形成しえる。図2 Iに示されるように、例えば従来のイオンインプランテーション技術を用いてドーピングされた領域2 0 5 aおよび2 0 5 bがそれから形成される。具体的な実施形態によれば、ドーピングされた領域2 0 5 aおよび2 0 5 bは、例えばヒ素のようなnタイプ材料でドーピングされえる。あるいは領域2 0 8は、nタイプ材料でドーピングされることによってNウェルを形成しえ、領域2 0 5 aおよび2 0 5 bはpタイプ材料でドーピングされえる。

【0019】

2つの直列に接続されたNMOSトランジスタとして実現されるとき、回路部2 0 0は、図2 Jの回路部2 7 5に対応し、これは図1 Aの概略図1 0 0によって概略的に表されえる。図2 Jに示されるように、直列トランジスタ回路2 7 5の2つのゲート（例えばゲートB 2 0 2 b、およびゲートA 2 0 2 a）は、ソース2 0 5 aからドレイン2 0 5 bへの電流の流れを制御するのに用いられる。

10

【0020】

図1 B（従来の技術を用いて製造された直列トランジスタ回路を表す）の回路部1 5 0、および図2 Jの回路部2 7 5の間で比較すれば、多くの差異が明らかになる。例えば、ゲートAおよびゲートBを分離する距離は、図1 Bと比べて図2 Jにおいてはずっと小さい。より具体的には図2 Jに示されるように、ゲート2 0 2 bおよびゲート2 0 2 aを分離する距離は、第2酸化物レイヤ部2 0 4 bの厚さにほぼ等しい。さらに、図2 Jに示されるように、ポリ-2レイヤ部2 0 4 bは、ポリ-1レイヤ部2 0 2 aおよび第1酸化物レイヤ部2 0 4 aの両方の上に近接して連続的に位置する。ポリ-2レイヤ部2 0 2 bはまた、ポリ-1レイヤ部2 0 2 aの一部領域とも重なり合う。異なる実施形態によれば、この重なり合う量は、0%重複（例えば隣接するゲート領域）から約100%の重複（例えば完全に重なり合うゲート領域）までの範囲で変化しえる。

20

【0021】

さらに図2 Jで示されるように、図1 Bと比べると、ドーピングされた一つの領域がまるのままシリコン基板から除去されている。例えば図2 Jに示されるように、回路部2 7 5は2つのN+ドーピングされた領域2 0 5 a、2 0 5 bを含む。対照的に、図1 Bの回路部1 5 0は、3つのN+ドーピングされた領域、すなわち1 0 5 a、1 0 5 b、および1 0 5 cを含む。図1 Bおよび2 Jを比較すれば、図1 BのゲートAおよびゲートBの間に存在するドーピングされた領域1 0 5 bが図2 Jの構造中では除去されている。このことは、ウェーハ上の論理要素の面積を減らし、これはダイサイズおよび関連する製造コストの減少につながる。

30

【0022】

本発明の代替実施形態は、図2 Jの回路部2 7 5に示されたものとは異なる特徴を含みえることがわかるだろう。例えば、図2 Kは、本発明の具体的な実施形態によって製造された回路部2 8 0の代替実施形態を示す。図2 Kに示されるように、回路部2 8 0は、2つの重なり合うポリシリコンレイヤ2 8 2 a、2 8 2 bを含み、これらは基板2 1 0上に形成される。この具体的な実施形態においては、基板2 1 0は、N型材料からなり、p+でドーピングされた領域2 8 5 a、2 8 5 bがP型材料で形成される。回路部2 7 5および2 8 0の間で際だつ差異のうちの一つは、回路部2 7 5（図2 J）のPウェル領域2 0 8が、回路部2 7 5のトランジスタのための局所基板（local substrate）として機能し、一方、回路部2 8 0は、基板2 1 0とは異なる別個のウェル領域を含まないことである。むしろ回路部2 8 0（図2 H）においては、基板2 1 0は、回路部2 8 0のトランジスタのための局所基板として機能する。

40

【0023】

図3 A～Dは、本発明の技術によって製造されえる直列トランジスタ回路の異なる実施形態を示す。図3 Aは、図2 Aの回路部2 0 0の透視図を示す。図3 Bは、図1 Aの直列トランジスタ回路1 0 0を実現するのに用いられえる回路部3 5 0の代替実施形態の透視図を示す。

50

【 0 0 2 4 】

図 3 A を参照して、回路部 3 0 0 の設計は、従来の回路設計とはいくつかの点で異なることに注意されたい。例えば、前述のように、異なるポリシリコンレイヤがトランジスタゲート 2 0 2 a、2 0 2 b を形成するのに用いられる。さらにゲート構造の位置および構成は、図 1 B に示されるような従来の回路設計のそれとは異なる。例えば、図 3 A に示されるように、ゲート 2 0 2 b は、ゲート 2 0 2 a の一部がゲート 2 0 2 b および基板 2 0 8 の活性領域の間に挿入されるように、ゲート 2 0 2 a の一部と重なり合う。さらに、図 1 B の従来ゲート構成（おおまかには平坦である）とは異なり、ゲート 2 0 2 b の構成は平坦ではなく、むしろ水平および垂直に伸びる部分を含む階段状構成である。その結果、ゲート 2 0 2 b の上部も下部も実質的には平面的ではない。

10

【 0 0 2 5 】

回路部 3 0 0 の設計は、従来の不揮発性メモリ構造といくつかの点で異なることにも注意されたい。例えば従来の不揮発性メモリセル構造においては、ポリシリコンの 2 つのレイヤが用いられて、コントロールゲートおよびフローティングゲートを含む従来のスプリットゲートセルを構成しえる。従来は、フローティングゲートは、電氣的に絶縁された領域として設計され、これが単一の不揮発性メモリセルのための電荷を蓄えるためのストレージノードとして用いられる。フローティングゲートは、電荷を適切に蓄えるために、メモリセルの他の全ての構造から電氣的に絶縁されることが重要である。対照的に、図 3 A のゲート構造 2 0 2 a、2 0 2 b のいずれも、電氣的に絶縁された領域として不揮発性メモリのフローティングゲート構造に類似した形では実現されていない。むしろゲート構造 2 0 2 a、2 0 2 b はそれぞれ、所望のゲート電圧がトランジスタ回路 3 0 0 に印加されるようにするため、集積回路の他の部分に 1 つ以上のコンタクト領域を介して電氣的に結合されている。これは例えば図 3 C の実施形態において示される。

20

【 0 0 2 6 】

図 3 C は、本発明の技術の具体的な実施形態を用いて設計された回路レイアウト 3 6 0 の上面図を示す。より具体的には、図 3 C の実施形態は、図 3 A に示されたような直列トランジスタ回路のデザインレイアウトの具体的な実現例を示す。直列トランジスタ回路の従来の概略的図示は、図 1 A に示される。しかし図 3 D は、図 3 C の回路 3 6 0 を概略的に表すために用いられえる概略図 3 7 0 の例を示す。

【 0 0 2 7 】

図 3 C に示されるように、直列トランジスタ回路 3 6 0 は、活性領域 3 6 5 上に重なり合う部分を有する 2 つのゲート 3 8 2 a、3 8 2 b を含む。具体的な実施形態によれば、回路 3 6 0 は、本発明の複数ポリシリコン層の形成（layering）技術を用いて製造されえ、ここでは第 1 ゲート（例えば 3 8 2 a）はポリ - 1 レイヤで形成され、第 2 ゲート（例えば 3 8 2 b）はポリ - 2 レイヤで形成される。2 つのゲートの一部は、領域 3 6 7 において示されるように重なり合う。具体的な実施形態によれば、ゲートの重なり領域 3 6 7 の幅 W 1 は、活性領域 3 6 5 の幅 W 2 に少なくとも等しいか、またはそれより大きい。図 3 C に示されるように、ゲート 3 8 2 a、3 8 2 b のそれぞれは、ゲートのそれぞれに電氣的接触を提供するコンタクト領域 3 6 2 a、3 6 2 b をそれぞれ含む。具体的な実施形態によれば、ポリ - 1 レイヤおよびポリ - 2 レイヤは、ポリシリコン、または当業者によく知られた他の適切な導電材料から作られえる。

30

40

【 0 0 2 8 】

さらに図 3 C に示されるように、活性領域 3 6 5 は、ソースコンタクト領域 3 6 4 およびドレインコンタクト領域 3 6 6 を含みえる。図 3 C の例においては、ゲートコンタクト領域 3 6 2 a、3 6 2 b は、コンタクトポイント間の最小間隔に関する設計制約条件が満たされることを確実にするために、活性領域 3 6 5 の反対側に置かれる。しかし図 3 C の回路 3 6 0 を実現するにはさまざまな異なる方法が存在することが理解されよう。例えば、代替実現例（不図示）においては、ゲート 3 8 2 a、3 8 2 b のそれぞれ上のコンタクトポイントは、活性領域 3 6 5 の同じ側に配置されえる。しかし異なる実現例のそれぞれの中で一つの共通点は、ゲート 3 8 2 a、3 8 2 b の部分が活性領域 3 6 5 上で重なり合

50

う (overlap) か、または互いに隣接する (abut) ことが理解されよう。図 3 A の回路部 300 は、集積回路チップの論理要素の製造において用いられえるマルチポリオーバレイゲート構造 (multi-poly overlay gate structure) の一つのタイプを示すことが理解されよう。回路部 300 の構造に関する一つの問題は、ゲート 202 b の可変ゲート長 (variable gate length) がゲート 202 a に対してミスアライメントしえることである。可変ゲート長によるゲートミスアライメントの問題を解決する一つの実施形態は、図面の図 3 B に示される。

【0029】

図 3 B は、本発明の具体的な実施形態によって実現された論理要素回路部 350 の代替実施形態の透視図を示す。図 3 B に示されるように、回路部 350 は、第 1 酸化物レイヤ 304 a、ポリ - 1 ゲート 302 a、第 2 酸化物レイヤ 304 b、およびポリ - 2 ゲート 302 b を含む。図 3 B に示されるように、ポリ - 2 ゲート 302 b は、ポリ - 1 ゲート 302 a の両側に近接する。さらに、ポリ - 2 ゲート 302 b は、基板の活性領域 308 上でポリ - 1 ゲート 302 a に重なる。よって図 3 B に示されるように、ゲート 302 a の少なくとも一部は、ゲート 302 b およびシリコン基板の活性領域 308 の間に挟まれる。さらに図 3 B に示されるように、ゲート 302 a は、第 2 酸化物レイヤ 304 b の厚さにほぼ等しい距離だけゲート 302 b から分離される。

【0030】

図 3 B のゲート構造構成の一つの優位性は、図 3 A について上述した可変ゲート長の問題を減らすか、またはなくしえることである。例えば、具体的な実施形態によれば、ゲート 302 b の全体的な幅 W は一定に保たれるが、これは例えばゲート 302 b の幅が、適切にアラインされることが可能なマスクエッジによって決定されるからである。したがって図 3 B のゲート構成は、ポリ - 1 ゲート 302 a、およびポリ - 2 ゲート 302 b 間のミスアライメント問題を軽減するのに用いられえる。

【0031】

回路部 300 および 350 は、それぞれの回路の活性領域 (例えば 208、308) 上の構造を示すよう意図されるだけであって、必ずしもそれぞれの回路の特徴の全てを反映するものではないことに注意されたい。よって回路部 300 および 350 は、図 3 A および 3 B に示されていない他の特徴を含みえることが理解されよう。例えばそのような特徴の一つは、ゲート構造 202 a、202 b、302 a、302 b に接触するのに用いられるコンタクトポイントに関連する。他の特徴は、ゲート構造 202 a、202 b、302 a、302 b の構成に関連する。例えばある実現例においては、ゲート構造のそれぞれは、X - Z 平面中の任意の方向に伸びえるポリシリコンのラインとして実現されえる。他の特徴は、所望の論理要素を構築するのに用いられえる他のトランジスタの追加に関連する。

【0032】

論理要素を形成するために複数のレイヤのポリシリコンを用いる本発明の技術は、例えば酸化物の厚さ、スレッショルド電圧、最大許容ゲート電圧などのようなさまざまなトランジスタパラメータを微調整するさらなる自由度を提供することが理解されよう。例えば異なる実施形態によれば、ポリ - 1 およびポリ - 2 ゲート酸化物は、さまざまなトランジスタパラメータを微調整するためにそれぞれ異なる厚さで製造されえる。具体的な実現例によれば、同じサイズ (例えば幅および長さ) の 2 つの論理トランジスタは、2 つの異なるスレッショルド電圧を有することから利益を得ることができ、それはそれらそれぞれのゲート酸化物が 2 つの異なる酸化物レイヤで作られえるからである。さらに、従来の MOS トランジスタにおいては、ドレインおよびソース接合は、共にゲート領域の下で水平に拡散するために、実効ゲート長を減らし、ショートチャネル効果を悪化させることが理解されよう。しかし本発明の直列トランジスタ回路構成を用いれば、例えば、直列に接続されるトランジスタのそれぞれのペアについて、一つの接合 (その対応する水平拡散と共に) が省略されえるので、直列トランジスタ回路 (群) のショートチャネル効果を改善できる。

10

20

30

40

50

【0033】

従来の論理要素の設計で用いられる他のよくある回路は、図6Aに示される。図6Aは、並列に接続された2つのトランジスタを含む回路部600（ここでは並列トランジスタ回路600と呼ばれる）を示す。並列トランジスタ回路600を製造する従来の設計レイアウトは、図6Cに示される。図6Cに示されるように、従来の並列トランジスタ回路レイアウト670は、シリコン基板の活性領域681上の2つのポリ-1ゲート652a、652bの構成を含む。ゲート652a、652bは、単一のポリシリコンレイヤを用いて形成される。従来のデザインルールによれば、ゲートは最小距離679だけ互いから分離されなければならない。図6Cに示された実施形態においては、並列トランジスタ回路のソース領域672a、672bは、電氣的接続677を介して互いに電氣的に結合される。 10

【0034】

図6Bは、従来のIC製造技術を用いて製造された並列トランジスタ回路部650の断面図を示す。図6Bに示された回路部650は、図1Bの直列トランジスタ回路部150を製造するのに前述された技術に類似の技術を採用することによって、単一のポリシリコンレイヤを用いて製造されている。図6Bに示されるように、回路部650は、第1酸化物レイヤ部604a、604b（共に同じ第1酸化物レイヤから形成される）、ポリ-1ゲート部602a、602b（単一のポリシリコンレイヤから形成される）、および3つの別個のドーピングされた領域605a、605b、605cを含む。

【0035】

図7Aは、本発明の具体的な実施形態によって製造された並列トランジスタ回路部700の透視図を示す。図7Aに示されるように、回路部700は、第1酸化物レイヤ部704a、ポリ-1ゲート702a、第2酸化物レイヤ部704b、ポリ-2ゲート702b、および2つのドーピングされた領域705a、705bを含み、これらは並列トランジスタ回路のソースおよびドレイン領域として機能しえる。具体的な実現例によれば、図7Aの並列トランジスタ回路部700を製造する技術は、図面の図2B～2Iについて前述した技術に類似する。よって例えば、ポリ-1ゲート702aは、第1ポリシリコンレイヤから形成されえ、ポリ-2ゲート702bは、第1ポリシリコンレイヤとは異なる第2ポリシリコンレイヤから形成されえる。さらに酸化物レイヤ部704aは、第1酸化物レイヤから形成されえ、酸化物レイヤ部704bは、第1酸化物レイヤとは異なる第2酸化物レイヤから形成されえる。 20 30

【0036】

図7Cは、図7Aに示されたような並列トランジスタ回路を製造するのに用いられえるデザインレイアウト760の上面図を示す。図7Dは、図7Cの並列トランジスタ回路デザイン760の概略表現を与える概略図770を示す。図7Cに示されるように、並列トランジスタ回路デザイン760は、ポリ-1ゲート782aおよびポリ-2ゲート782bを含む。ゲート782a、782bのそれぞれは、少なくとも一部がソースおよびドレイン間の活性領域765の上に配置される。ゲートのそれぞれは、それぞれのコンタクト領域762a、762bを含む。2つのゲートの一部は、領域767において重なる。具体的な実施形態によれば、ゲートオーバーラップ領域767の幅W2は、活性領域760の幅W1よりも小さい。 40

【0037】

図7Cの並列トランジスタ回路デザインと、図6Cの従来の並列回路デザインとの違いの一つは、図6Cの回路は2つのソース領域672a、672bを含み、これらが電氣的接続677を介して電氣的に互いに結合されていることである。対照的に図7Cに示されるように、並列トランジスタ回路760は、単一のソース領域764および単一のドレイン領域766を含む。

【0038】

図7Bは、本発明の技術によって製造された並列トランジスタ回路部750の代替実施形態の透視図を示す。図7Bに示されるように回路部750は、第1酸化物レイヤ部75 50

4 a、ポリ - 1ゲート752 a、第2酸化物レイヤ部754 b、ポリ - 2ゲート752 b、および2つのドーピングされた領域755 a、755 bを含み、これらは並列トランジスタ回路のソースおよびドレインとして機能する。具体的な実現例によれば、図7Bの並列トランジスタ回路部750を製造する技術は、図面の図2B~2Iについて前述した技術に類似する。よって例えば、ポリ - 1ゲート752 aは、第1ポリシリコンレイヤから形成されえ、ポリ - 2ゲート752 bは、第1ポリシリコンレイヤとは異なる第2ポリシリコンレイヤから形成されえる。さらに酸化物レイヤ部754 aは、第1酸化物レイヤから形成されえ、酸化物レイヤ部754 bは、第1酸化物レイヤとは異なる第2酸化物レイヤから形成されえる。

【0039】

10

図3Cの直列トランジスタデザインと、図7Cの並列トランジスタデザインとの構造的な差異のうちの一つは、図3Cに示されるように、ゲート382 a、382 bのそれぞれがソース364からドレイン366への電流の流れをカットオフする能力を有することであることに注意されたい。しかし図7Cに示されるように、ゲート782 a、782 bのいずれもソース764からおよびドレイン766への電流の流れを完全には制御できない。むしろゲートのそれぞれは、活性領域を通る電流の流れの一部について制御を行えるだけである。しかし図7Cに示された実施形態によれば、例えばソースからドレインへの電流の流れを止めるために、適切な制御電圧が好ましいように印加される。

【0040】

20

図3A~3Dおよび7A~7Dに示されるさまざまな回路は、集積回路チップの一部を形成するさまざまな異なる論理要素を製造するのに用いられえることが理解されよう。そのような論理要素は、NANDゲート、ANDゲート、NORゲート、ORゲート、XORゲート、ラッチなどを含む。さらにそのような論理要素は、SRAMのようなスタティックメモリを含みえる。図4は、SRAMメモリセル400を製造する従来のデザインレイアウトの上面図を示す。従来、SRAMメモリセルは、単一のポリシリコンレイヤだけを含む標準化されたデザインを用いて製造される。そのようなデザインは、比較的複雑ではなく、より安価な製造プロセスを提供する。したがって図4に示されるように従来のSRAMセルデザインは、3つのポリ - 1部402、404 a、404 bを含み、それらのうちのそれぞれは、同じポリシリコンレイヤから形成される。

【0041】

30

従来のデザイン上の制約条件は、さまざまなポリ - 1部（例えば402、404 a、404 b）が、例えば短絡を阻止するために、最小距離（例えば距離A）だけ互いから分離されることを要求する。加えて図4に示されるように、従来のSRAMセルデザインは、P+のドーピングされた領域406、およびN+のドーピングされた領域408を含む。SRAMセル400の一部はP - ウェル420上に形成される。この図では、領域406、408、および404間のさまざまな金属相互接続は示されていない。

【0042】

40

従来のSRAMセル製造技術に関連するさまざまな設計上の制約条件は、SRAMセルのさまざまな構造が、SRAMセル内の他の構造からの（またはそれらと重なり合う）少なくとも最小限の特定された間隔量を有するよう設計されることを要求する。この理由のために、従来のSRAMセルのサイズは、最小の指定されたサイズ（minimum designated size）より小さくはならない。例えばもし最小フィーチャサイズが100nmなら、SRAMセルサイズは典型的には少なくとも1m²の面積を有する。しかし本発明の製造技術を用いれば、複数のポリシリコンレイヤを用いてさまざまなトランジスタを製造することによって、メモリアレイセルサイズは小さくされえる。このようにして、メモリアレイセルサイズの面積縮小は、最小のポリ - 1からポリ - 1への間隔に対応する集積回路デザインルールを小さくすることによって達成されえる。

【0043】

図5は、本発明の技術を用いて製造されえるSRAMメモリセルデザインレイアウトの例を示す。図5に示されるようにSRAMセル500は、少なくとも1つのポリ - 1レイ

50

ヤ502および複数のポリ-2レイヤ504a、504bを含み、これらはポリ-1レイヤ502とは異なるポリシリコンレイヤから形成される。ポリシリコンレイヤ502、504a、504bのそれぞれは、それぞれのゲート領域530、およびそれぞれの相互接続領域532を含む。具体的な実施形態によれば、相互接続領域は、SRAMセル500のパッシブ(passive)(またはフィールド)領域上に形成されるポリシリコンレイヤの一部に対応する。図5の実施形態において、SRAMセル500の一部は、Pウェル520上に形成される。さらにこの図においては、領域506、508、および504間のさまざまな金属相互接続は示されていない。

【0044】

具体的な実施形態によれば、図5のSRAMセル500に含まれるさまざまなトランジスタを製造する技術は、図面の図2B~2Iについて前述したトランジスタ製造技術に類似の方法を用いて製造されえる。多くの可能な実施形態のうちの一つにおいては、複数のポリシリコンレイヤSRAMセルが製造されえ、ここでトランスファ-ゲートトランジスタは、ポリ-1レイヤでできたゲートを含み、プルアップおよび/またはプルダウントランジスタは、ポリ-2レイヤでできたゲートを含む。

【0045】

図5に示されるように、例えば、515において示されるようにポリ-1レイヤ502の一部をポリ-2レイヤ504a、504bの一部と重ならせることによって、SRAMセル500のサイズは縮小されえる。このような設計テクニックは、B'において示されるポリ-1レイヤ502およびN+領域508の間隔を小さくするのも役立つ。さらに図5の実施形態に示されるように、ポリシリコン領域の515における重なりは、ポリシリコンレイヤの相互接続領域532において(例えばSRAMセル500のパッシブ領域上で)起こる。

【0046】

図5では示されていないが、SRAMセルデザイン500は、少なくとも2つの異なる酸化物レイヤも含みえ、これらはポリシリコンレイヤを互いから、また周囲の構造から絶縁するのに役立つ。例えば、第1酸化物レイヤは、ポリ-1部502の下に配置されえ、第2酸化物レイヤは、ポリ-2レイヤ504a、504bの下に配置されえ、それによって電氣的にポリ-2レイヤをポリ-1レイヤから絶縁できる。

【0047】

図3A~Dおよび7A~Dの回路について、図5のSRAMセルデザインにおいて複数のポリシリコンおよび酸化物レイヤ群を用いることは、例えば酸化物厚さ、スレッシュホールド電圧、最大許容ゲート電圧などのようなトランジスタパラメータを細かく調整するのにさらなる自由度を提供する。

【0048】

本発明のいくつかの好ましい実施形態が添付図面を参照して詳細に記載されてきたが、本発明はこれら正確な実施形態に限定されるのではなく、添付の特許請求の範囲において定義された本発明の精神の範囲から逸脱することなく当業者によってさまざまな改変および変更がその中に可能でありえる。例えば、具体的な実施形態によれば、本発明の論理要素を形成するのに用いられるトランジスタゲート材料は、導電材料(例えばチタン)、半導体材料(例えばポリシリコン)、またはこれら2つの組み合わせ(例えば珪化チタニウム)を備えうる。さらに本願のさまざまな実施形態で記載された絶縁レイヤ(例えば酸化物レイヤ)は、二酸化珪素および/または他のタイプの絶縁または誘電体材料を備えうる。

【図面の簡単な説明】

【0049】

【図1A】直列トランジスタ回路のための従来の集積回路のデザインおよび製造技術の例を示す図である。

【図1B】直列トランジスタ回路のための従来の集積回路のデザインおよび製造技術の例を示す図である。

10

20

30

40

50

【図 1 C】直列トランジスタ回路のための従来集積回路のデザインおよび製造技術の例を示す図である。

【図 2 A】本発明の具体的な実施形態によって製造された論理要素の一部を示す図である。

【図 2 B】本発明の具体的な実施形態によって論理要素を製造する一つの技術を示す図である。

【図 2 C】本発明の具体的な実施形態によって論理要素を製造する一つの技術を示す図である。

【図 2 D】本発明の具体的な実施形態によって論理要素を製造する一つの技術を示す図である。

【図 2 E】本発明の具体的な実施形態によって論理要素を製造する一つの技術を示す図である。

【図 2 F】本発明の具体的な実施形態によって論理要素を製造する一つの技術を示す図である。

【図 2 G】本発明の具体的な実施形態によって論理要素を製造する一つの技術を示す図である。

【図 2 H】本発明の具体的な実施形態によって論理要素を製造する一つの技術を示す図である。

【図 2 I】本発明の具体的な実施形態によって論理要素を製造する一つの技術を示す図である。

【図 2 J】本発明の具体的な実施形態によって論理要素を製造する一つの技術を示す図である。

【図 2 K】本発明の具体的な実施形態によって製造された論理要素の一部の代替実施形態を示す図である。

【図 3 A】本発明の技術によって製造されえる直列トランジスタ回路の異なる実施形態を示す図である。

【図 3 B】本発明の技術によって製造されえる直列トランジスタ回路の異なる実施形態を示す図である。

【図 3 C】本発明の技術によって製造されえる直列トランジスタ回路の異なる実施形態を示す図である。

【図 3 D】本発明の技術によって製造されえる直列トランジスタ回路の異なる実施形態を示す図である。

【図 4】SRAMメモリセルを製造する従来デザインレイアウトの上面図である。

【図 5】本発明の技術を用いて製造されえるSRAMメモリセルデザインレイアウトの例を示す図である。

【図 6 A】並列トランジスタ回路のための従来集積回路デザインおよび製造技術の例を示す図である。

【図 6 B】並列トランジスタ回路のための従来集積回路デザインおよび製造技術の例を示す図である。

【図 6 C】並列トランジスタ回路のための従来集積回路デザインおよび製造技術の例を示す図である。

【図 7 A】本発明の技術によって製造されえる並列トランジスタ回路の異なる実施形態を示す図である。

【図 7 B】本発明の技術によって製造されえる並列トランジスタ回路の異なる実施形態を示す図である。

【図 7 C】本発明の技術によって製造されえる並列トランジスタ回路の異なる実施形態を示す図である。

【図 7 D】本発明の技術によって製造されえる並列トランジスタ回路の異なる実施形態を示す図である。

10

20

30

40

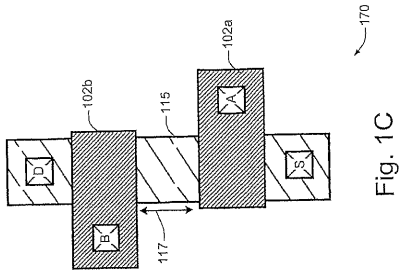


Fig. 1C

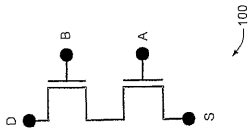
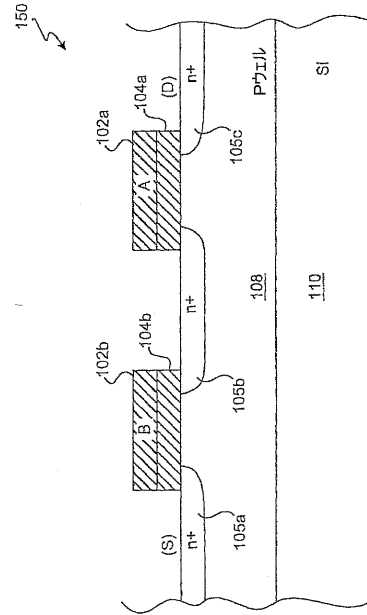


Fig. 1A

【 図 1 B 】



(PRIOR ART)

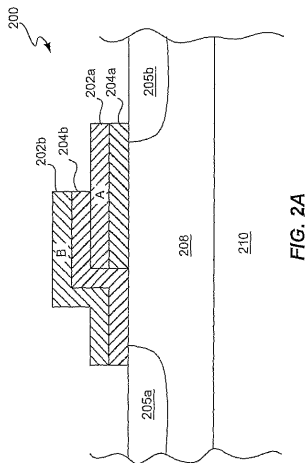
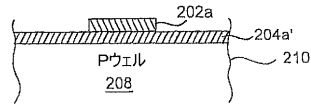
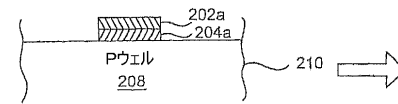


FIG. 2A

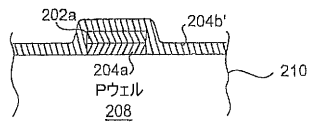
【 図 2 C 】



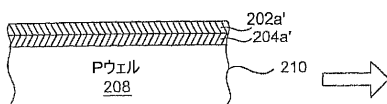
【 図 2 D 】



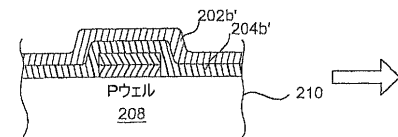
【 図 2 E 】



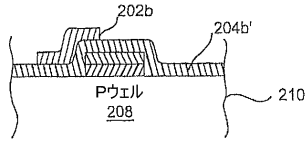
【 図 2 B 】



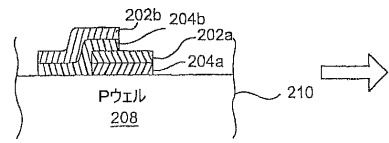
【 図 2 F 】



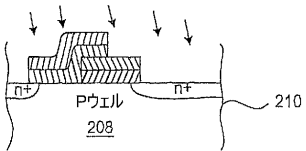
【 図 2 G 】



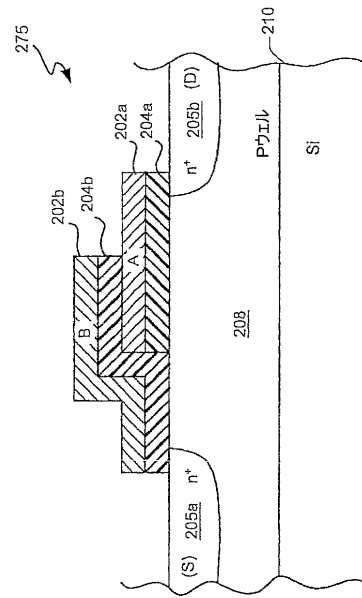
【 図 2 H 】



【 図 2 I 】



【 図 2 J 】



【 図 2 K 】

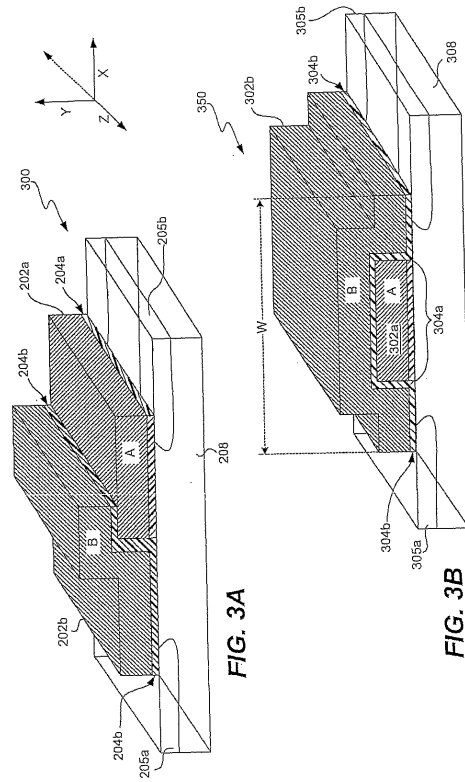
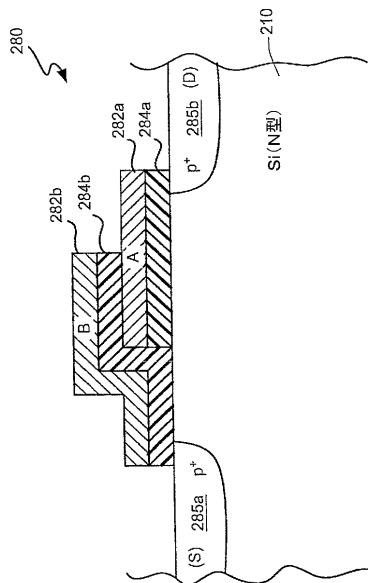


FIG. 3A

FIG. 3B

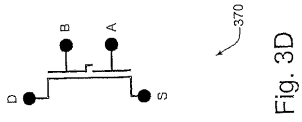


Fig. 3D

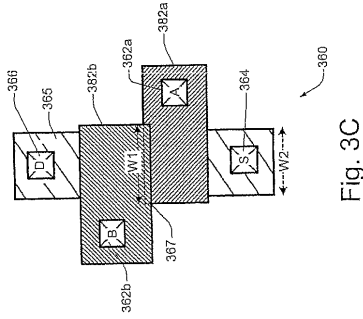


Fig. 3C

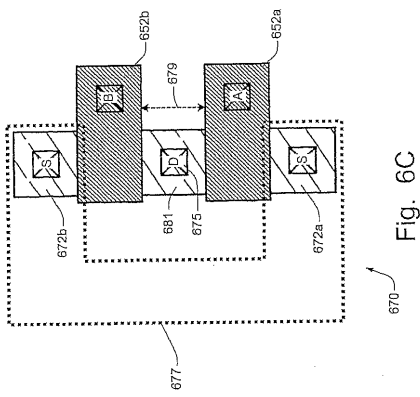


Fig. 6C

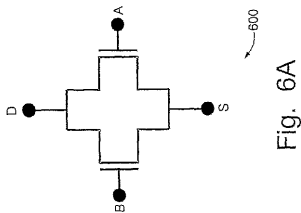


Fig. 6A

【 4 】

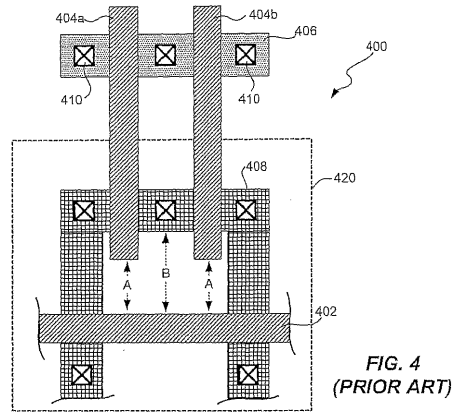


FIG. 4 (PRIOR ART)

【 5 】

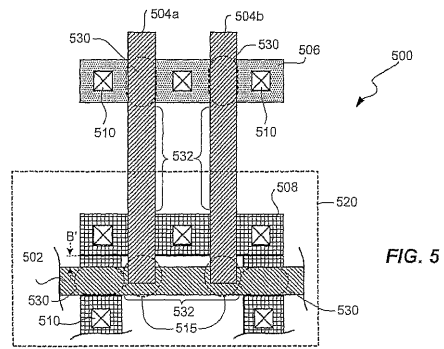
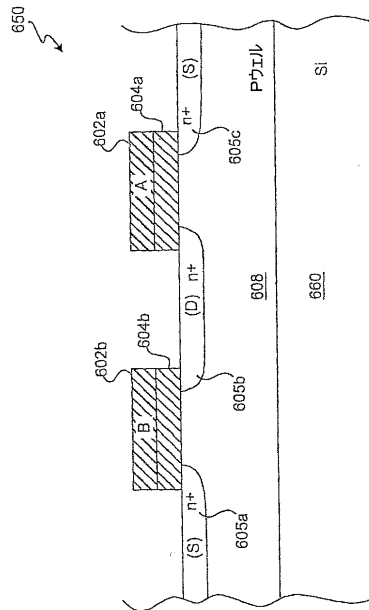


FIG. 5

【 6 B 】



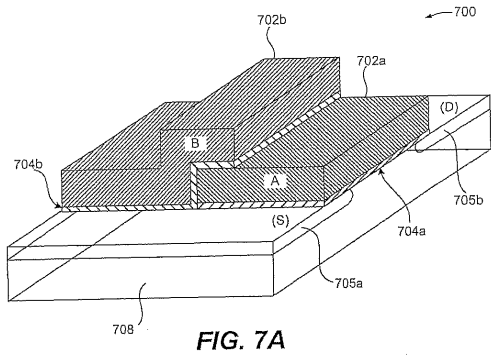


FIG. 7A

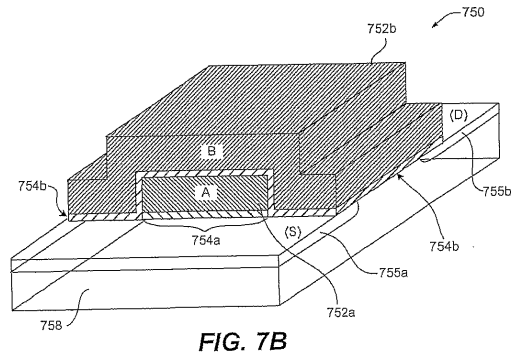


FIG. 7B

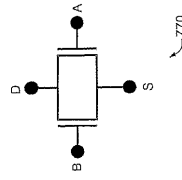


Fig. 7D

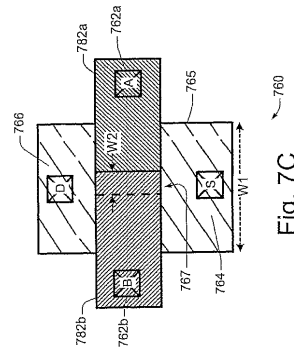


Fig. 7C

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

		International Application No PCT/JP 03/20453
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L29/78 H01L27/11		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, WPI Data, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 3 436 623 A (BEER ANDREW FRANCIS) 1 April 1969 (1969-04-01)	1-4, 7-10, 12-21, 24-27, 29-40
Y	column 1, line 15 - line 34; figures 1,2 column 2, line 63 - column 3	11,28
Y	DE 15 64 222 A (JORGENSEN SOREN ANTON WILFRED) 22 January 1970 (1970-01-22)	11,28
A	page 3, line 29 - page 4, line 8; figures 2,3	18,35
X	US 5 569 962 A (YANG MING-TZONG) 29 October 1996 (1996-10-29) column 2, line 15 - column 5, line 35; figures 5B,7	41-45
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *S* document member of the same patent family
Date of the actual completion of the international search 24 October 2003		Date of mailing of the international search report 03/11/2003
Name and mailing address of the ISA European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx: 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Agne, M

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/JP 03/20453

Patent document cited in search report	Publication date	Patent family member(s)	Publication date	
US 3436623	A	01-04-1969	GB 1136569 A	11-12-1968
			CH 470085 A	15-03-1969
			DE 1564475 A1	11-12-1969
			FR 1505959 A	15-12-1967
			GB 1139170 A	08-01-1969
			JP 49031592 B	22-08-1974
			NL 6617926 A ,B	23-06-1967
			SE 348320 B	28-08-1972
DE 1564222	A	22-01-1970	DK 134919 B	07-02-1977
			DE 1564222 A1	22-01-1970
			NO 120840 B	14-12-1970
US 5569962	A	29-10-1996	US 5366918 A	22-11-1994

 フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN, GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC, EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,M X,MZ,NI,NO,NZ,OM,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VC,VN,YU,ZA,ZM,ZW

(72)発明者 ルツツェ、ジェフリー

アメリカ合衆国 9 5 1 2 5 カリフォルニア州 サンノゼ アデル プレイス 1 9 0 6

Fターム(参考) 5F048 AA01 AA09 AB01 AB03 AC01 BA01 BB02 BB03 BB05 BB08
 BB09 BD10
 5F083 BS03 BS07 BS10 BS15 BS19 BS22 GA09 JA35 JA39 LA02
 PR03 PR36
 5F140 AA39 AA40 AB01 AC32 AC33 BC05 BF01 BF04 BF07 BF08
 BF44 BF46 BF47 BF51 BG37 BK13 CB08