

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7344904号

(P7344904)

(45)発行日 令和5年9月14日(2023.9.14)

(24)登録日 令和5年9月6日(2023.9.6)

(51)国際特許分類

F I

G 1 1 C 11/405(2006.01)

G 1 1 C 11/405

請求項の数 4 (全47頁)

(21)出願番号	特願2020-560634(P2020-560634)	(73)特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(86)(22)出願日	令和1年11月20日(2019.11.20)	(72)発明者	大貫 達也 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(86)国際出願番号	PCT/IB2019/059955	(72)発明者	加藤 清 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(87)国際公開番号	WO2020/128676	(72)発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(87)国際公開日	令和2年6月25日(2020.6.25)	審査官	後藤 彰
審査請求日	令和4年10月6日(2022.10.6)		
(31)優先権主張番号	特願2018-239486(P2018-239486)		
(32)優先日	平成30年12月21日(2018.12.21)		
(33)優先権主張国・地域又は機関	日本国(JP)		
特許法第30条第2項適用【刊行物名】 international ELECTRON DEVICES meeting 2018 TECHNICAL DIGEST, 312-315 発行年月日 平成30年12月1日【集会名】 2018 IEEE International			
最終頁に続く			最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

ソース又はドレインの一方が、データを読み出すための第1配線に電氣的に接続された第1トランジスタと、

ソース又はドレインの一方が、前記第1トランジスタのゲートに電氣的に接続され、ソース又はドレインの他方が前記データを書き込むための第2配線に電氣的に接続された第2トランジスタと、

ソース又はドレインの一方が、前記第1トランジスタのゲートに電氣的に接続され、ソース又はドレインの他方が前記データに応じた電荷を保持するためのキャパシタに電氣的に接続された第3トランジスタと、を有し、

前記第3トランジスタは、チャンネル形成領域に金属酸化物を有し、
前記第2トランジスタ及び前記第3トランジスタを介して、前記キャパシタの一方の電極に前記データに応じた電位が与えられた後、前記第2トランジスタよりも前記第3トランジスタの方が先に非導通状態となる、半導体装置。

【請求項2】

請求項1において、

前記第2トランジスタは、チャンネル形成領域に金属酸化物を有する、半導体装置。

【請求項3】

請求項1または請求項2において、

前記第1トランジスタは、チャンネル形成領域にシリコンを有する、半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、
前記第 1 配線は、前記第 2 配線と同じ配線である半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書は、半導体装置、並びにその動作方法等について説明する。

【0002】

本明細書において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップや、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置であり、半導体装置を有している場合がある。

10

【背景技術】

【0003】

トランジスタに適用可能な半導体として金属酸化物が注目されている。“IGZO”、“イングゾー”などと呼ばれる In - Ga - Zn 酸化物は、多元系金属酸化物の代表的なものである。IGZO に関する研究において、単結晶でも非晶質でもない、CAAC (c - axis aligned crystalline) 構造、および nc (nanocrystalline) 構造が見出された（例えば、非特許文献 1）。

20

【0004】

チャネル形成領域に金属酸化物半導体を有するトランジスタ（以下、「酸化物半導体トランジスタ」、または「OSTランジスタ」と呼ぶ場合がある。）は、極小オフ電流であることが報告されている（例えば、非特許文献 1、2）。OSTランジスタが用いられた様々な半導体装置が作製されている（例えば、非特許文献 3、4）。OSTランジスタの製造プロセスは、従来の Si トランジスタとの CMOS プロセスに組み込むことができ、OSTランジスタは Si トランジスタに積層することが可能である（例えば、非特許文献 4）。

【先行技術文献】

30

【非特許文献】

【0005】

【文献】S. Yamazaki et al., “Properties of crystalline In - Ga - Zn - oxide semiconductor and its transistor characteristics,” Jpn. J. Appl. Phys., vol. 53, 04ED18 (2014).

K. Kato et al., “Evaluation of Off - State Current Characteristics of Transistor Using Oxide Semiconductor Material, Indium - Gallium - Zinc Oxide,” Jpn. J. Appl. Phys., vol. 51, 021201 (2012).

40

S. Amano et al., “Low Power LC Display Using In - Ga - Zn - Oxide TFTs Based on Variable Frame Frequency,” SID Symp. Dig. Papers, vol. 41, pp. 626 - 629 (2010).

T. Ishizu et al., “Embedded Oxide Semiconductor Memories: A Key Enabler for Low - Power ULSI,” ECS Tran., vol. 79, pp. 149 - 156 (2017).

【発明の概要】

【発明が解決しようとする課題】

50

【 0 0 0 6 】

本発明の一形態の課題は、極小オフ電流を利用した記憶装置として機能する半導体装置において、データの長時間の保持といった信頼性に優れた半導体装置を提供すること、又は低消費電力化に優れた半導体装置を提供することである。

【 0 0 0 7 】

複数の課題の記載は、互いの課題の存在を妨げるものではない。本発明の一形態は、例示した全ての課題を解決する必要はない。また、列記した以外の課題が、本明細書の記載から、自ずと明らかとなり、このような課題も、本発明の一形態の課題となり得る。

【課題を解決するための手段】

【 0 0 0 8 】

本発明の一態様は、ソース又はドレインの一方が、データを読み出すための第1配線に電氣的に接続された第1トランジスタと、ソース又はドレインの一方が、前記第1トランジスタのゲートに電氣的に接続され、ソース又はドレインの他方が前記データを書き込むための第2配線に電氣的に接続された第2トランジスタと、ソース又はドレインの一方が、前記第1トランジスタのゲートに電氣的に接続され、ソース又はドレインの他方が前記データに応じた電荷を保持するためのキャパシタに電氣的に接続された第3トランジスタと、を有し、前記第3トランジスタは、チャンネル形成領域に金属酸化物を有する、半導体装置である。

【 0 0 0 9 】

本発明の一態様において、前記第2トランジスタは、チャンネル形成領域に金属酸化物を有する、半導体装置が好ましい。

【 0 0 1 0 】

本発明の一態様において、前記第1トランジスタは、チャンネル形成領域にシリコンを有する、半導体装置が好ましい。

【 0 0 1 1 】

本発明の一態様において、前記第1配線は、前記第2配線と同じ配線である半導体装置が好ましい。

【 0 0 1 2 】

本発明の一態様は、上記記載の半導体装置と、筐体と、を有する電子機器である。

【 0 0 1 3 】

本発明の一態様は、上記記載の半導体装置の動作方法であり、前記第2トランジスタおよび前記第3トランジスタを導通状態とするデータ書き込み動作と、前記第3トランジスタを非導通状態とするデータ保持動作と、前記第2のトランジスタを非導通状態とし、且つ前記第3のトランジスタを導通状態とするデータ読み出し動作と、を含む半導体装置の動作方法である。

【 0 0 1 4 】

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、及び図面に記載されている。

【発明の効果】

【 0 0 1 5 】

本発明の一形態によって、極小オフ電流を利用した記憶装置として機能する半導体装置において、データの長時間の保持といった信頼性に優れた半導体装置を提供すること、又は低消費電力化に優れた半導体装置を提供することができる。

【 0 0 1 6 】

複数の効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態は、必ずしも、例示した効果の全てを有する必要はない。また、本発明の一形態について、上記以外の課題、効果、および新規な特徴については、本明細書の記載および図面から自ずと明らかになるものである。

【図面の簡単な説明】

【 0 0 1 7 】

図 1 A、図 1 B は半導体装置の構成例を示す回路図およびタイミングチャートである。

図 2 A、図 2 B は半導体装置の構成例を示す回路図である。

図 3 A、図 3 B は半導体装置の構成例を示す回路図である。

図 4 A、図 4 B は半導体装置の構成例を示す回路図である。

図 5 A、図 5 B は半導体装置の構成例を示す回路図である。

図 6 は半導体装置の構成例を示す回路図である。

図 7 A、図 7 B は半導体装置の構成例を示す回路図である。

図 8 A、図 8 B は半導体装置の構成例を示す回路図である。

図 9 A、図 9 B、図 9 C は半導体装置の構成例を示す回路図である。

図 10 は半導体装置の構成例を示す回路図である。

10

図 11 は半導体装置の動作例を示すタイミングチャートである。

図 12 は半導体装置の構成例を示す回路図である。

図 13 は半導体装置の動作例を示すタイミングチャートである。

図 14 は半導体装置の構成例を示す回路図である。

図 15 は半導体装置の構成例を説明する断面模式図である。

図 16 は半導体装置の構成例を説明する断面模式図である。

図 17 A、図 17 B、図 17 C はトランジスタの構成例を説明する断面模式図である。

図 18 A、図 18 B はトランジスタの構成例を説明する断面模式図である。

図 19 は半導体装置の構成例を説明する断面模式図である。

図 20 は記憶装置の構成例を示すブロック図である。

20

図 21 はメモリセルアレイの構成例を示すブロック図である。

図 22 A、図 22 B は電子部品の一例を説明する図である。

図 23 は電子機器の例を示す図である。

【発明を実施するための形態】

【0018】

以下に、本発明の実施の形態を説明する。ただし、本発明の一形態は、以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明の一形態は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0019】

30

なお本明細書等において、「第 1」、「第 2」、「第 3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第 2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

【0020】

図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

40

【0021】

本明細書において、例えば、電源電位 VDD を、電位 VDD、VDD 等と省略して記載する場合がある。これは、他の構成要素（例えば、信号、電圧、回路、素子、電極、配線等）についても同様である。

【0022】

また、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“__1”、“__2”、“[n]”、“[m,n]”等の識別用の符号を付記して記載する場合がある。例えば、2 番目の配線 GL を配線 GL [2] と記載する。

【0023】

50

(実施の形態 1)

本発明の一態様である半導体装置、および半導体装置の動作方法の構成例について、図 1 乃至図 14 を参照して説明する。

【0024】

図 1A には、半導体装置の回路図の一例について示す。図 1A に示す半導体装置 10 は、トランジスタ 11、トランジスタ 12、トランジスタ 13、およびキャパシタ 14 を有する。

【0025】

トランジスタ 11 のゲートは、配線 WWL に接続される。トランジスタ 11 のソース又はドレインの一方は、トランジスタ 13 のゲート、およびトランジスタ 12 のソース又はドレインの一方に接続される。トランジスタ 11 のソース又はドレインの他方は、配線 BL に接続される。なお図 1A 中および本明細書中の説明において、トランジスタ 11 のソース又はドレインの一方、トランジスタ 13 のゲート、およびトランジスタ 12 のソース又はドレインの一方が接続されるノードを、ノード MN1 という。

【0026】

トランジスタ 12 のゲートは、配線 RWL に接続される。トランジスタ 12 のソース又はドレインの他方は、キャパシタ 14 の一方の電極に接続される。キャパシタ 14 の他方の電極は、配線 CL に接続される。なお図 1A 中および本明細書中の説明において、トランジスタ 12 のソース又はドレインの他方、およびキャパシタ 14 の一方の電極が接続されるノードを、ノード MN2 という。なお配線 CL は固定電位が与えられる配線である。

【0027】

なおキャパシタ 14 の静電容量値（ノード MN2 の容量値）は、トランジスタ 13 のゲート容量（ノード MN1 の容量値）より大きい構成とすることが好ましい。図 1A の構成では、半導体装置 10 からデータを読み出す際、ノード MN2 からノード MN1 にデータを書き戻してデータを読み出す構成となる。そのため、ノード MN1 の容量値をノード MN2 の容量値より小さくしておくことで、データを書き戻す際に要する電荷量を低減することができる。

【0028】

トランジスタ 13 のソース又はドレインの一方は、配線 RL に接続される。トランジスタ 13 のソース又はドレインの他方は、配線 SL に接続される。

【0029】

トランジスタ 12 は、ノード MN1 の電圧を、配線 RWL に与えられる電圧に応じて、ノード MN2 に伝えるか否かを制御する機能を有する。またトランジスタ 12 は、配線 RWL に与えられる電圧に応じて、ノード MN2 に与えられる電圧をキャパシタ 14 に保持する機能を有する。トランジスタ 12 は、配線 RWL に与えられる電圧に応じて導通状態または非導通状態（オンまたはオフともいう）が切り替えられるスイッチとして機能させることができる。

【0030】

トランジスタ 12 として、チャネル形成領域に酸化物半導体を有するトランジスタ（以下、OS トランジスタという）で構成されることが好ましい。本発明の一態様の構成では、OS トランジスタを有する記憶素子を用いる構成とすることで、オフ時にソースとドレイン間を流れるリーク電流（以下、オフ電流）が極めて低いことを利用して、所望の電圧を記憶素子に保持させることができる。

【0031】

トランジスタ 12 は、チャネル形成領域が酸化物半導体を有するトランジスタ（以下、OS トランジスタという）で構成されることが好ましい。本発明の一態様の構成では、OS トランジスタをトランジスタ 12 に用いる構成とすることで、非導通状態（オフ）時にソースとドレイン間を流れるリーク電流（以下、オフ電流）が極めて低いことを利用して、半導体装置 10 に書き込まれるデータに応じた電荷をキャパシタ 14 に保持させることができる。つまり、トランジスタ 12 およびキャパシタ 14 で構成される電荷保持回路 1

10

20

30

40

50

5 において、半導体装置 10 に書き込んだデータを長時間保持することができる。

【0032】

加えて O S トランジスタを用いた電荷保持回路 15 では、電荷の充電又は放電することによってデータの書き換えおよび読み出しが可能となるため、実質的に無制限回のデータの書き込みおよび読み出しが可能である。O S トランジスタを用いた電荷保持回路 15 は、磁気メモリあるいは抵抗変化型メモリなどのように原子レベルでの構造変化を伴わないため、書き換え耐性に優れている。また O S トランジスタを用いた電荷保持回路 15 は、フラッシュメモリのように繰り返し書き換え動作でも電子捕獲中心の増加による不安定性が認められない。

【0033】

また O S トランジスタを用いた電荷保持回路 15 は、チャネル形成領域がシリコンを有するトランジスタ（以下、S i トランジスタ）を用いた回路上などに自由に配置可能であるため、集積化を容易に行うことができる。また O S トランジスタは、S i トランジスタと同様の製造装置を用いて作製することが可能であるため、低コストで作製可能である。

【0034】

また O S トランジスタは、ゲート電極、ソース電極およびドレイン電極に加えて、バックゲート電極を含むと、4 端子の半導体素子とすることができる。ゲート電極またはバックゲート電極に与える電圧に応じて、ソースとドレインとの間を流れる信号の入出力が独立制御可能な電気回路網で構成することができる。そのため、L S I と同一思考で回路設計を行うことができる。加えて O S トランジスタは、高温環境下において、S i トランジスタよりも優れた電気特性を有する。具体的には、125 以上 150 以下といった高温下においてもオン電流とオフ電流の比が大きいいため、良好なスイッチング動作を行うことができる。

【0035】

なお S i トランジスタに用いる材料としては、単結晶シリコン及び非単結晶シリコン（例えば、多結晶シリコン等）を用いることができる。S i トランジスタに単結晶シリコンを用いる場合、オン時にソースとドレインとの間を流れる電流（オン電流ともいう）を大きくすることができる。なお半導体層の材料としてはシリコンの他、ゲルマニウム（G e）などの半導体、G a A s、I n P、S i C、Z n S e、G a N、S i G e などのような化合物半導体も用いることができる。

【0036】

トランジスタ 11 は、配線 B L に与えられるデータに応じた電圧を、配線 W W L に与えられる電圧に応じて、ノード M N 1 に伝えるか否かを制御する機能を有する。トランジスタ 11 は、配線 W W L に与えられる電圧に応じて導通状態または非導通状態（オンまたはオフともいう）が切り替えられるスイッチとして機能させることができる。

【0037】

なお、スイッチとして S i トランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に遮断されているとみなせる状態をいう。

【0038】

配線 B L に与えられるデータは、データ ' 1 '、又はデータ ' 0 ' の二値のデータとして表すことができる。データ ' 1 '、又はデータ ' 0 ' は、電位の高低によって書き込まれる信号である。データ ' 1 ' は、ノード M N 2 に保持された後、ノード M N 2 からノード M N 1 に電荷分配されることでトランジスタ 12 にデータを読み出し可能な程度に電流を流すための電位である。データ ' 0 ' は、ノード M N 2 に保持された後、ノード M N 2 からノード M N 1 に電荷分配された際にトランジスタ 12 に電流を流さないための電位である。

【0039】

トランジスタ 13 は、ノード M N 1 の電位に応じて、ソース電極とドレイン電極との間を流れる電流量を制御する機能を有する。配線 R L は、プリチャージ回路によって電荷が

10

20

30

40

50

与えられ（プリチャージされ）た後、トランジスタ 1 3 を流れる電流量に応じて電位が変動する配線である。配線 S L は、ノード M N 1 の電位に応じて、トランジスタ 1 3 に流れる電流量を制御するための電位が与えられる配線である。

【 0 0 4 0 】

図 1 A の構成とすることで、電荷の充電又は放電することによってデータの書き換えおよび読み出しが可能となるため、実質的に無制限回のデータの書き込みおよび読み出しが可能である。データの読み出し時において、保持した電荷を放電すること、いわゆる破壊読み出しすることなくデータを読み出すことができるため、データリフレッシュに要する電荷の充電および放電の分の消費電力を低減することができる。

【 0 0 4 1 】

また図 1 A の構成とすることで、ノード M N 1 の容量値がノード M N 2 の容量値より小さくなるため、データを書き戻す際に要する電荷量を低減することができる。そのため、保持した電荷を静電容量の大きい配線等に放電することなく、データを読み出すことができる。またノード M N 2 の容量値を大きくすることで、データの長時間の保持といった信頼性に優れた半導体装置とすることができる。

【 0 0 4 2 】

図 1 B には、図 1 A の半導体装置の動作例を説明するためにタイミングチャートを示す。図 1 B では、配線 W W L、配線 R W L、配線 B L、配線 R L、配線 S L、ノード M N 1、およびノード M N 2 におけるデータの書き込み及び読み出しに応じた電位の変動を模式的に図示している。図 1 B では、期間 T 1 乃至 T 9 に分けて図示しており、期間 T 1 乃至 T 3 がデータ書き込み期間、期間 T 4 がデータ保持期間、期間 T 5 乃至期間 T 9 がデータ読み出し期間に相当する。また図 1 B では、データを ' 1 '、' 0 ' の信号と図示している。また半導体装置 1 0 の動作例の説明において、トランジスタの導通状態または非導通状態を制御する信号が与えられる配線の電位を H レベルまたは L レベルの電位として説明する。

【 0 0 4 3 】

また図 2 乃至図 6 では、図 1 B の期間 T 1 乃至 T 9 における半導体装置 1 0 の動作を模式的に説明するための図である。なお図 2 乃至図 6 において、実線矢印は、配線またはノードの間で入出力される信号の流れを模式的に表している。また図 2 乃至図 6 において、回路図における理解を容易にするため、非導通状態のトランジスタにバツ印を付している。

【 0 0 4 4 】

図 1 B の期間 T 1 は、データ書き込み動作を行う期間である。図 2 A に図示するように、配線 W W L を H レベル、配線 R W L を H レベルとし、トランジスタ 1 1 およびトランジスタ 1 2 を導通状態とする。配線 B L ではデータ ' 1 '、' 0 ' に応じた電位が与えられ、当該電位がノード M N 1 およびノード M N 2 に与えられる。配線 R L および配線 S L は同電位とし、トランジスタ 1 3 に電流は流れない。

【 0 0 4 5 】

図 1 B の期間 T 2 は、データ書き込み動作を行う期間である。図 2 B に図示するように、ノード M N 1 およびノード M N 2 の電位が、データ ' 1 '、' 0 ' に応じた電位となる。

【 0 0 4 6 】

図 1 B の期間 T 3 は、データ書き込み動作を行う期間である。図 3 A に図示するように、配線 W W L を H レベル、配線 R W L を L レベルとし、トランジスタ 1 1 を導通状態、トランジスタ 1 2 を非導通状態とする。ノード M N 2 ではデータ ' 1 '、' 0 ' に応じた電位が保持される。ノード M N 1 ではデータ ' 1 '、' 0 ' に応じた電位が配線 B L に放電され、やがて L レベルの電位となる。

【 0 0 4 7 】

図 1 B の期間 T 4 は、データ保持を行う期間である。図 3 B に図示するように、配線 W W L を L レベル、配線 R W L を L レベルとし、トランジスタ 1 1 を非導通状態、トランジスタ 1 2 を非導通状態とする。ノード M N 2 ではデータ ' 1 '、' 0 ' に応じた電位が保持される。ノード M N 1 では期間 T 3 の電位、つまり L レベルが保持される。ノード M N 2 の電位は、トランジスタ 1 1 及びトランジスタ 1 2 を共に非導通状態とすることで、配線 B L

10

20

30

40

50

に対して放電しにくくすることができる。

【 0 0 4 8 】

図 1 B の期間 T 5 は、データ読み出し動作を行う期間である。図 4 A に図示するように。配線 WWL を L レベル、配線 RWL を L レベルとし、トランジスタ 1 1 を非導通状態、トランジスタ 1 2 を非導通状態とする。配線 RL は、所定の電位、例えば H レベルの電位にプリチャージする（図中、precharge と図示）。

【 0 0 4 9 】

図 1 B の期間 T 6 は、データ読み出し動作を行う期間である。図 4 B に図示するように、配線 WWL を L レベル、配線 RWL を H レベルとし、トランジスタ 1 1 を非導通状態、トランジスタ 1 2 を導通状態とする。ノード MN 2 に保持された電荷がノード MN 1 に分配され、ノード MN 1 およびノード MN 2 がデータ ' 1 '、' 0 ' に応じた電位となる。ノード MN 1 の容量値は、ノード MN 2 の容量値と比べて小さいため、電荷の分配に応じた電位の変動を小さくすることができる。トランジスタ 1 3 では、ノード MN 1 の電位、つまり電荷保持回路 1 5 に保持されたデータ ' 1 '、' 0 ' に応じて、電流 I read が流れる。電流 I read は、ノード MN 1 の電位が H レベルつまりデータ ' 1 ' であれば大きく、ノード MN 1 の電位が L レベルつまりデータ ' 0 ' であれば小さい。そのため、データ ' 1 ' であれば、プリチャージされた配線 RL の電位の変動が大きく、データ ' 0 ' であれば、プリチャージされた配線 RL の電位の変動が小さくなる。期間 T 5 でプリチャージされた配線 RL は、電流 I read の大小に応じて、電位が変動する。

【 0 0 5 0 】

図 1 B の期間 T 7 は、データ読み出し動作を行う期間である。図 5 A に図示するように。トランジスタ 1 3 では、ノード MN 1 の電位に応じて、電流 I read が流れる。ノード MN 1 のデータがデータ ' 1 '、つまり H レベルの電位であれば電流 I read が大きい。そのため、プリチャージされた配線 RL の電位の変動が大きい。逆に、ノード MN 1 のデータがデータ ' 0 '、つまり L レベルの電位であれば電流 I read が小さい（配線 RL は L レベルに変化する）。そのため、プリチャージされた配線 RL の電位の変動が小さい（配線 RL は H レベルのまま）。そのため、半導体装置 1 0 に書き込まれたデータは、配線 RL に読み出すことができる。

【 0 0 5 1 】

図 1 B の期間 T 8 は、データ読み出し動作を行う期間である。図 5 B に図示するように。配線 WWL を L レベル、配線 RWL を L レベルとし、トランジスタ 1 1 を非導通状態、トランジスタ 1 2 を非導通状態とする。ノード MN 1 およびノード MN 2 の電位が、データ ' 1 '、' 0 ' に応じた電位となる。

【 0 0 5 2 】

図 1 B の期間 T 9 は、データ読み出し動作を行う期間である。図 6 に図示するように。配線 WWL を H レベル、配線 RWL を L レベルとし、トランジスタ 1 1 を導通状態、トランジスタ 1 2 を非導通状態とする。ノード MN 2 ではデータ ' 1 '、' 0 ' に応じた電位が保持される。ノード MN 1 ではデータ ' 1 '、' 0 ' に応じた電位が配線 BL に放電される。ノード MN 1 では配線 BL の電位、つまり L レベルとなる。トランジスタ 1 3 では、電流 I read が流れなくなる。

【 0 0 5 3 】

図 1 A の構成において、図 1 B、図 2 乃至図 6 の動作方法とすることで、電荷の充電又は放電することによってデータの書き換えおよび読み出しが可能となるため、実質的に無制限回のデータの書き込みおよび読み出しが可能である。データの読み出し時において、保持した電荷を放電すること、いわゆる破壊読出しすることなくデータ読み出すことができるため、データリフレッシュに要する電荷の充電および放電の分の消費電力を低減することができる。

【 0 0 5 4 】

また図 1 A の構成において、図 1 B、図 2 乃至図 6 の動作方法とすることで、ノード MN 1 の容量値がノード MN 2 の容量値より小さいため、データを書き戻す際に要する電荷

量を低減することができる。そのため、保持した電荷を静電容量の大きい配線等に放電することなく、データを読み出すことができる。またノードMN2の容量値を大きくすることで、データの長時間の保持といった信頼性に優れた半導体装置とすることができる。

【0055】

なおトランジスタ11は、トランジスタ12と同様に、OSトランジスタとすることができる。OSトランジスタは、Siトランジスタを用いた回路上などに自由に配置可能であるため、集積化を容易に行うことができる。またOSトランジスタは、Siトランジスタと同様の製造装置を用いて作製することが可能であるため、低コストで作製可能である。図7Aにおいて半導体装置10Aが有するトランジスタ11Aおよびトランジスタ12Aは、OSトランジスタであることを明示するために、OSの符号を合わせて付している。またトランジスタ13Aは、Siトランジスタであることを明示するために、Siの符号を合わせて付している。

10

【0056】

なおトランジスタ11は、トランジスタ13と同様に、Siトランジスタとすることができる。図7Bにおいて半導体装置10Bが有するトランジスタ12Bは、OSトランジスタであることを明示するために、OSの符号を合わせて付している。またトランジスタ11Bおよびトランジスタ13Bは、Siトランジスタであることを明示するために、Siの符号を合わせて付している。

【0057】

図7Aにおいて、半導体装置10Aが有するトランジスタ11Aおよび12Aは、バックゲート電極がないトップゲート構造またはボトムゲート構造のトランジスタとして図示したが、トランジスタ11Aおよび12Aの構造はこれに限らない。例えば、図8Aに図示する半導体装置10Cのように、バックゲート電極線BGLに接続されたバックゲート電極を有するトランジスタ11Cおよびトランジスタ12Cとしてもよい。トランジスタ13CはSiトランジスタである。図8Aの構成とすることで、トランジスタ11Cおよびトランジスタ12Cのしきい値電圧などの電気特性を外部より制御しやすくなることができる。

20

【0058】

あるいは図8Bに図示する半導体装置10Dのように、ゲート電極に接続されたバックゲート電極を有するトランジスタ11Dおよびトランジスタ12Dとしてもよい。トランジスタ13DはSiトランジスタである。図8Bの構成とすることで、トランジスタ11Dおよびトランジスタ12Dを流れる電流量を増やすことができる。

30

【0059】

図7Aにおいて、半導体装置10Aが有するトランジスタ13Aは、nチャネル型のトランジスタとして図示したが、トランジスタ13Aの導電型はこれに限らない。例えば、図9Aに図示する半導体装置10Eのように、pチャネル型のトランジスタ13Eとすることができる。トランジスタ11Eおよびトランジスタ12Eはnチャネル型のOSトランジスタである。

【0060】

図7Bにおいて、半導体装置10Bが有するトランジスタ11Bおよびトランジスタ13Bは、nチャネル型のトランジスタとして図示したが、トランジスタ11Bおよびトランジスタ13Bの導電型はこれに限らない。例えば、図9Bに図示する半導体装置10Fのように、pチャネル型のトランジスタ11Fおよび13Fとすることができる。トランジスタ12Fはnチャネル型のOSトランジスタである。

40

【0061】

図7Bにおいて、半導体装置10Bが有するトランジスタ11Bおよびトランジスタ13Bは、同じ導電型のトランジスタとして図示したが、トランジスタ11Bおよびトランジスタ13Bの導電型は別々でもよい。例えば、図9Cに図示する半導体装置10Gのように、nチャネル型のトランジスタ11Gと、pチャネル型のトランジスタ13Gとすることができる。トランジスタ12Gはnチャネル型のOSトランジスタである。

50

【 0 0 6 2 】

なお半導体装置 1 0 は、マトリクス状に配置することができる。図 1 0 には、図 1 A の半導体装置 1 0 を 2 行 2 列のマトリクス状に配置する場合の構成例を図示している。図 1 0 において、半導体装置 1 0 は、半導体装置 1 0 _ 1 乃至 1 0 _ 4 として図示している。また図 1 0 では、各半導体装置 1 0 _ 1 乃至 1 0 _ 4 に接続される配線として、配線 R W L _ 1、R W L _ 2、配線 W W L _ 1、W W L _ 2、配線 R L _ 1、R L _ 2、配線 B L _ 1、B L _ 2、および配線 S L _ 1、S L _ 2 を図示している。

【 0 0 6 3 】

図 1 1 には、図 1 0 に図示する構成における動作例を説明するためのタイミングチャート図を示す。なお図 1 1 に示すタイミングチャートの詳細については、図 1 B と重複するため、説明を省略する。

10

【 0 0 6 4 】

なお図 1 0 の構成において、異なる配線同士の機能を共通化して、配線数を削減する構成とすることができる。一例として図 1 2 では、図 1 0 における配線 R L _ 1、R L _ 2 と配線 S L _ 1、S L _ 2 との機能を兼ね備えるよう動作させることで、配線 S L _ 1、S L _ 2 を省略する構成例を図示している。つまり配線 R L は、配線 S L と同じ配線であるとして動作させることで、配線数を削減することができる。

【 0 0 6 5 】

図 1 3 には、図 1 2 に図示する構成における動作例を説明するためのタイミングチャート図を示す。なお図 1 3 に示すタイミングチャートが図 1 1 に示すタイミングチャートと異なる点としては、1 行目の半導体装置へのデータ書き込み動作の際、その他の行、例えば 2 行目の配線 W W L _ 2 を L レベルとしておく点が異なる。当該構成とすることで、データ書き込み時にトランジスタ 1 3 を流れる電流を抑制することができる。なおその他の期間のタイミングチャートの詳細については、図 1 B と重複するため、説明を省略する。

20

【 0 0 6 6 】

また図 1 2 とは別の例として、図 1 4 では、図 1 0 における配線 S L _ 1 と S L _ 2 との機能を兼ね備えるよう動作させることで、配線 S L _ 2 を省略する構成例を図示している。つまり配線 S L は、複数の半導体装置間で共有させることで、配線数を削減することができる。

【 0 0 6 7 】

以上説明した実施の形態で説明した構成では、電荷の充電又は放電することによってデータの書き換えおよび読み出しが可能となるため、実質的に無制限回のデータの書き込みおよび読み出しが可能である。データの読み出し時において、保持した電荷を放電すること、いわゆる破壊読み出しすることなくデータ読み出すことができるため、データリフレッシュに要する電荷の充電および放電の分の消費電力を低減することができる。

30

【 0 0 6 8 】

また以上説明した実施の形態で説明した構成では、ノード M N 1 の容量値がノード M N 2 の容量値より小さいため、データを書き戻す際に要する電荷量を低減することができる。そのため、保持した電荷を静電容量の大きい配線等に放電することなく、データを読み出すことができる。またノード M N 2 の容量値を大きくすることで、データの長時間の保持といった信頼性に優れた半導体装置とすることができる。

40

【 0 0 6 9 】

(実施の形態 2)

本実施の形態では、上記実施の形態で説明した半導体装置の断面構成例について、図面を用いて説明する。

【 0 0 7 0 】

図 1 5 に示す半導体装置は、トランジスタ 1 3 と、トランジスタ 1 2 と、キャパシタ 1 4 と、を有している。図 1 7 A はトランジスタ 1 2 のチャネル長方向の断面図であり、図 1 7 B はトランジスタ 1 2 のチャネル幅方向の断面図であり、図 1 7 C はトランジスタ 1 3 のチャネル幅方向の断面図である。

50

【 0 0 7 1 】

トランジスタ 1 2 は、O S トランジスタである。トランジスタ 1 2 は、オフ電流が小さい。このため、半導体装置の消費電力を低減することができる。

【 0 0 7 2 】

本実施の形態で説明する半導体装置は、図 1 5 に示すようにトランジスタ 1 3、トランジスタ 1 2、及びキャパシタ 1 4 を有する。トランジスタ 1 2 はトランジスタ 1 3 の上方に設けられ、キャパシタ 1 4 はトランジスタ 1 3、及びトランジスタ 1 2 の上方に設けられている。

【 0 0 7 3 】

トランジスタ 1 3 は、基板 3 1 1 上に設けられ、導電体 3 1 6、絶縁体 3 1 5、基板 3 1 1 の一部からなる半導体領域 3 1 3、ソース領域又はドレイン領域として機能する低抵抗領域 3 1 4 a、及び低抵抗領域 3 1 4 b を有する。

【 0 0 7 4 】

トランジスタ 1 3 は、図 1 7 C に示すように、半導体領域 3 1 3 の上面、及びチャネル幅方向の側面が絶縁体 3 1 5 を介して導電体 3 1 6 に覆われている。このように、トランジスタ 1 3 を F i n 型とすることにより、実効上のチャネル幅が増大する。これにより、トランジスタ 1 3 のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ 1 3 のオフ特性を向上させることができる。

【 0 0 7 5 】

なお、トランジスタ 1 3 は、p チャネル型、あるいは n チャネル型のいずれでもよい。

【 0 0 7 6 】

半導体領域 3 1 3 のチャネルが形成される領域及びその近傍の領域、並びにソース領域又はドレイン領域となる低抵抗領域 3 1 4 a 及び低抵抗領域 3 1 4 b 等において、シリコン系半導体等の半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、G e (ゲルマニウム)、S i G e (シリコンゲルマニウム)、G a A s (ガリウムヒ素)、G a A l A s (ガリウムアルミニウムヒ素)等を有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又は G a A s と G a A l A s 等を用いることで、トランジスタ 1 3 を H E M T (H i g h E l e c t r o n M o b i l i t y T r a n s i s t o r) としてもよい。

【 0 0 7 7 】

低抵抗領域 3 1 4 a、及び低抵抗領域 3 1 4 b は、半導体領域 3 1 3 に適用される半導体材料に加え、ヒ素、リン等の n 型の導電性を付与する元素、又はホウ素等の p 型の導電性を付与する元素を含む。

【 0 0 7 8 】

ゲート電極として機能する導電体 3 1 6 は、ヒ素、リン等の n 型の導電性を付与する元素、もしくはホウ素等の p 型の導電性を付与する元素を含むシリコン等の半導体材料、金属材料、合金材料、又は金属酸化物材料等の導電性材料を用いることができる。

【 0 0 7 9 】

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタル等の材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウム等の金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

【 0 0 8 0 】

なお、図 1 5 に示すトランジスタ 1 3 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。例えば、半導体装置を O S トランジスタのみの単極性回路とする場合、図 1 6 に示すとおり、トランジスタ 1 3 の構成を、O S トランジスタであるトランジスタ 1 2 と同様の構成にすればよい。なお、トランジスタ 1 2 の詳細については後述する。

10

20

30

40

50

【 0 0 8 1 】

本明細書等において、単極性回路とは、例えば全てのトランジスタが同極性のトランジスタである回路を示す。例えば、全てのトランジスタが n チャンネル型トランジスタである回路は、単極性回路であるといえることができる。

【 0 0 8 2 】

トランジスタ 1 3 を覆って、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、及び絶縁体 3 2 6 が順に積層して設けられている。

【 0 0 8 3 】

絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、及び絶縁体 3 2 6 として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム等を用いればよい。

10

【 0 0 8 4 】

なお、本明細書等において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書等において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【 0 0 8 5 】

絶縁体 3 2 2 は、その下方に設けられるトランジスタ 1 3 等によって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体 3 2 2 の上面は、平坦性を高めるために化学機械研磨 (C M P) 法等を用いた平坦化処理により平坦化されていてもよい。

20

【 0 0 8 6 】

また、絶縁体 3 2 4 には、基板 3 1 1、又はトランジスタ 1 3 等から、トランジスタ 1 2 が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

【 0 0 8 7 】

水素に対するバリア性を有する膜の一例として、例えば、C V D 法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 1 2 等の酸化物半導体を有する半導体素子に水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 1 2 と、トランジスタ 1 3 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

30

【 0 0 8 8 】

水素の脱離量は、例えば、昇温脱離ガス分析法 (T D S) 等を用いて分析することができる。例えば、絶縁体 3 2 4 の水素の脱離量は、T D S 分析において、膜の表面温度が 5 0 から 5 0 0 の範囲において、水素原子に換算した脱離量が、絶縁体 3 2 4 の面積当りに換算して、 $1.0 \times 10^{15} \text{ atoms / cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms / cm}^2$ 以下であればよい。

【 0 0 8 9 】

40

なお、絶縁体 3 2 6 は、絶縁体 3 2 4 よりも誘電率が低いことが好ましい。例えば、絶縁体 3 2 6 の比誘電率は 4 未満が好ましく、3 未満がより好ましい。また例えば、絶縁体 3 2 6 の比誘電率は、絶縁体 3 2 4 の比誘電率の 0.7 倍以下が好ましく、0.6 倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【 0 0 9 0 】

また、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、及び絶縁体 3 2 6 にはキャパシタ 1 4、又はトランジスタ 1 2 と接続する導電体 3 2 8、及び導電体 3 3 0 等が埋め込まれている。なお、導電体 3 2 8、及び導電体 3 3 0 は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の

50

符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

【0091】

各プラグ、及び配線（導電体328、導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料等の導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデン等の高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウムや銅等の低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

10

【0092】

絶縁体326、及び導電体330上に、配線層を設けてもよい。例えば、図15において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、トランジスタ13と接続するプラグ、又は配線としての機能を有する。なお導電体356は、導電体328、又は導電体330と同様の材料を用いて設けることができる。

【0093】

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350に設けられる開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ13とトランジスタ12とは、バリア層により分離することができ、トランジスタ13からトランジスタ12への水素の拡散を抑制することができる。

20

【0094】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ13からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

30

【0095】

絶縁体354、及び導電体356上に、配線層を設けてもよい。例えば、図15において、絶縁体360、絶縁体362、及び絶縁体364が順に積層して設けられている。また、絶縁体360、絶縁体362、及び絶縁体364には、導電体366が形成されている。導電体366は、プラグ又は配線としての機能を有する。なお導電体366は、導電体328、又は導電体330と同様の材料を用いて設けることができる。

【0096】

なお、例えば、絶縁体360は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体360に設けられる開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ13とトランジスタ12とは、バリア層により分離することができ、トランジスタ13からトランジスタ12への水素の拡散を抑制することができる。

40

【0097】

絶縁体364、及び導電体366上に、配線層を設けてもよい。例えば、図15において、絶縁体370、絶縁体372、及び絶縁体374が順に積層して設けられている。また、絶縁体370、絶縁体372、及び絶縁体374には、導電体376が形成されている。導電体376は、プラグ又は配線としての機能を有する。なお導電体376は、導電体328、又は導電体330と同様の材料を用いて設けることができる。

【0098】

50

なお、例えば、絶縁体 370 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 376 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 370 に設けられる開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 13 とトランジスタ 12 とは、バリア層により分離することができ、トランジスタ 13 からトランジスタ 12 への水素の拡散を抑制することができる。

【0099】

絶縁体 374、及び導電体 376 上に、配線層を設けてもよい。例えば、図 15 において、絶縁体 380、絶縁体 382、及び絶縁体 384 が順に積層して設けられている。また、絶縁体 380、絶縁体 382、及び絶縁体 384 には、導電体 386 が形成されている。導電体 386 は、プラグ又は配線としての機能を有する。なお導電体 386 は、導電体 328、又は導電体 330 と同様の材料を用いて設けることができる。

10

【0100】

なお、例えば、絶縁体 380 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 386 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 380 に設けられる開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 13 とトランジスタ 12 とは、バリア層により分離することができ、トランジスタ 13 からトランジスタ 12 への水素の拡散を抑制することができる。

【0101】

20

上記において、導電体 356 を含む配線層、導電体 366 を含む配線層、導電体 376 を含む配線層、及び導電体 386 を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体 356 を含む配線層と同様の配線層を 3 層以下にしてもよいし、導電体 356 を含む配線層と同様の配線層を 5 層以上にしてもよい。

【0102】

絶縁体 384 上には絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 が、順に積層して設けられている。絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

【0103】

30

例えば、絶縁体 510 及び絶縁体 514 には、基板 311 等から、又はトランジスタ 13 を設ける領域等からトランジスタ 12 を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体 324 と同様の材料を用いることが好ましい。

【0104】

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 12 等の酸化物半導体を有する半導体素子に水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 12 と、トランジスタ 13 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜である。

40

【0105】

また、水素に対するバリア性を有する膜として、例えば、絶縁体 510、及び絶縁体 514 には、酸化アルミニウム、酸化ハフニウム、酸化タンタル等の金属酸化物を用いることが好ましい。

【0106】

特に、酸化アルミニウムは、酸素と、トランジスタの電気特性の変動要因となる水素、水分等の不純物と、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分等の不純物のトランジスタ 12 への混入を防止することができる。また、トランジスタ 12 を構成する金属酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 12 に

50

対する保護膜として用いることに適している。

【0107】

また、例えば、絶縁体512、及び絶縁体516には、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体512、及び絶縁体516として、酸化シリコン膜や酸化窒化シリコン膜等を用いることができる。

【0108】

また、絶縁体510、絶縁体512、絶縁体514、及び絶縁体516には、導電体518、及びトランジスタ12を構成する導電体（例えば、導電体503）等が埋め込まれている。なお、導電体518は、キャパシタ14、又はトランジスタ13と接続するプラグ、又は配線としての機能を有する。導電体518は、導電体328、又は導電体330と同様の材料を用いて設けることができる。

【0109】

特に、絶縁体510、及び絶縁体514と接する領域の導電体518は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ13とトランジスタ12とは、酸素、水素、及び水に対するバリア性を有する層で分離することができ、トランジスタ13からトランジスタ12への水素の拡散を抑制することができる。

【0110】

絶縁体516の上方には、トランジスタ12が設けられている。

【0111】

図17A、図17Bに示すように、トランジスタ12は、絶縁体514及び絶縁体516に埋め込まれるように配置された導電体503と、絶縁体516及び導電体503の上に配置された絶縁体520と、絶縁体520の上に配置された絶縁体522と、絶縁体522の上に配置された絶縁体524と、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、酸化物530b上に互いに離れて配置された導電体542a及び導電体542bと、導電体542a及び導電体542b上に配置され、導電体542aと導電体542bの間に重畳して開口が形成された絶縁体580と、開口の底面及び側面に配置された酸化物530cと、酸化物530cの形成面に配置された絶縁体550と、絶縁体550の形成面に配置された導電体560と、を有する。

【0112】

また、図17A、図17Bに示すように、酸化物530a、酸化物530b、導電体542a、及び導電体542bと、絶縁体580との間に絶縁体544を配置することが好ましい。また、図17A、図17Bに示すように、導電体560は、絶縁体550の内側に設けられた導電体560aと、導電体560aの内側に埋め込まれるように設けられた導電体560bと、を有することが好ましい。また、図17A、図17Bに示すように、絶縁体580、導電体560、及び絶縁体550の上に絶縁体574が配置されることが好ましい。

【0113】

なお、以下において、酸化物530a、酸化物530b、及び酸化物530cをまとめて酸化物530という場合がある。

【0114】

なお、トランジスタ12では、チャネルが形成される領域と、その近傍において、酸化物530a、酸化物530b、及び酸化物530cの3層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物530bの単層、酸化物530bと酸化物530aの2層構造、酸化物530bと酸化物530cの2層構造、又は4層以上の積層構造を設ける構成にしてもよい。また、トランジスタ12では、導電体560を2層の積層構造として示しているが、本発明はこれに限られるものではない。例えば、導電体560が単層構造であってもよいし、3層以上の積層構造であってもよい。

10

20

30

40

50

また、図 15、図 16、図 17 A、図 17 B に示すトランジスタ 12 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0115】

ここで、導電体 560 は、トランジスタ 12 のゲート電極として機能し、導電体 542 a 及び導電体 542 b は、それぞれソース電極又はドレイン電極として機能する。上記のように、導電体 560 は、絶縁体 580 の開口、及び導電体 542 a と導電体 542 b に挟まれた領域に埋め込まれるように形成される。導電体 560、導電体 542 a、及び導電体 542 b の配置は、絶縁体 580 の開口に対して自己整合的に選択される。つまり、トランジスタ 12 において、ゲート電極を、ソース電極とドレイン電極の間に自己整合的に配置させることができる。よって、導電体 560 を位置合わせのマージンを設けることなく形成することができるので、トランジスタ 12 の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

10

【0116】

さらに、導電体 560 が、導電体 542 a と導電体 542 b の間の領域に自己整合的に形成されるので、導電体 560 は、導電体 542 a 又は導電体 542 b と重畳する領域を有さない。これにより、導電体 560 と、導電体 542 a 及び導電体 542 b と、の間に形成される寄生容量を低減することができる。よって、トランジスタ 12 のスイッチング速度が向上し、高い周波数特性を有することができる。

【0117】

導電体 560 は、第 1 のゲート（トップゲートともいう）電極として機能する場合がある。また、導電体 503 は、第 2 のゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、導電体 503 に印加する電位を、導電体 560 に印加する電位と連動させず、独立して変化させることで、トランジスタ 12 のしきい値電圧を制御することができる。特に、導電体 503 に負の電位を印加することにより、トランジスタ 12 のしきい値電圧を 0 V より大きくし、オフ電流を低減することが可能となる。したがって、導電体 503 に負の電位を印加したほうが、印加しない場合よりも、導電体 560 に印加する電位が 0 V のときのドレイン電流を小さくすることができる。

20

【0118】

導電体 503 は、酸化物 530、及び導電体 560 と重なる領域を有するように配置する。これにより、導電体 560、及び導電体 503 に電位を印加した場合、導電体 560 から生じる電界と、導電体 503 から生じる電界と、がつながり、酸化物 530 に形成されるチャネル形成領域を覆うことができる。本明細書等において、第 1 のゲート電極、及び第 2 のゲート電極の電界によってチャネル形成領域を電氣的に取り囲むトランジスタの構造を、*surrounded channel (s-channel)* 構造という。

30

【0119】

また、導電体 503 は、導電体 518 と同様の構成であり、絶縁体 514 及び絶縁体 516 の開口の内壁に接して導電体 503 a が形成され、さらに内側に導電体 503 b が形成されている。なお、トランジスタ 12 では、導電体 503 a 及び導電体 503 b を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 503 は、単層、又は 3 層以上の積層構造として設ける構成にしてもよい。

40

【0120】

ここで、導電体 503 a は、水素原子、水素分子、水分子、銅原子等の不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書等において、不純物、又は酸素の拡散を抑制する機能とは、上記不純物、又は上記酸素のいずれか一、又は全ての拡散を抑制する機能とする。

【0121】

例えば、導電体 503 a が酸素の拡散を抑制する機能を有することにより、導電体 503 b が酸化して導電率が低下することを抑制することができる。

50

【0122】

また、導電体503が配線の機能を兼ねる場合、導電体503bは、タングステン、銅、又はアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。その場合、導電体503aは、必ずしも設けなくともよい。なお、導電体503bを単層で図示したが、積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層としてもよい。

【0123】

絶縁体520、絶縁体522、及び絶縁体524は、第2のゲート絶縁膜としての機能を有する。

【0124】

ここで、酸化物530と接する絶縁体524は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体524には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物530に接して設けることにより、酸化物530中の酸素欠損を低減し、トランジスタ12の信頼性を向上させることができる。

【0125】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、又は $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100 以上700 以下、又は100 以上400 以下の範囲が好ましい。

【0126】

また、上記過剰酸素領域を有する絶縁体と、酸化物530と、を接して加熱処理、マイクロ波処理、又はRF処理のいずれか一又は複数の処理を行ってもよい。当該処理を行うことで、酸化物530中の水、又は水素を除去することができる。例えば、酸化物530において、 V-OH の結合が切断される反応が起きる、別言すると「 $\text{V-OH} \rightarrow \text{V-O} + \text{H}$ 」という反応が起きることにより、脱水素化することができる。このとき発生した水素の一部は、酸素と結合して H_2O として、酸化物530、又は酸化物530近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体542に拡散又は捕獲（ゲッターリングともいう）される場合がある。

【0127】

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、又は、基板側にRFを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができる。また、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物530、又は酸化物530近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を133 Pa以上、好ましくは200 Pa以上、さらに好ましくは400 Pa以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば酸素及びアルゴンを用い、酸素流量比（ $\text{O}_2 / (\text{O}_2 + \text{Ar})$ ）は50%以下、好ましくは10%以上30%以下とするといよい。

【0128】

また、トランジスタ12の作製工程中において、酸化物530の表面が露出した状態で加熱処理を行うと好適である。当該加熱処理は、例えば、100 以上450 以下、より好ましくは350 以上400 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、又は酸化性ガスを10 ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物530に酸素を供給して、酸素欠損（ V_O ）の低減を図ることができる。また

、加熱処理は減圧状態で行ってもよい。又は、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気中で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを10ppm以上、1%以上、又は10%以上含む雰囲気で行ってもよい。又は、酸化性ガスを10ppm以上、1%以上、又は10%以上含む雰囲気中で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気中で加熱処理を行ってもよい。

【0129】

なお、酸化物530に加酸素化処理を行うことで、酸化物530中の酸素欠損を、供給された酸素により修復させる、別言すると「 $V_O + O \rightarrow null$ 」という反応を促進させることができる。

さらに、酸化物530中に残存した水素と、酸化物530に供給された酸素と、が反応することで、当該水素を H_2O として除去する（脱水化する）ことができる。これにより、酸化物530中に残存していた水素が酸素欠損に再結合して V_OH が形成されるのを抑制することができる。

10

【0130】

また、絶縁体524が過剰酸素領域を有する場合、絶縁体522は、酸素（例えば、酸素原子、酸素分子等）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

【0131】

絶縁体522が、酸素や不純物の拡散を抑制する機能を有することで、酸化物530が有する酸素が絶縁体520側へ拡散することがなく、好ましい。また、導電体503が、絶縁体524や酸化物530が有する酸素と反応することを抑制することができる。

20

【0132】

絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ $SrTiO_3$ ）、又は（ Ba, Sr ） TiO_3 （BST）等のいわゆるhigh-k材料を含む絶縁体を単層又は積層で用いることが好ましい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流等の問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

30

【0133】

特に、不純物、及び酸素等の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、又はアルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530からの酸素の放出や、トランジスタ12の周辺部から酸化物530への水素等の不純物の混入を抑制する層として機能する。

【0134】

又は、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン、又は窒化シリコンを積層して用いてもよい。

40

【0135】

また、絶縁体520は、熱的に安定していることが好ましい。例えば、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好適である。また、high-k材料の絶縁体を酸化シリコン、又は酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁体520を得ることができる。

【0136】

なお、図17A、図17Bのトランジスタ12では、3層の積層構造からなる第2のゲ

50

ート絶縁膜として、絶縁体520、絶縁体522、及び絶縁体524が図示されているが、第2のゲート絶縁膜は、単層、2層、又は4層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

【0137】

トランジスタ12は、チャンネル形成領域を含む酸化物530に、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物530として、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウム等から選ばれた一種、又は複数種）等の金属酸化物を用いるとよい。特に、酸化物530として適用できるIn-M-Zn酸化物は、CAAC-OS(C-Axis Aligned Crystal Oxide Semiconductor)、CAC-OS(Cloud-Aligned Composite Oxide Semiconductor)であることが好ましい。また、酸化物530として、In-Ga酸化物、In-Zn酸化物を用いてもよい。CAAC-OS及びCAC-OSについては後述する。なお、トランジスタ12のオン電流を高めたい場合においては、酸化物530にIn-Zn酸化物を用いると好適である。酸化物530にIn-Zn酸化物を用いる場合、例えば、酸化物530aにIn-Zn酸化物を用い、酸化物530bおよび酸化物530cにIn-M-Zn酸化物を用いる積層構造、または、酸化物530aにIn-M-Zn酸化物を用い、酸化物530bおよび酸化物530cのいずれか一方にIn-Zn酸化物を用いる積層構造などが挙げられる。

【0138】

また、トランジスタ12には、キャリア濃度の低い金属酸化物を用いることが好ましい。金属酸化物のキャリア濃度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性という。なお、金属酸化物中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0139】

特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。また、酸化物530中の酸素欠損に水素が入った場合、酸素欠損と水素とが結合しVOHを形成する場合がある。VOHはドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。したがって、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。また、金属酸化物中の水素は、熱、電界等のストレスによって動きやすいため、金属酸化物に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。本発明の一態様においては、酸化物530中のVOHをできる限り低減し、高純度真性又は実質的に高純度真性にするのが好ましい。このように、VOHが十分低減された金属酸化物を得るには、金属酸化物中の水分、水素等の不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、金属酸化物に酸素を供給して酸素欠損を補填すること（加酸素化処理と記載する場合がある。）が重要である。VOH等の不純物が十分に低減された金属酸化物をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

【0140】

酸素欠損に水素が入った欠陥は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ド

ナー濃度」と言い換えることができる場合がある。

【0141】

よって、金属酸化物を酸化物530に用いる場合、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素等の不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

10

【0142】

また、酸化物530に金属酸化物を用いる場合、チャネル形成領域の金属酸化物のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

【0143】

また、酸化物530に金属酸化物を用いる場合、導電体542(導電体542a、及び導電体542b)と酸化物530とが接することで、酸化物530中の酸素が導電体542へ拡散し、導電体542が酸化する場合がある。導電体542が酸化することで、導電体542の導電率が低下する蓋然性が高い。なお、酸化物530中の酸素が導電体542へ拡散することを、導電体542が酸化物530中の酸素を吸収する、と言い換えることができる。

20

【0144】

また、酸化物530中の酸素が導電体542(導電体542a、及び導電体542b)へ拡散することで、導電体542aと酸化物530bとの間、及び導電体542bと酸化物530bとの間に異層が形成される場合がある。当該異層は、導電体542よりも酸素を多く含むため、当該異層は絶縁性を有すると推定される。このとき、導電体542と、当該異層と、酸化物530bとの3層構造は、金属-絶縁体-半導体からなる3層構造とみなすことができ、MIS(Metal-Insulator-Semiconductor)構造という、又はMIS構造を主としたダイオード接合構造という場合がある。

30

【0145】

なお、上記異層は、導電体542と酸化物530bとの間に形成されることに限られない。例えば、異層が、導電体542と酸化物530cとの間に形成される場合がある。又は、導電体542と酸化物530bとの間、及び導電体542と酸化物530cとの間に形成される場合がある。

【0146】

また、酸化物530においてチャネル形成領域として機能する金属酸化物は、バンドギャップが2eV以上、好ましくは2.5eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

40

【0147】

酸化物530は、酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構造物から、酸化物530bへ不純物が拡散することを抑制することができる。また、酸化物530b上に酸化物530cを有することで、酸化物530cよりも上方に形成された構造物から、酸化物530bへ不純物が拡散することを抑制することができる。

【0148】

なお、酸化物530は、各金属原子の原子数比が異なる複数の酸化物層の積層構造を有

50

することが好ましい。具体的には、酸化物 530a に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 530b に用いる金属酸化物における、構成元素中の元素 M の原子数比より大きいことが好ましい。また、酸化物 530a に用いる金属酸化物において、In に対する元素 M の原子数比が、酸化物 530b に用いる金属酸化物における、In に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 530b に用いる金属酸化物において、元素 M に対する In の原子数比が、酸化物 530a に用いる金属酸化物における、元素 M に対する In の原子数比より大きいことが好ましい。また、酸化物 530c は、酸化物 530a 又は酸化物 530b に用いることができる金属酸化物を用いることができる。

【0149】

10

具体的には、酸化物 530a として、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ [原子数比]、または $1 : 1 : 0.5$ [原子数比] の金属酸化物を用いればよい。また、酸化物 530b として、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ [原子数比]、または $1 : 1 : 1$ [原子数比] の金属酸化物を用いればよい。また、酸化物 530c として、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ [原子数比]、 $\text{Ga} : \text{Zn} = 2 : 1$ [原子数比]、または $\text{Ga} : \text{Zn} = 2 : 5$ [原子数比] の金属酸化物を用いればよい。また、酸化物 530c を積層構造とする場合の具体例としては、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ [原子数比] と、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ [原子数比] との積層構造、 $\text{Ga} : \text{Zn} = 2 : 1$ [原子数比] と、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ [原子数比] との積層構造、 $\text{Ga} : \text{Zn} = 2 : 5$ [原子数比] と、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ [原子数比] との積層構造、酸化ガリウムと、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ [原子数比] との積層構造などが挙げられる。

20

【0150】

また、酸化物 530a 及び酸化物 530c の伝導帯下端のエネルギーが、酸化物 530b の伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物 530a 及び酸化物 530c の電子親和力が、酸化物 530b の電子親和力より小さいことが好ましい。

【0151】

ここで、酸化物 530a、酸化物 530b、及び酸化物 530c の接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物 530a、酸化物 530b、及び酸化物 530c の接合部における伝導帯下端のエネルギー準位は、連続的に変化又は連続接合するともいうことができる。このようにするためには、酸化物 530a と酸化物 530b との界面、及び酸化物 530b と酸化物 530c との界面において形成される混合層の欠陥準位密度を低くするとよい。

30

【0152】

具体的には、酸化物 530a と酸化物 530b、及び酸化物 530b と酸化物 530c が、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物 530b が In-Ga-Zn 酸化物の場合、酸化物 530a 及び酸化物 530c として、In-Ga-Zn 酸化物、Ga-Zn 酸化物、酸化ガリウム等を用いるとよい。

【0153】

40

このとき、キャリアの主たる経路は酸化物 530b となる。酸化物 530a、及び酸化物 530c を上述の構成とすることで、酸化物 530a と酸化物 530b との界面、及び酸化物 530b と酸化物 530c との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 12 は高いオン電流を得られる。

【0154】

なお、酸化物 530 に用いることができる半導体材料は、上述の金属酸化物に限られない。酸化物 530 として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、シリコンなどの単体元素の半導体、ヒ化ガリウムなどの化合物半導体、半導体として機能する層状物質（原子層物質、2次元材料など

50

ともいう。)などを半導体材料に用いることが好ましい。特に、半導体として機能する層状物質を半導体材料に用いると好適である。

【0155】

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合やイオン結合によって形成される層が、ファンデルワールス力のような、共有結合やイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

【0156】

層状物質として、グラフェン、シリセン、カルコゲン化物などがある。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。

【0157】

酸化物530として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。酸化物530として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン(代表的には MoS_2)、セレン化モリブデン(代表的には MoSe_2)、モリブデンテルル(代表的には MoTe_2)、硫化タングステン(代表的には WS_2)、セレン化タングステン(代表的には WSe_2)、タングステンテルル(代表的には WTe_2)、硫化ハフニウム(代表的には HfS_2)、セレン化ハフニウム(代表的には HfSe_2)、硫化ジルコニウム(代表的には ZrS_2)、セレン化ジルコニウム(代表的には ZrSe_2)などが挙げられる。

【0158】

酸化物530b上には、ソース電極、及びドレイン電極として機能する導電体542a、及び導電体542bが設けられる。導電体542a、及び導電体542bとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、又は上述した金属元素を成分とする合金が、上述した金属元素を組み合わせ合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物等を用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は酸素を吸収しても導電性を維持する材料であるため好ましい。更に、窒化タンタル等の金属窒化物膜は、水素又は酸素に対するバリア性があるため好ましい。

【0159】

また、図17では、導電体542a、及び導電体542bを単層構造として示したが、2層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

【0160】

また、チタン膜又は窒化チタン膜と、そのチタン膜又は窒化チタン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にチタン膜又は窒化チタン膜を形成する三層構造、モリブデン膜又は窒化モリブデン膜と、そのモリブデン膜又は窒化モリブデン膜上に

10

20

30

40

50

重ねてアルミニウム膜又は銅膜を積層し、さらにその上にモリブデン膜又は窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫又は酸化亜鉛を含む透明導電材料を用いてもよい。

【0161】

また、図17Aに示すように、酸化物530の、導電体542a(導電体542b)との界面とその近傍には、低抵抗領域として領域543a、及び領域543bが形成される場合がある。このとき、領域543aはソース領域又はドレイン領域の一方として機能し、領域543bはソース領域又はドレイン領域の他方として機能する。また、領域543aと領域543bに挟まれる領域にチャネル形成領域が形成される。

【0162】

酸化物530と接するように上記導電体542a(導電体542b)を設けることで、領域543a(領域543b)の酸素濃度が低減する場合がある。また、領域543a(領域543b)に導電体542a(導電体542b)に含まれる金属と、酸化物530の成分とを含む金属化合物層が形成される場合がある。このような場合、領域543a(領域543b)のキャリア濃度が増加し、領域543a(領域543b)は、低抵抗領域となる。

【0163】

絶縁体544は、導電体542a、及び導電体542bを覆うように設けられ、導電体542a、及び導電体542bの酸化を抑制する。このとき、絶縁体544は、酸化物530の側面を覆い、絶縁体524と接するように設けられてもよい。

【0164】

絶縁体544として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタン、マグネシウム等から選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。また、絶縁体544として、窒化酸化シリコン又は窒化シリコン等も用いることができる。

【0165】

特に、絶縁体544として、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、又はアルミニウム及びハフニウムを含む酸化物(ハフニウムアルミネート)等を用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいいため好ましい。なお、導電体542a、及び導電体542bが耐酸化性を有する材料、又は酸素を吸収しても著しく導電性が低下しない場合、絶縁体544は必須の構成ではない。求めるトランジスタ特性により適宜設計すればよい。

【0166】

絶縁体544を有することで、絶縁体580に含まれる水、及び水素等の不純物が、酸化物530c及び絶縁体550を介して酸化物530bに拡散することを抑制することができる。また、絶縁体580が有する過剰酸素により、導電体560が酸化することを抑制することができる。

【0167】

絶縁体550は、第1のゲート絶縁膜として機能する。絶縁体550は、酸化物530cの内側(上面、及び側面)と接するように配置することが好ましい。絶縁体550は、上述した絶縁体524と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

【0168】

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

【0169】

10

20

30

40

50

加熱により酸素が放出される絶縁体を、絶縁体 5 5 0 として酸化物 5 3 0 c の上面に接して設けることにより、酸化物 5 3 0 c を通じて、絶縁体 5 5 0 から酸化物 5 3 0 b のチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体 5 2 4 と同様に、絶縁体 5 5 0 中の水又は水素等の不純物濃度が低減されていることが好ましい。絶縁体 5 5 0 の膜厚は、1 nm 以上 2 0 nm 以下とすることが好ましい。

【0170】

また、絶縁体 5 5 0 が有する過剰酸素を効率的に酸化物 5 3 0 へ供給するために、絶縁体 5 5 0 と導電体 5 6 0 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 5 5 0 から導電体 5 6 0 への酸素拡散を抑制する機能を有することが好ましい。酸素の拡散を抑制する機能を有する金属酸化物を設けることで、絶縁体 5 5 0 から導電体 5 6 0 への過剰酸素の拡散が抑制される。つまり、酸化物 5 3 0 へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体 5 6 0 の酸化を抑制することができる。当該金属酸化物としては、絶縁体 5 4 4 に用いることができる材料を用いればよい。

10

【0171】

なお、絶縁体 5 5 0 は、第 2 のゲート絶縁膜と同様に、積層構造としてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流等の問題が生じる場合がある。このため、ゲート絶縁膜として機能する絶縁体を、high-k 材料と、熱的に安定している材料との積層構造とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位を低減することが可能となる。また、熱的に安定かつ比誘電率の高い積層構造とすることができ。

20

【0172】

第 1 のゲート電極として機能する導電体 5 6 0 は、図 1 7 A、図 1 7 B では 2 層構造として示しているが、単層構造でもよいし、3 層以上の積層構造であってもよい。

【0173】

導電体 5 6 0 a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 等)、銅原子等の不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素 (例えば、酸素原子、酸素分子等の少なくとも一) の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体 5 6 0 a が酸素の拡散を抑制する機能を有することで、絶縁体 5 5 0 に含まれる酸素により導電体 5 6 0 b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウム等を用いることが好ましい。また、導電体 5 6 0 a として、酸化物 5 3 0 に適用できる酸化物半導体を用いることができる。その場合、導電体 5 6 0 b をスパッタリング法で成膜することで、導電体 5 6 0 a の電気抵抗値を低下させて導電体にすることができる。これを OC (Oxide Conductor) 電極とすることができる。

30

【0174】

また、導電体 5 6 0 b は、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 5 6 0 b は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることができる。また、導電体 5 6 0 b は積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層構造としてもよい。

40

【0175】

絶縁体 5 8 0 は、絶縁体 5 4 4 を介して、導電体 5 4 2 a、及び導電体 5 4 2 b 上に設けられる。絶縁体 5 8 0 は、過剰酸素領域を有することが好ましい。例えば、絶縁体 5 8 0 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂等を有することが好ましい。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、及び空孔を有する酸化シリコンは、後の工程で容易に過剰酸素領域を形成することができるため好ましい。

50

【 0 1 7 6 】

絶縁体 5 8 0 は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体 5 8 0 を、酸化物 5 3 0 c と接する領域を有するように設けることで、絶縁体 5 8 0 中の酸素を、酸化物 5 3 0 c を通じて、酸化物 5 3 0 a 及び酸化物 5 3 0 b へと効率良く供給することができる。なお、絶縁体 5 8 0 中の水又は水素等の不純物濃度が低減されていることが好ましい。

【 0 1 7 7 】

絶縁体 5 8 0 の開口は、導電体 5 4 2 a と導電体 5 4 2 b の間の領域に重畳して形成される。これにより、導電体 5 6 0 は、絶縁体 5 8 0 の開口、及び導電体 5 4 2 a と導電体 5 4 2 b に挟まれた領域に埋め込まれるように形成される。

10

【 0 1 7 8 】

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体 5 6 0 の導電性が下がらないようにする必要がある。そのために導電体 5 6 0 の膜厚を大きくすると、導電体 5 6 0 はアスペクト比が高い形状となりうる。本実施の形態では、導電体 5 6 0 を絶縁体 5 8 0 の開口に埋め込むように設けるため、導電体 5 6 0 をアスペクト比の高い形状にしても、工程中に導電体 5 6 0 を倒壊させることなく導電体 5 6 0 を形成することができる。

【 0 1 7 9 】

絶縁体 5 7 4 は、絶縁体 5 8 0 の上面、導電体 5 6 0 の上面、及び絶縁体 5 5 0 の上面に接して設けられることが好ましい。絶縁体 5 7 4 をスパッタリング法で成膜することで、絶縁体 5 5 0、及び絶縁体 5 8 0 へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物 5 3 0 中に酸素を供給することができる。

20

【 0 1 8 0 】

例えば、絶縁体 5 7 4 として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又はマグネシウム等から選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

【 0 1 8 1 】

特に、酸化アルミニウムはバリア性が高く、0.5 nm 以上 3.0 nm 以下の薄膜であっても、水素、及び窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素等の不純物のバリア膜としての機能も有することができる。

30

【 0 1 8 2 】

また、絶縁体 5 7 4 の上に、層間膜として機能する絶縁体 5 8 1 を設けることが好ましい。絶縁体 5 8 1 は、絶縁体 5 2 4 等と同様に、膜中の水又は水素等の不純物濃度が低減されていることが好ましい。

【 0 1 8 3 】

また、絶縁体 5 8 1、絶縁体 5 7 4、絶縁体 5 8 0、及び絶縁体 5 4 4 に形成された開口に、導電体 5 4 0 a、及び導電体 5 4 0 b を配置する。導電体 5 4 0 a 及び導電体 5 4 0 b は、導電体 5 6 0 を挟んで対向して設ける。導電体 5 4 0 a 及び導電体 5 4 0 b は、後述する導電体 5 4 6、及び導電体 5 4 8 と同様の構成である。

40

【 0 1 8 4 】

絶縁体 5 8 1 上には、絶縁体 5 8 2 が設けられている。絶縁体 5 8 2 は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体 5 8 2 には、絶縁体 5 1 4 と同様の材料を用いることができる。例えば、絶縁体 5 8 2 には、酸化アルミニウム、酸化ハフニウム、酸化タンタル等の金属酸化物を用いることが好ましい。

【 0 1 8 5 】

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分等の不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分等の不純物のトランジスタ 1 2 への混入を防止することができる。また、トランジスタ 1 2 を構成す

50

る酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 12 に対する保護膜として用いることに適している。

【0186】

また、絶縁体 582 上には、絶縁体 586 が設けられている。絶縁体 586 は、絶縁体 320 と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 586 として、酸化シリコン膜や酸化窒化シリコン膜等を用いることができる。

【0187】

また、絶縁体 520、絶縁体 522、絶縁体 524、絶縁体 544、絶縁体 580、絶縁体 574、絶縁体 581、絶縁体 582、及び絶縁体 586 には、導電体 546、及び導電体 548 等が埋め込まれている。

10

【0188】

導電体 546、及び導電体 548 は、キャパシタ 14、トランジスタ 12、又はトランジスタ 13 と接続するプラグ、又は配線としての機能を有する。導電体 546、及び導電体 548 は、導電体 328、又は導電体 330 と同様の材料を用いて設けることができる。

【0189】

なお、トランジスタ 12 の形成後、トランジスタ 12 を囲むように開口を形成し、当該開口を覆うように、水素、又は水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ 12 を包み込むことで、外部から水分、及び水素が侵入することを防止することができる。又は、複数のトランジスタ 12 をまとめて、水素、又は水に対するバリア性が高い絶縁体で包み込んでよい。なお、トランジスタ 12 を囲むように開口を形成する場合、例えば、絶縁体 514 又は絶縁体 522 に達する開口を形成し、絶縁体 514 又は絶縁体 522 に接するように上述のバリア性の高い絶縁体を形成すると、トランジスタ 12 の作製工程の一部を兼ねられるため好適である。なお、水素、又は水に対するバリア性が高い絶縁体としては、例えば、絶縁体 522 と同様の材料を用いればよい。

20

【0190】

続いて、トランジスタ 12 の上方には、キャパシタ 14 が設けられている。キャパシタ 14 は、導電体 610、導電体 620、及び絶縁体 630 を有する。

【0191】

また、導電体 546、及び導電体 548 上に、導電体 612 を設けてもよい。導電体 612 は、トランジスタ 12 と接続するプラグ、又は配線としての機能を有する。導電体 610 は、キャパシタ 14 の電極としての機能を有する。なお、導電体 612、及び導電体 610 は、同時に形成することができる。

30

【0192】

導電体 612、及び導電体 610 には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物等の導電性材料を適用することもできる。

40

【0193】

図 15 では、導電体 612、及び導電体 610 は単層構造を示したが、当該構成に限定されず、2 層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

【0194】

絶縁体 630 を介して導電体 610 と重畳するように、導電体 620 を設ける。なお、

50

導電体 620 は、金属材料、合金材料、又は金属酸化物材料等の導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデン等の高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体等の他の構造と同時に形成する場合は、低抵抗金属材料である Cu (銅) や Al (アルミニウム) 等を用いればよい。

【0195】

導電体 620、及び絶縁体 630 上には、絶縁体 640 が設けられている。絶縁体 640 は、絶縁体 320 と同様の材料を用いて設けることができる。また、絶縁体 640 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

【0196】

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化又は高集積化を図ることができる。

【0197】

図 18A、図 18B は、図 17A、図 17B に示すトランジスタ 12 の変形例である。図 17A はトランジスタ 12 のチャンネル長方向の断面図であり、図 17B はトランジスタ 12 のチャンネル幅方向の断面図である。なお、図 18A、図 18B に示す構成は、トランジスタ 13 等、本発明の一態様の半導体装置が有する他のトランジスタにも適用することができる。

【0198】

図 18A は、トランジスタ 12 のチャンネル長方向の断面図であり、図 18B は、トランジスタ 12 のチャンネル幅方向の断面図である。図 18A、図 18B に示すトランジスタ 12 は、絶縁体 402 及び絶縁体 404 を有する点が、図 17A、図 17B に示すトランジスタ 12 と異なる。また、導電体 540a の側面に接して絶縁体 552 が設けられ、導電体 540b の側面に接して絶縁体 552 が設けられる点が、図 17A、図 17B に示すトランジスタ 12 と異なる。さらに、絶縁体 520 を有さない点が、図 17A、図 17B に示すトランジスタ 12 と異なる。

【0199】

図 18A、図 18B に示すトランジスタ 12 は、絶縁体 512 上に絶縁体 402 が設けられる。また、絶縁体 574 上、及び絶縁体 402 上に絶縁体 404 が設けられる。

【0200】

図 18A、図 18B に示すトランジスタ 12 では、絶縁体 514、絶縁体 516、絶縁体 522、絶縁体 524、絶縁体 544、絶縁体 580、及び絶縁体 574 がパターンニングされており、絶縁体 404 がこれらを覆う構造になっている。つまり、絶縁体 404 は、絶縁体 574 の上面、絶縁体 574 の側面、絶縁体 580 の側面、絶縁体 544 の側面、絶縁体 524 の側面、絶縁体 522 の側面、絶縁体 516 の側面、絶縁体 514 の側面、絶縁体 402 の上面とそれぞれ接する。これにより、酸化物 530 等は、絶縁体 404 と絶縁体 402 によって外部から隔離される。

【0201】

絶縁体 402 及び絶縁体 404 は、水素 (例えば、水素原子、水素分子などの少なくとも一) 又は水分子の拡散を抑制する機能が高いことが好ましい。例えば、絶縁体 402 及び絶縁体 404 として、水素バリア性が高い材料である、窒化シリコン又は窒化酸化シリコンを用いることが好ましい。これにより、酸化物 530 に水素等が拡散することを抑制することができるので、トランジスタ 12 の特性が低下することを抑制することができる。よって、本発明の一態様の半導体装置の信頼性を高めることができる。

【0202】

絶縁体 552 は、絶縁体 581、絶縁体 404、絶縁体 574、絶縁体 580、及び絶縁体 544 に接して設けられる。絶縁体 552 は、水素又は水分子の拡散を抑制する機能を有することが好ましい。たとえば、絶縁体 552 として、水素バリア性が高い材料である、窒化シリコン、酸化アルミニウム、又は窒化酸化シリコン等の絶縁体を用いることが好ましい。特に、窒化シリコンは水素バリア性が高い材料であるので、絶縁体 552 とし

10

20

30

40

50

て用いると好適である。絶縁体 552 として水素バリア性が高い材料を用いることにより、水又は水素等の不純物が、絶縁体 580 等から導電体 540a 及び導電体 540b を通じて酸化物 530 に拡散することを抑制することができる。また、絶縁体 580 に含まれる酸素が導電体 540a 及び導電体 540b に吸収されることを抑制することができる。以上により、本発明の一態様の半導体装置の信頼性を高めることができる。

【0203】

図 19 は、トランジスタ 12 及びトランジスタ 13 を図 18A、図 18B に示す構成とした場合における、半導体装置の構成例を示す断面図である。導電体 546 の側面に、絶縁体 552 が設けられている。

【0204】

本実施の形態は、他の実施の形態等に記載した構成と適宜組み合わせて実施することが可能である。

【0205】

(実施の形態 3)

本実施の形態では、上記の実施の形態で説明した O S トランジスタに用いることができる金属酸化物である C A C - O S、及び C A A C - O S の構成について説明する。なお、本明細書等において、C A C は機能、又は材料の構成の一例を表し、C A A C は結晶構造の一例を表す。

【0206】

< 金属酸化物の構成 >

C A C - O S 又は C A C - m e t a l o x i d e とは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、C A C - O S 又は C A C - m e t a l o x i d e を、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（又はホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能（O n / O f f させる機能）を C A C - O S 又は C A C - m e t a l o x i d e に付与することができる。C A C - O S 又は C A C - m e t a l o x i d e において、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

【0207】

また、C A C - O S 又は C A C - m e t a l o x i d e は、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

【0208】

また、C A C - O S 又は C A C - m e t a l o x i d e において、導電性領域と、絶縁性領域とは、それぞれ 0.5 nm 以上 10 nm 以下、好ましくは 0.5 nm 以上 3 nm 以下のサイズで材料中に分散している場合がある。

【0209】

また、C A C - O S 又は C A C - m e t a l o x i d e は、異なるバンドギャップを有する成分により構成される。例えば、C A C - O S 又は C A C - m e t a l o x i d e は、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記 C A C - O S 又は C A C - m e t a l o x i d e をトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び

10

20

30

40

50

高い電界効果移動度を得ることができる。

【0210】

すなわち、CAC-OS又はCAC-metal oxideは、マトリックス複合材(matrix composite)、又は金属マトリックス複合材(metal matrix composite)と呼称することもできる。

【0211】

<金属酸化物の構造>

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS、多結晶酸化物半導体、nc-OS(nanocrystalline oxide semiconductor) 10、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)及び非晶質酸化物半導体等がある。

【0212】

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

【0213】

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、及び七角形等の格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界(グレインバウンダリーともいう)を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化すること等によって、歪みを許容することができるためと考えられる。 20

【0214】

また、CAAC-OSは、インジウム、及び酸素を有する層(以下、In層)と、元素M、亜鉛、及び酸素を有する層(以下、(M,Zn)層)とが積層した、層状の結晶構造(層状構造ともいう)を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M,Zn)層の元素Mがインジウムと置換した場合、(In,M,Zn)層 30と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In,M)層と表すこともできる。

【0215】

CAAC-OSは結晶性の高い酸化物半導体である。一方、CAAC-OSは、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成等によって低下する場合があるため、CAAC-OSは不純物や欠陥(酸素欠損等)の少ない酸化物半導体ともいえる。したがって、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度(所謂サーマルバジェット)に対して 40も安定である。したがって、OSトランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

【0216】

nc-OSは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

【0217】

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物

10

20

30

40

50

半導体である。a - l i k e O S は、鬆又は低密度領域を有する。即ち、a - l i k e O S は、n c - O S 及び C A A C - O S と比べて、結晶性が低い。

【0218】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a - l i k e O S、n c - O S、C A A C - O S のうち、二種以上を有していてもよい。

【0219】

< 酸化物半導体を有するトランジスタ >

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0220】

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0221】

また、トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。

【0222】

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0223】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

【0224】

したがって、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0225】

< 不純物 >

ここで、酸化物半導体中における各不純物の影響について説明する。

【0226】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0227】

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

【0228】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリ

10

20

30

40

50

ア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。したがって、該酸化物半導体において、窒素はできる限り低減されていることが好ましい、例えば、酸化物半導体中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0229】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。したがって、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

【0230】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0231】

本実施の形態は、他の実施の形態等に記載した構成と適宜組み合わせることで実施することが可能である。

【0232】

(実施の形態4)

本実施の形態では、実施の形態1に記載の半導体装置10を用いた記憶装置について説明する。

【0233】

<記憶装置>

図20は、記憶装置の構成例を示すブロック図である。記憶装置30は、周辺回路31、およびセルアレイ51を有する。周辺回路31は、ローデコーダ32、ワード線ドライバ回路33、ビット線ドライバ回路34、出力回路35、コントロールロジック回路36を有する。

【0234】

ワード線ドライバ回路33は、配線WLに電位を供給する機能を有する。ビット線ドライバ回路34は、カラムデコーダ41、プリチャージ回路42、増幅回路43、および書き込み回路44を有する。プリチャージ回路42は、配線RLなどをプリチャージする機能を有する。増幅回路43は、配線RLから読み出されたデータ信号を増幅する機能を有する。なお、配線WWL、配線RWL、配線SL、配線BL、および配線RLは、上記実施の形態1で説明したように、セルアレイ51が有するメモリセルとして機能する半導体装置10に接続されている配線である。増幅されたデータ信号は、出力回路35を介して、デジタルのデータ信号RDATAとして記憶装置30の外部に出力される。

【0235】

記憶装置30には、外部から電源電圧として低電源電圧(VSS)、周辺回路31用の高電源電圧(VDD)、セルアレイ51用の高電源電圧(VIL)が供給される。

【0236】

また、記憶装置30には、制御信号(CE、WE、RE)、アドレス信号ADDR、データ信号WDATAが外部から入力される。アドレス信号ADDRは、ローデコーダ32およびカラムデコーダ41に入力され、WDATAは書き込み回路44に入力される。

【0237】

コントロールロジック回路36は、外部からの入力信号(CE、WE、RE)を処理し

10

20

30

40

50

て、ローデコーダ 3 2、カラムデコーダ 4 1 の制御信号を生成する。C E は、チップイネーブル信号であり、W E は、書き込みイネーブル信号であり、R E は、読み出しイネーブル信号である。コントロールロジック回路 3 6 が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

【 0 2 3 8 】

なお、上述の各回路あるいは各信号は、必要に応じて、適宜、取捨することができる。

【 0 2 3 9 】

セルアレイ 5 1 を構成するトランジスタに O S トランジスタを適用することができる。また、周辺回路 3 1 を構成するトランジスタに O S トランジスタを適用することができる。セルアレイ 5 1 と周辺回路 3 1 を、O S トランジスタを用いて形成することで、セルアレイ 5 1 と周辺回路 3 1 を、同一の製造工程で作製することが可能になり、製造コストを低く抑えることができる。

【 0 2 4 0 】

〔セルアレイの構成例〕

図 2 1 にセルアレイ 5 1 の詳細を記載する。セルアレイ 5 1 は、一列に m (m は 1 以上の整数である。) 個、一行に n (n は 1 以上の整数である。) 個、計 $m \times n$ 個のメモリセルとして機能する半導体装置 1 0 を有し、半導体装置 1 0 は、図 1 0、図 1 2、及び図 1 4 で例示したように、行列状に配置されている。図 2 1 では、半導体装置 1 0 のアドレスも併せて表記しており、 $[1, 1]$ 、 $[m, 1]$ 、 $[i, j]$ 、 $[1, n]$ 、 $[m, n]$ (i は、1 以上 m 以下の整数であり、 j は、1 以上 n 以下の整数である。) のアドレスに位置している半導体装置 1 0 を図示している。なお、セルアレイ 5 1 とワード線ドライバ回路 3 3 とを接続している配線の数、半導体装置 1 0 の構成、一列中に含まれる半導体装置 1 0 の数などによって決まる。また、セルアレイ 5 1 とビット線ドライバ回路 3 4 とを接続している配線の数、半導体装置 1 0 の構成、一行中に含まれる半導体装置 1 0 の数などによって決まる。

【 0 2 4 1 】

半導体装置 1 0 の構成とすることで、電荷の充電又は放電することによってデータの書き換えおよび読み出しが可能となるため、実質的に無制限回のデータの書き込みおよび読み出しが可能である。データの読み出し時において、保持した電荷を放電すること、いわゆる破壊読み出しすることなくデータ読み出すことができるため、データリフレッシュに要する電荷の充電および放電の分の消費電力を低減することができる。

【 0 2 4 2 】

また半導体装置 1 0 の構成とすることで、データを書き戻す際に要する電荷量を低減することができる。そのため、保持した電荷を静電容量の大きい配線等に放電することなく、データを読み出すことができる。またデータの長時間の保持といった信頼性に優れた半導体装置とすることができる。

【 0 2 4 3 】

(実施の形態 5)

本実施の形態は、上記実施の形態に示す記憶装置などが組み込まれた電子部品および電子機器の一例を示す。

【 0 2 4 4 】

<電子部品>

まず、記憶装置 3 0 0 が組み込まれた電子部品の例を、図 2 2 A、図 2 2 B を用いて説明を行う。

【 0 2 4 5 】

図 2 2 A に電子部品 7 0 0 および電子部品 7 0 0 が実装された基板 (実装基板 7 0 4) の斜視図を示す。図 2 2 A に示す電子部品 7 0 0 は I C チップであり、リードおよび回路部を有する。電子部品 7 0 0 は、例えばプリント基板 7 0 2 に実装される。このような I C チップが複数組み合わせられて、それぞれがプリント基板 7 0 2 上で電氣的に接続されることで実装基板 7 0 4 が完成する。

10

20

30

40

50

【0246】

電子部品700の回路部として、上記実施の形態に示した記憶装置30が設けられている。図22Aでは、電子部品700のパッケージにQFP(Quad Flat Package)を適用しているが、パッケージの態様はこれに限定されない。記憶装置はSiトランジスタが設けられた層61とOSTランジスタが設けられた層62とが積層されている。

【0247】

図22Bに電子部品730の斜視図を示す。電子部品730は、SiP(System in package)またはMCM(Multi Chip Module)の一例である。電子部品730は、パッケージ基板732(プリント基板)上にインターポーザ731が設けられ、インターポーザ731上に半導体装置735、および複数の記憶装置30が設けられている。

10

【0248】

電子部品730では、記憶装置30を広帯域メモリ(HBM:High Bandwidth Memory)として用いる例を示している。また、半導体装置735には、CPU(Central Processing Unit)、GPU(Graphic Processing Unit)、FPGA(Field Programmable Gate Array)などの集積回路(半導体装置)を用いることができる。

【0249】

パッケージ基板732は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ731には、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

20

【0250】

インターポーザ731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ731は、インターポーザ731上に設けられた集積回路をパッケージ基板732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV(Through Silicon Via)を用いることも出来る。

30

【0251】

インターポーザ731としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

【0252】

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

40

【0253】

また、シリコンインターポーザを用いたSiPやMCMなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ(2.5次元実装)では、シリコンインターポーザを用いることが好ましい。

【0254】

また、電子部品730と重ねてヒートシンク(放熱板)を設けてもよい。ヒートシンク

50

を設ける場合は、インターポーザ 731 上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品 730 では、記憶装置 30 と半導体装置 735 の高さを揃えることが好ましい。

【0255】

電子部品 730 を他の基板に実装するため、パッケージ基板 732 の底部に電極 733 を設けてもよい。図 22B では、電極 733 を半田ボールで形成する例を示している。パッケージ基板 732 の底部に半田ボールをマトリクス状に設けることで、BGA (Ball Grid Array) 実装を実現できる。また、電極 733 を導電性のピンで形成してもよい。パッケージ基板 732 の底部に導電性のピンをマトリクス状に設けることで、PGA (Pin Grid Array) 実装を実現できる。

10

【0256】

電子部品 730 は、BGA および PGA に限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA (Staggered Pin Grid Array)、LGA (Land Grid Array)、QFP (Quad Flat Package)、QFJ (Quad Flat J-leaded package)、または QFN (Quad Flat Non-leaded package) などの実装方法を用いることができる。

【0257】

< 電子機器 >

次に、上記電子部品を備えた電子機器の例について図 23 を用いて説明を行う。

20

【0258】

ロボット 7100 は、照度センサ、マイクロフォン、カメラ、スピーカ、ディスプレイ、各種センサ (赤外線センサ、超音波センサ、加速度センサ、ピエゾセンサ、光センサ、ジャイロセンサなど)、および移動機構などを備える。電子部品 730 はプロセッサなどを有し、これら周辺機器を制御する機能を有する。例えば、電子部品 700 はセンサで取得されたデータを記憶する機能を有する。

【0259】

マイクロフォンは、使用者の音声および環境音などの音響信号を検知する機能を有する。また、スピーカは、音声および警告音などのオーディオ信号を発する機能を有する。ロボット 7100 は、マイクロフォンを介して入力されたオーディオ信号を解析し、必要なオーディオ信号をスピーカから発することができる。ロボット 7100 において、は、マイクロフォン、およびスピーカを用いて、使用者とコミュニケーションをとることが可能である。

30

【0260】

カメラは、ロボット 7100 の周囲を撮像する機能を有する。また、ロボット 7100 は、移動機構を用いて移動する機能を有する。ロボット 7100 は、カメラを用いて周囲の画像を撮像し、画像を解析して移動する際の障害物の有無などを察知することができる。

【0261】

飛行体 7120 は、プロペラ、カメラ、およびバッテリーなどを有し、自律して飛行する機能を有する。電子部品 730 はこれら周辺機器を制御する機能を有する。

40

【0262】

例えば、カメラで撮影した画像データは、電子部品 700 に記憶される。電子部品 730 は、画像データを解析し、移動する際の障害物の有無などを察知することができる。また、電子部品 730 によってバッテリーの蓄電容量の変化から、バッテリー残量を推定することができる。

【0263】

掃除ロボット 7140 は、上面に配置されたディスプレイ、側面に配置された複数のカメラ、ブラシ、操作ボタン、各種センサなどを有する。図示されていないが、掃除ロボット 7140 には、タイヤ、吸い込み口等が備えられている。掃除ロボット 7140 は自走し、ゴミを検知し、下面に設けられた吸い込み口からゴミを吸引することができる。

50

【 0 2 6 4 】

例えば、電子部品 7 3 0 は、カメラが撮影した画像を解析し、壁、家具または段差などの障害物の有無を判断することができる。また、画像解析により、配線などブラシに絡まりそうな物体を検知した場合は、ブラシの回転を止めることができる。

【 0 2 6 5 】

自動車 7 1 6 0 は、エンジン、タイヤ、ブレーキ、操舵装置、カメラなどを有する。例えば、電子部品 7 3 0 は、ナビゲーション情報、速度、エンジンの状態、ギアの選択状態、ブレーキの使用頻度などのデータに基づいて、自動車 7 1 6 0 の走行状態を最適化するための制御を行う。例えば、カメラで撮影した画像データは電子部品 7 0 0 に記憶される。

【 0 2 6 6 】

電子部品 7 0 0 および / または電子部品 7 3 0 は、ＴＶ装置 7 2 0 0（テレビジョン受信装置）、スマートフォン 7 2 1 0、ＰＣ（パーソナルコンピュータ）7 2 2 0、7 2 3 0、ゲーム機 7 2 4 0、ゲーム機 7 2 6 0 等に組み込むことができる。

【 0 2 6 7 】

例えば、ＴＶ装置 7 2 0 0 に内蔵された電子部品 7 3 0 は画像エンジンとして機能させることができる。例えば、電子部品 7 3 0 は、ノイズ除去、解像度アップコンバージョンなどの画像処理を行う。

【 0 2 6 8 】

スマートフォン 7 2 1 0 は、携帯情報端末の一例である。スマートフォン 7 2 1 0 は、マイクロフォン、カメラ、スピーカ、各種センサ、および表示部を有する。電子部品 7 3 0 によってこれら周辺機器が制御される。

【 0 2 6 9 】

ＰＣ 7 2 2 0、ＰＣ 7 2 3 0 はそれぞれノート型ＰＣ、据え置き型ＰＣの例である。ＰＣ 7 2 3 0 には、キーボード 7 2 3 2、およびモニタ装置 7 2 3 3 が無線または有線により接続可能である。ゲーム機 7 2 4 0 は携帯型ゲーム機の例である。ゲーム機 7 2 6 0 は据え置き型ゲーム機の例である。ゲーム機 7 2 6 0 には、無線または有線でコントローラ 7 2 6 2 が接続されている。コントローラ 7 2 6 2 に、電子部品 7 0 0 および / または電子部品 7 3 0 を組み込むこともできる。

【 0 2 7 0 】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

【 0 2 7 1 】

（本明細書等の記載に関する付記）

以上の実施の形態、及び実施の形態における各構成の説明について、以下に付記する。

【 0 2 7 2 】

各実施の形態に示す構成は、他の実施の形態あるいは実施例に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、１つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

【 0 2 7 3 】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び / または、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

【 0 2 7 4 】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【 0 2 7 5 】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び / または、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることによ

10

20

30

40

50

り、さらに多くの図を構成させることが出来る。

【0276】

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

【0277】

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

10

【0278】

また、図面等において図示する構成要素の位置関係は、相対的である。従って、図面を参照して構成要素を説明する場合、位置関係を示す「上に」、「下に」等の語句は便宜的に用いられる場合がある。構成要素の位置関係は、本明細書の記載内容に限定されず、状況に応じて適切に言い換えることができる。

【0279】

本明細書等において、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第1電極、又は第1端子）、ソースとドレインとの他方を「ソース又はドレインの他方」（又は第2電極、又は第2端子）という表記を用いる。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

20

【0280】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

30

【0281】

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電圧（接地電圧）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

【0282】

また本明細書等において、ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

40

【0283】

本明細書等において、AとBとが接続されている、とは、AとBとが電氣的に接続されているものをいう。ここで、AとBとが電氣的に接続されているとは、AとBとの間で対象物（スイッチ、トランジスタ素子、またはダイオード等の素子、あるいは当該素子および配線を含む回路等を指す）が存在する場合にAとBとの電気信号の伝達が可能である接続をいう。なおAとBとが電氣的に接続されている場合には、AとBとが直接接続されている場合を含む。ここで、AとBとが直接接続されているとは、上記対象物を介することなく、AとBとの間で配線（または電極）等を介してAとBとの電気信号の伝達が可能である接続をいう。換言すれば、直接接続とは、等価回路で表した際に同じ回路図として見なせる接続をいう。

50

【 0 2 8 4 】

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

【 0 2 8 5 】

本明細書等において、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとの間の距離をいう。

【 0 2 8 6 】

本明細書等において、チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

【 0 2 8 7 】

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【 符号の説明 】

【 0 2 8 8 】

B L __ 1 : 配線、M N 1 : ノード、M N 2 : ノード、R L __ 1 : 配線、R W L __ 1 : 配線、S L __ 1 : 配線、S L __ 2 : 配線、T 1 : 期間、T 2 : 期間、T 3 : 期間、T 4 : 期間、T 5 : 期間、T 6 : 期間、T 7 : 期間、T 8 : 期間、T 9 : 期間、W W L __ 1 : 配線、W W L __ 2 : 配線、1 0 : 半導体装置、1 0 __ 1 : 半導体装置、1 0 __ 4 : 半導体装置、1 0 A : 半導体装置、1 0 B : 半導体装置、1 0 C : 半導体装置、1 0 D : 半導体装置、1 0 E : 半導体装置、1 0 F : 半導体装置、1 0 G : 半導体装置、1 1 : トランジスタ、1 1 A : トランジスタ、1 1 B : トランジスタ、1 1 C : トランジスタ、1 1 D : トランジスタ、1 1 E : トランジスタ、1 1 F : トランジスタ、1 1 G : トランジスタ、1 2 : トランジスタ、1 2 A : トランジスタ、1 2 B : トランジスタ、1 2 C : トランジスタ、1 2 D : トランジスタ、1 2 E : トランジスタ、1 2 F : トランジスタ、1 2 G : トランジスタ、1 3 : トランジスタ、1 3 A : トランジスタ、1 3 B : トランジスタ、1 3 C : トランジスタ、1 3 D : トランジスタ、1 3 E : トランジスタ、1 3 G : トランジスタ、1 4 : キャパシタ、1 5 : 電荷保持回路、3 0 : 記憶装置、3 1 : 周辺回路、3 2 : ロードコダ、3 3 : ワード線ドライバ回路、3 4 : ビット線ドライバ回路、3 5 : 出力回路、3 6 : コントロールロジック回路、4 1 : カラムデコーダ、4 2 : プリチャージ回路、4 3 : 増幅回路、4 4 : 回路、5 1 : セルアレイ、6 1 : 層、6 2 : 層、3 0 0 : 記憶装置、3 1 1 : 基板、3 1 3 : 半導体領域、3 1 4 a : 低抵抗領域、3 1 4 b : 低抵抗領域、3 1 5 : 絶縁体、3 1 6 : 導電体、3 2 0 : 絶縁体、3 2 2 : 絶縁体、3 2 4 : 絶縁体、3 2 6 : 絶縁体、3 2 8 : 導電体、3 3 0 : 導電体、3 5 0 : 絶縁体、3 5 2 : 絶縁体、3 5 4 : 絶縁体、3 5 6 : 導電体、3 6 0 : 絶縁体、3 6 2 : 絶縁体、3 6 4 : 絶縁体、3 6 6 : 導電体、3 7 0 : 絶縁体、3 7 2 : 絶縁体、3 7 4 : 絶縁体、3 7 6 : 導電体、3 8 0 : 絶縁体、3 8 2 : 絶縁体、3 8 4 : 絶縁体、3 8 6 : 導電体、4 0 2 : 絶縁体、4 0 4 : 絶縁体、5 0 3 : 導電体、5 0 3 a : 導電体、5 0 3 b : 導電体、5 1 0 : 絶縁体、5 1 2 : 絶縁体、5 1 4 : 絶縁体、5 1 6 : 絶縁体、5 1 8 : 導電体、5 2 0 : 絶縁体、5 2 2 : 絶縁体、5 2 4 : 絶縁体、5 3 0 : 酸化物、5 3 0 a : 酸化物、5 3 0 b : 酸化物、5 3 0 c : 酸化物、5 4 0 a : 導電体、5 4 0 b : 導電体、5 4 2 : 導電体、5 4 2 a : 導電体、5 4 2 b : 導電体、5 4 3 a : 領域、5 4 3 b : 領域、5 4 4 : 絶縁体、5 4 6 : 導電体、5 4 8 : 導電体、5 5 0 : 絶縁体、5 5 2 : 絶縁体、5 6 0 : 導電体、5 6 0 a : 導電体、5 6 0 b : 導電体、5 7 4 : 絶縁体、5 8 0 : 絶縁体、5 8 1 : 絶縁体、5 8 2 : 絶縁体、5 8 6 : 絶縁体、6 1 0 : 導電体、6 1 2 : 導電体、6 2 0

10

20

30

40

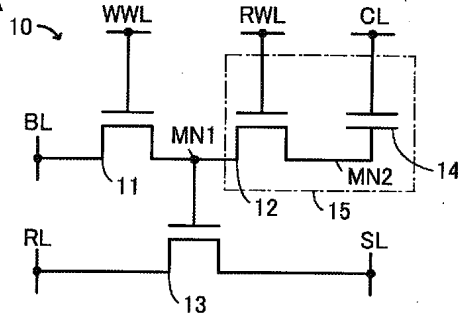
50

：導電体、630：絶縁体、640：絶縁体、700：電子部品、702：プリント基板、704：実装基板、730：電子部品、731：インターポザ、732：パッケージ基板、733：電極、735：半導体装置、7100：ロボット、7120：飛行体、7140：掃除ロボット、7160：自動車、7200：TV装置、7210：スマートフォン、7220：PC、7230：PC、7232：キーボード、7233：モニタ装置、7240：ゲーム機、7260：ゲーム機、7262：コントローラ

【図面】

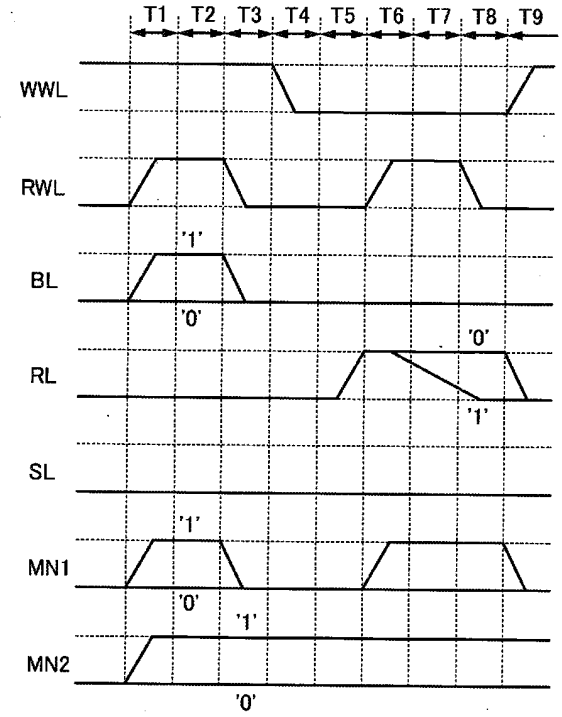
【図1A】

図1A



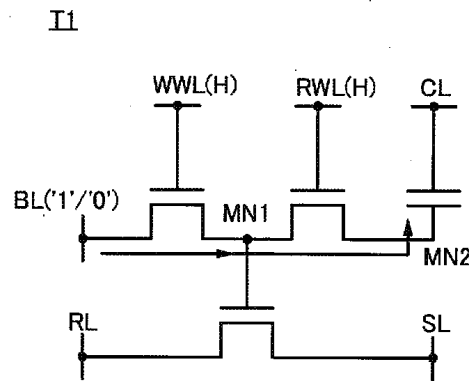
【図1B】

図1B



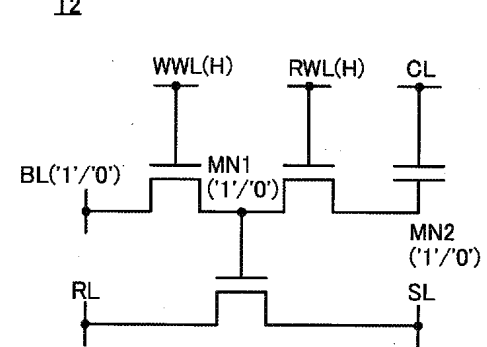
【図2A】

図2A



【図2B】

図2B



10

20

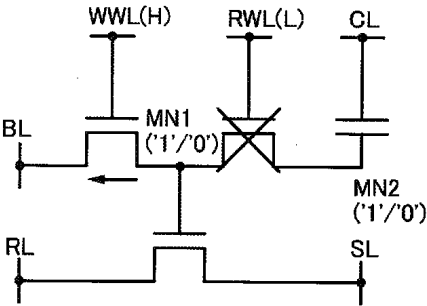
30

40

50

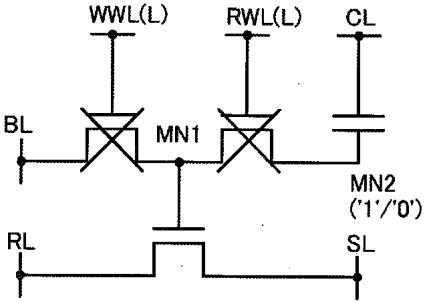
【図 3 A】

図3A
I3



【図 3 B】

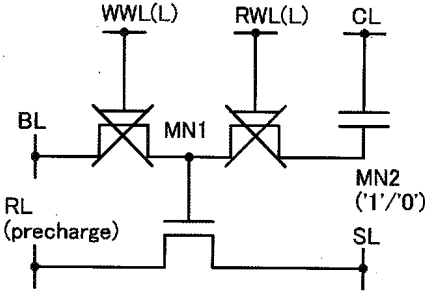
図3B
I4



10

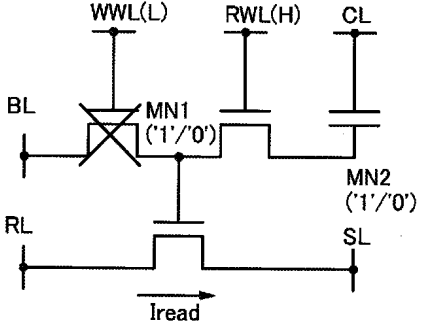
【図 4 A】

図4A
I5



【図 4 B】

図4B
I6



20

30

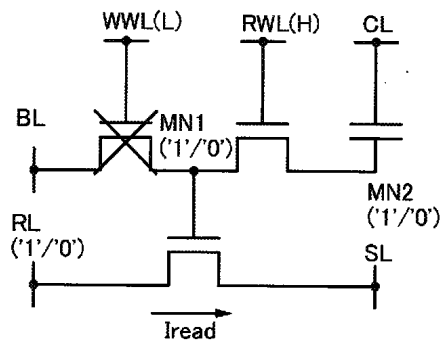
40

50

【図 5 A】

図5A

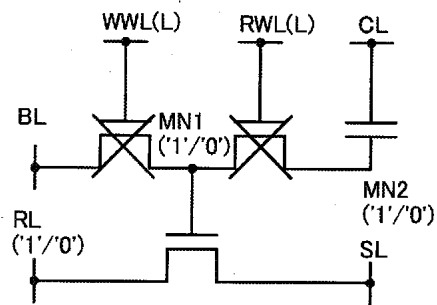
I7



【図 5 B】

図5B

I8

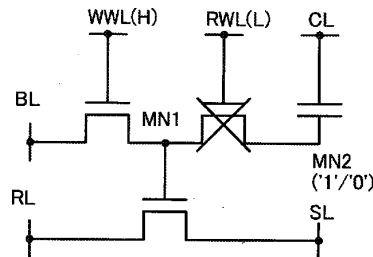


10

【図 6】

図6

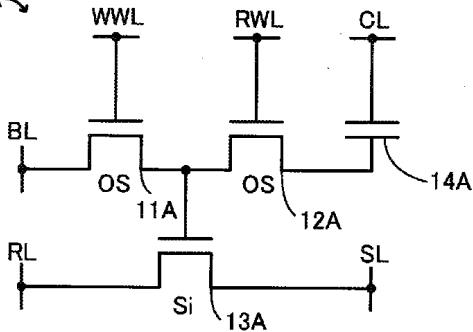
I9



【図 7 A】

図7A

10A



20

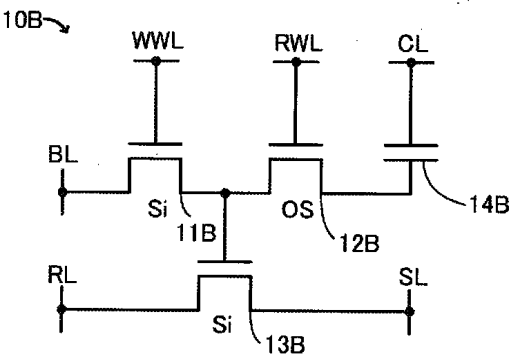
30

40

50

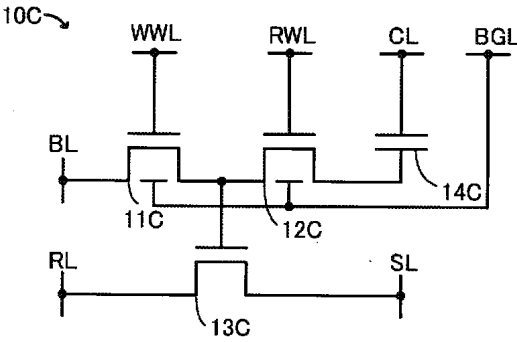
【図 7 B】

図7B



【図 8 A】

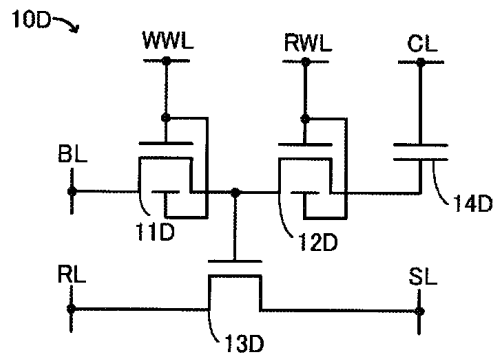
図8A



10

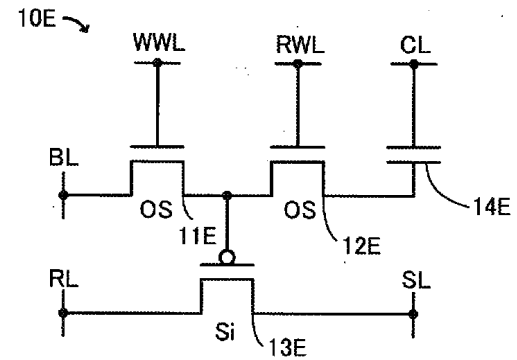
【図 8 B】

図8B



【図 9 A】

図9A



20

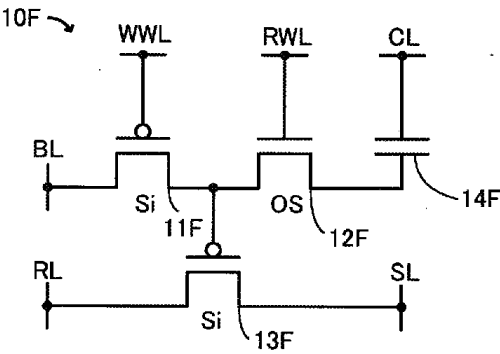
30

40

50

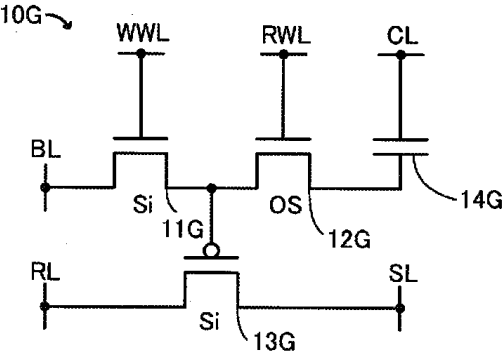
【図 9 B】

図9B



【図 9 C】

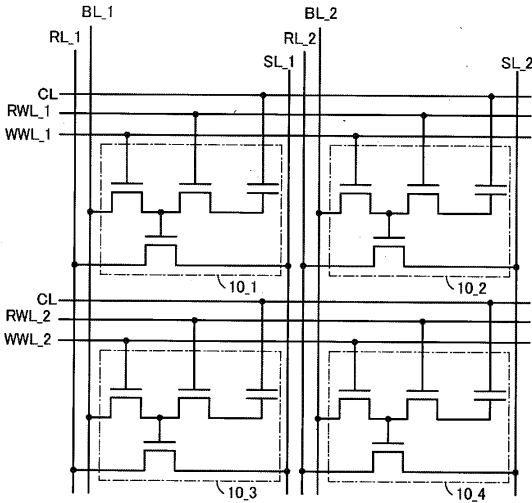
図9C



10

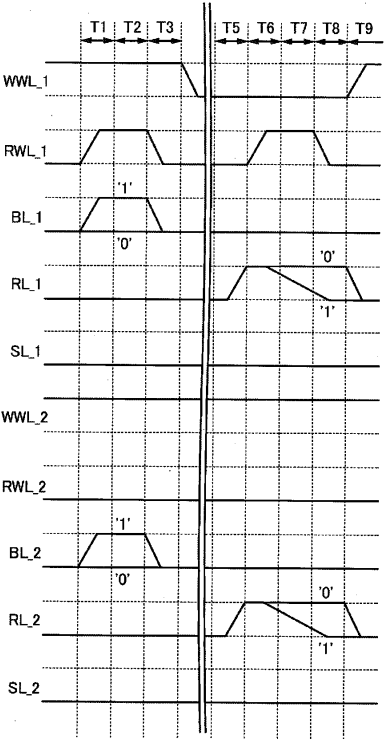
【図 1 0】

図10



【図 1 1】

図11



20

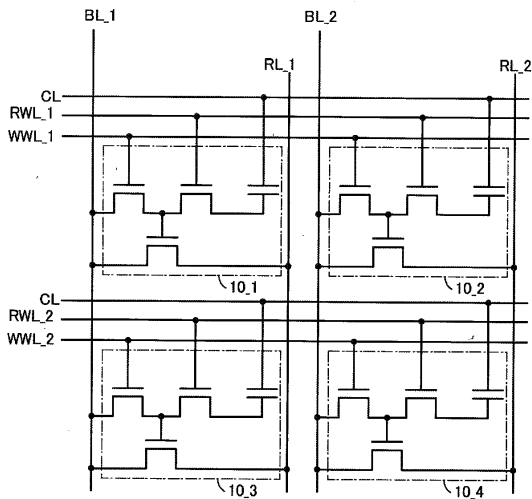
30

40

50

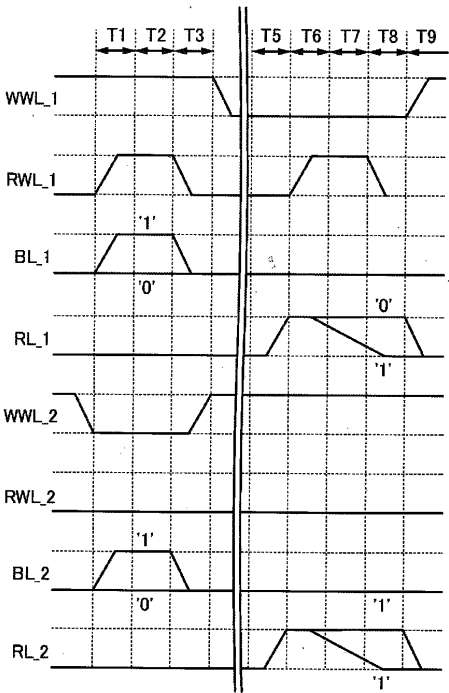
【図 1 2】

図12



【図 1 3】

図13

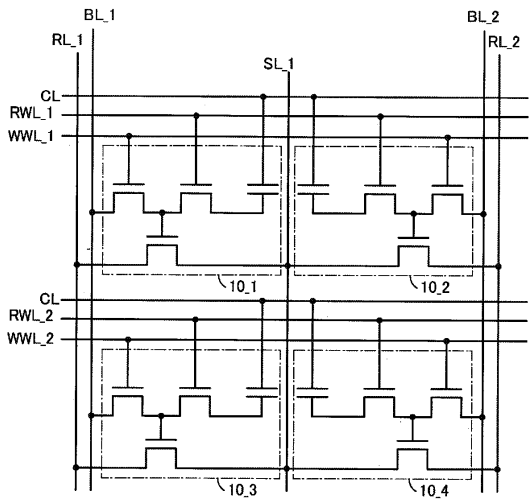


10

20

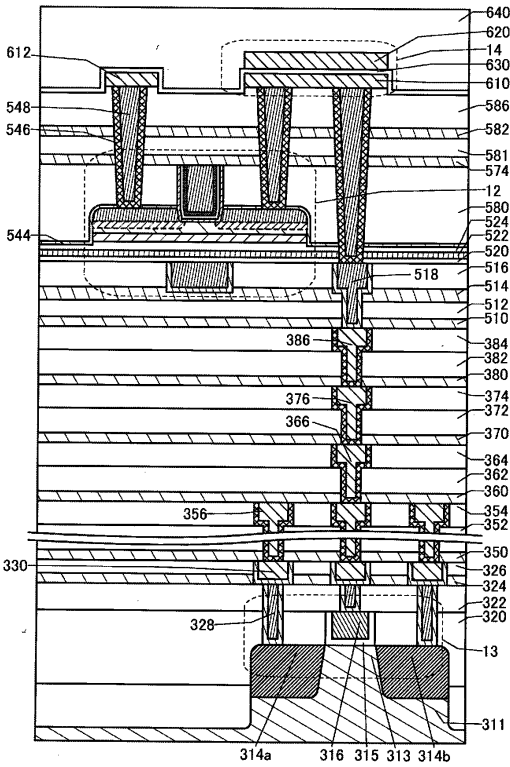
【図 1 4】

図14



【図 1 5】

図15



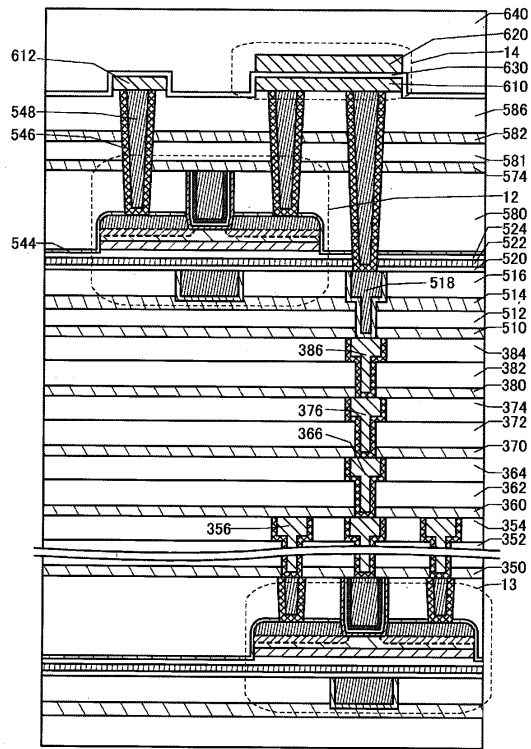
30

40

50

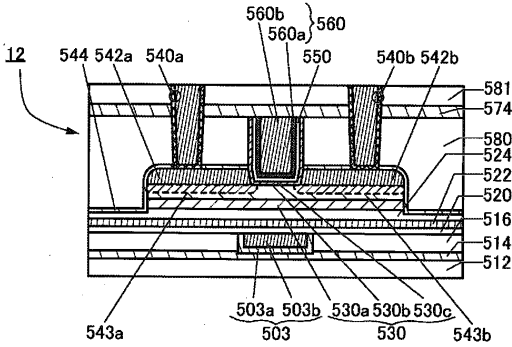
【図 16】

図16



【図 17 A】

図17A

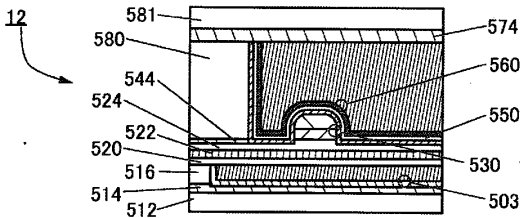


10

20

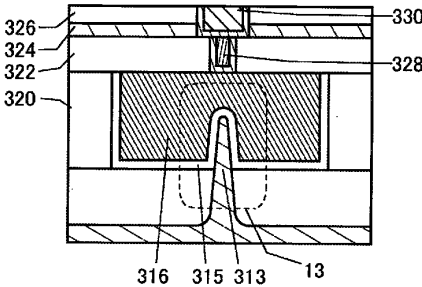
【図 17 B】

図17B



【図 17 C】

図17C



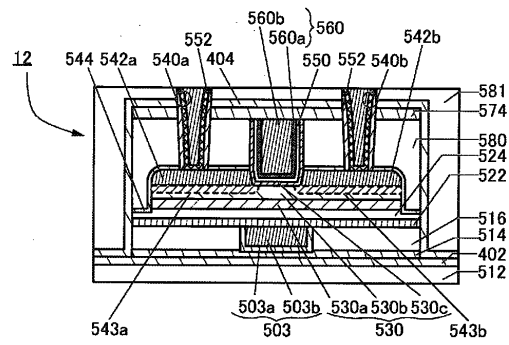
30

40

50

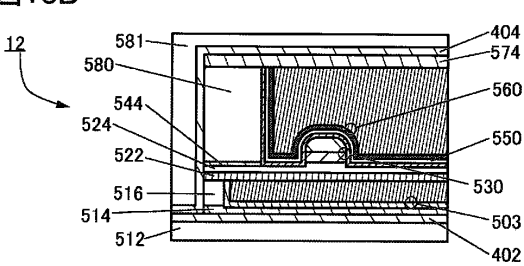
【図18A】

図18A



【図18B】

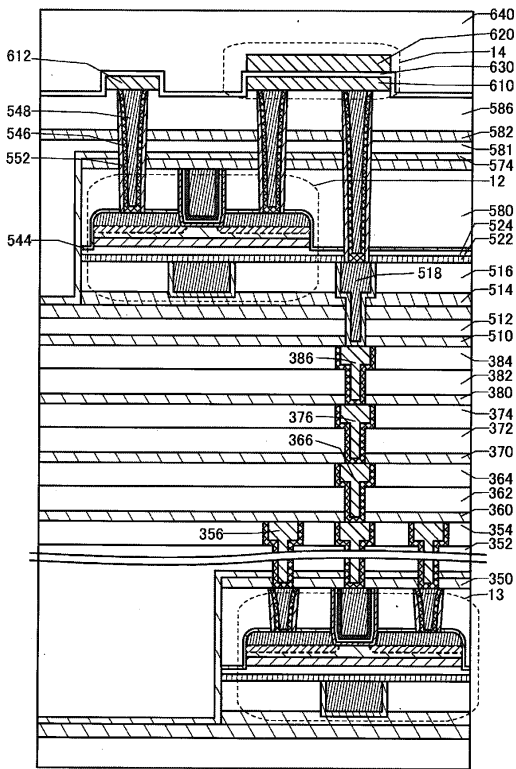
図18B



10

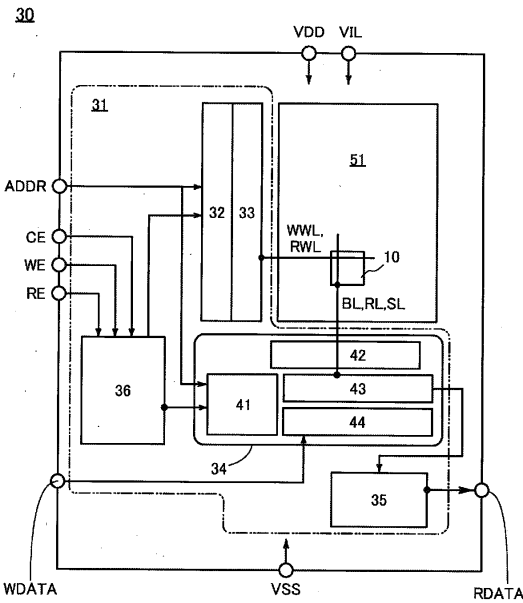
【図19】

図19



【図20】

図20



20

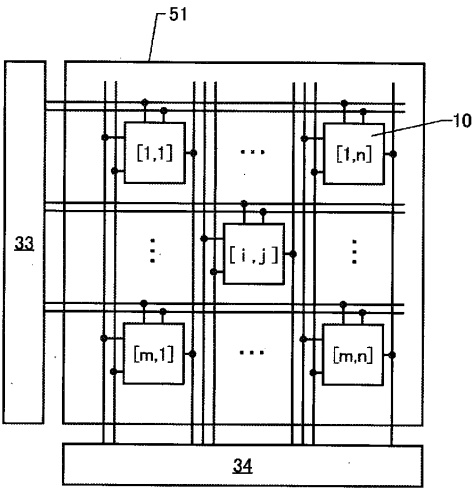
30

40

50

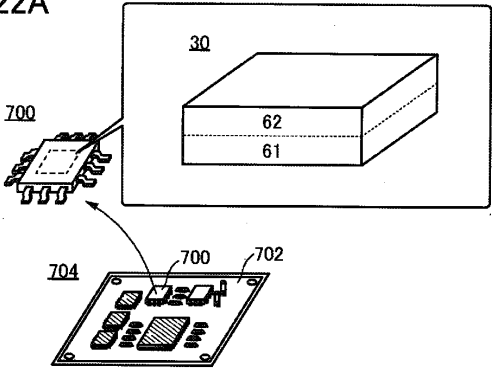
【図 2 1】

図21



【図 2 2 A】

図22A

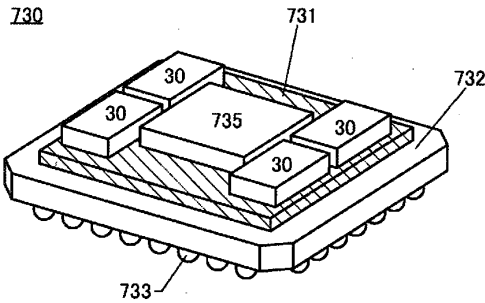


10

20

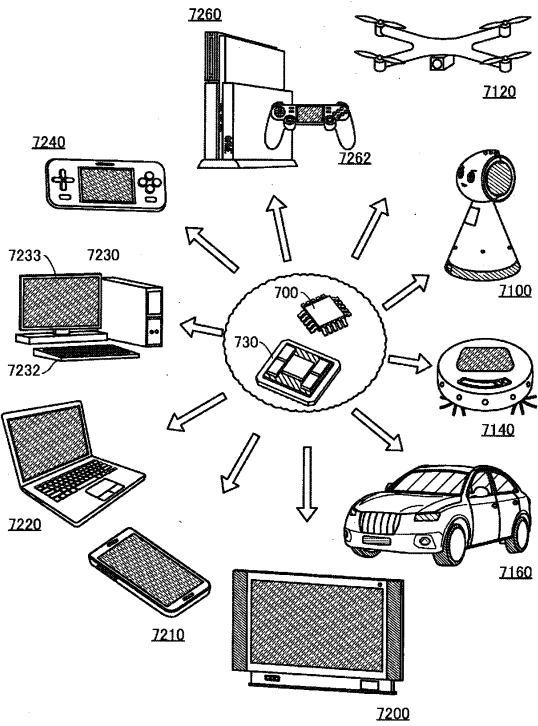
【図 2 2 B】

図22B



【図 2 3】

図23



30

40

50

フロントページの続き

a l E l e c t r o n D e v i c e s M e e t i n g 開催日 平成30年12月1日 - 5日
(56)参考文献 特開2007-115335(JP,A)
国際公開第2013/146039(WO,A1)
特開2012-256818(JP,A)
(58)調査した分野 (Int.Cl., DB名)
G11C 11/405