

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
G11C 11/407

(11) 공개번호 특2001 - 0085622
(43) 공개일자 2001년09월07일

(21) 출원번호 10 - 2001 - 0009784
(22) 출원일자 2001년02월26일

(30) 우선권주장 2000 - 054882 2000년02월29일 일본(JP)

(71) 출원인 후지쯔 가부시끼가이샤
아끼구사 나오유키
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1 - 1

(72) 발명자 이케다히토시
일본가나가와켄가와사키시나카하라쿠가미코다나카4 - 1 - 1후지쯔가부시끼가이샤나이
간다다츠야
일본가나가와켄가와사키시나카하라쿠가미코다나카4 - 1 - 1후지쯔가부시끼가이샤나이
다카하시요시타카
일본가나가와켄가와사키시나카하라쿠가미코다나카4 - 1 - 1후지쯔가부시끼가이샤나이
후지오카신야
일본가나가와켄가와사키시나카하라쿠가미코다나카4 - 1 - 1후지쯔가부시끼가이샤나이
훈유아키히로
일본가나가와켄가와사키시나카하라쿠가미코다나카4 - 1 - 1후지쯔가부시끼가이샤나이

(74) 대리인 김성택

심사청구 : 없음

(54) 반도체 기억 장치

요약

본 발명은 액세스 시간이 짧은 반도체 기억 장치를 제공하는 것을 목적으로 한다.

소정의 입력 신호의 변화를 검출하여 검출 신호를 출력하는 검출 회로(41) 와, 검출 신호와 내부에서 발생한 리프레시 요구 신호를 비교하여, 회로 동작을 지시하는 신호를 생성하는 비교 회로(43)를 갖는다.

대표도

도 7

명세서

도면의 간단한 설명

- 도 1은 종래 DRAM의 코어 주변 회로의 일부를 도시한 블록도.
- 도 2는 도 1에 도시한 구성의 동작 타이밍도.
- 도 3은 도 1에 도시한 REF - ACT 선택 회로의 회로도.
- 도 4는 도 1에 도시한 REF - ACT 비교 회로의 회로도.
- 도 5는 최장의 액세스 시간을 설명하기 위한 타이밍도.
- 도 6은 본 발명의 원리를 설명하기 위한 타이밍도.
- 도 7은 본 발명의 제1 실시예를 도시한 블록도.
- 도 8은 도 7에 도시한 반도체 기억 장치의 동작을 도시한 타이밍도.
- 도 9는 도 7에 도시한 천이(遷移) 검출 회로의 일구성예의 회로도.
- 도 10은 도 7에 도시한 REF - ACT 비교 회로의 일구성예의 회로도.
- 도 11은 도 7에 도시한 코어 제어 회로의 일구성예의 회로도.
- 도 12는 본 발명의 제2 실시예를 도시한 블록도.
- 도 13은 도 12에 도시한 반도체 기억 장치의 동작을 도시한 타이밍도.
- 도 14는 도 12에 도시한 REF 제어 회로의 일구성예의 회로도.
- 도 15는 도 12에 도시한 펄스폭 확장 회로(74)의 일구성예를 도시한 회로도.
- 도 16은 도 12에 도시한 REF - ACT 비교 회로(73)의 일구성예를 도시한 회로도.
- 도 17은 본 발명 반도체 기억 장치의 전체 구성을 도시한 블록도.

〈도면의 주요 부분에 대한 부호의 설명〉

- 10 : 필터
- 11 : 커맨드 제어 회로
- 12, 17 : REF(리프레시) 제어 회로
- 13, 43, 73 : REF - ACT(액티브) 비교 회로
- 14, 44 : 코어 제어 회로
- 42, 47 : 펄스폭 확장 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기억 장치에 관한 것으로, 특히 메모리 내부에서 항상 셀프 리프레시 동작을 하는 DRAM 형의 반도체 기억 장치에 관한 것이다.

최근, 인터넷과의 제휴 등으로 인해 휴대 전화 등 소형 이동 단말기로 처리하는 데이터량이 많아짐에 따라, 대용량의 메모리가 필요해지고 있다. 현재, 휴대 전화에는 소비 전력이 적은 SRAM이 사용되고 있다. 그러나, SRAM은 집적도가 낮고 용량을 크게 하면 비용이 대폭 증가되는 문제점이 있다. 이에 반해, DRAM은 저비용으로 대용량의 메모리를 만들 수 있다. 그러나, DRAM과 SRAM은 커맨드 체계가 다르기 때문에, 단순히 SRAM을 DRAM으로 대체할 수 없다. 이 경우, 크게 문제가 되는 것들 중의 하나가 리프레시의 제어 방법이다. DRAM에서는 정기적으로 리프레시를 행하지 않으면 메모리 셀의 데이터가 없어져 버린다. DRAM 외부의 컨트롤러로부터 리프레시를 위한 명령을 DRAM에 공급함으로써 정기적인 리프레시 동작이 가능하다. 그러나, 이 구성은 컨트롤러에 상당한 부담을 준다.

따라서, DRAM 자신이 내부에서 정기적으로 리프레시(셀프 리프레시)를 행하는 것이 필요하다. DRAM이 비동기형인 경우, 즉 클럭 동기가 아닌 DRAM의 경우, 내부에서 발생한 리프레시 요구 신호와 외부로부터 입력되는 액티브 동작(예컨대, 데이터의 판독이나 기록 동작)의 요구가 충돌할 가능성이 있다.

도 1은 종래 DRAM의 코어 주변 회로의 일부를 도시한 블록도이다. 또한, 도 2는 도 1에 도시한 구성의 동작 타이밍도이다.

도 1에 있어서, DRAM은 필터(10), 커맨드 제어 회로(11), 리프레시(REF) 제어 회로(12), 리프레시 - 액티브(REF - ACT) 비교 회로(13) 및 코어 제어 회로(14)를 갖는다. REF 제어 회로(12)는 리프레시(REF) 요구 신호(refpz)를 REF - ACT 비교 회로(13) 및 코어 제어 회로(14)에 정기적으로 출력한다. 외부로부터의 판독 또는 기록 커맨드는 필터(10)를 통해 커맨드 제어 회로(11)에 주어진다. 판독 또는 기록 커맨드는 칩 - 인에이블 신호(/CE), 기록 인에이블 신호(/WE) 및 출력 인에이블 신호(/OE)의 제어 신호의 조합으로 정의된다. 필터(10)는 비동기형(외부 클럭에 동기하지 않음)의 DRAM이 노이즈 등으로 오작동하지 않도록 커맨드 신호(/CE, /WE, /OE)나 어드레스를 필터링한다. 커맨드 제어 회로(11)는 필터(10)를 통해 수취한 커맨드를 디코딩하여, 액티브(ACT) 요구 신호(코어의 활성화를 요구하는 신호)(actpz)를 REF - ACT 비교 회로(13) 및 코어 제어 회로(14)에 출력한다.

REF - ACT 비교 회로(13)는 ACT 요구 신호(actpz)와 REF 요구 신호(refpz) 중 먼저 입력된 동작을 선택하여, REF - ACT 선택 신호(refz)를 코어 제어 회로(14)에 출력한다. 리프레시 동작이 선택된 경우, REF - ACT 선택 신호(refz)는 H(하이) 레벨이며(도 2(b)), ACT 요구 신호가 선택된 경우에는 L(로우) 레벨이다(도 2(a)). 코어 제어 회로(14)는 ACT 요구 신호(actpz)나 REF 요구 신호(refpz)를 수취하면, 코어(도시 생략)를 동작시킨다. 코어 동작중에 코어 제어 회로(14)는 비지 신호(busyz)를 REF - ACT 비교 회로(13)에 출력하여, REF - ACT 선택 신호가 전환되지 않도록 한다. 액티브 동작중(판독 또는 기록 동작중)에 REF 요구 신호(refpz)가 입력된 경우와 리프레시 동작중에 ACT 요구 신호(actpz)가 입력된 경우에는 나중에 입력된 동작을 대기시키고 앞의 동작이 종료하면, 즉 비지 신호(busyz)가 L로 되면, 대기시킨 동작을 행한다.

도 3은 REF - ACT 비교 회로(13)의 구성예를 도시한 회로도이다. REF - ACT 비교 회로(13)는 인버터(15, 16), NA

ND 게이트(17, 18), 트랜스퍼 스위치(19), 래치(20) 및 인버터(21)를 구비한다. NAND 게이트(17, 18)는 플립플롭을 구성한다. ACT 요구 신호(actpz)가 입력되면, NAND 게이트(17)의 출력(n1)과 NAND 게이트(18)의 출력(n2)은 모두 H로 된다. 한편, REF 요구 신호(refpz)가 입력되면, n1은 H로 되고, n2는 L로 된다. 코어 제어 회로(14)로부터의 비지 신호(busyz)가 L일 때 트랜스퍼 스위치(19)는 온 상태이기 때문에, $n1 = n3$ (스위치(19)의 출력) = refz가 된다. 한편, 비지 신호(busyz)가 H일 때 트랜스퍼 스위치(19)는 오프 상태이기 때문에, 인버터(21)의 출력(refz)은 변하지 않는다.

도 4는 코어 제어 회로(14)의 일구성예를 도시한 회로도이다. 코어 제어 회로(14)는 인버터(22, 27, 28, 29) 및 NAND 게이트(23, 24, 25, 26, 30, 31, 32, 33, 34)를 갖는다. 인버터(23)와 인버터(24), 인버터(30)와 인버터(31)로 각각 플립플롭(FF1, FF2)이 구성되어 있다. NAND 게이트(34)의 출력인 코어 제어 신호(out)는 코어(도시 생략)를 제어하는 부분에 출력된다. 코어 제어 신호(out)가 H로 되면 코어의 제어가 시작되어, 비지 신호(busyz)를 H로 한다. NAND 게이트(26, 32)는 이 비지 신호(busyz)를 받는다. ACT 요구 신호(actpz) 및 REF 요구 신호(refpz)가 입력되면, 플립플롭(FF2, FF1)의 출력(n2, n1)이 H로 된다. 또한, 비지 신호(busyz)가 L일 때에는 코어 제어 신호(out)는 H가 된다. 비지 신호(busyz)가 H일 때 코어 제어 신호(out)는 L이다.

액티브 동작이 시작되면(busyz = H, refz = L), 플립플롭(FF2)이 리셋되어 $n2 = L$ 가 된다. 리프레시 동작이 시작되면(busyz = H, refz = H), 플립플롭(FF1)이 리셋되어 $n1 = L$ 가 된다. 리프레시 동작중에 ACT 요구 커맨드(actpz)가 입력되면, $n2 = H$ 의 상태에서 리프레시 동작이 끝나는 것을 대기한다. 리프레시 동작이 끝나고 비지 신호(busyz)가 L로 되면, 노드(n2)의 H 레벨이 코어 제어 신호(out)로 되어 액티브 동작이 시작된다. 액티브 동작중에 리프레시 요구 신호(refpz)가 입력된 경우도 마찬가지이다.

발명이 이루고자 하는 기술적 과제

상기 제어를 행한 경우의 액세스 시간은 REF 요구 신호(refpz)를 입력한 직후에 ACT 요구 신호가 출력된 경우가 가장 길고, 데이터 출력까지 가장 시간을 필요로 한다. 이 경우의 타이밍도를 도 5에 도시한다. 도 5에 도시한 경우의 액세스 시간은 액세스 명령이 입력되고 나서(/CE가 L로 되고 나서), ACT 요구 신호(actpz)가 출력될 때까지의 시간, 리프레시 동작 시간 및 ACT 요구 신호(actpz)에서 데이터가 출력될 때까지의 시간을 더한 값이 된다.

비동기형(외부 클록에 동기하지 않는다)의 DRAM에서는 전술한 바와 같이, /CE, /WE, /OE의 제어 신호나 어드레스에 노이즈가 생기더라도 오작동하지 않도록 필터(10)가 설치되어 있고, 필터(10)를 통한 후의 신호를 사용하여 회로를 움직이고 있다. ACT 요구 신호(actpz)도 필터(10)를 통한 후의 신호를 사용하여 생성된다. 1ns의 노이즈를 없애기 위해서는 적어도 1ns는 신호를 지연시켜야 하기 때문에, 폭 넓은 노이즈를 제거하기 위해서는 필터(10)에서의 지연이 커져, 커맨드 입력후 데이터가 출력되기까지의 액세스 시간이 길어진다는 문제점이 있다.

따라서, 본 발명은 상기 문제점을 해결하고, 액세스 시간이 짧은 반도체 기억 장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

청구항 1에 기재된 발명은 셀프 리프레시 기능을 갖는 반도체 기억 장치에 있어서, 소정의 입력 신호(후술하는 제어 신호나 어드레스 신호)의 변화를 검출하여 검출 신호를 출력하는 검출 회로(후술하는 천이 검출 회로(41)에 상당)와, 해당 검출 신호와 내부에서 발생한 리프레시 요구 신호를 비교하여 회로 동작을 지시하는 신호를 생성하는 비교 회로(후술하는 REF - ACT 비교 회로(43, 72)에 상당)를 포함하는 것을 특징으로 하는 반도체 기억 장치이다. 소정의 입력 신

호의 변화를 검출하는 것은 외부로부터 회로 동작에 관한 어떠한 지시가 있었던 것을 검출하는 것을 뜻한다. 이 지시의 내용을 특정하기 위해서는 잡음 제거 처리나 디코딩 등의 처리가 필요하고 시간을 필요로 한다. 이 잡음 제거 처리 등의 처리를 대기하지 않고서, 소정의 입력 신호의 변화를 검출하는 것으로 검출 신호를 생성하고, 그것을 리프레시 요구 신호와 비교한다. 따라서, 조속히 행해야 되는 회로 동작을 선택할 수 있어, 액세스 시간이 짧아진다.

청구항 2에 기재된 발명은 상기 검출 신호가 출력되고 나서 상기 소정의 입력 신호가 내부에서 처리될 때까지는 상기 내부에서 발생한 리프레시 요구 신호를 무효로 하기 위한 신호를 생성하는 회로(후술하는 펄스폭 확장 회로(42, 74)에 상당)를 포함하는 것을 특징으로 하는 청구항 1에 기재의 반도체 기억 장치이다. 외부로부터 지시된 회로 동작을 실행 중에, 내부에서 발생한 리프레시 요구 신호에 의해 리프레시 동작이 행하여지는 것을 방지한다.

청구항 3에 기재된 발명은 상기 검출 회로는 반도체 기억 장치 내부의 필터에서 처리되기 전의 상기 입력 신호의 변화를 검출하여 검출 신호를 출력하는 것을 특징으로 하는 청구항 1 또는 2에 기재의 반도체 기억 장치이다. 필터에서 처리되기 전의 입력 신호의 변화를 검출하기 때문에, 즉시 입력 신호의 변화를 검출할 수 있고, 선택하여야 할 회로 동작을 결정할 수 있다.

청구항 4에 기재된 발명은 상기 비교 회로가 출력하는 신호는 해당 비교 회로에 먼저 입력한 신호로 지시되는 회로 동작을 선택하는 신호인 것을 특징으로 하는 청구항 1 또는 2에 기재의 반도체 기억 장치이다. 비교 회로의 구성을 보다 구체적으로 특정한 것이다.

청구항 5에 기재된 발명은 상기 소정의 입력 신호는 커맨드를 구성하는 신호(후술하는 /CE, /WE, /OE 등에 상당)를 포함하는 것을 특징으로 하는 청구항 1 또는 2에 기재의 반도체 기억 장치이다. 천이를 검출하여야 할 입력 신호의 구체적인 예를 규정한 것이다.

청구항 6에 기재된 발명은 상기 소정의 입력 신호는 어드레스를 구성하는 신호를 포함하는 것을 특징으로 하는 청구항 1 또는 2에 기재의 반도체 기억 장치이다. 천이를 검출하여야 할 입력 신호의 구체적인 예를 규정한 것이다.

청구항 7에 기재된 발명은 셀프 리프레시 기능을 갖는 반도체 기억 장치에 있어서, 소정의 입력 신호의 변화를 검출하여 검출 신호를 출력하는 검출 회로(후술하는 천이 검출 회로(41)에 상당)와, 테스트 모드에 있어서, 상기 검출 신호에 응답하여 셀프 리프레시를 요구하는 리프레시 요구 신호를 생성하는 리프레시 제어 회로(후술하는 REF 제어 회로(72)에 상당)를 포함하는 것을 특징으로 하는 반도체 기억 장치이다. 외부에서 리프레시 요구 신호의 생성을 지시할 수 있기 때문에, 액세스 시간의 특징이 용이해 진다. 소정의 입력 신호의 변화로부터 실제로 데이터가 출력되기까지의 시간이 액세스 시간이 된다.

청구항 8에 기재된 발명은 상기 반도체 기억 장치는 상기 검출 신호와 상기 리프레시 요구 신호를 비교하여 회로 동작을 지시하는 신호를 생성하는 비교 회로를 더 포함하는 것을 특징으로 하는 청구항 7에 기재의 반도체 기억 장치이다. 청구항 1에 기재된 발명과 같은 작용 효과를 나타낸다.

청구항 9에 기재된 발명은 상기 리프레시 제어 회로는 테스트 모드일 때에는 상기 검출 신호를 리프레시 요구 신호로서 출력하고, 테스트 모드가 아닐 때에는 내부에서 발생하는 리프레시를 요구하는 신호를 리프레시 요구 신호로서 출력하는 것을 특징으로 하는 청구항 7에 기재의 반도체 기억 장치이다. 테스트 모드일 때에는 검출 신호가 리프레시 요구 신호로서 출력되기 때문에, 즉시 리프레시 동작을 실행할 수 있다.

청구항 10에 기재된 발명은 테스트 모드가 아닐 때에는 상기 검출 신호가 출력되고 나서 상기 소정의 입력 신호가 내부에서 처리될 때까지는 상기 내부에서 발생한 리프레시 요구 신호를 무효로 하기 위한 신호를 생성하는 회로(후술하는 펄스폭 확장 회로(74)에 상당)를 갖는 것을 특징으로 하는 청구항 7에 기재의 반도체 기억 장치이다. 테스트 모드가 아닐 때에는 확실하게 외부로부터의 회로 동작의 지시를 실행하기 때문이다.

본 발명의 원리를 도 6을 참조하여 설명한다. 도 6은 도 5에 대응하는 본 발명 반도체 기억 장치의 동작예를 도시한 도이다. 본 발명에서는 새롭게 천이 검출 신호(stdpz)를 이용하고 있다. 천이 검출 신호(stdpz)는 도 1의 필터(10)에 들어가는 신호가 변환한 것이 검출되었을 때 생성되는 것이다. 도 1을 참조하여 설명한 바와 같이, 필터(10)에는 제어 신호(/CE, /WE 및 /OE)와 어드레스 신호가 입력된다. 예컨대, 천이 검출 신호(stdpz)는 제어 신호와 어드레스 신호 중 어느 하나가 변환된 것을 검출하고, 입력 신호가 변환한 것을 검출한다. 도 6의 예에서는 칩 · 인에이블 신호(/CE)가 H에서 L로 변환된 경우이다.

이 천이 검출 신호(stdpz)와 REF 요구 신호(refpz)를 비교하여, 둘 중에 빠른 쪽의 동작을 선택한다. 도 6의 예에서는 REF 요구 신호(refpz)가 천이 검출 신호(stdpz)보다도 약간 선행하고 있다. 따라서, 리프레시 동작이 선택되고, 리프레시 동작이 종료된 후, 액티브 동작이 시작된다. 도 5와 도 6의 액세스 시간을 비교하면 분명한 바와 같이, 본 발명 반도체 기억 장치는 액세스 시간이 짧고 고속이다. ACT 요구 신호(actpz)는 필터(10)를 통하여 커맨드 제어 회로(11)가 출력하는 신호이다. 즉, 본 발명 반도체 기억 장치 쪽이 필터(10)를 통하지 않는 부분만큼 데이터 출력이 빨라지고 있다.

전술한 바와 같이, 액세스 시간은 액세스 명령이 필터(10)에 주어지고 나서 천이 검출 신호(stdpz)가 출력될 때까지의 시간, 리프레시 동작 시간 및 ACT 요구 신호(actpz)에서 데이터가 출력될 때까지의 시간을 더한 값이 된다. 도 5와 도 6을 비교하면, 천이 검출 신호(stdpz)가 출력되고 나서 ACT 요구 신호가 출력되는 시간(필터(10)에 의한 신호의 지연 시간)만큼 데이터 출력이 빨라지는 것을 알 수 있다.

도 7은 본 발명 반도체 기억 장치의 일실시예를 도시한 블록도이다. 도 7중, 도 1에 도시한 구성 요소와 동일한 것에는 동일한 참조 번호를 붙인다. 도시하는 반도체 기억 장치는 필터(10), 커맨드 제어 회로(11), REF 제어 회로(12), 천이 검출 회로(41), 펄스폭 확장 회로(42), REF - ACT 비교 회로(43) 및 코어 제어 회로(44)를 갖는다. 본 발명에서 새롭게 설치한 것은 천이 검출 회로(41)와 펄스폭 확장 회로(42)이다. 또한, REF - ACT 비교 회로(43) 및 코어 제어 회로(44)는 도 1에 도시한 REF - ACT 비교 회로(13) 및 코어 제어 회로(14)와 상이한 회로 구성이다.

천이 검출 회로(41)는 도 6의 천이 검출 신호(stdpz)를 생성한다. 검출 대상이 되는 신호는 필터(10)의 입력 신호, 즉, 칩 · 인에이블(/CE), 기록 인에이블 신호(/WE), 출력 인에이블 신호(/OE)의 제어 신호와 어드레스 신호이다. 천이 검출 회로(41)는 제어 신호와 어드레스 신호의 소정 비트가 변환한 것(예컨대, /CE, /WE, /OE 중 어느 하나의 하강 및 어드레스 신호의 상승과 하강의 양쪽)을 검출하면, 천이 검출 신호(stdpz)를 출력한다. 천이 검출 신호(stdpz)는 REF - ACT 비교 회로(44) 및 펄스폭 확장 회로(42)에 출력된다. REF - ACT 비교 회로(43)는 천이 검출 신호(stdpz)와 REF 요구 신호(refpz)를 비교하여, REF - ACT 선택 신호(refz)를 코어 제어 회로(44)에 출력한다. 천이 검출 신호(stdpz)가 REF 요구 신호(refpz)보다도 빠른 타이밍의 경우에는 REF - ACT 선택 신호(refz)는 H이며, 느린 타이밍의 경우에는 L이다. ACT 요구 신호(actpz)는 노이즈에 의한 오작동을 막기 위해서, 도 1에 도시한 구성과 같이 필터(10)를 통과시킨 후의 신호로부터 생성된다.

도 8은 도 7의 동작 타이밍도이다. 도 8에서는 REF 요구 신호(refpz)가 생성된 뒤에 ACT 요구 신호(actpz)가 생성되어 있는 경우의 예이며, 천이 검출 회로(41)가 생성하는 천이 검출 신호(stdpz)는 REF 요구 신호(refz)보다도 선행하고 있다. 따라서, REF - ACT 비교 회로(43)는 REF - ACT 선택 신호(refz)를 L로 하여 액티브 동작을 선택하고, 그 후에 REF - ACT 선택 신호(refz)를 H로 하여 리프레시 동작을 선택한다. 도 8과 같은 경우, 도 1에 도시한 구성에서는 먼저 리프레시 동작이 행하여지고, 다음에 액티브 동작이 행하여진다.

REF - ACT 비교 회로(43)의 입력을 ACT 요구 신호(actpz)에서 천이 검출 신호(stdpz)로 바꾼 것만으로는 천이 검출 신호(stdpz)가 출력되고 나서 ACT 요구 신호(actpz)가 출력되는 동안에 REF 요구 신호가 출력되면 리프레시 동작이 선택되어 버린다. 이 때문에, 천이 검출 신호(stdpz)가 출력되고 나서, 비지 신호(busyz)가 H로 될 때까지 리프레시 동작을 멈출 필요가 있다. 이 동작을, 천이 검출 신호(stdpz)의 펄스폭을 확장한 신호(stdpwz)로 행한다. 펄스폭 확장 회로(42)는 천이 검출 신호(stdpz)의 펄스폭을 확장한 신호(stdpwz)를 생성한다.

REF - ACT 비교 회로(43)는 펄스폭 확장 회로(42)로부터의 펄스폭 확장 신호(stdpwz)를 수취하고, 이 신호가 온(H)인 기간에는 REF 요구 신호(refpz)를 접수하지 않도록(무효로 하도록) 한다. 펄스폭 확장 신호(stdpwz)는 코어 제어 회로(44)에도 출력된다. 이에 따라, 코어 제어 회로(44)가 액티브 동작을 종료할 때까지 리프레시 동작을 할 수 없다.

도 9는 천이 검출 회로(41)의 일구성예를 도시한 회로도이다. 도시하는 천이 검출 회로(41)는 인버터(50, 51), 지연 소자(52), NAND 게이트(53) 및 인버터(54)로 구성되는 검출 회로를 갖는다. 이 구성의 검출 회로는 제어 신호(/CE, /WE 및 /OE)의 각각에 설치되어 있다. 도 9에서는 도면을 간소화하기 위해서, 제어 신호(/CE, /WE 및 /OE)가 공통으로 주어지도록 도시하고 있다. 또한, 천이 검출 회로(41)는 인버터(55, 56), 지연 소자(57) 및 NAND 게이트(58)로 구성되는 검출 회로를 갖는다. 마찬가지로, 인버터(59), 지연 소자(60) 및 NAND 게이트(61)로 검출 회로가 구성되어 있다. 이 구성의 검출 회로는 어드레스 신호의 각 비트마다 설치되어 있다. 도 9에서는 1비트 분의 구성을 도시하고 있다.

예컨대, 칩 · 인에이블 신호(/CE)가 H에서 L로 변화되면, 인버터(50)의 출력은 L에서 H로 변화하고, 그것을 NAND 게이트(53)가 수취한다. 또한, 지연 소자(52)의 출력은 처음에는 H이며, 인버터(50)의 출력이 H로 변화된 후 지연 소자의 지연 시간 경과후에 L로 된다. 이 때문에, NAND 게이트(53)의 출력은 칩 · 인에이블 신호(/CE)가 H에서 L로 변화되는 동시에 H에서 L로 변화되어, 지연 소자(52)의 지연 시간 경과후의 H로 되돌아간다. 천이 검출 신호(stdpz)는 이것을 반전한 신호가 된다. 즉, 칩 · 인에이블 신호(/CE)가 H에서 L로 변화함으로써 천이 검출 신호(stdpz)에 H 레벨의 펄스 신호가 발생한다.

도 10은 REF - ACT 비교 회로(43)의 일구성예의 회로도이다. 도 10중, 도 3과 동일한 구성 요소와 동일한 것에는 동일한 참조 번호를 붙인다. 도 10에 도시한 REF - ACT 비교 회로(43)는 도 3에 도시한 회로에 NOR 게이트(65)를 부가한 것이다. NOR 게이트(65)는 비지 신호(busyz)와 펄스폭 확장 신호(stdpwz)의 NOR 논리를 연산하여, 트랜스퍼 스위치(19)를 제어한다. 비지 신호(busyz)와 펄스폭 확장 신호(stdpwz) 중 어느 한 쪽이 H로 있을 때 트랜스퍼 스위치(19)는 오프 상태로 있다. 따라서, REF - ACT 선택 신호(refz)는 유지된다. 즉, 천이 검출 신호(stdpz)가 검출되고 나서 비지 신호(busyz)가 H로 될 때까지의 기간 및 비지 기간은 리프레시 동작의 요구를 접수하지 않는다.

도 11은 코어 제어 회로(44)의 일구성예의 회로도이다. 도 11중, 도 4에 도시한 구성 요소와 동일한 것에는 동일한 참조 번호를 붙인다. 도 11에 도시한 코어 선택 회로(44)는 도 4에 도시한 회로 구성에 인버터(66)를 설치하는 동시에, 도 4에 도시한 NAND 게이트(25)를 3입력의 NAND 게이트(67)로 대체한 것이다. 펄스폭 확장 신호(stdpwz)가 H인 기간은 NAND 게이트(67)는 폐쇄되어 있다. 따라서, REF 요구 신호(refpz)가 입력되더라도, NAND 게이트(34)의 출력(out)은 전환되지 않는다. 즉, 천이 검출 신호(stdpz)가 출력되고 나서 액티브 동작이 종료할 때까지는 리프레시 동작은 행하여지지 않는다.

다음에, 본 발명 반도체 기억 장치의 제2 실시예에 관해서 설명한다. 도 12는 본 발명 반도체 기억 장치의 제2 실시예를 도시한 블록도이다. 도 12중, 도 7에 도시한 구성 요소와 동일한 것에는 동일한 참조 번호를 붙인다. 또한, 도 13은 도 12에 도시한 반도체 기억 장치의 동작 타이밍도이다.

본 발명의 제2 실시예는 다음 사항을 고려한 것이다. REF 제어 회로(12)가 REF 요구 신호(refpz)를 생성하는 타이밍은 외부에서는 판단할 수 없다. 즉, 판독 커맨드나 기록 커맨드를 반도체 기억 장치에 부여한 경우에, 리프레시 동작이 행하여지고 있지 않을 때는 그대로 액티브 동작이 행하여지지만, 리프레시 동작과 액티브 동작이 타이밍적으로 중복된 경우에는 리프레시 동작이 먼저 행하여지고, 그 동작이 완료된 후에 액티브 동작이 행하여진다. 따라서, 액세스 시간은 일정하지 않게 변동되며, 예컨대 도 5에 도시한 바와 같이, 리프레시 동작과 액티브 동작이 중복되었을 때가 액세스 시간이 가장 길다. 반도체 기억 장치를 평가하기 위해서는 최장의 액세스 시간을 알 필요가 있다. 그러나, 도 5에 도시한 바와 같은 타이밍 조건을 외부에서는 알 수 없기 때문에, 최장의 액세스 시간을 알 수가 없다. 제2 실시예는 전술한 제1 실시예에 테스트 신호를 부여하여 반도체 기억 장치를 테스트 모드로 하고, 액티브 동작의 요구를 외부에서 부여하면, 처음에 반드시 리프레시 동작을 실행하고, 그 후에 액티브 동작을 실행하도록 구성한 것이다.

도 12 및 도 13에 있어서, 테스트 신호(tesz)가 외부에서 REF 제어 회로(72) 및 펄스폭 확장 회로(74)에 주어진다. REF 제어 회로(72)는 테스트 신호(tesz)가 주어진 상태에서, 천이 검출 회로(41)가 출력하는 천이 검출 신호(stdpz)가 H로 되면 REF 요구 신호(refpz)를 출력한다. 이것을 받은 REF - ACT 비교 회로(73)는 REF - ACT 선택 신호(refz)를 H로 하여 코어 제어 회로(44)에 리프레시 동작의 선택을 지시한다. 리프레시 동작 종료후의 비지 신호(busyz)의 하강에 응답하여, REF - ACT 비교 회로(73)는 REF - ACT 선택 신호를 L로 설정하고, 코어 제어 회로(44)는 ACT 요구 신호(actpz)에 응답한 동작을 코어에 지시한다.

이와 같이, 테스트 모드로 천이 검출 신호(stdpz)가 검출되면 즉시 리프레시 동작이 실행되고, 그 후에 액티브 동작이 실행되기 때문에, 도 6에 도시한 액세스 시간(/CE가 하강하고 나서 데이터 출력까지의 시간)을 용이하게 측정할 수 있다.

도 14는 REF 제어 회로(72)의 일구성예의 회로도이다. REF 제어 회로(72)는 제어 회로(76), NAND 게이트(77, 78, 79) 및 인버터(80)를 구비한다. 제어 회로(76)는 내부 리프레시 요구 신호(srtz)를 생성하고, 그것을 NAND 게이트(78)에 출력한다. 도 1이나 도 7에 도시한 리프레시 요구 신호(refpz)는 내부 리프레시 요구 신호(srtz)이다. 테스트 모드가 아닐 때에는 테스트 신호(tesz)가 L 레벨에 있기 때문에 내부 리프레시 요구 신호(srtz)가 리프레시 요구 신호(refpz)로 된다. 테스트 모드일 때에는 테스트 신호(tesz)가 H의 상태로 있고, 천이 검출 신호(stdpz)를 받으면 즉시 리프레시 요구 신호(refpz)가 H로 된다.

도 15는 펄스폭 확장 회로(74)의 일구성예의 회로도이다. 펄스폭 확장 회로(74)는 펄스폭 확장부(80), 인버터(81, 82) 및 NAND 게이트(83)로 구성된다. 펄스폭 확장부(80)는 도 7에 도시한 펄스폭 확장 회로(42)에 상당한다. 테스트 모드시에는 리프레시 동작을 먼저 행하기 때문에, 천이 검출 신호(stdpz)는 펄스폭 확장부(80)에 주어지지 않는다. 테스트 모드가 아닐 때 천이 검출 신호(stdpz)는 NAND 게이트(83) 및 인버터(82)를 통해 펄스폭 확장부(80)에 주어진다.

도 16은 REF - ACT 비교 회로(73)의 일구성예의 회로도이다. 도 16중, 도 10과 동일한 구성 요소에는 동일한 참조 번호를 붙인다. 도 16의 회로는 도 10의 인버터(16) 대신에 NAND 게이트(84)를 설치한 것이다. NAND 게이트(84)에는 비지 신호(busyz)와 REF - ACT 요구 신호(refz)가 주어진다. 도 10의 구성에서는 천이 검출 신호(stdpz)로 플립

플롭(NAND 게이트(17, 18)로 구성된다)를 리셋하여 액티브 동작시에 REF - ACT 선택 신호(refz)를 L가 되도록 하고 있다. 테스트 모드시는 REF 요구 신호(refpz)보다도 먼저 천이 검출 신호(stdpz)가 출력되기 때문에, 리프्रेस리 동작후에 천이 검출 신호(stdpz)를 사용하여 REF - ACT 선택 신호(refz)를 L로 할 수 없다. 이 점을 고려하여, 도 16의 회로는 리프्रेस리 동작에 들어가면 플립플롭을 셋트하는 구성으로 되어 있다.

도 17은 본 발명 반도체 기억 장치의 전체 구성예를 도시한 블록도이다. 도시하는 반도체 장치는 어드레스 단자(171), 커맨드 입력 단자(172 174), 데이터 입출력 단자(175), 단자(171 174)에 각각 접속된 입력 버퍼(176 179), 리프्रेस리 동작을 제어하는 리프्रेस리 제어 회로(180), 입력 버퍼/출력 버퍼(181), 어드레스 레지스터(182), 제어 회로(183), 데이터 제어 회로(184), 메모리 셀 어레이(코어)(185) 및 기록 증폭기/감지 버퍼(186)를 갖는다. 리프्रेस리 제어 회로(180)는 도 7의 REF 제어 회로(12) 및 도 12의 REF 제어 회로(72)에 상당한다. 어드레스 단자(171) 및 입력 버퍼(176)를 통해 외부 어드레스를 수취하고, 로우계 및 컬럼계의 디코딩된 어드레스를 메모리 셀 어레이(185)에 출력한다. 신호(/CE, /WE, /OE)는 각각 입력 버퍼(177, 178, 179)를 통해 제어 회로(183)에 주어진다. 데이터 입출력 회로(184)는 제어 회로(183)의 제어를 기초로 데이터의 입출력을 제어한다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따르면, 액세스 시간이 짧은 반도체 기억 장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

셀프 리프्रेस리 기능을 갖는 반도체 기억 장치에 있어서,

소정의 입력 신호의 변화를 검출하여 검출 신호를 출력하는 검출 회로와,

해당 검출 신호와 내부에서 발생한 리프्रेस리 요구 신호를 비교하여 회로 동작을 지시하는 신호를 생성하는 비교 회로를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 2.

제1항에 있어서, 상기 검출 신호가 출력되고 나서 상기 소정의 입력 신호가 내부에서 처리될 때까지 상기 내부에서 발생한 리프्रेस리 요구 신호를 무효로 하기 위한 신호를 생성하는 회로를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 3.

제1항 또는 제2항에 있어서, 상기 검출 회로는 반도체 기억 장치 내부의 필터에서 처리되기 전의 상기 입력 신호의 변화를 검출하여 검출 신호를 출력하는 것을 특징으로 하는 반도체 기억 장치.

청구항 4.

제1항 또는 제2항에 있어서, 상기 비교 회로가 출력하는 신호는 해당 비교 회로에 먼저 입력한 신호로 지시되는 회로 동작을 선택하는 신호인 것을 특징으로 하는 반도체 기억 장치.

청구항 5.

제1항 또는 제2항에 있어서, 상기 소정의 입력 신호는 커맨드를 구성하는 신호를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 6.

제1항 또는 제2항에 있어서, 상기 소정의 입력 신호는 어드레스를 구성하는 신호를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 7.

셀프 리프레시 기능을 갖는 반도체 기억 장치에 있어서,

소정의 입력 신호의 변화를 검출하여 검출 신호를 출력하는 검출 회로와,

테스트 모드에 있어서, 상기 검출 신호에 응답하여 셀프 리프레시를 요구하는 리프레시 요구 신호를 생성하는 리프레시 제어 회로를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 8.

제7항에 있어서, 상기 반도체 기억 장치는 상기 검출 신호와 상기 리프레시 요구 신호를 비교하여 회로 동작을 지시하는 신호를 생성하는 비교 회로를 더 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 9.

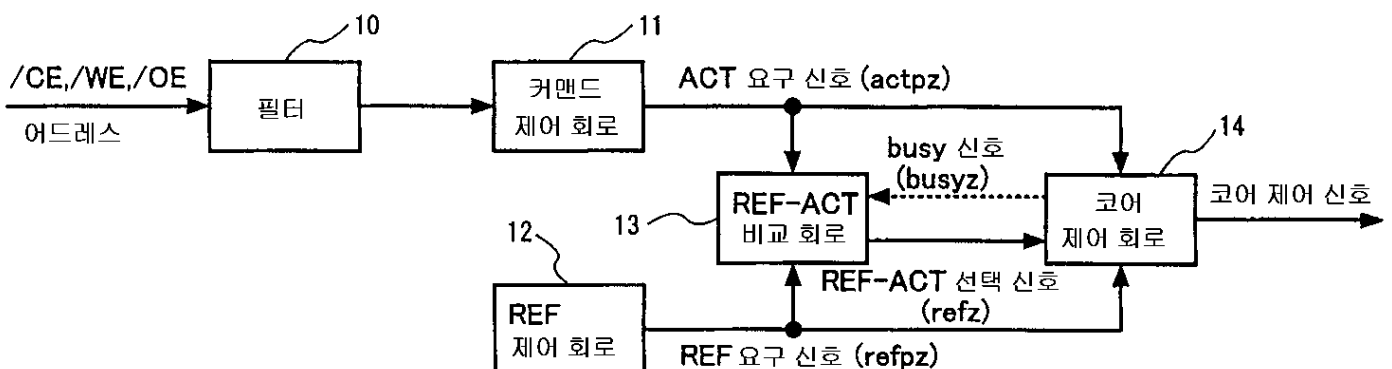
제7항에 있어서, 상기 리프레시 제어 회로는 테스트 모드일 때에는 상기 검출 신호를 리프레시 요구 신호로서 출력하고, 테스트 모드가 아닐 때에는 내부에서 발생하는 리프레시를 요구하는 신호를 리프레시 요구 신호로서 출력하는 것을 특징으로 하는 반도체 기억 장치.

청구항 10.

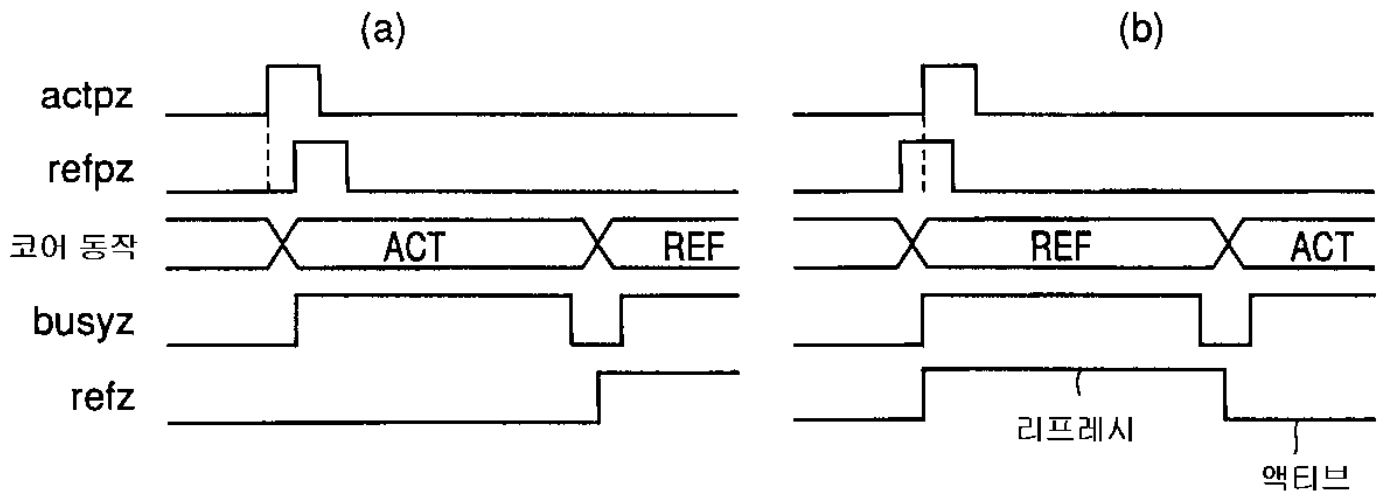
제7항에 있어서, 테스트 모드가 아닐 때에는 상기 검출 신호가 출력되고 나서 상기 소정의 입력 신호가 내부에서 처리될 때까지 상기 내부에서 발생한 리프레시 요구 신호를 무효로 하기 위한 신호를 생성하는 회로를 포함하는 것을 특징으로 하는 반도체 기억 장치.

도면

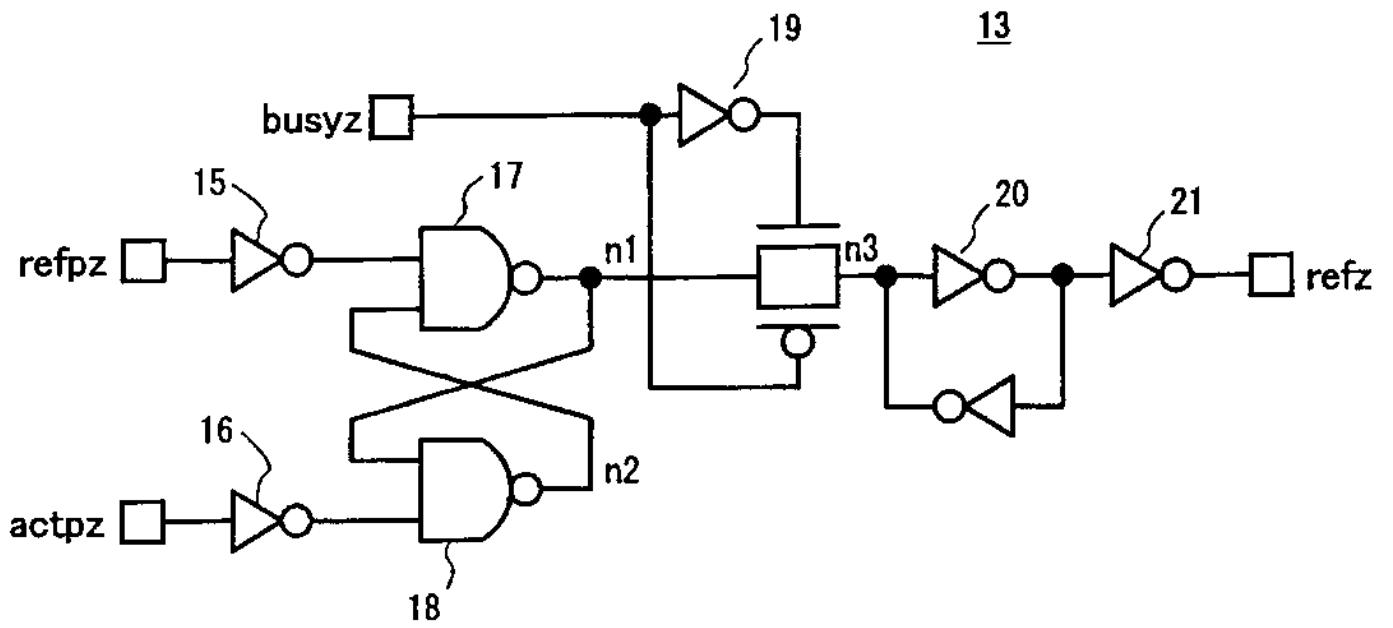
도면 1



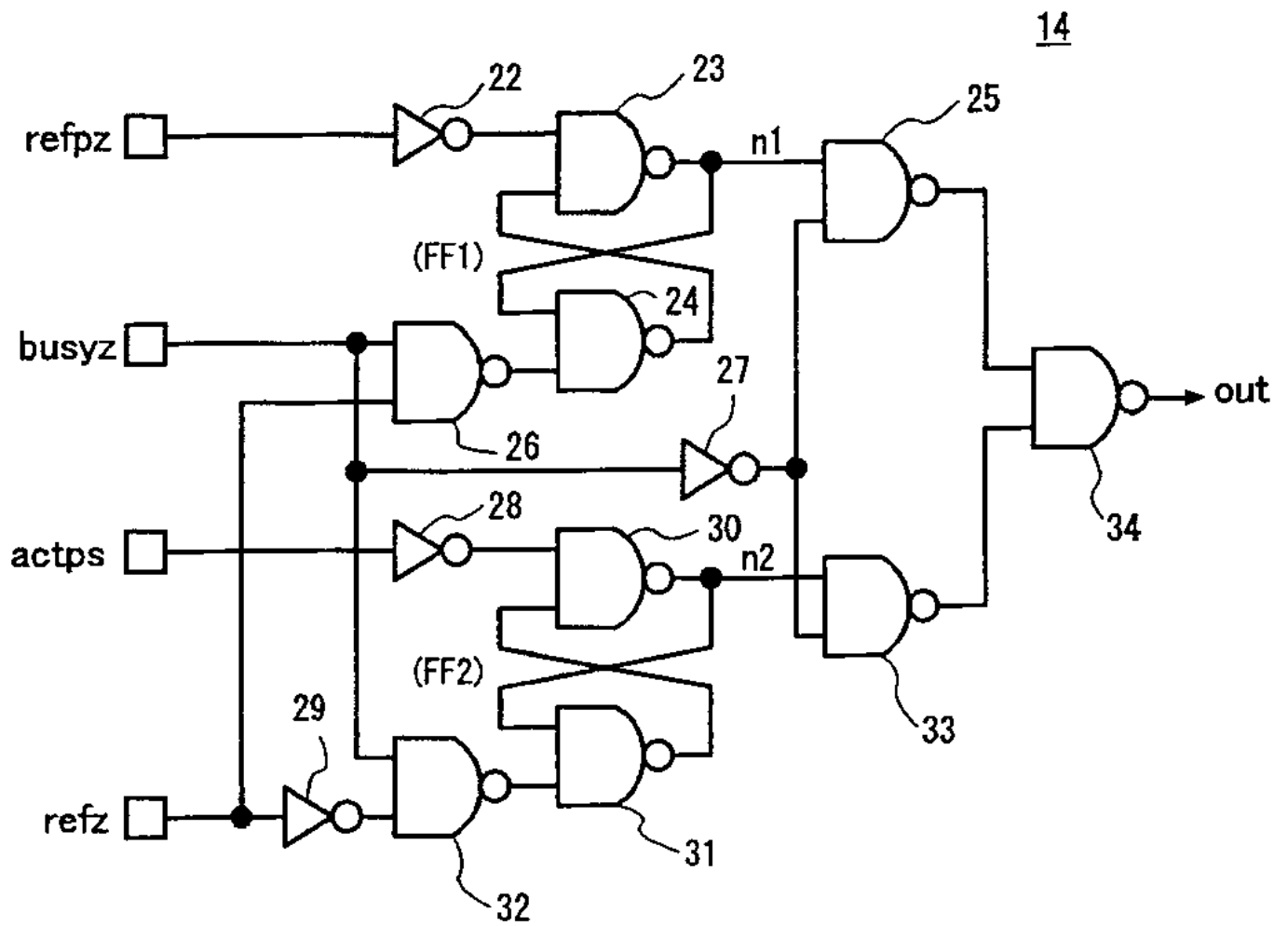
도면 2



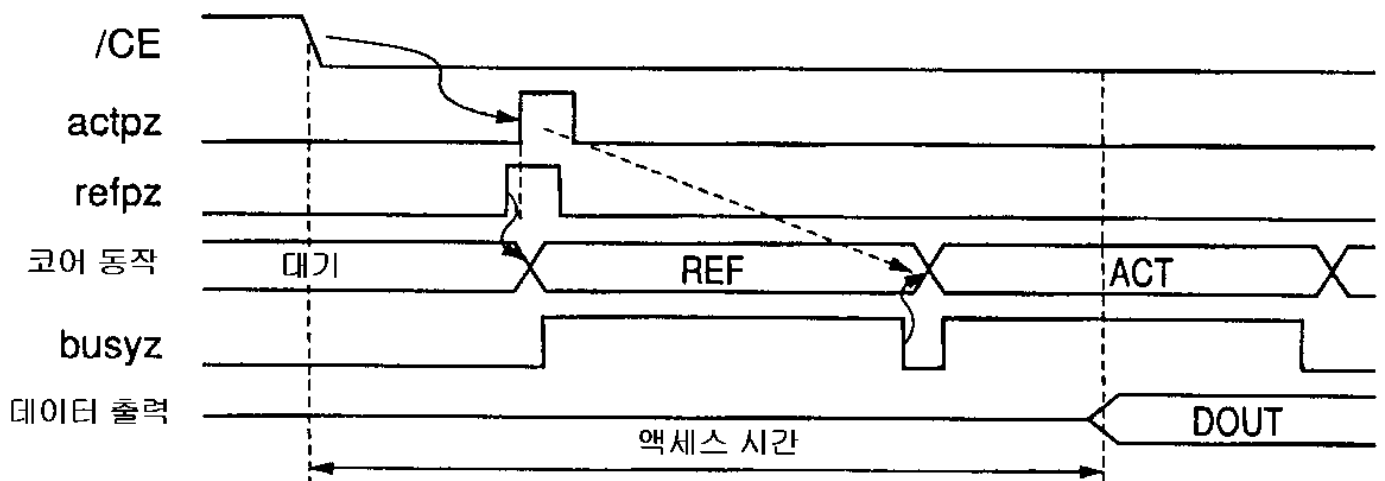
도면 3



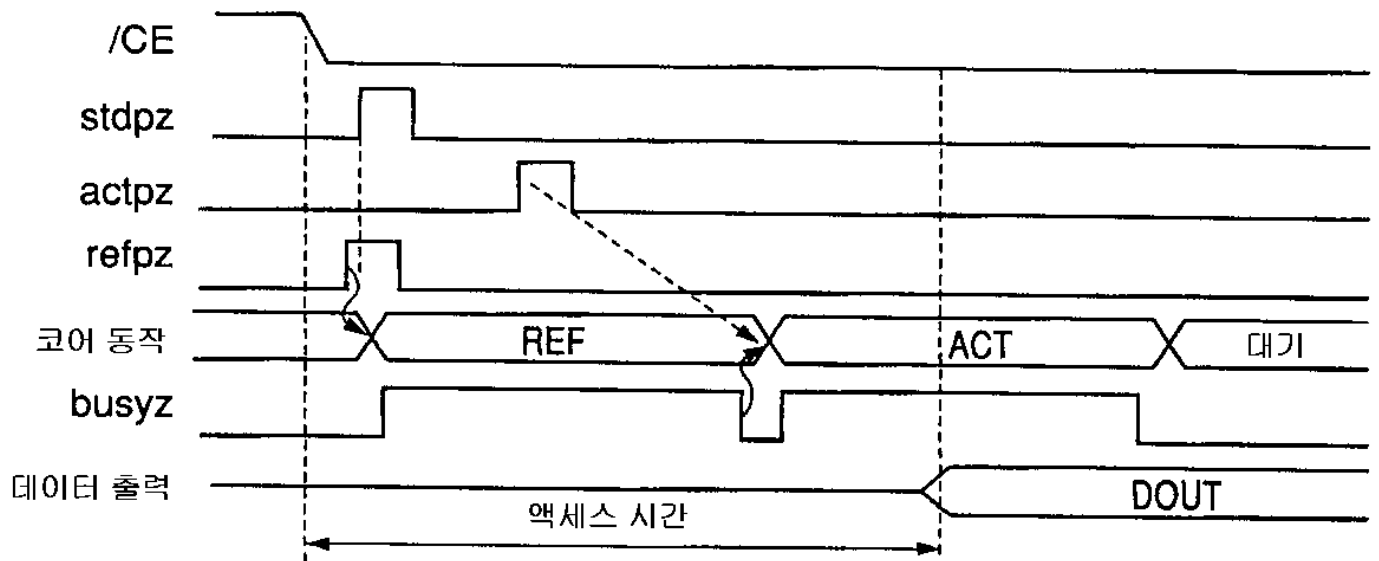
도면 4



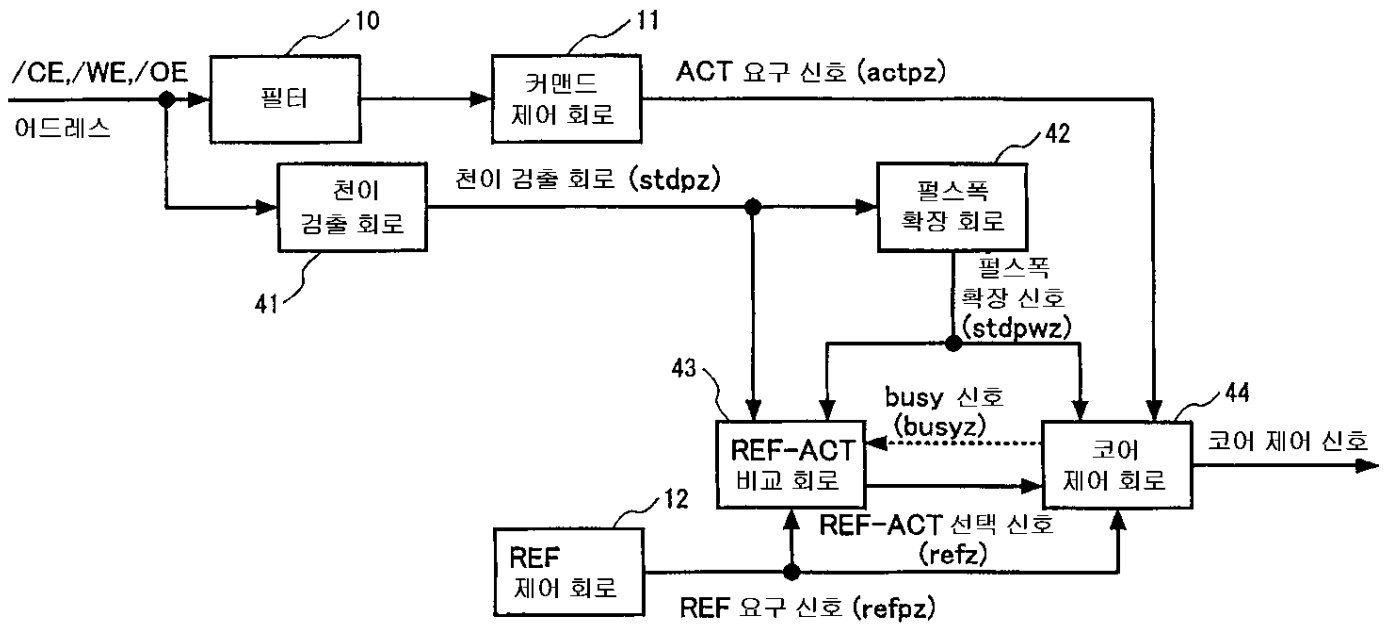
도면 5



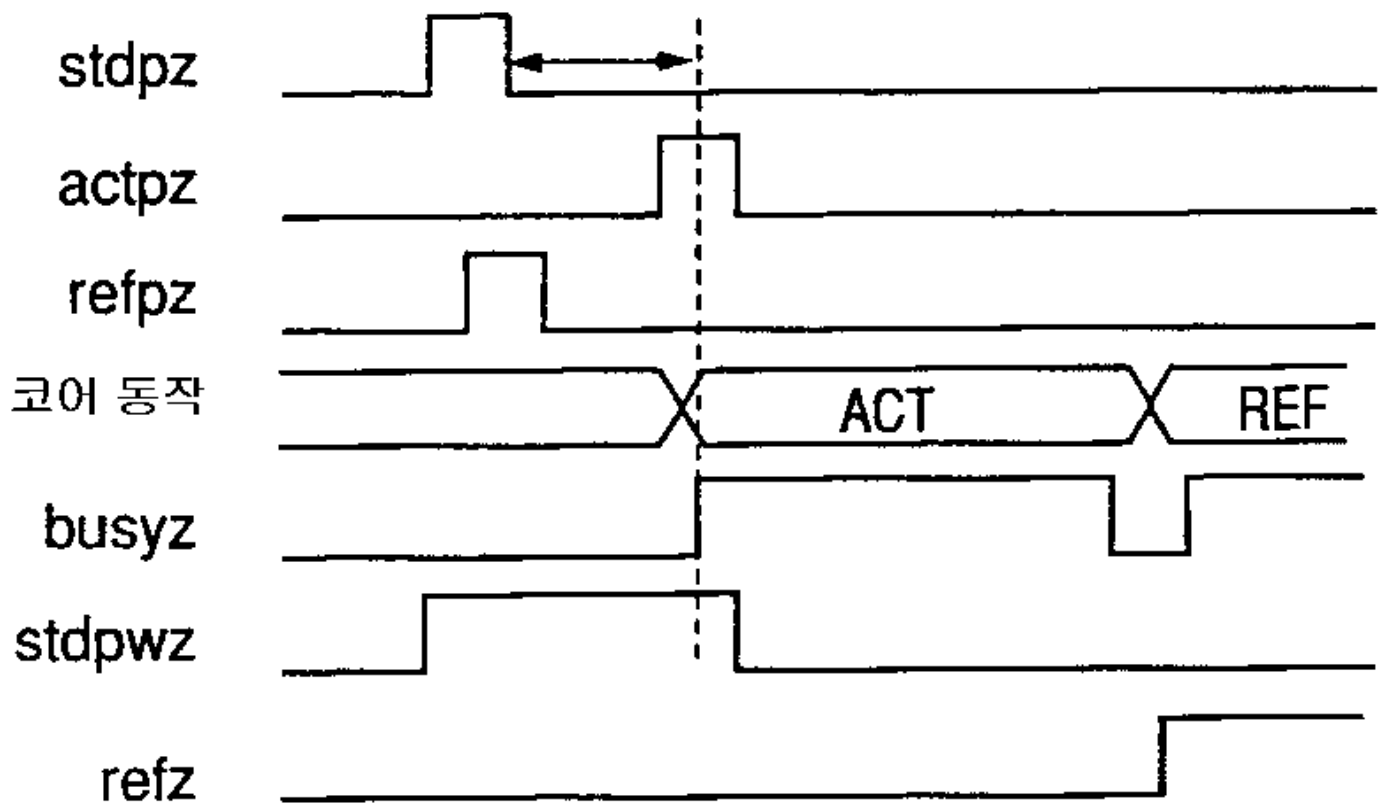
도면 6



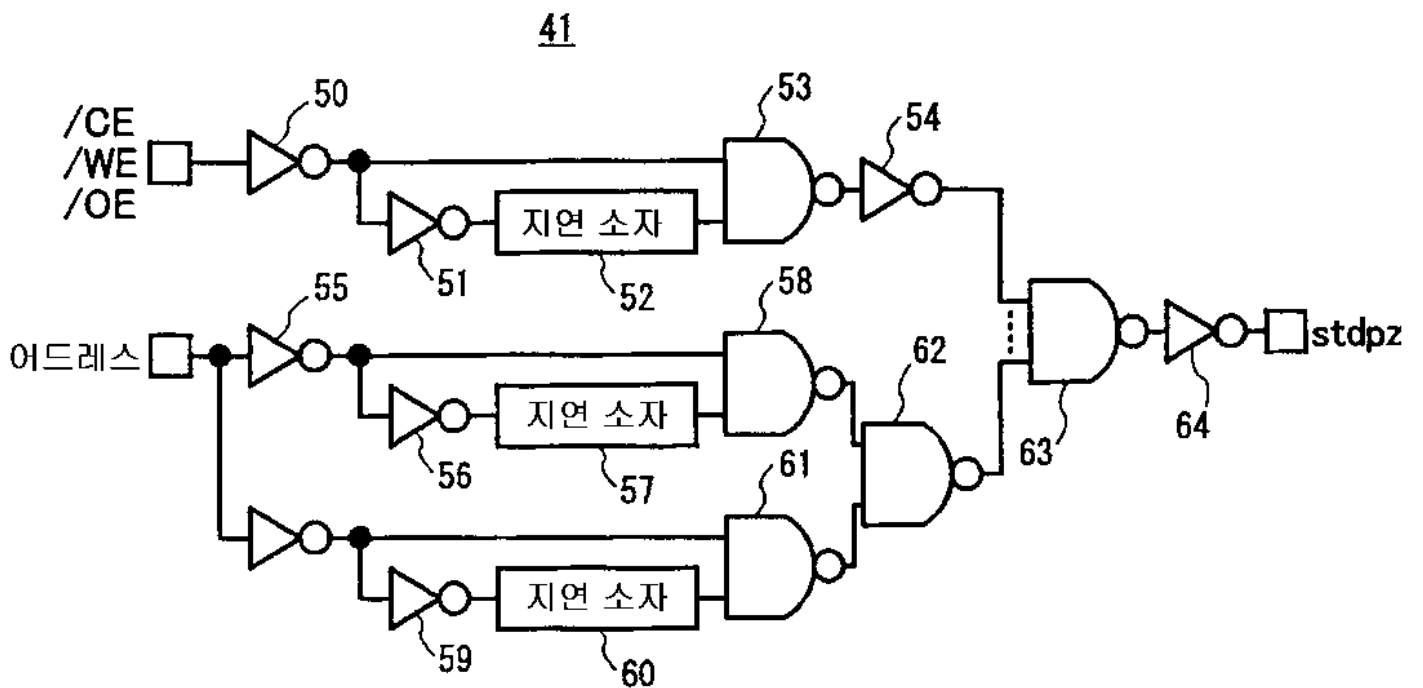
도면 7



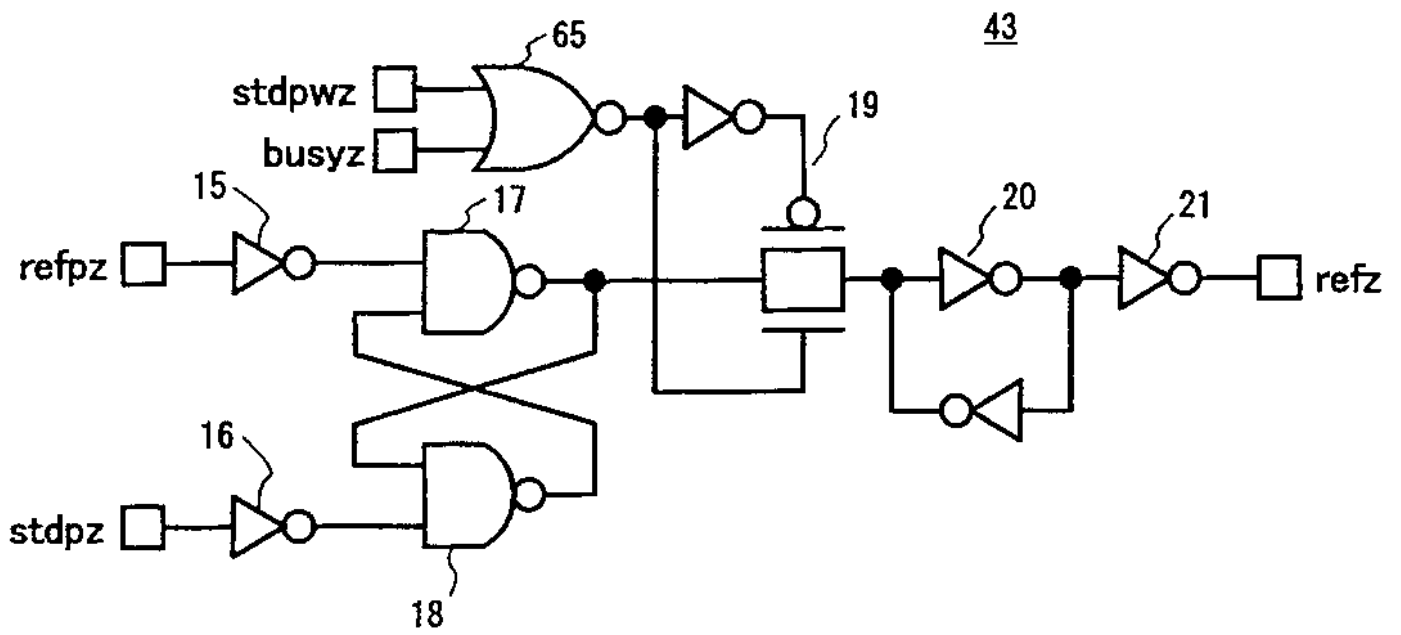
도면 8



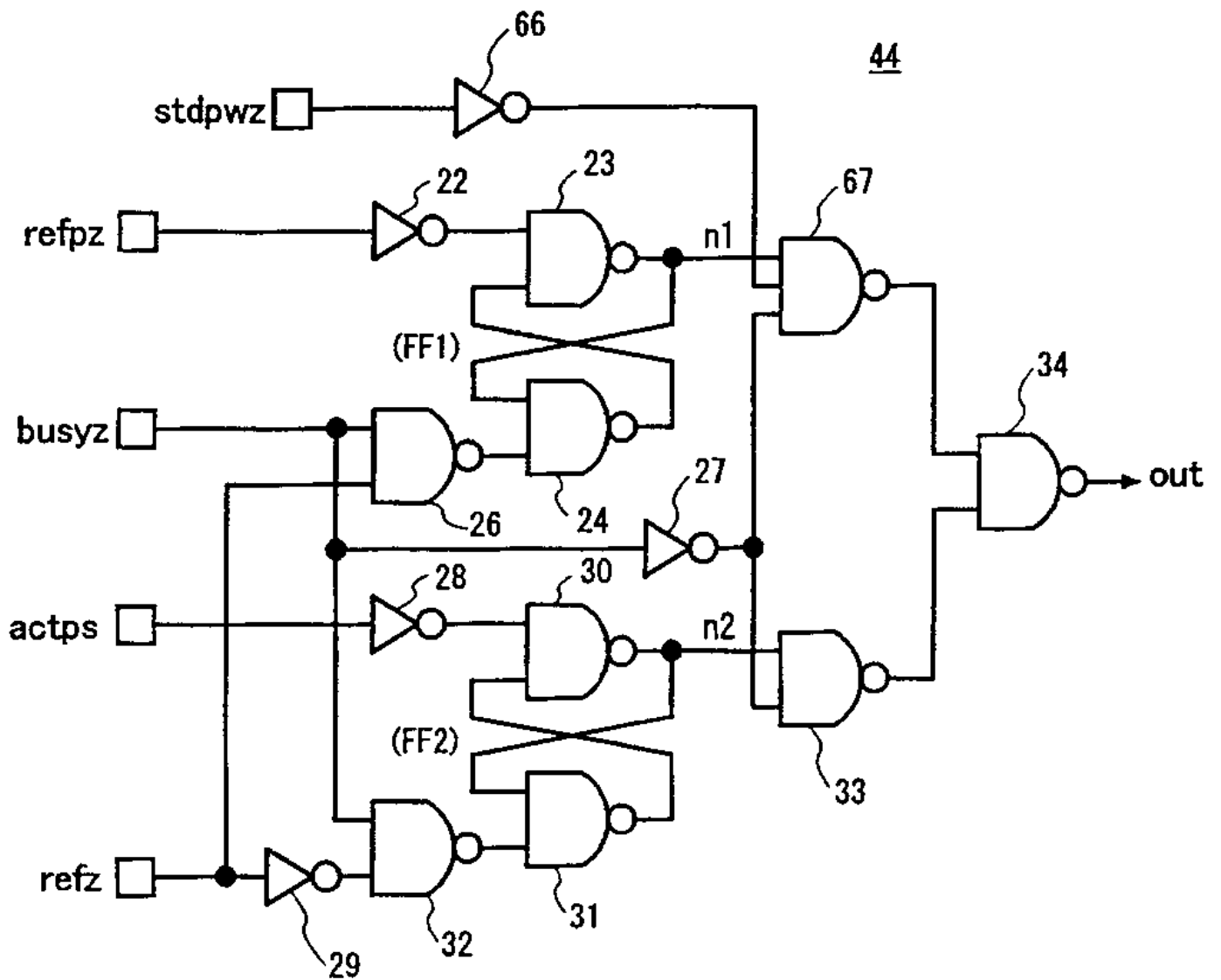
도면 9



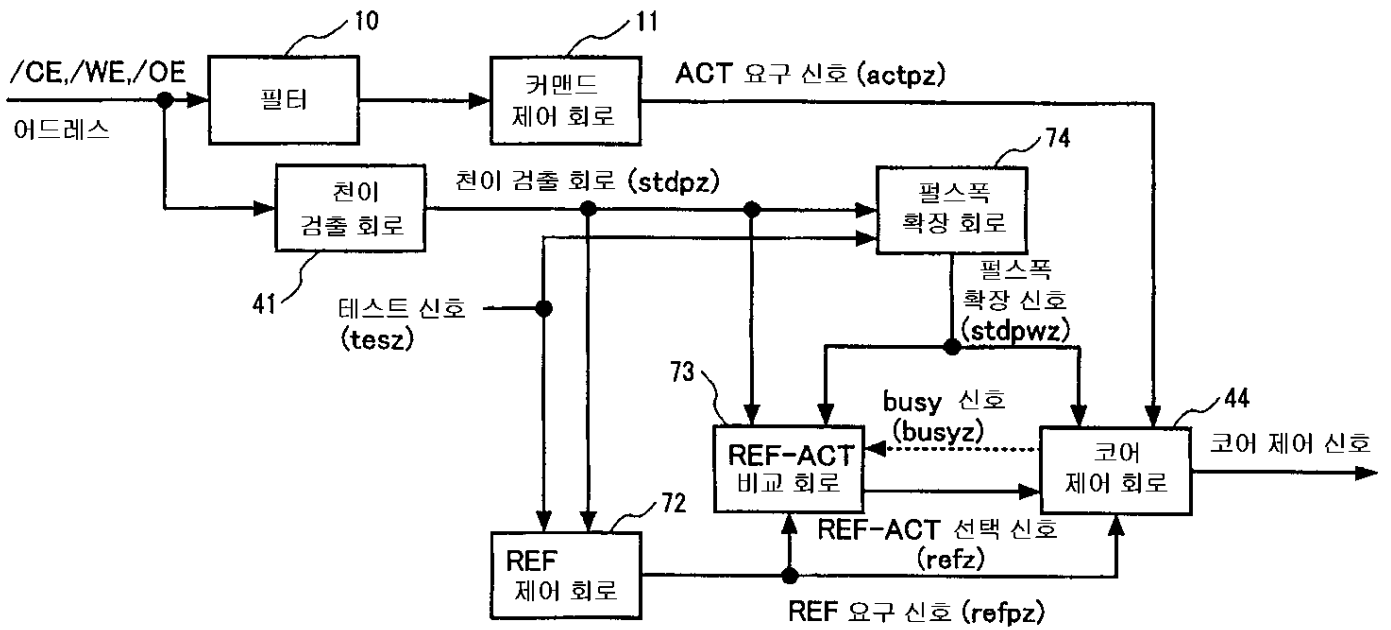
도면 10



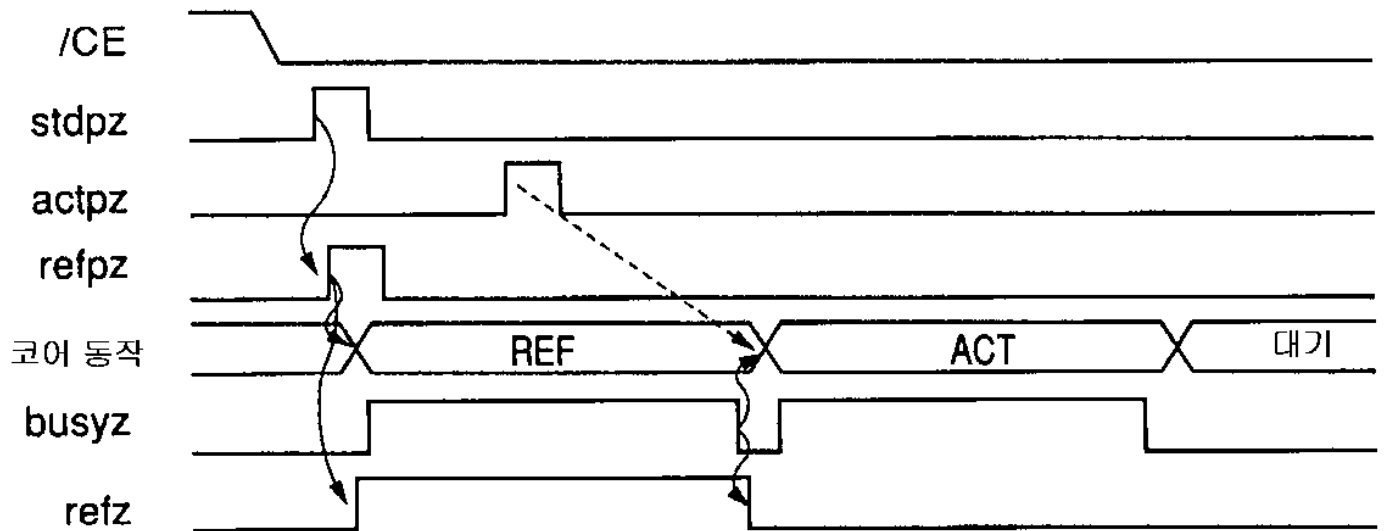
도면 11



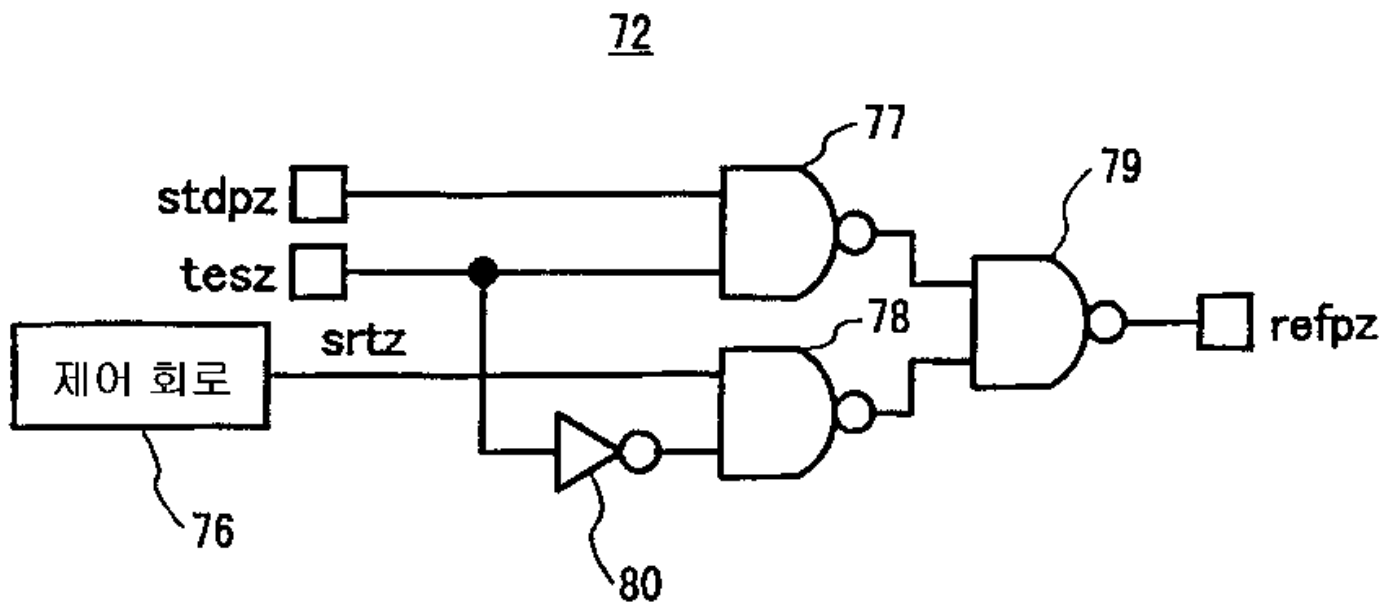
도면 12



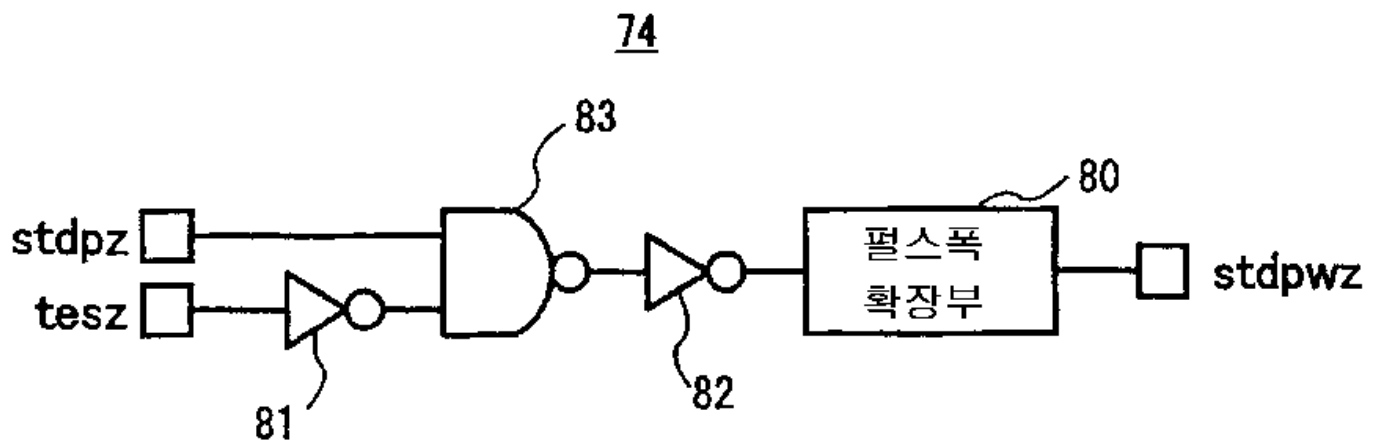
도면 13



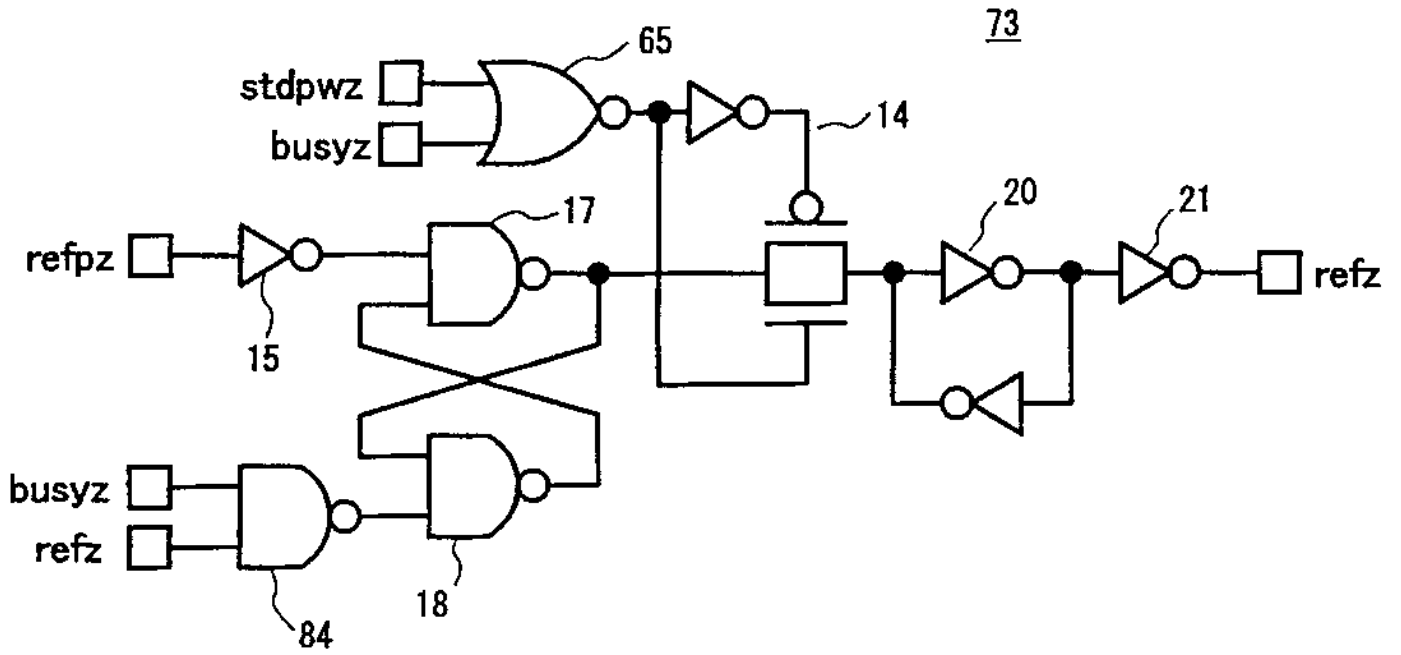
도면 14



도면 15



도면 16



도면 17

