

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6439393号  
(P6439393)

(45) 発行日 平成30年12月19日 (2018.12.19)

(24) 登録日 平成30年11月30日 (2018.11.30)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/36

G09G 3/20 (2006.01)

G09G 3/20 612F

G02F 1/133 (2006.01)

G09G 3/20 623F

H03M 1/74 (2006.01)

G09G 3/20 641C

G09G 3/20 623R

請求項の数 13 (全 35 頁) 最終頁に続く

(21) 出願番号 特願2014-226885 (P2014-226885)

(22) 出願日 平成26年11月7日 (2014.11.7)

(65) 公開番号 特開2016-90882 (P2016-90882A)

(43) 公開日 平成28年5月23日 (2016.5.23)

審査請求日 平成29年11月6日 (2017.11.6)

(73) 特許権者 000002369

セイコーエプソン株式会社

東京都新宿区新宿四丁目1番6号

(74) 代理人 100104710

弁理士 竹腰 昇

(74) 代理人 100090479

弁理士 井上 一

(74) 代理人 100124682

弁理士 黒田 泰

(72) 発明者 森田 晶

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 ドライバー及び電子機器

(57) 【特許請求の範囲】

【請求項1】

第1～第nのキャパシター駆動用ノード（nは2以上の自然数）とデータ電圧出力端子との間に設けられる第1～第nのキャパシターを有するキャパシター回路と、

階調データに対応する第1～第nのキャパシター駆動電圧を前記第1～第nのキャパシター駆動用ノードに出力することで、前記キャパシター回路を介して前記データ電圧出力端子に出力電圧を出力する容量駆動を行うキャパシター駆動回路と、

前記階調データに対応するデータ電圧を前記データ電圧出力端子に出力する電圧駆動を行う電圧駆動回路と、

前記電圧駆動の開始前に、前記データ電圧出力端子を介して前記電圧駆動回路の入力ノードに前記キャパシター回路を接続し、前記キャパシター回路の前記出力電圧を前記入力ノードに設定する電圧設定回路と、

を含むことを特徴とするドライバー。

【請求項2】

請求項1において、

前記電圧設定回路は、

前記電圧駆動回路の前記入力ノードと前記データ電圧出力端子の間に設けられるスイッチ回路を有することを特徴とするドライバー。

【請求項3】

請求項2において、

10

20

前記電圧設定回路の前記スイッチ回路は、  
前記電圧駆動の開始前にオンからオフになることを特徴とするドライバー。

【請求項 4】

請求項 3 において、  
前記電圧設定回路の前記スイッチ回路は、  
前記容量駆動の開始以後にオンになり、前記電圧駆動の開始前にオフになることを特徴とするドライバー。

【請求項 5】

請求項 2 乃至 4 のいずれかにおいて、  
前記電圧駆動回路は、  
前記データ電圧を出力するアンプ回路と、  
前記アンプ回路の出力と前記データ電圧出力端子との間に設けられる電圧駆動用スイッチ回路と、  
を有することを特徴とするドライバー。

10

【請求項 6】

請求項 5 において、  
前記電圧駆動用スイッチ回路は、  
前記電圧設定回路の前記スイッチ回路がオンしている期間ではオフになることを特徴とするドライバー。

【請求項 7】

請求項 5 又は 6 において、  
前記電圧駆動用スイッチ回路は、  
前記電圧駆動の開始時にオンになることを特徴とするドライバー。

20

【請求項 8】

請求項 2 乃至 7 のいずれかにおいて、  
複数の基準電圧から前記階調データに対応する基準電圧を選択し、前記選択された基準電圧を前記電圧駆動回路の前記入力ノードに出力する D / A 変換回路を含むことを特徴とするドライバー。

【請求項 9】

請求項 8 において、  
前記複数の基準電圧を生成する基準電圧生成回路を含み、  
前記 D / A 変換回路は、  
前記電圧設定回路の前記スイッチ回路がオンになる期間において、前記電圧駆動回路の前記入力ノードと前記基準電圧生成回路の出力との間を遮断する入力ノード遮断用スイッチ回路を有することを特徴とするドライバー。

30

【請求項 10】

請求項 9 において、  
前記 D / A 変換回路は、  
前記複数の基準電圧から前記階調データに対応する基準電圧を選択する選択回路を有し、  
前記入力ノード遮断用スイッチ回路は、  
前記選択回路の出力と前記電圧駆動回路の前記入力ノードとの間に設けられることを特徴とするドライバー。

40

【請求項 11】

請求項 9 において、  
前記 D / A 変換回路は、  
前記複数の基準電圧から前記階調データに対応する基準電圧を選択する選択回路を有し、  
前記入力ノード遮断用スイッチ回路は、  
前記選択回路を構成するスイッチ回路であることを特徴とするドライバー。

50

## 【請求項 1 2】

請求項 1 乃至 1 1 のいずれかにおいて、

前記データ電圧出力端子と基準電圧のノードとの間に設けられる可変容量回路を含み、  
前記可変容量回路の容量と電気光学パネル側容量を加算した容量と、前記キャパシター回路の容量とが、所与の容量比関係になるように、前記可変容量回路の容量が設定されていることを特徴とするドライバー。

## 【請求項 1 3】

請求項 1 乃至 1 2 のいずれかに記載されたドライバーを含むことを特徴とする電子機器。

## 【発明の詳細な説明】

10

## 【技術分野】

## 【0001】

本発明は、ドライバー及び電子機器等に関する。

## 【背景技術】

## 【0002】

プロジェクターや情報処理装置、携帯型情報端末等の種々の電子機器において表示装置（例えば液晶表示装置）が用いられている。このような表示装置では高精細化が進んでおり、それに伴ってドライバーが 1 つの画素を駆動する時間が短くなっている。例えば、電気光学パネル（例えば液晶表示パネル）を駆動する手法として相展開駆動がある。この駆動手法では、例えば 1 回に 8 本のソース線を駆動し、それを 160 回繰り返して 1280 本のソース線を駆動する。WXGA（1280×768 画素）のパネルを駆動する場合、上記 160 回の駆動（即ち水平走査線 1 本の駆動）を 768 回繰り返すことになる。リフレッシュレートを 60Hz とすると、単純計算で 1 画素あたりの駆動時間は約 135 ナノ秒である。実際には、画素を駆動しない期間（例えばブランキング期間等）があるため、1 画素あたりの駆動時間は約 70 ナノ秒程度と更に短くなる。

20

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献 1】特開 2000 - 341125 号公報

【特許文献 2】特開 2001 - 156641 号公報

30

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

上記のような画素の駆動時間の短縮にともなって、アンプ回路によって時間内にデータ電圧の書き込みを終えることが困難になりつつある。このような課題を解決する駆動手法として、キャパシターの電荷再分配により電気光学パネルを駆動する手法（以下、容量駆動と呼ぶ）が考えられる。例えば、特許文献 1、2 には、キャパシターの電荷再分配を D/A 変換に利用した技術が開示されている。D/A 変換回路では、駆動側の容量と負荷側の容量が共に IC に内蔵されており、それらの容量の間で電荷再分配が生じる。例えば、このような D/A 変換回路の負荷側の容量を IC 外部の電気光学パネルの容量に置き換え、ドライバーとして用いたとする。この場合、ドライバー側の容量と電気光学パネル側の容量との間で電荷再分配が行われる。

40

## 【0005】

このように電荷再分配を用いる容量駆動では、自在に電荷を供給できるアンプ回路に比べてデータ電圧の精度が低下するという課題がある。このような課題を解決する駆動手法として、容量駆動による高速な駆動を開始した後に更にアンプ回路により高精度なデータ電圧を出力する手法（以下、電圧駆動と呼ぶ）が考えられる。この場合、階調データに対応した電圧をアンプ回路に出力する D/A 変換回路が設けられる。

## 【0006】

しかしながら、D/A 変換回路の出力（アンプ回路の入力）が、階調データに対応した

50

電圧にセトリングする時間が長い場合、それを受けるアンプ回路の出力がデータ電圧にセトリングする時間が長くなるという課題がある。そのため、画素の書き込み時間内に高精度なデータ電圧を書き込めない可能性がある。

【0007】

本発明の幾つかの態様によれば、電圧駆動においてアンプ回路の出力のセトリング時間を短縮することが可能なドライバー及び電子機器等を提供できる。

【課題を解決するための手段】

【0008】

本発明の一態様は、階調データに対応する第1～第nのキャパシター駆動電圧（nは2以上の自然数）を第1～第nのキャパシター駆動用ノードに出力するキャパシター駆動回路と、前記第1～第nのキャパシター駆動用ノードとデータ電圧出力端子との間に設けられる第1～第nのキャパシターを有するキャパシター回路と、前記階調データに対応するデータ電圧を前記データ電圧出力端子に出力する電圧駆動を行う電圧駆動回路と、前記電圧駆動の開始前に前記電圧駆動回路の入力ノードを前記データ電圧出力端子の電圧に対応する電圧に設定する補助用電圧設定回路と、を含むドライバーに係する。

10

【0009】

本発明の一態様によれば、電圧駆動回路による電圧駆動の開始前に、補助用電圧設定回路により電圧駆動回路の入力ノードがデータ電圧出力端子の電圧に対応する電圧に設定される。これにより、電圧駆動回路の入力を補助用電圧設定回路により高速にセトリングさせることが可能となり、電圧駆動においてアンプ回路の出力のセトリング時間を短縮することが可能となる。

20

【0010】

また本発明の一態様では、前記補助用電圧設定回路は、前記電圧駆動回路の前記入力ノードと前記データ電圧出力端子の間に設けられるスイッチ回路を有してもよい。

【0011】

このようにすれば、スイッチ回路がオンになることで電圧駆動回路の入力ノードとデータ電圧出力端子を接続できる。データ電圧出力端子は容量駆動によりデータ電圧が出力されるので、スイッチ回路を介して高速な容量駆動によって電圧駆動回路の入力ノードを充電できる。

【0012】

また本発明の一態様では、前記補助用電圧設定回路の前記スイッチ回路は、前記電圧駆動の開始前にオンからオフになってもよい。

30

【0013】

電圧駆動の開始前にスイッチ回路がオンになることで、電圧駆動の開始前に電圧駆動回路の入力電圧をデータ電圧に対応する電圧に設定できる。これにより、電圧駆動を開始してから電圧駆動回路の出力が正確なデータ電圧にセトリングするまでの時間を短くできる。

【0014】

また本発明の一態様では、前記補助用電圧設定回路の前記スイッチ回路は、前記容量駆動の開始以後にオンになり、前記電圧駆動の開始前にオフになってもよい。

40

【0015】

補助用電圧設定回路のスイッチ回路を介して電圧駆動回路の出力と入力とが接続された場合、電圧駆動回路の出力が確定しなくなる。この点、本発明の一態様によれば、スイッチ回路が電圧駆動の開始前にオフになることで、電圧駆動回路が出力を開始する前に電圧駆動回路の入力ノードとデータ電圧出力端子を遮断できる。

【0016】

また本発明の一態様では、前記電圧駆動回路は、前記データ電圧を出力するアンプ回路と、記アンプ回路の出力と前記データ電圧出力端子との間に設けられる電圧駆動用スイッチ回路と、を有してもよい。

【0017】

50

アンプ回路による駆動よりも容量駆動の方が高速であるため、電圧駆動と容量駆動を同時に行うと、アンプ回路の出力に引っ張られてデータ電圧への漸近が遅くなる。この点、本発明の一態様によれば、電圧駆動用スイッチ回路を設けたことで、アンプ回路の出力とデータ電圧出力端子を遮断して、高速な容量駆動によりデータ電圧を出力することが可能になる。

【0018】

また本発明の一態様では、前記電圧駆動用スイッチ回路は、前記補助用電圧設定回路の前記スイッチ回路がオンしている期間ではオフになってもよい。

【0019】

また本発明の一態様では、前記電圧駆動用スイッチ回路は、前記電圧駆動の開始時にオンになってもよい。

10

【0020】

このようにすれば、電圧駆動回路の入力ノードとデータ電圧出力端子が接続されている期間（補助用電圧設定回路のスイッチ回路がオンになっている期間）において、アンプ回路の出力とデータ電圧出力端子を遮断できる。これにより、アンプ回路の出力と入力スイッチ回路を介して短絡されることを防止できる。

【0021】

また本発明の一態様では、複数の基準電圧から前記階調データに対応する基準電圧を選択し、前記選択された基準電圧を前記電圧駆動回路の前記入力ノードに出力するD/A変換回路を含んでもよい。

20

【0022】

このようにD/A変換回路は電圧駆動回路の入力ノードに基準電圧を出力するものである。本発明の一態様によれば、その入力ノードの基準電圧への変化を補助用電圧設定回路により補助することができる。これにより、電圧駆動回路の入力ノードを高速に基準電圧に到達させることができる。

【0023】

また本発明の一態様では、前記複数の基準電圧を生成する基準電圧生成回路を含み、前記D/A変換回路は、前記補助用電圧設定回路の前記スイッチ回路がオンになる期間において、前記電圧駆動回路の前記入力ノードと前記基準電圧生成回路の出力との間を遮断する入力ノード遮断用スイッチ回路を有してもよい。

30

【0024】

基準電圧生成回路の出力と電圧駆動回路の入力ノードが接続された状態で補助用電圧設定回路のスイッチ回路がオンになった場合、基準電圧生成回路の出力とデータ電圧出力端子が短絡される。この場合、容量駆動の電荷保存が保たれない可能性がある。この点、本発明の一態様によれば、補助用電圧設定回路のスイッチ回路がオンになる期間では入力ノード遮断用スイッチ回路がオフになるので、基準電圧生成回路の出力とデータ電圧出力端子の間を遮断できる。

【0025】

また本発明の一態様では、前記D/A変換回路は、前記複数の基準電圧から前記階調データに対応する基準電圧を選択する選択回路を有し、前記入力ノード遮断用スイッチ回路は、前記選択回路の出力と前記電圧駆動回路の前記入力ノードとの間に設けられてもよい。

40

【0026】

このようにすれば、選択回路により、複数の基準電圧から階調データに対応する基準電圧を選択できる。そして、その選択回路の出力と電圧駆動回路の入力ノードとの間に入力ノード遮断用スイッチ回路を設けることで、基準電圧生成回路の出力と電圧駆動回路の入力ノードの間を遮断できる。

【0027】

また本発明の一態様では、前記D/A変換回路は、前記複数の基準電圧から前記階調データに対応する基準電圧を選択する選択回路を有し、前記入力ノード遮断用スイッチ回路

50

は、前記選択回路を構成するスイッチ回路であってもよい。

【0028】

このように、入力ノード遮断用スイッチ回路を選択回路と別に設けるのではなく、選択回路を構成するスイッチ回路を入力ノード遮断用スイッチ回路として兼用することで、入力ノード遮断用スイッチ回路を実現してもよい。

【0029】

また本発明の一態様では、前記データ電圧出力端子と基準電圧のノードとの間に設けられる可変容量回路を含み、前記可変容量回路の容量と電気光学パネル側容量を加算した容量と、前記キャパシター回路の容量とが、所与の容量比関係になるように、前記可変容量回路の容量が設定されていてもよい。

10

【0030】

このようにすれば、電気光学パネル側容量が異なる場合であっても、それに応じて可変容量回路の容量を調整することによって所与の容量比関係が実現され、その容量比関係に対応した所望のデータ電圧の範囲を実現できる。即ち、種々の接続環境（例えば、ドライバーに接続される電気光学パネルの機種や、ドライバーが実装されるプリント基板の設計等）において汎用可能な容量駆動を実現できる。

【0031】

また本発明の他の態様は、上記のいずれかに記載されたドライバーを含む電子機器に係する。

【図面の簡単な説明】

20

【0032】

【図1】ドライバーの第1構成例。

【図2】図2(A)、図2(B)は、階調データに対応するデータ電圧の説明図。

【図3】ドライバーの第2構成例。

【図4】比較例のシミュレーション結果。

【図5】ドライバーの第2構成例の詳細な構成例。

【図6】第2構成例の補助用電圧設定回路についての動作タイミングチャート。

【図7】第2構成例のシミュレーション結果。

【図8】第2構成例の電圧駆動回路についての動作タイミングチャート。

【図9】図9(A)～図9(C)は、第1構成例におけるデータ電圧の説明図。

30

【図10】ドライバーの第3構成例。

【図11】図11(A)～図11(C)は、第3構成例におけるデータ電圧の説明図。

【図12】ドライバーの詳細な構成例。

【図13】検出回路の詳細な構成例。

【図14】可変容量回路の容量を設定する処理のフローチャート。

【図15】図15(A)、図15(B)は、可変容量回路の容量を設定する処理の説明図。

【図16】ドライバーの第2の詳細な構成例。

【図17】第2の詳細な構成例の動作タイミングチャート。

【図18】第2の詳細な構成例の動作タイミングチャート。

40

【図19】ドライバーの第3の詳細な構成例と、電気光学パネルの詳細な構成例と、ドライバーと電気光学パネルの接続構成例。

【図20】ドライバーと電気光学パネルの動作タイミングチャート。

【図21】電子機器の構成例。

【発明を実施するための形態】

【0033】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0034】

50

## 1. ドライバーの第1構成例

図1に、本実施形態のドライバーの第1構成例を示す。このドライバー100は、キャパシター回路10、キャパシター駆動回路20、データ電圧出力端子TVQを含む。なお以下では、キャパシターの容量値を表す符号として、そのキャパシターの符号と同一の符号を用いる。

### 【0035】

ドライバー100は、例えば集積回路装置(IC)により構成される。集積回路装置は、例えばシリコン基板に回路が形成されたICチップ、或はICチップがパッケージに収納された装置に対応する。ドライバー100の端子(データ電圧出力端子TVQ等)は、ICチップのパッド或はパッケージの端子に対応する。

10

### 【0036】

キャパシター回路10は、第1~第nのキャパシターC1~Cn(nは2以上の自然数)を含む。またキャパシター駆動回路20は、第1~第nの駆動部DR1~DRnを含む。なお以下では、n=10の場合を例にとって説明するが、nは2以上の自然数であればよい。例えばnは、階調データのビット数と同数に設定すればよい。

### 【0037】

キャパシターC1~C10の第iのキャパシター(iはn=10以下の自然数)の一端は、キャパシター駆動ノードNDRiに接続され、第iのキャパシターの他端は、データ電圧出力ノードNVQに接続される。データ電圧出力ノードNVQはデータ電圧出力端子TVQに接続されるノードである。キャパシターC1~C10は、2の累乗で重み付けされた容量値を有している。具体的には第iのキャパシターCiの容量値は $2^{(i-1)} \times C1$ である。

20

### 【0038】

第1~第10の駆動部DR1~DR10の第iの駆動部DRiの入力ノードには、階調データGD[10:1]の第iのビットGDiが入力される。第iの駆動部DRiの出力ノードは、第iのキャパシター駆動ノードNDRiである。階調データGD[10:1]は第1~第10のビットGD1~GD10(第1~第nのビット)で構成され、ビットGD1がLSBに対応し、ビットGD10がMSBに対応する。

### 【0039】

第iの駆動部DRiは、ビットGDiが第1論理レベルの場合に第1電圧レベルを出力し、ビットGDiが第2論理レベルの場合に第2電圧レベルを出力する。例えば、第1論理レベルは“0”(ローレベル)、第2論理レベルは“1”(ハイレベル)、第1電圧レベルは低電位側電源VSSの電圧(例えば0V)、第2電圧レベルは高電位側電源VDDの電圧(例えば1.5V)である。例えば、第iの駆動部DRiは、入力された論理レベル(例えばロジック電源の3V)を駆動部DRiの出力電圧レベル(例えば1.5V)にレベルシフトするレベルシフターや、そのレベルシフターの出力をバッファリングするバッファ回路で構成される。

30

### 【0040】

以上のように、キャパシターC1~C10の容量値は、階調データGD[10:1]のビットGD1~GD10の桁に応じた2の累乗で重み付けされている。そして、駆動部DR1~DR10が、ビットGD1~GD10に応じて0V又は1.5Vを出力することで、その電圧によりキャパシターC1~C10が駆動される。この駆動によってキャパシターC1~C10と電気光学パネル側容量CPとの間で電荷再分配が生じ、その結果としてデータ電圧出力端子TVQにデータ電圧が出力される。

40

### 【0041】

電気光学パネル側容量CPは、データ電圧出力端子TVQから見える容量の合計である。例えば、電気光学パネル側容量CPは、プリント基板の寄生容量である基板容量CP1と、電気光学パネル200内の寄生容量や画素容量であるパネル容量CP2と、を加算したものである。

### 【0042】

50

具体的には、ドライバー 100 は集積回路装置としてリジッド基板に実装され、そのリジッド基板にフレキシブル基板が接続され、そのフレキシブル基板に電気光学パネル 200 が接続される。このリジッド基板やフレキシブル基板には、ドライバー 100 のデータ電圧出力端子 TVQ と電気光学パネル 200 のデータ電圧入力端子 TPN とを接続する配線が設けられている。この配線の寄生容量が基板容量 CP1 である。また図 19 で後述するように、電気光学パネル 200 には、データ電圧入力端子 TPN に接続されたデータ線と、ソース線と、データ線をソース線に接続するスイッチ素子と、ソース線に接続される画素回路と、が設けられる。スイッチ素子は例えば TFT (Thin Film Transistor) で構成され、ソース・ゲート間に寄生容量がある。データ線には多数のスイッチ素子が接続されるため、データ線には多数のスイッチ素子の寄生容量が付く。また、データ線やソース線とパネル基板との間に寄生容量が存在する。また、液晶表示パネルでは液晶の画素に容量がある。これらを加算したものがパネル容量 CP2 である。

10

#### 【0043】

電気光学パネル側容量 CP は、例えば 50 pF ~ 120 pF である。後述するように、キャパシター回路 10 の容量 CO (キャパシター C1 ~ C10 の容量の合計) と電気光学パネル側容量 CP の比を 1 : 2 にするため、キャパシター回路 10 の容量 CO は 25 pF ~ 60 pF となる。集積回路に内蔵する容量としては大きい、例えば MIM (Metal Insulation Metal) キャパシターを縦に 2 ~ 3 段積み上げる断面構造にすることで、キャパシター回路 10 の容量 CO を実現できる。

#### 【0044】

20

#### 2. データ電圧

次に、階調データ GD [10 : 1] に対してドライバー 100 が出力するデータ電圧について説明する。ここでは、キャパシター回路 10 の容量 CO (= C1 + C2 + ... + C10) が CP / 2 に設定されているとする。

#### 【0045】

図 2 (A) に示すように、第 i のビット GD i が “0” の場合には駆動部 DR i は 0 V を出力し、第 i のビット GD i が “1” の場合には駆動部 DR i は 1.5 V を出力する。図 2 (A) には、GD [10 : 1] = “1001111111b” (末尾の b は “ ” 内の数が 2 進数であることを示す) の場合を例に示している。

#### 【0046】

30

まず、駆動の前に初期化を行う。即ち、GD [10 : 1] = “0000000000b” に設定して駆動部 DR 1 ~ DR 10 に 0 V を出力させ、電圧 VQ = VC = 7.5 V を設定する。VC = 7.5 V は初期化電圧である。

#### 【0047】

この初期化においてデータ電圧出力ノード NVQ に蓄積された電荷は、以後の駆動時にも保存されるので、電荷保存から図 2 (A) の式 FE が求められる。式 FE において符号 GD i はビット GD i の値 (“0” 又は “1”) を表すものとする。式 FE の右辺第 2 項を見ると、階調データ GD [10 : 1] が 1024 階調のデータ電圧 (5 V × 0 / 1023、5 V × 1 / 1023、5 V × 2 / 1023、...、5 V × 1023 / 1023) に変換されることが分かる。図 2 (B) には、一例として階調データ GD [10 : 1] の上位 3 ビットを変化させたときのデータ電圧 (出力電圧 VQ) を示す。

40

#### 【0048】

なお、以上では正極性駆動を例にとって説明したが、本実施形態では負極性駆動を行ってもよい。また正極性駆動と負極性駆動を交互に行う反転駆動を行ってもよい。負極性駆動では、初期化においてキャパシター駆動回路 20 の駆動部 DR 1 ~ DR 10 の出力を全て 1.5 V に設定し、出力電圧 VQ = VC = 7.5 V を設定する。そして、階調データ GD [10 : 1] の各ビットの論理レベルを反転 (“0” を “1” に、“1” を “0” に) してキャパシター駆動回路 20 に入力し、容量駆動を行う。この場合、階調データ GD [10 : 1] = “000h” (末尾の h は “ ” 内の数が 16 進数であることを示す) に対して VQ = 7.5 V が出力され、階調データ GD [10 : 1] = “3FFh” に対して VQ =

50



2.5 Vが出力され、データ電圧範囲は7.5 V ~ 2.5 Vとなる。

【0049】

以上のようにして、キャパシター回路10の容量C<sub>O</sub>と電気光学パネル側容量C<sub>P</sub>との間で電荷再分配させ、容量駆動を行うことで、階調データGD[10:1]に対応するデータ電圧を出力できる。電荷再分配により駆動を行うことで、フィードバック制御により電圧をセトリングさせるアンプ駆動に比べて高速なセトリングが可能となる。

【0050】

### 3. 比較例

さて、電気光学パネル200の駆動では、画像を表示する前にソース線にプリチャージ電圧を書き込むプリチャージ駆動が行われる。これは、全てのソース線を一旦同じ電圧にしてから表示用の駆動を開始して表示画質を向上させるためである。容量駆動では、このプリチャージ駆動のために、データ電圧出力ノードNVQの電荷の保存が崩れてデータ電圧に誤差が生じるという課題がある。この点について以下に説明する。

【0051】

まず、図19と図8を用いて、電気光学パネル200の構成とその駆動手法について簡単に説明する。

【0052】

以下、データ線DL1とソース線SL1を例に説明する。図19に示すように、電気光学パネル200のデータ線DL1は、ドライバー100のデータ線駆動回路DD1に駆動される。データ線駆動回路DD1は、図1のキャパシター回路10とキャパシター駆動回路20に対応する。データ線DL1はスイッチ素子SWEP1介してソース線SL1に接続されている。

【0053】

図8に示すように、まずスイッチ素子SWEP1がオンになり、データ線駆動回路DD1がプリチャージ電圧V<sub>PR</sub>を出力し、データ線DL1とソース線SL1がプリチャージ電圧V<sub>PR</sub>に設定される。次に、スイッチ素子SWEP1がオフになってデータ線駆動回路DD1が初期化電圧V<sub>C</sub>を出力し、データ線DL1がプリチャージ電圧V<sub>PR</sub>に設定される。次に、データ線駆動回路DD1が容量駆動を開始し、データ線DL1がデータ電圧SV1で駆動される。次に、スイッチ素子SWEP1がオンになってデータ線DL1とソース線SL1が接続され、ソース線SL1にデータ電圧SV1が書き込まれる。

【0054】

第1構成例で説明したように、データ線DL1(データ電圧出力ノードNVQ)を初期化電圧V<sub>C</sub>で初期化した後は、データ線DL1の電荷が保存され、初期化電圧V<sub>C</sub>を基準としたデータ電圧が出力される。しかしながら、スイッチ素子SWEP1がオンになってデータ線DL1とソース線SL1が接続されるとき、ソース線SL1はプリチャージ電圧V<sub>PR</sub>なので(データ線DL1のソース電圧SV1と異なるため)、データ線DL1の電荷の保存が崩れてしまう。そのため、データ線DL1の電圧はSV1からずれてSV1'となり、所望のソース電圧SV1に対して誤差が生じる。

【0055】

そこで本実施形態のドライバー100は、図3で後述するように基準電圧生成回路60とD/A変換回路70と電圧駆動回路80を含む。そして、キャパシター回路10による容量駆動を行って出力電圧V<sub>Q</sub>がデータ電圧に近づいた後に、電圧駆動回路80のアンプ回路AMVDによる電圧駆動を行う。D/A変換回路70は階調データGD[10:1]をD/A変換して出力し、それを受けてアンプ回路AMVDがデータ電圧を出力する。図8に示すように、電圧駆動の開始はソース線SL1のスイッチ素子SWEP1がオンになる前である。

【0056】

このように容量駆動により高速にデータ電圧に近づけた後にアンプ回路AMVDによる駆動を行うことで、容量駆動のみの場合に比べて高精度にデータ電圧を出力できる。即ち、上述のようにスイッチ素子SWEP1がオンすることでデータ線DL1の電圧に誤差が

10

20

30

40

50

生じる(  $SV1'$  )が、アンプ回路AMVDが電圧SV1を出力することで、その誤差を解消して正確な電圧SV1に戻すことができる。

【0057】

しかしながら、アンプ回路AMVDはフィードバックによって出力電圧AMQを制御しているため、入力電圧AMIのセトリングに時間がかかってしまうと、それに伴って出力電圧AMQのセトリング時間も延びてしまう。具体的には、基準電圧生成回路60は抵抗素子RD1～RD1024の抵抗分割によって基準電圧VR1～VR1024を生成しており、そのうちの1つがD/A変換回路70により選択される。そのため、基準電圧生成回路60の抵抗とアンプ回路AMVDの入力ノードNAM Iの寄生容量とでRCの時定数が決定され、その時定数で入力ノードNAM Iの電圧がセトリングすることになる。入力ノードNAM Iには、アンプ回路AMVDの入力ゲート容量や、D/A変換回路70のスイッチ素子SWD1～SWD1024のゲート-ソース(又はゲート-ドレイン)間の容量などが寄生している。

10

【0058】

また、図16等で後述するように、基準電圧生成回路60には複数のD/A変換回路(DAAM1、DAAM2など)及びアンプ回路(AMVD1、AMVD2など)が接続されている。D/A変換回路は、基準電圧生成回路60の抵抗分圧のタップとアンプ回路の入力ノードとをスイッチ素子で接続するため、各D/A変換回路の出力が基準電圧生成回路60を介して相互にカップリングした状態となっている。そのため、あるD/A変換回路の出力(アンプ回路の入力)がセトリングしていない場合、それが他のD/A変換回路の出力にも影響してクロストークを生じてしまう。このような点からもD/A変換回路の出力(アンプ回路の入力)を高速にセトリングさせることは重要である。

20

【0059】

図4に、本実施形態のドライバーの比較例におけるD/A変換回路の出力(AMI)及びアンプ回路の出力(AMQ)のシミュレーション結果を示す。比較例の構成は、後述する図3の構成例において本実施形態の補助用電圧設定回路85を含まない構成である。

【0060】

図4には、初期化電圧VC=7.5Vからデータ電圧の最大値12.5Vに上昇させるときのシミュレーション結果を示す。時間ta1においてD/A変換回路70がD/A変換結果である12.5Vをアンプ回路AMVDの入力ノードNAM Iに出力し始める。そうすると、アンプ回路AMVDの入力電圧AMIが上昇していき、時間ta2で入力電圧AMIが12.5Vに達する。時間ta2は、例えばRCの時定数に対して6に相当する。ta2-ta1は約30nsであり、アンプ回路AMVDの出力電圧AMQが12.5Vに正確にセトリングするためには、30nsよりも更に時間がかかることになる。WPGAでは画素の書き込み時間は70nsなので、セトリング可能であっても30nsは長い上、WPGAよりも高精細化するためには問題点となる。

30

【0061】

#### 4. ドライバーの第2構成例

図3に、上記のような課題を解決できる本実施形態のドライバーの第2構成例を示す。このドライバー100は、キャパシター回路10、キャパシター駆動回路20、基準電圧生成回路60、D/A変換回路70(電圧選択回路)、電圧駆動回路80、補助用電圧設定回路85、データ電圧出力端子TVQを含む。なお、既に説明した構成要素と同一の構成要素には同一の符号を付し、その構成要素については適宜説明を省略する。

40

【0062】

補助用電圧設定回路85は、データ電圧出力端子TVQの電圧(データ電圧)に対応する電圧を電圧駆動回路80の入力ノードNAM Iに設定する回路である。即ち、階調データGD[10:1]に対応するデータ電圧が容量駆動によりデータ電圧出力端子TVQから出力されるが、そのデータ電圧出力端子TVQの電圧に対応する電圧を補助用電圧設定回路85は出力する。

【0063】

50

データ電圧出力端子T V Qの電圧は、容量駆動により出力される電圧なので、階調データG D [ 1 0 : 1 ]に対応するデータ電圧に相当する。即ち、データ電圧出力端子T V Qの電圧に対応する電圧は、データ電圧に対応する電圧である。図3の例では電圧駆動回路80はボルテージフォロアなので、電圧駆動回路80の入力電圧A M I ( D / A変換回路70の出力電圧)はデータ電圧である。この場合、補助用電圧設定回路85はデータ電圧或いは、それに近い電圧を、データ電圧出力端子T V Qの電圧に対応する電圧として出力する。最終的にはD / A変換回路70が電圧駆動回路80の入力電圧A M Iを決めるので、補助用電圧設定回路85の出力とD / A変換回路70の出力は一致しなくてよい。

#### 【 0 0 6 4 】

補助用電圧設定回路85は、容量駆動の開始前に、データ電圧出力端子T V Qの電圧に対応する電圧を出力する。即ち、D / A変換回路70の出力を補助する。これにより、D / A変換回路70の出力(電圧駆動回路80の入力)が所望の電圧にセトリングするまでの時間が、D / A変換回路70のみの場合に比べて短縮される。電圧駆動回路80の入力のセトリング時間が短縮されることで、電圧駆動回路80の出力のセトリング時間が短縮され、データ電圧の書き込みを高速化できる。

#### 【 0 0 6 5 】

基準電圧生成回路60は、階調データの各値に対応する基準電圧(階調電圧)を生成する回路である。例えば、10ビットの階調データG D [ 1 0 : 1 ]に対応して1024階調の基準電圧V R 1 ~ V R 1 0 2 4を生成する。

#### 【 0 0 6 6 】

具体的には、基準電圧生成回路60は、高電位側電源と初期化電圧V C (コモン電圧)のノードとの間に直列接続された第1 ~ 第1024の抵抗素子R D 1 ~ R F 1 0 2 4を含む。そして、抵抗素子R D 1 ~ R F 1 0 2 4のタップから、電圧分割により得られた第1 ~ 第1024の基準電圧V R 1 ~ V R 1 0 2 4を出力する。

#### 【 0 0 6 7 】

D / A変換回路70は、基準電圧生成回路60からの複数の基準電圧の中から、階調データG D [ 1 0 : 1 ]に対応する基準電圧を選択する回路である。選択された基準電圧は電圧駆動回路80の入力ノードN A M Iに入力電圧A M Iとして出力される。

#### 【 0 0 6 8 】

具体的には、D / A変換回路70は、基準電圧V R 1 ~ V R 1 0 2 4が一端に供給される第1 ~ 第1024のスイッチ素子S W D 1 ~ S W D 1 0 2 4を含む。スイッチ素子S W D 1 ~ S W D 1 0 2 4の他端は共通接続されている。スイッチ素子S W D 1 ~ S W D 1 0 2 4のうち、いずれか1つが階調データG D [ 1 0 : 1 ]に対応してオンになり、そのスイッチ素子に供給される基準電圧が電圧A M Iとして出力される。スイッチ素子S W D 1 ~ S W D 1 0 2 4のオン・オフ制御信号は、例えば図12の制御回路40から供給される。或いは、D / A変換回路70が階調データG D [ 1 0 : 1 ]をデコードするデコーダーを有し、制御回路40からデコーダーに階調データG D [ 1 0 : 1 ]が入力されてもよい。

#### 【 0 0 6 9 】

なお、D / A変換回路70の構成は図3に限定されない。例えば、スイッチ素子を多段に設けて勝ち抜き方式での選択を行うトーナメント方式であってもよい。トーナメント方式では、例えば16個の基準電圧から1つ選択するセレクターを2段(  $16 \times 16 = 256$  )重ね、それにより選択された4個の基準電圧から1つ選択するセレクター(  $256 \times 4 = 1024$  )を3段目に設ける。

#### 【 0 0 7 0 】

電圧駆動回路80は、D / A変換回路70からの電圧A M Iを増幅し、その増幅した電圧をデータ電圧出力端子T V Qへ出力する(電圧駆動)。電圧駆動回路80は、アンプ回路A M V D、電圧駆動用スイッチ回路S W A Mを含む。

#### 【 0 0 7 1 】

アンプ回路A M V Dは演算増幅回路を有し、その演算増幅回路は例えばボルテージフォ

10

20

30

40

50

ロアに構成される。そのボルテージフォロアの入力には、D/A変換回路70からの電圧AMIが入力される。

#### 【0072】

電圧駆動用スイッチ回路SWAMは、アンプ回路AMVDの出力とデータ電圧出力ノードNVQの接続・遮断を行う回路である。電圧駆動用スイッチ回路SWAMは、例えば1つのスイッチ素子で構成されてもよいし、或いは複数のスイッチ素子を含む回路で構成されてもよい。電圧駆動用スイッチ回路SWAMのオン・オフ制御信号は、例えば図12の制御回路40（不図示のタイミングコントローラ）から供給される。

#### 【0073】

##### 5. 第2構成例の詳細構成

図5に、上記ドライバーの第2構成例の詳細な構成例を示す。なお、既に説明した構成要素と同一の構成要素には同一の符号を付し、その構成要素については適宜説明を省略する。

#### 【0074】

補助用電圧設定回路85は、データ電圧出力ノードNVQとアンプ回路AMVDの入力ノードNA MIとの間に設けられるスイッチ回路SWASを有する。スイッチ回路SWASがオンになると、データ電圧出力ノードNVQと入力ノードNA MIが接続され、容量駆動の出力電圧がスイッチ回路SWASを介して入力ノードNA MIに供給される。スイッチ回路SWASがオフになると、データ電圧出力ノードNVQと入力ノードNA MIが遮断される。

#### 【0075】

D/A変換回路70は、スイッチ素子SWD1～SWD1024を有する選択回路75と、選択回路75の出力とアンプ回路AMVDの入力ノードNA MIとの間に設けられるスイッチ回路SWBL（入力ノード遮断用スイッチ回路）と、を含む。スイッチ回路SWBLがオンになると、選択回路75の出力と入力ノードNA MIが接続され、選択回路75の出力電圧DAQ（D/A変換回路70の出力）が入力ノードNA MIに供給される。スイッチ回路SWBLがオフになると、選択回路75の出力と入力ノードNA MIが遮断される。

#### 【0076】

スイッチ回路SWAS、SWBLは、スイッチ素子（例えば、N型トランジスタやP型トランジスタ等）であってもよいし、複数のスイッチ素子で構成される回路（例えば、N型トランジスタとP型トランジスタを組み合わせたトランスファークロスタック）であってもよい。スイッチ回路SWAS、SWBLのオン・オフ制御信号は、例えば図12の制御回路40が出力する。

#### 【0077】

##### 6. 動作

図6に、上記詳細な構成例の補助用電圧設定回路についての動作タイミングチャートを示す。なおスイッチ回路SWAM、SWAS、SWBLは、ハイレベルでオンを表し、ローレベルでオフを表すものとする。

#### 【0078】

図6に示すように、キャパシタ駆動回路20に階調データGD[10:1]が入力されるとキャパシタ回路10による容量駆動が開始される。この容量駆動の開始時において、補助用電圧設定回路85のスイッチ回路SWASがオンになり、データ電圧出力ノードNVQとアンプ回路AMVDの入力ノードNA MIが接続される。このとき、電圧駆動回路80のスイッチ回路SWAMはオフであり、アンプ回路AMVDの出力とデータ電圧出力ノードNVQは遮断されている。即ち、アンプ回路AMVDの入力電圧AMIは、容量駆動の出力に連動する。

#### 【0079】

また、容量駆動の開始時にはD/A変換回路70のスイッチ回路SWBLがオフであり、D/A変換回路70の出力とアンプ回路AMVDの入力ノードNA MIは遮断されてい

10

20

30

40

50

る。即ち、アンプ回路AMVDの入力ノードNA MIはハイインピーダンス状態であり、入力ノードNA MIの寄生容量が容量駆動によって充電される。

【0080】

以上のように補助用電圧設定回路85のスイッチ回路SWASがオンになることで、アンプ回路AMVDの入力ノードNA MIが容量駆動によって充電され、入力ノードNA MIの電圧AMIがデータ電圧に急速に漸近する。

【0081】

スイッチ回路SWASがオフになった後、D/A変換回路70のスイッチ回路SWBLと電圧駆動回路80のスイッチ回路SWAMがオンになる。補助用電圧設定回路85によってアンプ回路AMVDの入力電圧AMIはD/A変換回路70の出力(データ電圧)とほぼ同じ電圧になっているので、D/A変換回路70のスイッチ回路SWBLがオンした後に速やかにアンプ回路AMVDの入力電圧AMIがデータ電圧にセトリングする。そして、電圧駆動回路80のスイッチ回路SWAMがオンになることで電圧駆動が開始される。

10

【0082】

D/A変換回路70の選択回路75は、容量駆動の開始時にD/A変換を開始しており、スイッチ回路SWBLがオンになるまでに、出力電圧DAQはデータ電圧に近づいている。スイッチ回路SWBLがオフのときにはアンプ回路AMVDの入力ノードNA MIの寄生容量が見えないので、出力電圧DAQのセトリングは速くなる。そのため、スイッチ回路SWBLがオンしたときには、選択回路75の出力電圧DAQとアンプ回路の入力電圧AMIはほぼ同じ電圧になっており、アンプ回路の入力電圧AMIが高速にセトリングされる。

20

【0083】

なお、スイッチ回路SWASのオン期間は、補助用電圧設定回路85により電圧AMIが十分にデータ電圧に接近する期間に設定しておけばよい。例えば、補助用電圧設定回路85により電圧AMIが急峻に変化する期間だけスイッチ回路SWASをオンさせておいてもよいし、その変化の時定数に基づいて(例えば時定数の数倍等の)オン期間を設定してもよい。

【0084】

図7に、本実施形態におけるD/A変換回路の出力(AMI)及びアンプ回路の出力(AMQ)のシミュレーション結果を示す。図7には、初期化電圧VC=7.5Vからデータ電圧の最大値12.5Vに上昇させるときのシミュレーション結果を示す。

30

【0085】

時間tb1において補助用電圧設定回路85が容量駆動の出力をアンプ回路AMVDの入力ノードNA MIに接続し、アンプ回路AMVDの入力電圧AMIが急速に上昇する。時間tb1から約10ns後の時間tb2には、入力電圧AMIが12.5Vに達する。図4で説明した比較例では12.5Vに達するまで30nsがかかっており、本実施形態では、その時間を約1/3に短縮できている。そして、図4の比較例においてアンプ回路AMVDの出力電圧AMQが12.5Vになる時間ta3よりも、図7の本実施形態においてアンプ回路AMVDの出力電圧AMQが12.5Vになる時間tb3の方が速い。このようにアンプ回路AMVDの入力電圧AMIが早くセトリングすることで、その分だけアンプ回路AMVDの出力電圧AMQを早くセトリングさせることが可能となり、画素の書き込み時間内に正確なデータ電圧を出力できる。

40

【0086】

次に、電圧駆動回路80の動作について説明する。図8に、ドライバーの第2構成例の電圧駆動回路についての動作タイミングチャートを示す。以下では、図19に示すデータ線DL1、スイッチ素子SWEP1、ソース線SL1、SL9を例にとって説明する。

【0087】

まず、プリチャージ駆動と初期化電圧VCによる初期化とを行う。次に、容量駆動を開始してデータ線DL1をデータ電圧SV1で駆動する。容量駆動を開始してから期間T1

50

が経過した後に電圧駆動回路 80 のスイッチ回路 SWAM をオンにして、アンプ回路 AMVD がデータ電圧 SV1 と同じ電圧でデータ線 DL1 を駆動する。次に、スイッチ素子 SWEP1 がオン（スイッチ回路 SWAM のオンと同時によい）になり、データ線 DL1 にソース線 SL1 が接続される。上述したようにデータ線 DL1 の電圧が SV1' になるが、電圧駆動回路 80 によりデータ電圧 SV1 が供給されるので、ソース線 SL1 にはデータ電圧 SV1 が書き込まれる。

【0088】

次に、スイッチ素子 SWEP1 がオフになり、その後に電圧駆動回路 80 のスイッチ回路 SWAM がオフになる。スイッチ回路 SWAM がオンしている期間を、電圧駆動を行う期間 T2 とする。

【0089】

ソース線 SL9 についても上記と同様にして駆動される。即ち、電圧駆動の期間 T2 が終了した後に容量駆動が開始され、データ線 DL1 にデータ電圧 SV9 が出力される。期間 T1 が経過した後、スイッチ回路 SWAM がオンになり、アンプ回路 AMVD がデータ電圧 SV9 と同じ電圧でデータ線 DL1 を駆動する。次に、スイッチ素子 SWEP9 がオンになり、ソース線にデータ電圧 SV9 が書き込まれる。

【0090】

このように電圧駆動回路 80 が電圧駆動を行うことで、容量駆動のみを用いる場合に比べて、ソース線 SL1、SL9 に書き込まれるデータ電圧 SV1、SV9 の誤差を小さくできる。

【0091】

以上の実施形態によれば、ドライバー 100 はキャパシター駆動回路 20 とキャパシター回路 10 と電圧駆動回路 80 と補助用電圧設定回路 85 とを含む。キャパシター駆動回路 20 は、階調データ GD[10:1] に対応する第 1～第 10 のキャパシター駆動電圧（0V 又は 1.5V）を第 1～第 10 のキャパシター駆動用ノード NDR1～NDR10 に出力する。キャパシター回路 10 は、第 1～第 10 のキャパシター駆動用ノード NDR1～NDR10 とデータ電圧出力端子 TVQ との間に設けられる第 1～第 10 のキャパシター C1～C10 を有する。電圧駆動回路 80 は、階調データ GD[10:1] に対応するデータ電圧をデータ電圧出力端子 TVQ に出力する電圧駆動を行う。そして、補助用電圧設定回路 85 は、電圧駆動の開始前に電圧駆動回路 80 の入力ノード NAMI をデータ電圧出力端子 TVQ の電圧（データ電圧）に対応する電圧に設定する。

【0092】

さて、比較例で説明したように、D/A 変換回路 70 の出力電圧のセトリング時間は、基準電圧生成回路 60 の抵抗と入力ノード NAMI の寄生抵抗との CR 時定数でおおよそ決まる。このセトリング時間を短くするには、基準電圧生成回路 60 の抵抗値を下げる必要があるが、抵抗値を下げるとラダー抵抗を流れる電流が増加し、消費電流が増えるという課題がある。また、基準電圧生成回路 60 の抵抗値を下げすぎると、配線抵抗による電圧ドロップが大きくなり、例えば基準電圧生成回路 60 を介したチャンネル間のクロストークが発生する等の課題がある。

【0093】

この点、本実施形態によれば、補助用電圧設定回路 85 が電圧駆動回路 80 の入力ノード NAMI をデータ電圧出力端子 TVQ の電圧に対応する電圧に設定することで、入力ノード NAMI の電圧 AMI を D/A 変換回路 70 の出力電圧に高速に近づけることが可能となる。D/A 変換回路 70 とは別の経路で電圧駆動回路 80 の入力電圧 AMI を変化させるので、基準電圧生成回路 60 の抵抗を小さくする必要がない。即ち、消費電流の増加等の問題なく、D/A 変換回路 70 よりも高速なセトリングを実現できる。

【0094】

ここで、データ電圧出力端子 TVQ の電圧に対応する電圧とは、上述したようにデータ電圧（容量駆動により出力される電圧）に対応する電圧である。即ち、電圧駆動回路 80 によってデータ電圧（或いは、それに近い電圧）に変換される電圧であり、D/A 変換回

10

20

30

40

50

路 70 の出力電圧と同じ（或いは、近い）電圧である。

【0095】

なお、図 5 では補助用電圧設定回路 85 がスイッチ回路 S W A S である場合を例に説明したが、補助用電圧設定回路 85 の構成はこれに限定されず、データ電圧に対応する電圧を出力できる回路であればよい。例えば、キャパシター回路 10 及びキャパシター駆動回路 20 と同様の構成の補助用キャパシター回路及び補助用キャパシター駆動回路を電圧駆動回路 80 の入力ノード N A M I に設けてもよい。そして、補助用キャパシター駆動回路が階調データ G D [ 10 : 1 ] に対応する補助用キャパシター駆動電圧を出力し、補助用キャパシター回路と入力ノード N A M I の寄生容量との間で電荷再分配させることで、データ電圧に対応する電圧を出力してもよい。例えば、補助用キャパシター回路の容量と入力ノード N A M I の寄生容量との比を 1 : 2 に設定しておけばよい。

10

【0096】

また本実施形態では、図 5 に示すように、補助用電圧設定回路 85 は、電圧駆動回路 80 の入力ノード N A M I とデータ電圧出力端子 T V Q の間に設けられるスイッチ回路 S W A S を有する。

【0097】

このようにすれば、スイッチ回路 S W A S がオンになることで電圧駆動回路 80 の入力ノード N A M I とデータ電圧出力端子 T V Q を接続できる。データ電圧出力端子 T V Q は容量駆動によりデータ電圧が出力されるので、スイッチ回路 S W A S を介して入力ノード N A M I にデータ電圧に対応する電圧を設定できる。そして、高速な容量駆動によって入力ノード N A M I が充電されるので、電圧駆動回路 80 の入力電圧 A M I を高速にセトリ

20

【0098】

また本実施形態では、補助用電圧設定回路 85 のスイッチ回路 S W A S は、電圧駆動の開始前にオンからオフになる。

【0099】

電圧駆動の開始前にスイッチ回路 S W A S がオンになり、電圧駆動回路 80 の入力ノード N A M I とデータ電圧出力端子 T V Q が接続されることで、電圧駆動の開始前に電圧駆動回路 80 の入力電圧 A M I をデータ電圧に対応する電圧に設定できる。これにより、電圧駆動を開始してから電圧駆動回路 80 の出力が正確なデータ電圧にセトリングするまでの時間を短くできる。

30

【0100】

また本実施形態では、補助用電圧設定回路 85 のスイッチ回路 S W A S は、容量駆動の開始以後にオンになり、電圧駆動の開始前にオフになる。

【0101】

容量駆動の開始とは、キャパシター駆動回路 20 が階調データ G D [ 10 : 1 ] に対応するキャパシター駆動電圧を出力し始めることである。例えば、図 12 のデータ出力回路 42 の不図示の出力ラッチが階調データ G D [ 10 : 1 ] をキャパシター駆動回路 20 へ出力するが、その出力ラッチが階調データ G D [ 10 : 1 ] をラッチした（出力した）タイミングが容量駆動の開始タイミングである。

40

【0102】

スイッチ回路 S W A S が電圧駆動の開始前にオフになることで、電圧駆動回路 80 がデータ電圧を出力する前に電圧駆動回路 80 の入力ノード N A M I とデータ電圧出力端子 T V Q を遮断できる。これにより、電圧駆動回路 80 の出力がスイッチ回路 S W A S を介して入力ノード N A M I にフィードバックされることを防止できる。例えば図 3 や図 5 では電圧駆動回路 80 はボルテージフォロアを含み、ボルテージフォロアの出力が演算増幅回路の非反転入力端子にスイッチ回路 S W A S を介してフィードバックされる構成となっている。このフィードバックは正帰還であり、ボルテージフォロアの出力を不安定にさせるが、本実施形態では、このような正帰還の状態になることがない。

【0103】

50

また本実施形態では、電圧駆動回路 80 は、データ電圧を出力するアンプ回路 AMVD と、アンプ回路 AMVD の出力とデータ電圧出力端子 TVQ との間に設けられる電圧駆動用スイッチ回路 SWAM と、を有する。具体的には、電圧駆動回路 80 は、キャパシター駆動回路 20 とキャパシター回路 10 により電気光学パネル 200 を駆動する容量駆動が開始された後に、電圧駆動を行う。即ち、容量駆動が開始された後に電圧駆動用スイッチ回路 SWAM がオンになる。

#### 【0104】

アンプ回路 AMVD による駆動よりも容量駆動の方が高速であるため、電圧駆動と容量駆動を同時に行うと、アンプ回路 AMVD の出力に引っ張られてデータ電圧への漸近が遅くなる。この点、本実施形態によれば、スイッチ回路 SWAM を設けたことで、アンプ回路 AMVD の出力とデータ電圧出力端子 TVQ を遮断することが可能となる。即ち、第 1 期間（図 8 の T1）においてスイッチ回路 SWAM をオフにして容量駆動によりデータ電圧に近い電圧まで高速に近づけた後に、第 2 期間（図 8 の T2）においてスイッチ回路 SWAM をオンにしてアンプ回路 AMVD の高精度な出力をデータ電圧出力端子 TVQ に接続できる。これにより、高速な容量駆動と高精度なアンプ駆動を両立できる。

10

#### 【0105】

また本実施形態では、電圧駆動用スイッチ回路 SWAM は、補助用電圧設定回路 85 のスイッチ回路 SWAS がオンしている期間（図 6 の SWAS で“H”の期間）ではオフになる。

#### 【0106】

また本実施形態では、電圧駆動用スイッチ回路 SWAM は、電圧駆動の開始時にオンになる。

20

#### 【0107】

このようにすれば、電圧駆動回路 80 の入力ノード NAM I とデータ電圧出力端子 TVQ が接続されている期間（SWAS がオンの期間）において、アンプ回路 AMVD の出力とデータ電圧出力端子 TVQ を遮断できる。これにより、アンプ回路 AMVD の出力と入力がスイッチ回路 SWAS を介して短絡されることを防止できる。アンプ回路 AMVD の入力と出力が短絡された場合にはアンプ回路 AMVD の出力が確定しなくなるが、本実施形態では、そのような状況は起きない。

#### 【0108】

また本実施形態では、ドライバー 100 は D/A 変換回路 70 を含む。D/A 変換回路 70 は、複数の基準電圧 VR1 ~ VR1024 から階調データ GD[10:1] に対応する基準電圧を選択し、その選択された基準電圧を電圧駆動回路 80 の入力ノード NAM I に出力する。

30

#### 【0109】

このように D/A 変換回路 70 は電圧駆動回路 80 の入力ノード NAM I に基準電圧を出力するものである。本実施形態では、補助用電圧設定回路 85 を設けることで、入力ノード NAM I の基準電圧への変化を補助することができる。これにより、D/A 変換回路 70 のみを用いる場合に比べて、入力ノード NAM I を素早く基準電圧に到達させることができる。

40

#### 【0110】

また本実施形態では、ドライバー 100 は、複数の基準電圧 VR1 ~ VR1024 を生成する基準電圧生成回路 60 を含む。D/A 変換回路 70 は入力ノード遮断用スイッチ回路 SWBL を有する。入力ノード遮断用スイッチ回路 SWBL は、補助用電圧設定回路 85 のスイッチ回路 SWAS がオンになる期間（図 6 の SWAS で“H”の期間）において、電圧駆動回路 80 の入力ノード NAM I と基準電圧生成回路 60 の出力との間を遮断する。

#### 【0111】

基準電圧生成回路 60 の出力（ラダー抵抗のタップ）と電圧駆動回路 80 の入力ノード NAM I が接続されている場合、補助用電圧設定回路 85 のスイッチ回路 SWAS がオン

50



になると基準電圧生成回路60の出力とデータ電圧出力端子TVQが短絡されてしまう。データ電圧出力端子TVQは容量駆動により駆動されているため、電荷を出し入れできる基準電圧生成回路60が接続されると、容量駆動の電荷保存が保たれない可能性がある。

【0112】

この点、本実施形態によれば、補助用電圧設定回路85のスイッチ回路SWASがオンになる期間では入力ノード遮断用スイッチ回路SWBLにより電圧駆動回路80の入力ノードNAM Iと基準電圧生成回路60の出力との間を遮断できる。これにより、容量駆動から基準電圧生成回路60の出力を遮断できる。

【0113】

また本実施形態では、D/A変換回路70は、複数の基準電圧VR1~VR1024から階調データGD[10:1]に対応する基準電圧を選択する選択回路75を有する。入力ノード遮断用スイッチ回路SWBLは、選択回路75の出力と電圧駆動回路80の入力ノードNAM Iとの間に設けられる。

【0114】

このようにすれば、選択回路75により、複数の基準電圧VR1~VR1024から階調データGD[10:1]に対応する基準電圧を選択できる。そして、その選択回路75の出力と電圧駆動回路80の入力ノードNAM Iとの間に入力ノード遮断用スイッチ回路SWBLを設けることで、基準電圧生成回路60の出力と入力ノードNAM Iの間を遮断できる。

【0115】

なお、入力ノード遮断用スイッチ回路の構成は、上記に(図5の構成に)限定されない。例えば、入力ノード遮断用スイッチ回路は、選択回路75を構成するスイッチ回路であってもよい。この場合、スイッチ素子SWD1~SWD1024を全てオフすることでD/A変換回路70の出力と入力ノードNAM Iを遮断し、入力ノード遮断用スイッチ回路の機能を実現する。或いは、上述したトーナメント方式を採用した場合、例えばトーナメントの最上段(D/A変換回路70の出力側の段)のスイッチ素子を全てオフすることでD/A変換回路70の出力と入力ノードNAM Iを遮断し、入力ノード遮断用スイッチ回路の機能を実現してもよい。

【0116】

7. ドライバーの第3構成例

次に、図1で説明した第1構成例におけるデータ電圧について再考する。図2(A)では、キャパシター回路10の容量COと電気光学パネル側容量CPの比が1:2に設定されていることを前提としていたが、ここでは比が1:2でない場合も含めてデータ電圧の最大値を考える。以下で説明するように、種々の電気光学パネル200に対して汎用のドライバー100を作ろうとすると、比を1:2に保てなくなり、一定のデータ電圧範囲を出力できないという課題がある。

【0117】

図9(A)に示すように、まずキャパシター回路10の初期化を行う。即ち、階調データGD[10:1] = "000h" (末尾のhは" "内の数が16進数であることを示す)を設定して駆動部DR1~DR10の全ての出力を0Vに設定する。また図9(A)の式FAに示すように電圧VQ = VC = 7.5Vを設定する。この初期化においてキャパシター回路10の容量COと電気光学パネル側容量CPに蓄積された電荷の総量は、以降のデータ電圧出力において保存される。これにより、初期化電圧VC(コモン電圧)を基準としたデータ電圧が出力されることになる。

【0118】

図9(B)に示すように、データ電圧の最大値が出力されるのは、階調データGD[10:1] = "3FFh"を設定して駆動部DR1~DR10の全ての出力を15Vに設定した場合である。このときのデータ電圧は電荷保存の法則から求めることができ、図9(B)の式FBに示す値となる。

【0119】

10

20

30

40

50

図9(C)に示すように、所望のデータ電圧範囲が例えば5Vであるとする。初期化電圧 $V_C = 7.5V$ が基準なので、最大値は $12.5V$ である。このデータ電圧が実現されるのは、式FBから $C_O / (C_O + C_P) = 1/3$ の場合である。即ち、電気光学パネル側容量 $C_P$ に対して、キャパシター回路10の容量 $C_O = C_P / 2$ （即ち、 $C_P = 2C_O$ ）に設定しておけばよい。ある特定の電気光学パネル200と実装基板に対しては、このように $C_O = C_P / 2$ に設計することで、5Vのデータ電圧範囲を実現できる。

#### 【0120】

しかしながら、電気光学パネル側容量 $C_P$ は電気光学パネル200の種類や実装基板の設計に応じて $50pF \sim 120pF$ 程度の幅をもっている。また同一種類の電気光学パネル200及び実装基板であっても、複数の電気光学パネルを接続する場合には（例えばプロジェクターではR、G、Bの3つの電気光学パネルを接続する）、各電気光学パネルとドライバーの接続配線の長さが異なるため、基板容量 $C_{P1}$ が同一になるとは限らない。

#### 【0121】

例えば、ある電気光学パネル200と実装基板に対してキャパシター回路10の容量 $C_O$ を $C_P = 2C_O$ となるように設計したとする。このキャパシター回路10に対して別種の電気光学パネルや実装基板を接続した場合、 $C_P = C_O / 2$ や、 $C_P = 5C_O$ となる可能性がある。 $C_P = C_O / 2$ の場合、図9(C)に示すように、データ電圧の最大値が $17.5V$ になり、電源電圧 $15V$ を超えてしまう。この場合、データ電圧の範囲だけでなくドライバー100や電気光学パネル200の耐圧の観点からも問題がある。また、 $C_P = 5C_O$ の場合、データ電圧の最大値が $10V$ となり、十分なデータ電圧範囲が得られない。

#### 【0122】

このように、キャパシター回路10の容量 $C_O$ を電気光学パネル側容量 $C_P$ に応じて設定した場合、その電気光学パネル200や実装基板に対してドライバー100が専用設計になってしまうという課題がある。即ち、電気光学パネル200の種類や実装基板の設計が変わるたびに、それ専用のドライバー100を設計し直さなければならない。

#### 【0123】

図10に、上記のような課題を解決できる本実施形態のドライバーの第3構成例を示す。このドライバー100は、キャパシター回路10、キャパシター駆動回路20、可変容量回路30を含む。なお、既に説明した構成要素と同一の構成要素には同一の符号を付し、その構成要素については適宜説明を省略する。

#### 【0124】

可変容量回路30は、データ電圧出力ノードNVQに接続される容量であり、その容量値を可変に設定できる回路である。具体的には、可変容量回路30は、第1～第mのスイッチ素子SWA1～SWAm（mは2以上の自然数）、第1～第mの調整用キャパシターCA1～CAmを含む。なお以下では $m = 6$ の場合を例に説明する。

#### 【0125】

第1～第6のスイッチ素子SWA1～SWA6は、例えばP型又はN型のMOSトランジスタや、或はP型MOSトランジスタとN型MOSトランジスタを組み合わせたトランスファークロークで構成される。スイッチ素子SWA1～SWA6の第sのスイッチ素子SWAs（sは $m = 6$ 以下の自然数）の一端は、データ電圧出力ノードNVQに接続される。

#### 【0126】

第1～第6の調整用キャパシターCA1～CA6は、2の累乗で重み付けされた容量値を有している。具体的には調整用キャパシターCA1～CA6の第sの調整用キャパシターCAsの容量値は $2^{(s-1)} \times CA1$ である。第sの調整用キャパシターCAsの一端は、第sのスイッチ素子SWAsの他端に接続される。第sの調整用キャパシターCAsの他端は、低電位側電源（広義には、基準電圧のノード）に接続される。

#### 【0127】

例えば、 $CA1 = 1pF$ に設定した場合、スイッチ素子SWA1のみがオンした状態で

は可変容量回路 30 の容量は 1 pF であり、スイッチ素子 SWA1 ~ SWA6 の全てがオンした状態では可変容量回路 30 の容量は 63 pF ( $= 1 \text{ pF} + 2 \text{ pF} + \dots + 32 \text{ pF}$ ) である。容量値が 2 の累乗で重み付けされているため、スイッチ素子 SWA1 ~ SWA6 のオン・オフ状態に応じて 1 pF ~ 63 pF の間で 1 pF (CA1) ステップで、可変容量回路 30 の容量を設定することができる。

【0128】

#### 8. 第3構成例におけるデータ電圧

本実施形態のドライバー 100 が出力するデータ電圧について説明する。ここではデータ電圧の範囲 (データ電圧の最大値) について説明する。

【0129】

図 11 (A) に示すように、まずキャパシター回路 10 の初期化を行う。即ち、駆動部 DR1 ~ DR10 の全ての出力を 0 V に設定し、電圧  $V_Q = V_C = 7.5 \text{ V}$  (式 FC) を設定する。この初期化においてキャパシター回路 10 の容量 CO と可変容量回路の容量 CA と電気光学パネル側容量 CP に蓄積された電荷の総量は、以降のデータ電圧出力において保存される。

【0130】

図 11 (B) に示すように、データ電圧の最大値が出力されるのは、駆動部 DR1 ~ DR10 の全ての出力を 15 V に設定した場合である。このときのデータ電圧は図 11 (B) の式 FD に示す値となる。

【0131】

図 11 (C) に示すように、所望のデータ電圧範囲が例えば 5 V であるとする。データ電圧の最大値 12.5 V が実現されるのは、式 FD から  $CO / (CO + (CA + CP)) = 1/3$ 、即ち  $CA + CP = 2CO$  の場合である。CA は可変容量回路の容量なので、自在に設定可能であり、与えられた CP に対して  $CA = 2CO - CP$  に設定することができる。即ち、ドライバー 100 に接続する電気光学パネル 200 の種類や、実装基板の設計がどのようなものであっても、データ電圧の範囲をいつも 7.5 V ~ 12.5 V に設定することが可能となる。

【0132】

以上の第3構成例によれば、ドライバー 100 は可変容量回路 30 を含む。可変容量回路 30 は、データ電圧出力端子 TVQ と基準電圧 (低電位側電源の電圧、0 V) のノードとの間に設けられる。そして、可変容量回路 30 の容量 CA と電気光学パネル側容量 CP を加算した容量  $CA + CP$  (以下、被駆動側の容量と呼ぶ) と、キャパシター回路 10 の容量 CO (以下、駆動側の容量と呼ぶ) とが、所与の容量比関係 (例えば  $CO : (CA + CP) = 1 : 2$ ) になるように、可変容量回路 30 の容量 CA が設定されている。

【0133】

ここで、可変容量回路 30 の容量 CA は、可変容量回路 30 の可変の容量に対して設定された容量値である。図 10 の例では、スイッチ素子 SWA1 ~ SWA6 のうちオンになっているスイッチ素子に接続された調整用キャパシターの容量を合計したものである。また、電気光学パネル側容量 CP は、データ電圧出力端子 TVQ に対して外部に接続される容量 (寄生容量、回路素子の容量) である。図 10 の例では、基板容量 CP1 とパネル容量 CP2 である。また、キャパシター回路 10 の容量 CO は、キャパシター C1 ~ C10 の容量を合計したものである。

【0134】

また、所与の容量比関係とは、駆動側の容量 CO と被駆動側の容量  $CA + CP$  との比の関係である。これは、各容量の値が測定されている (明確に容量値が決定されている) 場合の容量比に限定されない。例えば、所与の階調データ GD [10 : 1] に対する出力電圧  $V_Q$  から推定される容量比であってもよい。電気光学パネル側容量 CP は通常、事前に測定値が得られているものではないので、そのままでは可変容量回路 30 の容量 CA を決定できない。そのため、図 14 で後述するように、例えば階調データ GD [10 : 1] の中央値 “200h” に対して  $V_Q = 10 \text{ V}$  が出力されるように可変容量回路 30 の容量 C

10

20

30

40

50

Aを決定する。この場合、結果的に容量比 $C_O : (C_A + C_P) = 1 : 2$ になっていると推定され、この比と容量 $C_A$ から容量 $C_P$ を推定できる（推定できるが、容量 $C_P$ は知らなくてよい）。

【0135】

さて、図1等で説明した第1構成例では、ドライバー100の接続環境（実装基板の設計や電気光学パネル200の種類）が変わると、その度に設計変更が必要であるという課題があった。

【0136】

この点、第3構成例によれば、可変容量回路30を設けることで、ドライバー100の接続環境に依存しない汎用のドライバー100を実現できる。即ち、電気光学パネル側容量 $C_P$ が異なる場合であっても、それに応じて可変容量回路30の容量 $C_A$ を調整することによって、所与の容量比関係（例えば $C_O : (C_A + C_P) = 1 : 2$ ）を実現できる。この容量比関係によってデータ電圧の範囲（図11（A）～図11（C）の例では $7.5V \sim 12.5V$ ）が決まるので、接続環境に依存しないデータ電圧の範囲を実現できる。

【0137】

また、本実施形態では、キャパシター駆動回路20は、階調データGD[10:1]の第1～第10のビットGD1～GD10に基づいて、前記第1～第10のキャパシター駆動電圧の各駆動電圧として第1電圧レベル（0V）又は第2電圧レベル（15V）を出力する。そして、所与の容量比関係は、第1電圧レベルと第2電圧レベルの電圧差（15V）と、データ電圧出力端子TVQに出力されるデータ電圧（出力電圧VQ）との間の電圧

関係によって決定される。

【0138】

例えば、図11（A）～図11（C）の例では、データ電圧出力端子TVQに出力されるデータ電圧の範囲が $5V$ （ $7.5V \sim 12.5V$ ）である。この場合、第1電圧レベルと第2電圧レベルの電圧差（15V）とデータ電圧の範囲（5V）との間の電圧関係が実現されるように所与の容量比関係が決定される。即ち、容量 $C_O$ と容量 $C_A + C_P$ による分圧（電圧分割）によって15Vが5Vに分圧される容量比 $C_O : (C_A + C_P) = 1 : 2$ が、所与の容量比関係となる。

【0139】

このようにすれば、第1電圧レベルと第2電圧レベルの電圧差（15V）と、データ電圧出力端子TVQに出力されるデータ電圧（範囲5V）との間の電圧関係から、所与の容量比関係 $C_O : (C_A + C_P) = 1 : 2$ を決定できる。逆に、所与の容量比関係が実現されているか否かは、電圧関係を調べれば判定できることになる。即ち、電気光学パネル側容量 $C_P$ が分かっていなくても、電圧関係から容量比 $C_O : (C_A + C_P) = 1 : 2$ を実現する可変容量回路30の容量 $C_A$ を決定できることになる（例えば図14のフロー）。

【0140】

#### 9. ドライバーの詳細な構成例

図12に、本実施形態のドライバーの詳細な構成例を示す。このドライバー100は、データ線駆動回路110、基準電圧生成回路60、制御回路40を含む。データ線駆動回路110は、補助用電圧設定回路85、D/A変換回路70、電圧駆動回路80、容量駆動回路90、検出回路50を含む。容量駆動回路90は、キャパシター回路10、キャパシター駆動回路20、可変容量回路30を含む。制御回路40は、データ出力回路42、インターフェース回路44、可変容量制御回路46、レジスター部48を含む。なお、既に説明した構成要素と同一の構成要素には同一の符号を付し、その構成要素については適宜説明を省略する。

【0141】

データ線駆動回路110は、1つのデータ電圧出力端子TVQに対応して1つ設けられる。ドライバー100は複数のデータ線駆動回路と複数のデータ電圧出力端子を含むが、図12では1つだけ図示している。基準電圧生成回路60は、複数のデータ線駆動回路（複数のD/A変換回路）に対して共通に設けられる。

## 【 0 1 4 2 】

インターフェース回路 4 4 は、ドライバー 1 0 0 を制御する表示コントローラ 3 0 0 ( 広義には、処理部 ) とドライバー 1 0 0 との間のインターフェース処理を行う。例えば、L V D S ( Low Voltage Differential Signaling ) 等のシリアル通信によるインターフェース処理を行う。この場合、インターフェース回路 4 4 は、シリアル信号を入出力する I / O 回路と、制御データや画像データをシリアル / パラレル変換するシリアル / パラレル変換回路と、を含む。また、表示コントローラ 3 0 0 から入力されてパラレルデータに変換された画像データをラッチするラインラッチを含む。ラインラッチは、例えば 1 度に 1 本の水平走査線に対応する画像データをラッチする。

## 【 0 1 4 3 】

データ出力回路 4 2 は、水平走査線に対応する画像データの中から、キャパシタ駆動回路 2 0 と補助用キャパシタ駆動回路 8 4 へ出力する階調データ G D [ 1 0 : 1 ] を取り出し、データ D Q [ 1 0 : 1 ] として出力する。また、その階調データ G D [ 1 0 : 1 ] をデータ D Q 2 [ 1 0 : 1 ] として D / A 変換回路 7 0 へ出力する。データ出力回路 4 2 は、例えば、電気光学パネル 2 0 0 の駆動タイミングを制御するタイミングコントローラと、水平走査線に対応する画像データから階調データ G D [ 1 0 : 1 ] を選択する選択回路と、選択された階調データ G D [ 1 0 : 1 ] をデータ D Q [ 1 0 : 1 ] としてラッチする出力ラッチと、選択された階調データ G D [ 1 0 : 1 ] をデータ D Q 2 [ 1 0 : 1 ] としてラッチする出力ラッチと、を含む。図 1 9 等で後述する相展開駆動を行う場合、出力ラッチは、1 度に 8 画素分 ( データ線 D L 1 ~ D L 8 の本数分 ) の階調データ G D [ 1 0 : 1 ] をラッチする。この場合、タイミングコントローラは、相展開駆動の駆動タイミングに合わせて選択回路や出力ラッチの動作タイミングを制御する。また、インターフェース回路 4 4 によって受信された画像データに基づいて水平同期信号や垂直同期信号を生成してもよい。また、電気光学パネル 2 0 0 のスイッチ素子 ( S W E P 1 等 ) のオン・オフを制御するための信号 ( E N B X ) や、ゲート駆動 ( 電気光学パネル 2 0 0 の水平走査線の選択 ) を制御する信号を、電気光学パネル 2 0 0 に対して出力してもよい。

## 【 0 1 4 4 】

検出回路 5 0 は、データ電圧出力ノード N V Q の電圧 V Q を検出する。具体的には、所与の検出電圧と電圧 V Q とを比較し、その結果を検出信号 D E T として出力する。例えば、電圧 V Q が検出電圧以上である場合には D E T = “ 1 ” を出力し、電圧 V Q が検出電圧より小さい場合には D E T = “ 0 ” を出力する。

## 【 0 1 4 5 】

可変容量制御回路 4 6 は、検出信号 D E T に基づいて可変容量回路 3 0 の容量を設定する。この設定処理のフローは図 1 4 で後述する。可変容量制御回路 4 6 は、可変容量回路 3 0 の制御信号として設定値 C S W [ 6 : 1 ] を出力する。この設定値 C S W [ 6 : 1 ] は第 1 ~ 第 6 のビット C S W 6 ~ C S W 1 ( 第 1 ~ 第 m のビット ) で構成される。ビット C S W s ( s は m = 6 以下の自然数 ) は、可変容量回路 3 0 のスイッチ素子 S W A s に入力される。例えばビット C S W s = “ 0 ” の場合にはスイッチ素子 S W A s がオフになり、ビット C S W s = “ 1 ” の場合にはスイッチ素子 S W A s がオンになる。設定処理を行う場合、可変容量制御回路 4 6 は検出用データ B D [ 1 0 : 1 ] を出力する。そして、データ出力回路 4 2 は検出用データ B D [ 1 0 : 1 ] を出力データ D Q [ 1 0 : 1 ] としてキャパシタ駆動回路 2 0 へ出力する。

## 【 0 1 4 6 】

レジスタ部 4 8 は、設定処理により設定された可変容量回路 3 0 の設定値 C S W [ 6 : 1 ] を記憶する。レジスタ部 4 8 はインターフェース回路 4 4 を介して表示コントローラ 3 0 0 からアクセス可能に構成される。即ち、表示コントローラ 3 0 0 はレジスタ部 4 8 から設定値 C S W [ 6 : 1 ] を読み出すことができる。或は、表示コントローラ 3 0 0 がレジスタ部 4 8 に設定値 C S W [ 6 : 1 ] を書き込める構成としてもよい。

## 【 0 1 4 7 】

図 13 に、検出回路 50 の詳細な構成例を示す。検出回路 50 は、検出電圧  $V_{h2}$  を生成する検出電圧生成回路 GCDT と、データ電圧出力ノード NVQ の電圧  $V_Q$  と検出電圧  $V_{h2}$  とを比較するコンパレータ OPDT と、を有する。

#### 【0148】

検出電圧生成回路 GCDT は、例えば抵抗素子による電圧分割回路等により予め決められた検出電圧  $V_{h2}$  を出力する。或は、レジスタ設定等により可変の検出電圧  $V_{h2}$  を出力してもよい。この場合、検出電圧生成回路 GCDT は、レジスタ設定値を  $D/A$  変換する  $D/A$  変換回路であってもよい。

#### 【0149】

10 ．可変容量回路の容量を設定する処理

10

図 14 に、可変容量回路 30 の容量を設定する処理のフローチャートを示す。この処理は、例えばドライバー 100 に電源を投入した際の立ち上げ時（初期化処理）において行う。

#### 【0150】

図 14 に示すように、処理を開始すると、設定値  $CSW[6:1] = "3Fh"$  を出力し、可変容量回路 30 のスイッチ素子  $SWA1 \sim SWA6$  を全てオンにする（ステップ S1）。次に、検出用データ  $BD[10:1] = "000h"$  を出力し、キャパシター駆動回路 20 の駆動部  $DR1 \sim DR10$  の出力を全て 0V に設定する（ステップ S2）。次に、出力電圧  $V_Q$  を初期化電圧  $V_C = 7.5V$  に設定する（ステップ S3）。この初期化電圧  $V_C$  は、図 16 で後述するように例えば外部から端子 TVC を介して供給される。

20

#### 【0151】

次に、可変容量回路 30 の容量を仮設定する（ステップ S4）。例えば、設定値  $CSW[6:1] = "1Fh"$  を設定する。この場合、スイッチ素子  $SWA6$  がオフ、スイッチ素子  $SWA5 \sim SWA1$  がオンになるので、容量は最大値の半分になる。次に、出力電圧  $V_Q$  への初期化電圧  $V_C$  の供給を解除する（ステップ S5）。次に、検出電圧  $V_{h2}$  を所望の電圧に設定する（ステップ S6）。例えば、検出電圧  $V_{h2} = 10V$  を設定する。

#### 【0152】

次に、検出用データ  $BD[10:1]$  の MSB を  $BD10 = "0"$  から  $BD10 = "1"$  に変化させる（ステップ S7）。次に、出力電圧  $V_Q$  が検出電圧  $V_{h2} = 10V$  以上であるか否かを検出する（ステップ S8）。

30

#### 【0153】

ステップ S8 において出力電圧  $V_Q$  が検出電圧  $V_{h2} = 10V$  より小さい場合、ビット  $BD10 = "0"$  に戻す（ステップ S9）。次に、設定値  $CSW[6:1] = "1Fh"$  を  $-1$  して  $"1Eh"$  とし、可変容量回路 30 の容量を 1 段階小さくする（ステップ S10）。次に、ビット  $BD10 = "1"$  を設定する（ステップ S11）。次に、出力電圧  $V_Q$  が検出電圧  $V_{h2} = 10V$  以下であるか否かを検出する（ステップ S12）。出力電圧  $V_Q$  が検出電圧  $V_{h2} = 10V$  以下である場合にはステップ S9 に戻り、出力電圧  $V_Q$  が検出電圧  $V_{h2} = 10V$  より大きい場合には処理を終了する。

#### 【0154】

ステップ S8 において出力電圧  $V_Q$  が検出電圧  $V_{h2} = 10V$  以上である場合、ビット  $BD10 = "0"$  に戻す（ステップ S13）。次に、設定値  $CSW[6:1] = "1Fh"$  を  $+1$  して  $"20h"$  とし、可変容量回路 30 の容量を 1 段階大きくする（ステップ S14）。次に、ビット  $BD10 = "1"$  を設定する（ステップ S15）。次に、出力電圧  $V_Q$  が検出電圧  $V_{h2} = 10V$  以上であるか否かを検出する（ステップ S16）。出力電圧  $V_Q$  が検出電圧  $V_{h2} = 10V$  以上である場合にはステップ S13 に戻り、出力電圧  $V_Q$  が検出電圧  $V_{h2} = 10V$  より小さい場合には処理を終了する。

40

#### 【0155】

図 15（A）、図 15（B）に、上記のステップ S8～S16 により設定値  $CSW[6:1]$  が決定される様子を模式的に示す。

#### 【0156】

50

上記のフローでは検出用データ  $BD[10:1]$  の  $MSB$  を  $BD10 = "1"$  に設定し、そのときの出力電圧  $VQ$  と検出電圧  $Vh2 = 10V$  を比較している。 $BD[10:1] = "200h"$  は階調データ範囲  $"000h" \sim "3FFh"$  の中央値であり、検出電圧  $Vh2 = 10V$  はデータ電圧範囲  $7.5V \sim 12.5V$  の中央値である。即ち、 $BD10 = "1"$  にしたときに出力電圧  $VQ$  が検出電圧  $Vh2 = 10V$  に一致していれば、正しい（所望の）データ電圧が得られていることになる。

【0157】

図15(A)に示すように、仮設定値  $CSW[6:1] = "1Fh"$  においてステップ  $S8$  で  $"NO"$  であった場合、 $VQ < Vh2$  である。この場合、出力電圧  $VQ$  を上昇させる必要がある。図11(B)の式  $FD$  から可変容量回路30の容量  $CA$  を小さくすれば出力電圧  $VQ$  が上昇することが分かるので、設定値  $CSW[6:1]$  を  $"1"$  ずつ小さくしていき、そして、最初に  $VQ \geq Vh2$  となる設定値  $CSW[6:1] = "1Ah"$  で停止する。これにより、検出電圧  $Vh2$  に直近の出力電圧  $VQ$  が得られる設定値  $CSW[6:1]$  を決定できる。

【0158】

図15(B)に示すように、仮設定値  $CSW[6:1] = "1Fh"$  においてステップ  $S8$  で  $"YES"$  であった場合、 $VQ \geq Vh2$  である。この場合、出力電圧  $VQ$  を下降させる必要がある。図11(B)の式  $FD$  から可変容量回路30の容量  $CA$  を大きくすれば出力電圧  $VQ$  が上昇することが分かるので、設定値  $CSW[6:1]$  を  $"1"$  ずつ大きくしていき、そして、最初に  $VQ < Vh2$  となる設定値  $CSW[6:1] = "24h"$  で停止する。これにより、検出電圧  $Vh2$  に直近の出力電圧  $VQ$  が得られる設定値  $CSW[6:1]$  を決定できる。

【0159】

以上の処理により得られた設定値  $CSW[6:1]$  を、最終的な設定値  $CSW[6:1]$  として決定し、その設定値  $CSW[6:1]$  をレジスター部48に書き込む。容量駆動により電気光学パネル200を駆動する際には、レジスター部48に記憶された設定値  $CSW[6:1]$  で可変容量回路30の容量が設定される。

【0160】

なお、本実施形態では可変容量回路30の設定値  $CSW[6:1]$  をレジスター部48に記憶させる場合を例に説明したが、これに限定されるものでない。例えば、設定値  $CSW[6:1]$  を  $RAM$  等のメモリーに記憶させてもよいし、ヒューズ（例えば、製造時にレーザー等で切断して設定値を設定する）により設定値  $CSW[6:1]$  を設定してもよい。

【0161】

11. ドライバーの第2の詳細な構成例

図16に、本実施形態のドライバー100の第2の詳細な構成例を示す。なお、ここでは補助用電圧設定回路85の図示を省略している。

【0162】

このドライバー100は、アンプ回路  $AMVD1$ 、 $AMVD2$ 、 $D/A$ 変換回路  $DAAM1$ 、 $DAAM2$ 、スイッチ回路  $SWAM1$ 、 $SWAM2$ 、基準電圧生成回路60、プリチャージ用端子  $TPR$ 、初期化電圧用端子  $TV C$ （コモン電圧用端子）、データ電圧出力端子  $TVQ1$ 、 $TVQ2$ 、プリチャージ用  $D/A$ 変換回路  $DAPR$ 、プリチャージ用アンプ回路  $AMPR$ 、容量駆動回路  $CDD1$ 、 $CDD2$ 、プリチャージ用スイッチ素子  $SWPR1$ 、 $SWPR2$ 、初期化用スイッチ素子  $SWVC11$ 、 $SWVC12$ 、 $SWVC21$ 、 $SWVC22$ 、出力用スイッチ素子  $SWVQ1$ 、 $SWVQ2$ 、ポストチャージ用スイッチ素子  $SWPOS1$ 、 $SWPOS2$  を含む。

【0163】

容量駆動回路  $CDD1$  と  $D/A$ 変換回路  $DAAM1$  とアンプ回路  $AMVD1$  とスイッチ回路  $SWAM1$  は、図12のデータ線駆動回路110に対応している。同様に、容量駆動回路  $CDD2$  と  $D/A$ 変換回路  $DAAM2$  とアンプ回路  $AMVD2$  とスイッチ回路  $SWA$

M 2 は、図 1 2 のデータ線駆動回路 1 1 0 に対応している。図 1 6 では、2 つのみ記載しているが、実際にはドライバー 1 0 0 は電気光学パネル 2 0 0 のデータ線と同数（又は同数以上）のデータ線駆動回路を有する。同様に、データ電圧出力端子や、各種スイッチ素子も、データ線駆動回路と同数含まれる。

【 0 1 6 4 】

初期化電圧用端子 T V C には、例えば外部の電源回路等から初期化電圧 V C （コモン電圧）が供給される。

【 0 1 6 5 】

なお、初期化電圧 V C を供給する手法は初期化電圧用端子 T V C に限定されない。例えば、ドライバー 1 0 0 は、初期化電圧 V C を出力する初期化電圧用アンプ回路を含んでもよい。

10

【 0 1 6 6 】

プリチャージ用端子 T P R は、プリチャージ用アンプ回路 A M P R の出力に接続される。プリチャージ用 D / A 変換回路 D A P R がプリチャージの設定値（例えばレジスター値）を D / A 変換してプリチャージ電圧 V P R を生成し、そのプリチャージ電圧 V P R でプリチャージ用アンプ回路 A M P R がプリチャージ用端子 T P R を駆動する。プリチャージ電圧 V P R は、例えば初期化電圧 V C よりも低い電圧（負極性駆動のデータ電圧範囲 7 . 5 V ~ 2 . 5 V の範囲内）である。

【 0 1 6 7 】

プリチャージ用端子 T P R には、外部のプリチャージ用キャパシター C P R が接続されている。プリチャージ用キャパシター C P R は、プリチャージ電圧 V P R に対応する電荷を蓄積しており、プリチャージ時にデータ線に対して電荷を供給する。このプリチャージ用キャパシター C P R を設けることでプリチャージ電圧 V P R を平滑化できるので、プリチャージ用アンプ回路 A M P R の電荷供給能力を下げることができる。即ち、プリチャージを行うとプリチャージ用キャパシター C P R が電荷を放出するが、その次のプリチャージを行うまでの間に、プリチャージ用アンプ回路 A M P R がプリチャージ用キャパシター C P R の電荷を補充できればよい。

20

【 0 1 6 8 】

図 1 7 に、ドライバー 1 0 0 の第 2 の詳細な構成例の動作タイミングチャートを示す。図 1 7 では、スイッチ素子の符号末尾の数字を省略している。例えば“ S W P R ”はプリチャージ用スイッチ素子 S W P R 1、S W P R 2 を表す。スイッチ素子のタイミングチャートにおいてハイレベルはスイッチ素子のオン状態を表し、ローレベルはスイッチ素子のオフ状態を表す。

30

【 0 1 6 9 】

図 1 7 に示すように、電気光学パネル 2 0 0 の駆動はプリチャージ、初期化、データ電圧出力、ポストチャージの順に行う。この一連の動作は、例えば 1 つの水平走査期間に行う。

【 0 1 7 0 】

プリチャージ期間では、プリチャージ用スイッチ素子 S W P R 1、S W P R 2 がオンになり、データ電圧出力端子 T V Q 1、T V Q 2 からプリチャージ電圧 V P R が出力される。

40

【 0 1 7 1 】

初期化期間は第 1 ~ 第 3 の初期化期間に分かれている。この第 1 ~ 第 3 の初期化期間では D Q [ 1 0 : 1 ] = “ 0 0 0 h ”（D Q 2 [ 1 0 : 1 ] = “ 0 0 0 h ”）に設定されており、キャパシター駆動回路 2 0 の駆動部 D R 1 ~ D R 1 0 は全て 0 V を出力している。またアンプ回路 A M V D 1、A M V D 2 は初期化電圧 V C を出力している。

【 0 1 7 2 】

第 1 の初期化期間では、初期化用スイッチ素子 S W V C 1 1、S W V C 1 2 がオンになり、容量駆動回路 C D D 1、C D D 2 の出力（キャパシター C 1 ~ C 1 0 の一端）が初期化電圧 V C に設定される。これにより、キャパシター回路 1 0 と可変容量回路 3 0 の電荷

50



が初期化される。また、ポストチャージ用スイッチ素子  $SWPOS1$ 、 $SWPOS2$  がオンになり、データ電圧出力端子  $TVQ1$ 、 $TVQ2$  が共通接続される。

【0173】

第2の初期化期間では、初期化用スイッチ素子  $SWVC21$ 、 $SWVC22$  とポストチャージ用スイッチ素子  $SWPOS1$ 、 $SWPOS2$  がオンになり、データ電圧出力端子  $TVQ1$ 、 $TVQ2$  から初期化電圧  $VC$  が出力される。これにより、電気光学パネル側容量  $CP$  の電荷が初期化される。

【0174】

第3の初期化期間では、出力用スイッチ素子  $SWVQ1$ 、 $SWVQ2$  とスイッチ回路  $SWAM1$ 、 $SWAM2$  がオンになり、アンプ回路  $AMVD1$  の出力と容量駆動回路  $CDD1$  の出力とデータ電圧出力端子  $TVQ1$  が接続され、アンプ回路  $AMVD2$  の出力と容量駆動回路  $CDD2$  の出力とデータ電圧出力端子  $TVQ2$  が接続される。また、初期化用スイッチ素子  $SWVC11$ 、 $SWVC12$ 、 $SWVC21$ 、 $SWVC22$  とポストチャージ用スイッチ素子  $SWPOS1$ 、 $SWPOS2$  がオンになり、データ電圧出力端子  $TVQ1$ 、 $TVQ2$  から初期化電圧  $VC$  が出力される。

10

【0175】

データ電圧出力期間では、 $DQ[10:1] = GD[10:1]$  ( $DQ2[10:1] = GD[10:1]$ ) に設定されている。そして、出力用スイッチ素子  $SWVQ1$ 、 $SWVQ2$  がオンになり、階調データ  $GD[10:1]$  に対応したデータ電圧がデータ電圧出力端子  $TVQ1$ 、 $TVQ2$  から出力される。データ電圧出力期間の詳細は後述する。

20

【0176】

ポストチャージ期間は第1のポストチャージ期間、第2のポストチャージ期間に分かれている。第1のポストチャージ期間、第2のポストチャージ期間では、 $DQ[10:1] = DPOS[10:1]$  ( $DQ2[10:1] = DPOS[10:1]$ ) に設定されている。 $DPOS[10:1]$  はポストチャージ用データである。

【0177】

第1のポストチャージ期間では、出力用スイッチ素子  $SWVQ1$ 、 $SWVQ2$  とポストチャージ用スイッチ素子  $SWPOS1$ 、 $SWPOS2$  がオンになり、ポストチャージ用データ  $DPOS[10:1]$  に対応したデータ電圧がデータ電圧出力端子  $TVQ1$ 、 $TVQ2$  から出力される。

30

【0178】

第2のポストチャージ期間では、更にスイッチ回路  $SWAM1$ 、 $SWAM2$  がオンになり、アンプ回路  $AMVD1$ 、 $AMVD2$  が、ポストチャージ用データ  $DPOS[10:1]$  に対応したデータ電圧をデータ電圧出力端子  $TVQ1$ 、 $TVQ2$  へ出力する。

【0179】

図18に、データ電圧出力期間における動作タイミングチャートを示す。データ電圧出力期間は第1～第160の出力期間に分かれている。なお、電気光学パネル200が図19に示す構成である場合を例に説明する。

【0180】

第1の出力期間では、階調データ  $GD[10:1]$  としてソース線  $SL1 \sim SL8$  に対応する階調データを出力する。例えば、データ出力回路42の出力ラッチに階調データがラッチされたタイミングが容量駆動の開始タイミングである。ソース線  $SL1 \sim SL8$  に対応する階調データをラッチした後にスイッチ回路  $SWAM1$ 、 $SWAM2$  がオンになり、アンプ回路  $AMVD1$ 、 $AMVD2$  が階調データに対応したデータ電圧を出力する。

40

【0181】

スイッチ回路  $SWAM1$ 、 $SWAM2$  がオンになっている期間（電圧駆動の期間）に信号  $ENBX$  がオン（アクティブ）になり、電気光学パネル200のソース線  $SL1 \sim SL8$  が駆動される。信号  $ENBX$  は、電気光学パネル200のデータ線とソース線を接続するスイッチ素子をオン・オフ制御するための制御信号である。

【0182】

50

スイッチ回路SWAM1、SWAM2がオフになった後、次の第2の出力期間に移行する。第2の出力期間では、階調データGD[10:1]としてソース線SL9~SL16に対応する階調データを出力する。次に、スイッチ回路SWAM1、SWAM2がオンになり、信号ENBXがオン(アクティブ)になり、電気光学パネル200のソース線SL9~SL16が駆動される。以降、第3~第160の出力期間において同様の動作を行い、第1のポストチャージ期間に移行する。

#### 【0183】

##### 12. 相展開駆動の手法

次に、電気光学パネル200の駆動手法について説明する。以下では相展開駆動を例にとって説明するが、本実施形態のドライバー100が行う駆動手法は相展開駆動に限定されない。

10

#### 【0184】

図19に、ドライバーの第3の詳細な構成例と、電気光学パネルの詳細な構成例と、ドライバーと電気光学パネルの接続構成例を示す。

#### 【0185】

ドライバー100は、制御回路40、第1~第kのデータ線駆動回路DD1~DDk(kは2以上の自然数)を含む。データ線駆動回路DD1~DDkは、それぞれ図12のデータ線駆動回路110に対応する。なお以下ではk=8の場合を例に説明する。

#### 【0186】

制御回路40は、データ線駆動回路DD1~DD8の各データ線駆動回路に対して、対応する階調データを出力する。また制御回路40は、制御信号(例えば図20のENBX等)を電気光学パネル200に出力する。

20

#### 【0187】

データ線駆動回路DD1~DD8は、階調データをデータ電圧に変換し、そのデータ電圧を出力電圧VQ1~VQ8として電気光学パネル200のデータ線DL1~DL8へ出力する。

#### 【0188】

電気光学パネル200は、データ線DL1~DL8(第1~第kのデータ線)、スイッチ素子SWEP1~SWEP(tk)、ソース線SL1~SL(tk)を含む。tは2以上の自然数であり、以下ではt=160(即ちtk=160×8=1280(WXGA))の場合を例に説明する。

30

#### 【0189】

スイッチ素子SWEP1~SWEP1280のうちスイッチ素子SWEP((j-1)×k+1)~SWEP(j×k)の一端は、データ線DL1~DL8に接続される。jはt=160以下の自然数である。例えばj=1の場合にはスイッチ素子SWEP1~SWEP8である。

#### 【0190】

スイッチ素子SWEP1~SWEP1280は、例えばTFT(Thin Film Transistor)等で構成され、ドライバー100からの制御信号に基づいて制御される。例えば、電気光学パネル200は不図示のスイッチ制御回路を含み、そのスイッチ制御回路がENBX等の制御信号に基づいてスイッチ素子SWEP1~SWEP1280のオン・オフを制御する。

40

#### 【0191】

図20に、図19のドライバー100と電気光学パネル200の動作タイミングチャートを示す。

#### 【0192】

プリチャージ期間では、信号ENBXがハイレベルになり、スイッチ素子SWEP1~SWEP1280が全てオンになる。そして、ソース線SL1~SL1280の全てがプリチャージ電圧VPRに設定される。

#### 【0193】

50

初期化期間では、信号 E N B X がローレベルになり、スイッチ素子 S W E P 1 ~ S W E P 1 2 8 0 が全てオフになる。そして、データ線 D L 1 ~ D L 8 が初期化電圧 V C = 7 . 5 V に設定される。ソース線 S L 1 ~ S L 1 2 8 0 はプリチャージ電圧 V P R のままである。

#### 【 0 1 9 4 】

データ電圧出力期間の第 1 の出力期間では、ソース線 S L 1 ~ S L 8 に対応する階調データがデータ線駆動回路 D D 1 ~ D D 8 に入力される。そして、キャパシター回路 1 0 とキャパシター駆動回路 2 0 による容量駆動と電圧駆動回路 8 0 による電圧駆動が行われ、データ線 D L 1 ~ D L 8 がデータ電圧 S V 1 ~ S V 8 で駆動される。容量駆動と電圧駆動の開始後、信号 E N B X がハイレベルになり、スイッチ素子 S W E P 1 ~ S W E P 8 がオンになる。そして、ソース線 S L 1 ~ S L 8 がデータ電圧 S V 1 ~ S V 8 で駆動される。このとき、不図示のゲートドライバーにより 1 本のゲート線（水平走査線）が選択されており、その選択されたゲート線とデータ線 D L 1 ~ D L 8 に接続される画素回路にデータ電圧 S V 1 ~ S V 8 が書き込まれる。なお図 2 0 には例としてデータ線 D L 1、ソース線 S L 1 の電位を示す。

10

#### 【 0 1 9 5 】

第 2 出力期間では、ソース線 S L 9 ~ S L 1 6 に対応する階調データがデータ線駆動回路 D D 1 ~ D D 8 に入力される。そして、キャパシター回路 1 0 とキャパシター駆動回路 2 0 による容量駆動と電圧駆動回路 8 0 による電圧駆動が行われ、データ線 D L 1 ~ D L 8 がデータ電圧 S V 9 ~ S V 1 6 で駆動される。容量駆動と電圧駆動の開始後、信号 E N B X がハイレベルになり、スイッチ素子 S W E P 9 ~ S W E P 1 6 がオンになる。そして、ソース線 S L 9 ~ S L 1 6 がデータ電圧 S V 9 ~ S V 1 6 で駆動される。このとき、選択されたゲート線とデータ線 D L 9 ~ D L 1 6 に接続される画素回路にデータ電圧 S V 9 ~ S V 1 6 が書き込まれる。なお図 2 0 には例としてデータ線 D L 1、ソース線 S L 9 の電位を示す。

20

#### 【 0 1 9 6 】

以降、同様に第 3 出力期間、第 4 出力期間、・・・、第 1 6 0 出力期間においてソース線 S L 1 7 ~ S L 2 4、S L 2 5 ~ S L 3 2、・・・、S L 1 2 6 3 ~ S L 1 2 8 0 が駆動され、ポストチャージ期間に移行する。

#### 【 0 1 9 7 】

##### 1 3 . 電子機器

図 2 1 に、本実施形態のドライバー 1 0 0 を適用できる電子機器の構成例を示す。本実施形態の電子機器として、例えばプロジェクターや、テレビジョン装置、情報処理装置（コンピューター）、携帯型情報端末、カーナビゲーションシステム、携帯型ゲーム端末等の、表示装置を搭載する種々の電子機器を想定できる。

30

#### 【 0 1 9 8 】

図 2 1 に示す電子機器は、ドライバー 1 0 0、電気光学パネル 2 0 0、表示コントローラ 3 0 0（第 1 処理部）、C P U 3 1 0（第 2 処理部）、記憶部 3 2 0、ユーザーインターフェース部 3 3 0、データインターフェース部 3 4 0 を含む。

#### 【 0 1 9 9 】

電気光学パネル 2 0 0 は例えばマトリックス型の液晶表示パネルである。或は、電気光学パネル 2 0 0 は自発光素子を用いた E L（Electro-Luminescence）表示パネルであってもよい。ユーザーインターフェース部 3 3 0 は、ユーザーからの種々の操作を受け付けるインターフェース部である。例えば、ボタンやマウス、キーボード、電気光学パネル 2 0 0 に装着されたタッチパネル等で構成される。データインターフェース部 3 4 0 は、画像データや制御データの入出力を行うインターフェース部である。例えば U S B 等の有線通信インターフェースや、或は無線 L A N 等の無線通信インターフェースである。記憶部 3 2 0 は、データインターフェース部 3 4 0 から入力された画像データを記憶する。或は、記憶部 3 2 0 は、C P U 3 1 0 や表示コントローラ 3 0 0 のワーキングメモリーとして機能する。C P U 3 1 0 は、電子機器の各部の制御処理や種々のデータ処理を行う。表示

40

50

コントローラ 300 はドライバー 100 の制御処理を行う。例えば、表示コントローラ 300 は、データインターフェース部 340 や記憶部 320 から転送された画像データを、ドライバー 100 が受け付け可能な形式に変換し、その変換された画像データをドライバー 100 へ出力する。ドライバー 100 は、表示コントローラ 300 から転送された画像データに基づいて電気光学パネル 200 を駆動する。

#### 【0200】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義または同義な異なる用語（第 1 論理レベル、第 2 論理レベル）と共に記載された用語（ローレベル、ハイレベル）は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。また本実施形態及び変形例の全ての組み合わせも、本発明の範囲に含まれる。またキャパシター回路、キャパシター駆動回路、可変容量回路、検出回路、制御回路、基準電圧生成回路、D/A 変換回路、電圧駆動回路、補助用電圧設定回路、ドライバー、電気光学パネル、電子機器の構成・動作等も、本実施形態で説明したものに限定されず、種々の変形実施が可能である。

#### 【符号の説明】

#### 【0201】

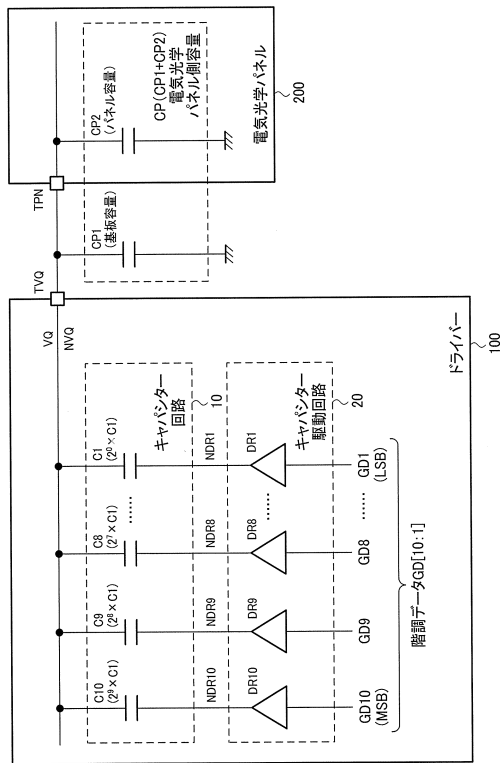
10 キャパシター回路、20 キャパシター駆動回路、30 可変容量回路、  
40 制御回路、42 データ出力回路、44 インターフェース回路、  
46 可変容量制御回路、48 レジスター部、50 検出回路、  
60 基準電圧生成回路、70 D/A 変換回路、80 電圧駆動回路、  
85 補助用電圧設定回路、90 容量駆動回路、100 ドライバー、  
110 データ線駆動回路、200 電気光学パネル、  
300 表示コントローラ、310 CPU、320 記憶部、  
330 ユーザーインターフェース部、340 データインターフェース部、  
AMVD アンプ回路、AMPR プリチャージ用アンプ回路、  
C1 キャパシター、CA 可変容量回路の容量、CA1 調整用キャパシター、  
CDD1 容量駆動回路、CO キャパシター回路の容量、  
CP 電気光学パネル側容量、CPR プリチャージ用キャパシター、  
CSB バランス用キャパシター、DAAM1 D/A 変換回路、  
DL1 データ線、DR1 駆動部、GD1 ビット、  
GD[10:1] 階調データ、NDR1 キャパシター駆動ノード、  
SL1 ソース線、SWA1 スイッチ素子、SWAM 電圧駆動用スイッチ回路、  
SWAS スイッチ回路、SWEP1 スイッチ素子、  
TPR プリチャージ用端子、TVC 初期化電圧用端子、  
TVQ データ電圧出力端子、VC 初期化電圧、Vh2 検出電圧、  
VPR プリチャージ電圧

10

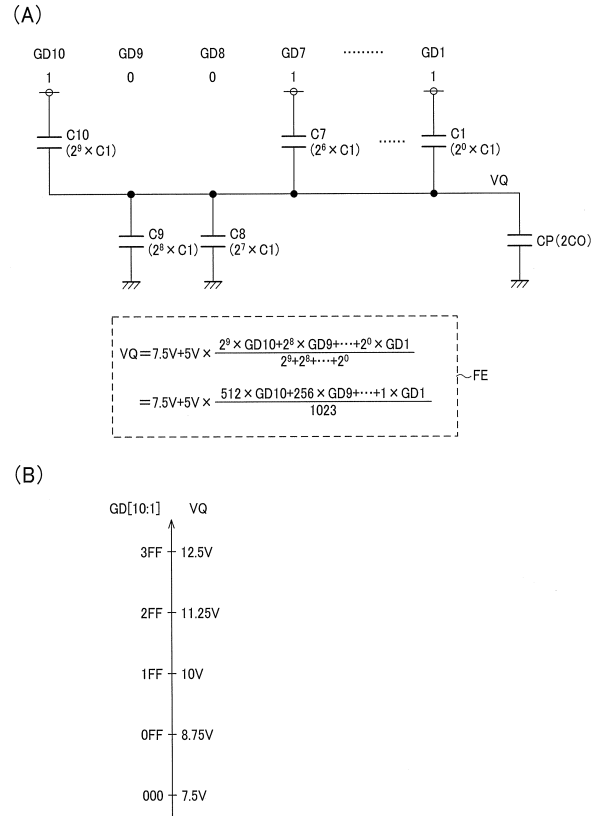
20

30

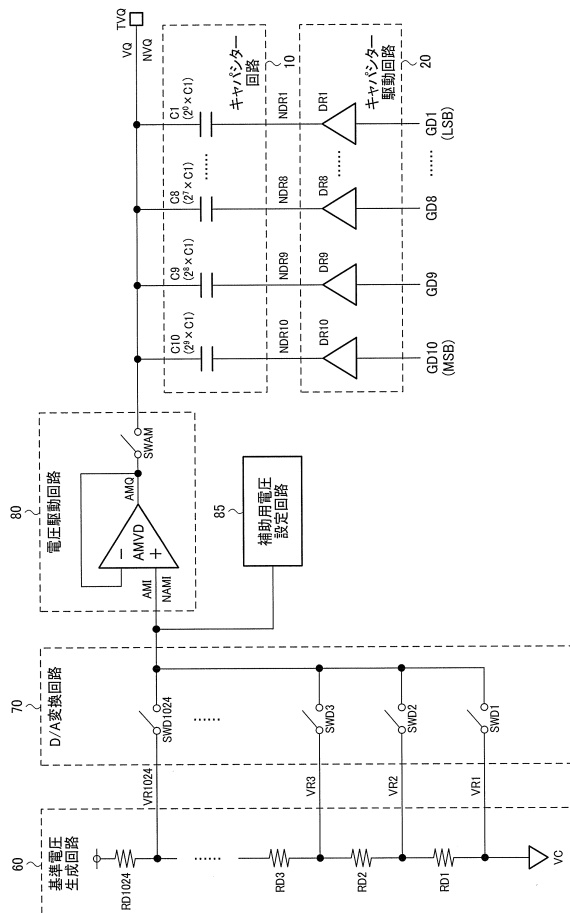
【図 1】



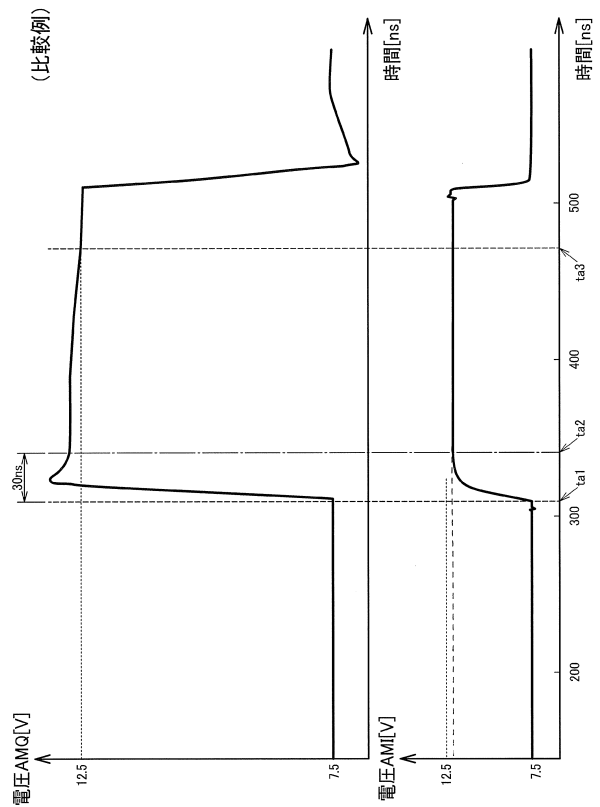
【図 2】



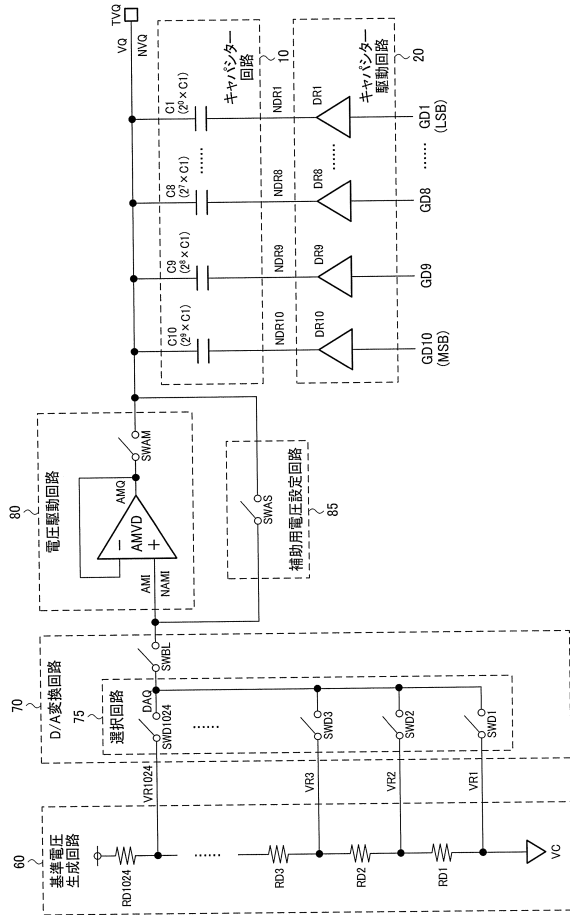
【図 3】



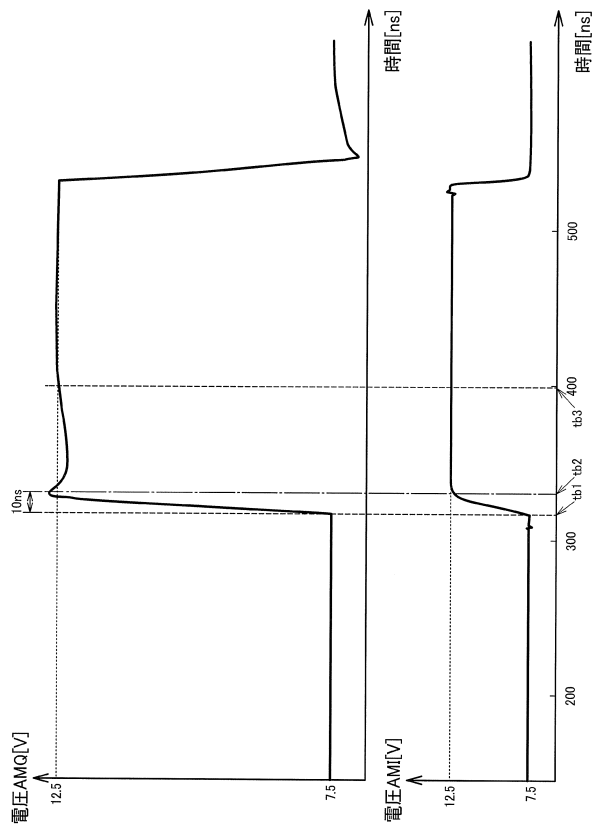
【図 4】



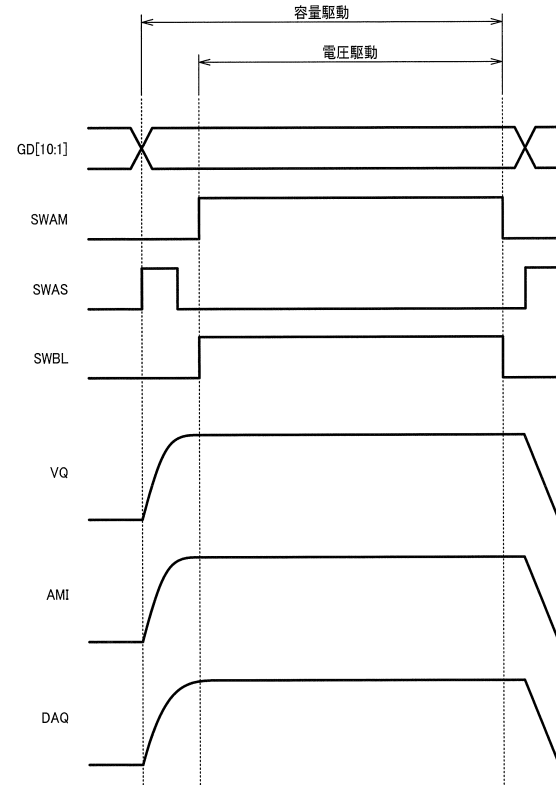
【図 5】



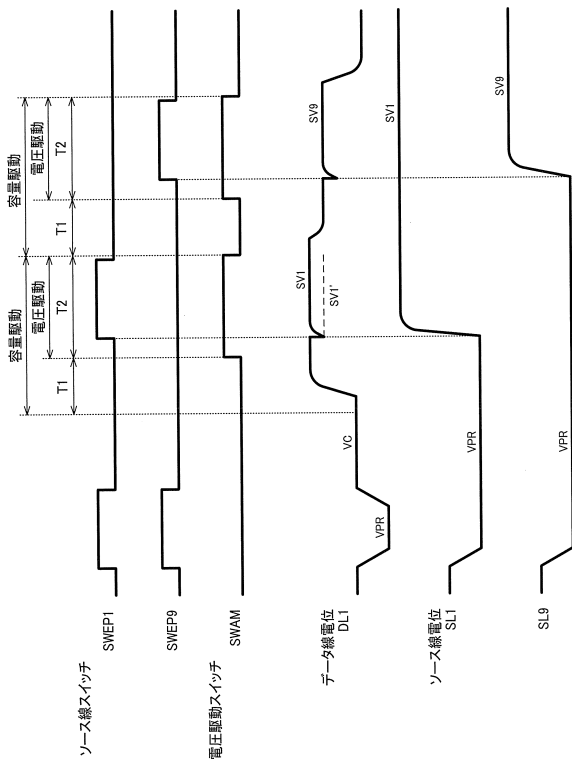
【図 7】



【図 6】

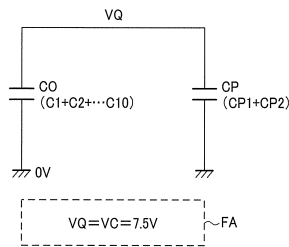


【図 8】

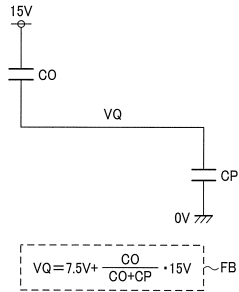


【図 9】

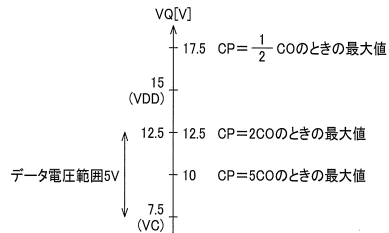
(A) 初期化



(B) 最大データ電圧

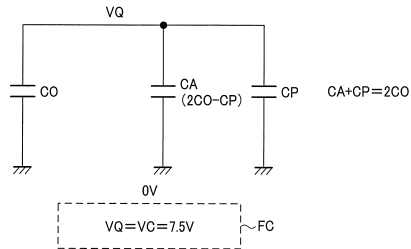


(C)

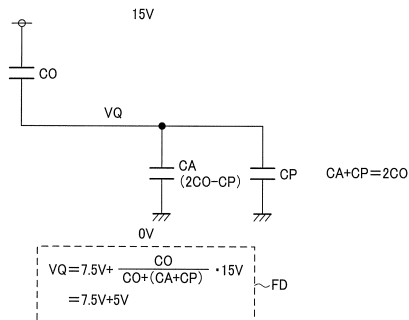


【図 11】

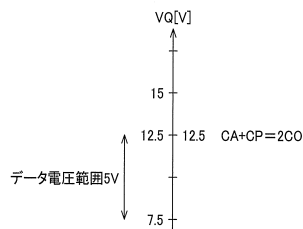
(A) 初期化



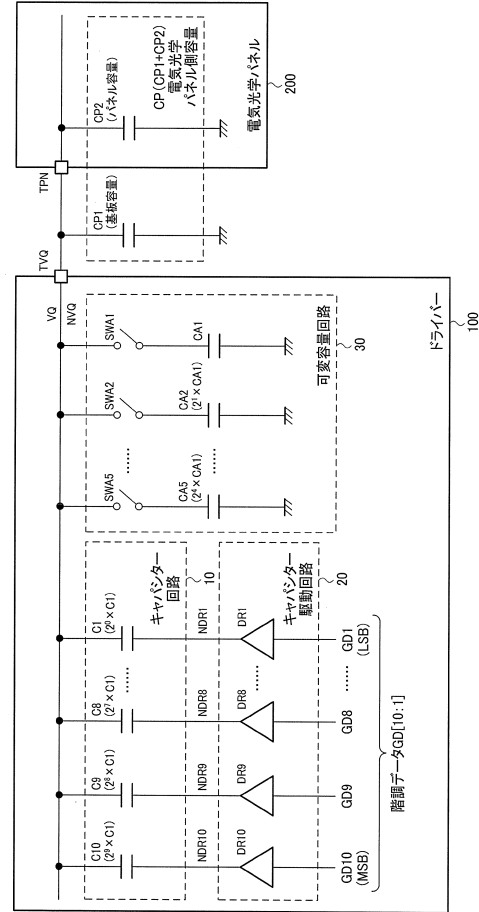
(B) 最大データ電圧



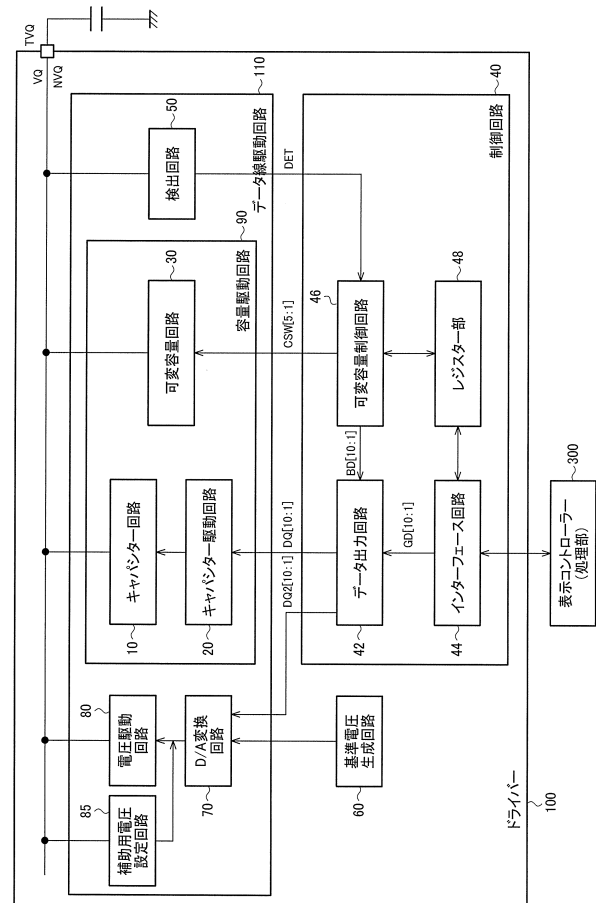
(C)



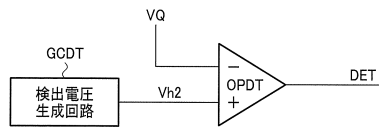
【図 10】



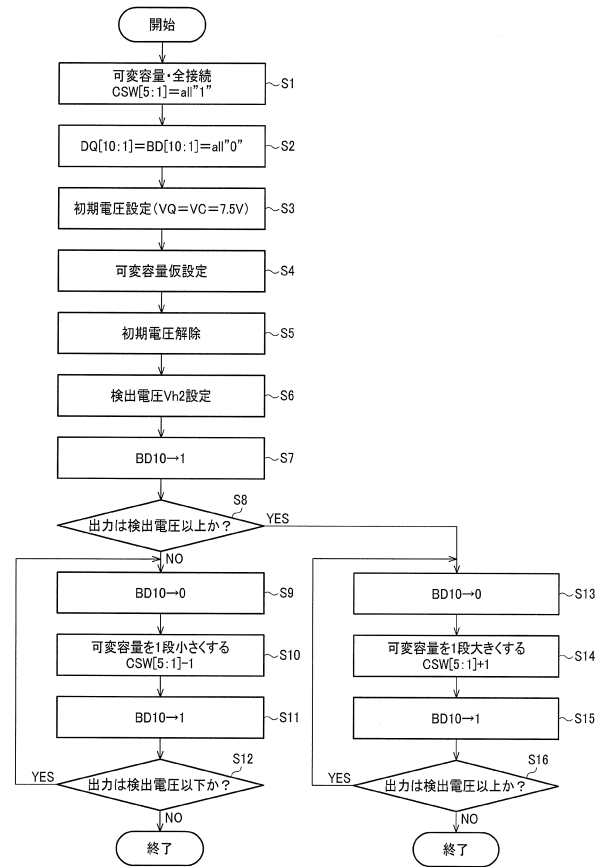
【図 12】



【図 13】

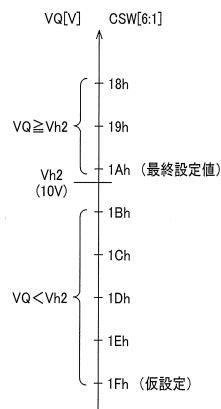


【図 14】

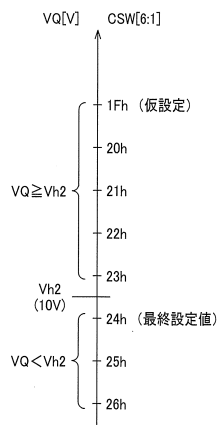


【図 15】

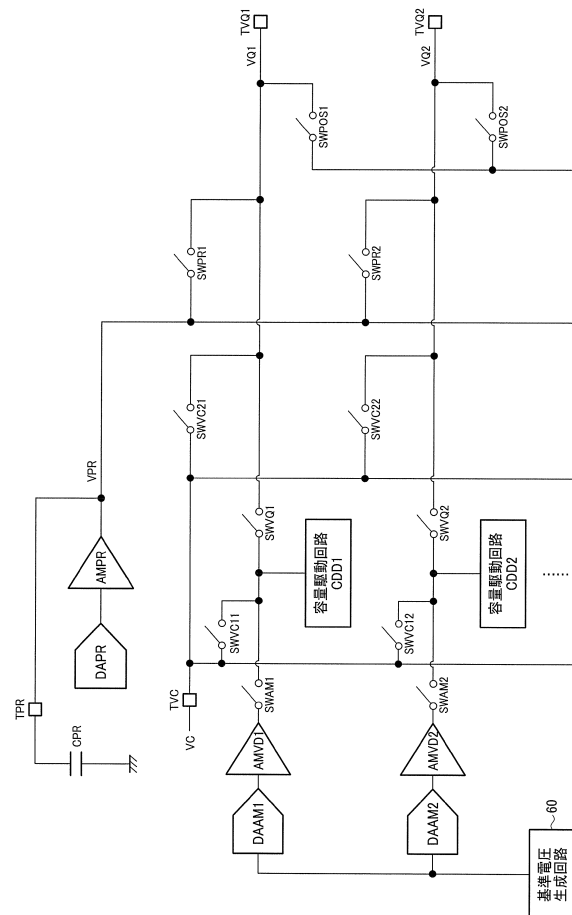
(A) (S8:NO)



(B) (S8:YES)

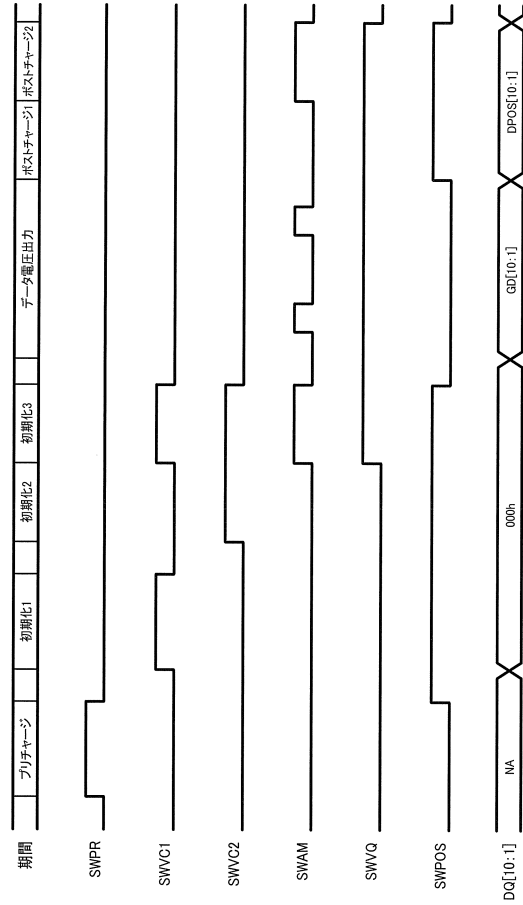


【図 16】

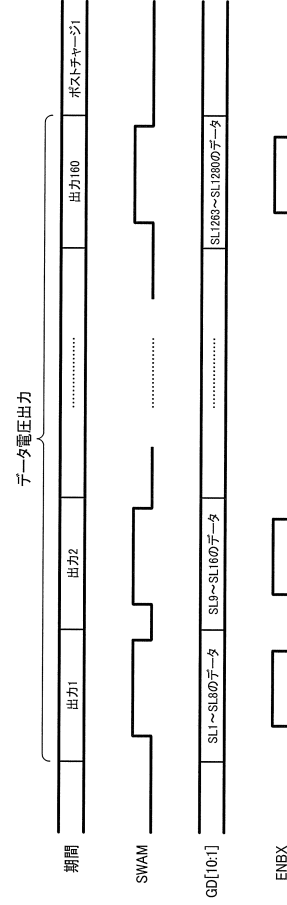




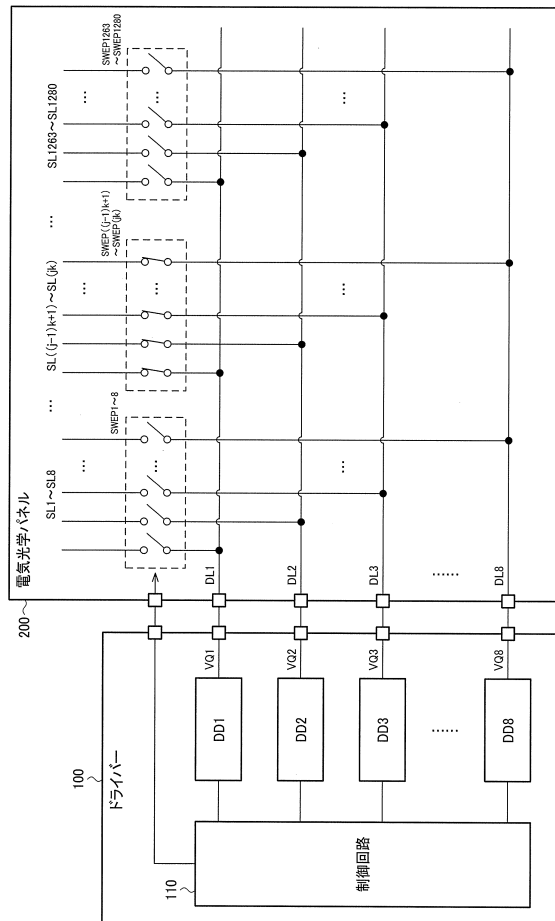
【図 17】



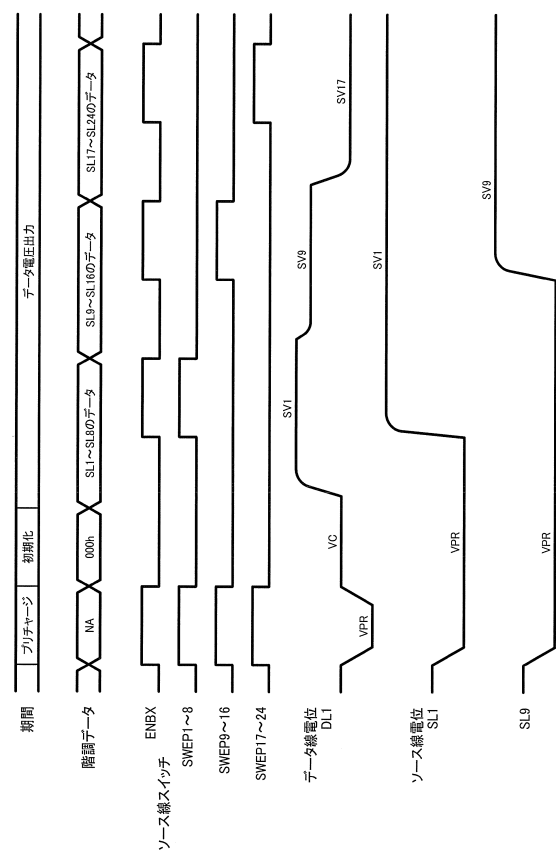
【図 18】



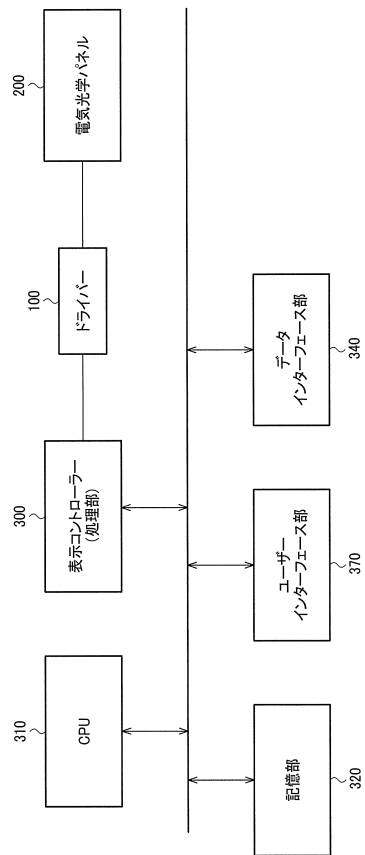
【図 19】



【図 20】



【図 21】



## フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 2 1 F
G 0 9 G	3/20	6 1 1 J
G 0 9 G	3/20	6 1 1 F
G 0 9 G	3/20	6 1 1 D
G 0 2 F	1/133	5 5 0
H 0 3 M	1/74	

(56)参考文献 特開2006-243061(JP,A)

特開2002-100991(JP,A)

特開2011-130440(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3		
H 0 3 M	1 / 7 4		