

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2013 年 1 月 3 日 (03.01.2013)



(10) 国际公布号
WO 2013/000197 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
- (21) 国际申请号: PCT/CN2011/078887
- (22) 国际申请日: 2011 年 8 月 25 日 (25.08.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110183555.0 2011 年 6 月 30 日 (30.06.2011) CN
- (71) 申请人 (对除美国外的所有指定国): **中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES)** [CN/CN]; 中国北京市朝阳区北土城西路 3#, Beijing 100029 (CN)。 **北京北方微电子基地设备工艺研究中心有限责任公司 (BEIJING NMC CO., LTD.)** [CN/CN]; 中国北京市经济技术开发区文昌大道 8 号, Beijing 100176 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): **尹海洲 (YIN, Haizhou)** [CN/US]; 美国纽约州波基普西市洛克科劳斯特街

11#, New York 12603 (US)。 **朱慧珑 (ZHU, Huilong)** [US/US]; 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。 **骆志炯 (LUO, Zhijiong)** [US/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, New York 12603 (US)。

(74) 代理人: **北京汉昊知识产权代理事务所 (普通合伙) (HANHOW INTELLECTUAL PROPERTY PARTNERS)**; 中国北京市东城区东长安街 1 号东方广场西 1 区 11 层 1111 室朱海波, Beijing 100738 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

[见续页]

(54) Title: SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 一种半导体结构及其制造方法

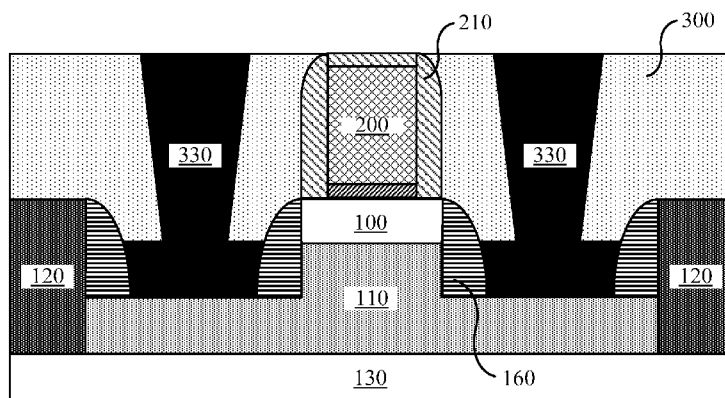


图 11 / Fig. 11

(57) Abstract: The present invention provides a method for manufacturing a semiconductor structure. The method comprises: providing an SOI substrate, and forming a gate structure on the SOI substrate; etching an SOI layer and a BOX layer of the SOI substrate at two sides of the gate structure, so as to form a trench for exposing the BOX layer, the trench partially entering the BOX layer; forming a metal side wall at a sidewall of the trench, the metal side wall being in contact with the SOI layer below the gate structure; forming an insulation layer for filling a part of the trench, and forming a dielectric layer for covering the gate structure and the insulation layer; etching the dielectric layer to form a first contact hole for exposing at least a part of the insulation layer, and etching the insulation layer via the first contact hole, so as to form a second contact hole for exposing at least a part of the metal side wall; and filling the first contact hole and the second contact hole to form a contact plug, the contact plug being in contact with the metal side wall. The method provided by the present invention can improve the performance of the semiconductor device and reduce the processing difficulty.

(57) 摘要:

[见续页]



WO 2013/000197 A1



(84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,

CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

本发明提供了一种半导体结构的制造方法, 该方法包括: 提供 SOI 衬底, 并在所述 SOI 衬底上形成栅极结构; 刻蚀所述栅极结构两侧的所述 SOI 衬底的 SOI 层和 BOX 层, 以形成暴露所述 BOX 层的沟槽, 该沟槽部分进入所述 BOX 层; 在所述沟槽的侧壁形成金属侧墙, 该金属侧墙与所述栅极结构下方的所述 SOI 层相接触; 形成填充部分所述沟槽的绝缘层, 并形成覆盖所述栅极结构和所述绝缘层的介质层; 刻蚀该介质层以形成至少暴露部分所述绝缘层的第一接触孔, 通过该第一接触孔刻蚀所述绝缘层, 以形成至少暴露部分所述金属侧墙的第二接触孔; 填充所述第一接触孔和所述第二接触孔以形成接触塞, 该接触塞与所述金属侧墙相接触。本发明提供的方法能提升半导体器件的性能和减小加工难度。

一种半导体结构及其制造方法

[0001] 本申请要求了 2011 月 6 月 30 日提交的、申请号为 201110183555.0、发明名称为“一种半导体结构及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

[0002] 本发明涉及半导体的制造领域，尤其涉及一种半导体结构及其制造方法。

背景技术

[0003] 随着半导体结构制造技术的发展，具有更高性能和更强功能的集成电路要求更大的元件密度，而且各个部件、元件之间或各个元件自身的尺寸、大小和空间也需要进一步缩小（目前已经可以达到纳米级），随着半导体器件尺寸的缩小，各种微观效应凸显出来，为适应器件发展的需要，本领域技术人员一直在积极探索新的制造工艺。

[0004] 绝缘体上硅（Silicon-On-Insulator, SOI）具有较好的介质隔离特性，采用 SOI 制成的集成电路具有寄生电容小、集成密度高、速度快、工艺简单和短沟道效应小等优势，通常 SOI 衬底包括三层主要结构，分别是体硅层、体硅层之上的氧化埋层（Buried Oxide 层，BOX 层）和覆盖在所述 BOX 层之上的 SOI 层，所述 SOI 层的材料通常是单晶硅。

[0005] 现有技术工艺中，使用上述 SOI 衬底生产半导体器件会采用下陷源/漏区的工艺，如图 1 所示半导体结构。形成图 1 示出的结构的具体方法是：首先对 SOI 衬底进行刻蚀，具体而言是刻蚀栅极结构 15 与 SOI 衬底的隔离区之间的 SOI 层 10 和 BOX 层 11，以形成延伸至 BOX 层 11 内的沟槽，然后在该沟槽中填充半导体材料，形成半导体层 14，最后在该半导体层 14 内形成源/漏区。

[0006] 上述半导体结构存在以下缺陷，如图 1 所示，在后续工艺中刻蚀介质层 17 形成源/漏区的接触塞时，一方面要对准半导体层 14 上的源/漏区，另一方面要避免损伤栅极结构 15，因此刻蚀的控制要求较高；对于采用金属栅极

的半导体结构而言，在工作过程中，金属栅极和接触塞之间存在一定的电容，会影响半导体器件的工作性能；在形成与源/漏区的接触塞时，由于器件尺寸的减小，接触塞底部与源/漏区的接触面积有限，因此接触电阻较大，也会影响半导体器件的工作性能。

5

发明内容

[0007] 本发明的目的在于提供一种半导体结构及其制造方法，以减小源/漏区的接触电阻，减小源/漏区接触塞与金属栅极之间的电容，以及降低形成接触孔的过程中的刻蚀难度。

10 [0008] 一方面，本发明提供了一种半导体结构的制造方法，该方法包括：

[0009] a) 提供 SOI 衬底，并在所述 SOI 衬底上形成栅极结构；

[0010] b) 刻蚀所述栅极结构两侧的所述 SOI 衬底的 SOI 层和 BOX 层，以形成暴露所述 BOX 层的沟槽，该沟槽部分进入所述 BOX 层；

15 [0011] c) 在所述沟槽的侧壁形成金属侧墙，该金属侧墙与所述栅极结构下方的所述 SOI 层相接触；

[0012] d) 形成填充部分所述沟槽的绝缘层，并形成覆盖所述栅极结构和所述绝缘层的介质层；

20 [0013] e) 刻蚀该介质层以形成至少暴露部分所述绝缘层的第一接触孔，通过该第一接触孔刻蚀所述绝缘层，以形成至少暴露部分所述金属侧墙的第二接触孔；

[0014] f) 填充所述第一接触孔和所述第二接触孔以形成接触塞，该接触塞与所述金属侧墙相接触。

[0015] 另一方面，本发明还提供了另一种半导体结构的制造方法，该方法包括：

25 [0016] a) 提供 SOI 衬底，在该 SOI 衬底上覆盖掩膜，所述掩膜掩盖的区域为预定形成栅极线的区域；

[0017] b) 刻蚀所述掩膜两侧的所述 SOI 衬底的 SOI 层和 BOX 层，以形成暴露所述 BOX 层的沟槽，该沟槽部分进入所述 BOX 层；

[0018] c) 在所述沟槽的侧壁形成金属侧墙，该金属侧墙与所述掩膜覆盖的区

域下方的所述 SOI 层相接触；

[0019] d) 移除所述掩膜以暴露其掩盖的区域，在该区域上形成栅极结构，并形成填充部分所述沟槽的绝缘层；

[0020] e) 形成覆盖所述栅极结构和所述绝缘层的介质层；

- 5 [0021] f) 刻蚀该介质层以形成至少暴露部分所述绝缘层的第一接触孔，通过该第一接触孔刻蚀所述绝缘层，以形成至少暴露部分所述金属侧墙的第二接触孔；

[0022] g) 填充所述第一接触孔和所述第二接触孔以形成接触塞，该接触塞与所述金属侧墙相接触。

- 10 [0023] 相应地，本发明还提供了一种半导体结构，该半导体结构包括 SOI 衬底、栅极结构、金属侧墙、介质层和接触塞，其中：

[0024] 所述 SOI 衬底包括 SOI 层和 BOX 层；

[0025] 所述栅极结构形成在所述 SOI 层之上；

- 15 [0026] 所述金属侧墙形成在所述栅极结构两侧的所述 SOI 衬底内，该金属侧墙与所述栅极结构下方的所述 SOI 层相接触，并延伸至所述 BOX 层内；

[0027] 所述介质层覆盖所述 SOI 衬底和所述金属侧墙，所述接触塞贯穿所述介质层并延伸至所述 BOX 层内，该接触塞与所述金属侧墙相接触。

- [0028] 本发明提供的半导体结构及其制造方法首先在 SOI 衬底上形成延伸至 BOX 层的沟槽，然后在沟槽的侧壁形成金属侧墙，最后形成与该金属侧墙
20 相接触的接触塞，其优点在于：接触塞与金属侧墙直接接触，因此源/漏区的接触电阻较小，有利于提升半导体器件的工作性能；源/漏区形成在栅极结构下方的 SOI 层内，因此栅极与源/漏区的距离远，两者之间的电容小，也有利于提升半导体器件的工作性能；此外，在形成接触塞的过程中实现自对准，降低了半导体器件的加工难度。

25

附图说明

[0029] 通过阅读参照以下附图所作的对非限制性实施例所作的详细描述，本发明的其它特征、目的和优点将会变得更明显：

[0030] 图 1 是现有技术形成的半导体结构的剖视结构示意图；

[0031] 图 2 (a) 和图 2 (b) 是根据本发明的半导体结构的制造方法的一个具体实施方式的流程图;

[0032] 图 3 至图 11 是根据本发明的一个具体实施方式按照图 2 (a) 示出的流程制造半导体结构过程中该半导体结构各个制造阶段的剖视结构示意图;

5 [0033] 图 12 至图 14 是根据本发明的另一个具体实施方式按照图 2 (b) 示出的流程制造半导体结构过程中该半导体结构的个别制造阶段的剖视结构示意图。

[0034] 附图中相同或相似的附图标记代表相同或相似的部件。

10 具体实施方式

[0035] 为使本发明的目的、技术方案和优点更加清楚, 下面将结合附图对本发明的实施例作详细描述。

[0036] 下面详细描述本发明的实施例, 所述实施例的示例在附图中示出, 其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的, 仅用于解释本发明, 而不能解释为对本发明的限制。

[0037] 下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开, 下文中对特定例子的部件和设置进行描述。当然, 它们仅仅为示例, 并且目的不在于限制本发明。此外, 本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的, 其本身不指示所讨论各种实施例和/或设置之间的关系。此外, 本发明提供了的各种特定的工艺和材料的例子, 但是本领域普通技术人员可以意识到其他工艺的可应用于性和/或其他材料的使用。另外, 以下描述的第一特征在第二特征之“上”的结构可以包括第一和第二特征形成为直接接触的实施例, 也可以包括另外的特征形成在第一和第二特征之间的实施例, 这样第一和第二特征可能不是直接接触。

[0038] 以下首先给出本发明提供的半导体结构的一种优选具体实施方式, 请参考图 11, 图 11 是根据本发明的半导体结构的一个具体实施方式的剖视结构示意图, 该半导体结构包括 SOI 衬底、栅极结构 200、金属侧墙 160、介质层 300 和接触塞 330, 其中:

[0039] 所述 SOI 衬底包括 SOI 层 100 和 BOX 层 110;

[0040] 所述栅极结构 200 形成在所述 SOI 层 100 之上;

[0041] 所述金属侧墙 160 形成在所述栅极结构 200 两侧的所述 SOI 衬底内, 该金属侧墙 160 与所述栅极结构 200 下方的所述 SOI 层 100 相接触, 并延伸
5 至所述 BOX 层 110 内;

[0042] 所述介质层 300 覆盖所述 SOI 衬底和所述金属侧墙 160, 所述接触塞 330 贯穿所述介质层 300 并延伸至所述 BOX 层 110 内, 该接触塞 330 与所述金属侧墙 160 相接触。

[0043] 通常, 栅极结构 200 还包括侧墙 210, 侧墙 210 形成在栅极结构 200 的
10 两侧。

[0044] 在另一实施例中, 接触塞 330 与所述 SOI 衬底的隔离区 120 之间也存在金属侧墙 160。

[0045] 所述 SOI 衬底至少具有三层结构, 分别是: 体硅层 130、体硅层 130 之上的 BOX 层 110, 以及覆盖在 BOX 层 110 之上的 SOI 层 100。其中, 所述
15 BOX 层 110 的材料通常选用 SiO_2 , BOX 层的厚度通常大于 100nm; SOI 层 100 的材料是单晶硅、Ge 或 III-V 族化合物, 本具体实施方式中选用的 SOI 衬底是具有 UltrathinSOI 层 100 的 SOI 衬底, 因此该 SOI 层 100 的厚度通常小于 100nm, 例如 50nm。通常该 SOI 衬底中还形成有隔离区 120, 用于将所述 SOI 层 100 分割为独立的区域, 用于后续加工形成晶体管结构所用, 隔离区
20 120 的材料是绝缘材料, 例如可以选用 SiO_2 、 Si_3N_4 或其组合, 隔离区 120 的宽度可以视半导体结构的设计需求决定。

[0046] 栅极结构 200 包括栅极介质层和栅极堆叠。侧墙 210 可以由氮化硅、氧化硅、氮氧化硅、碳化硅和/或其他合适的材料形成。侧墙 210 可以具有多层结构。侧墙 210 可以通过沉积-刻蚀工艺形成, 其厚度范围大约是
25 10nm-100nm。

[0047] 金属侧墙 160 的材料包括 W、Al、TiAl、TiN 或其组合等导电性好的金属材料, 接触塞 330 的材料优选为 Al, 也可以包括 W、Al、TiAl、TiN 或其组合。所述金属侧墙 160 可作为形成的晶体管结构的源漏区, 甚至于与所述金属侧墙 160 直接接触的那一部分接触塞也可以认为是源漏区的一部分。

[0048] 优选地, 栅极结构 200 的上平面与接触塞 330 的上平面齐平 (本发明
30

中的术语“齐平”指的是两者之间的高度差在工艺误差允许的范围内)。

[0049] 在同一个半导体器件之中，根据制造需要可以包括上述实施例或其他合适的半导体结构。

5 [0050] 下文中将结合本发明提供的半导体结构的制造方法对上述实施例进行进一步的阐述。

[0051] 请参考图 2(a)，图 2(a)是根据本发明的半导体结构的制造方法的一个具体实施方式的流程图，该方法包括：

[0052] 步骤 S101，提供 SOI 衬底，并在所述 SOI 衬底上形成栅极结构；

10 [0053] 步骤 S102，刻蚀所述栅极结构两侧的所述 SOI 衬底的 SOI 层和 BOX 层，以形成暴露所述 BOX 层的沟槽，该沟槽部分进入所述 BOX 层；

[0054] 步骤 S103，在所述沟槽的侧壁形成金属侧墙，该金属侧墙与所述栅极结构下方的所述 SOI 层相接触；

[0055] 步骤 S104，形成填充部分所述沟槽的绝缘层，并形成覆盖所述栅极结构和所述绝缘层的介质层；

15 [0056] 步骤 S105，刻蚀该介质层以形成至少暴露部分所述绝缘层的第一接触孔，通过该第一接触孔刻蚀所述绝缘层，以形成至少暴露部分所述金属侧墙的第二接触孔；

[0057] 步骤 S106，填充所述第一接触孔和所述第二接触孔以形成接触塞，该接触塞与所述金属侧墙相接触。

20 [0058] 下面结合图 3 至图 11 对步骤 S101 至步骤 S106 进行说明，图 3 至图 11 是根据本发明的一个具体实施方式按照图 1 示出的流程制造半导体结构过程中该半导体结构各个制造阶段的剖视结构示意图。需要说明的是，本发明各个实施例的附图仅是为了示意的目的，因此没有完全按比例绘制。

25 [0059] 参考图 3 和图 4，执行步骤 S101，提供 SOI 衬底，并在所述 SOI 衬底上形成栅极结构 200。

[0060] 首先参考图 3，其中，所述 SOI 衬底至少具有三层结构，分别是：体硅层 130、体硅层 130 之上的 BOX 层 110，以及覆盖在 BOX 层 110 之上的 SOI 层 100。其中，所述 BOX 层 110 的材料通常选用 SiO_2 ，BOX 层的厚度通常大于 100nm；SOI 层 100 的材料是单晶硅、Ge 或 III-V 族化合物，本具体实施方式中 30 选用的 SOI 衬底是具有 UltrathinSOI 层 100 的 SOI 衬底，因此该 SOI 层

100 的厚度通常小于 100nm, 例如 50nm。通常该 SOI 衬底中还形成有隔离区 120, 用于将所述 SOI 层 100 分割为独立的区域, 用于后续加工形成晶体管结构所用, 隔离区 120 的材料是绝缘材料, 例如可以选用 SiO_2 、 Si_3N_4 或其组合, 隔离区 120 的宽度可以视半导体结构的设计需求决定。

5 [0061] 接下来参考图 4, 在所述 SOI 衬底上形成栅极结构 200, 在前栅工艺中, 该栅极结构 200 的形成过程如下: 形成覆盖 SOI 层 100 和隔离区 120 的栅极介质层、覆盖栅极介质层的栅金属层、覆盖栅金属层的栅电极层、覆盖栅电极层的氧化物层、覆盖氧化物层的氮化物层、以及覆盖氮化物层并用于绘图以刻蚀出栅极堆叠的光刻胶层, 其中, 栅极介质层的材料可以是热氧化层, 10 包括氧化硅、氮氧化硅, 也可作为高 K 介质, 例如 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 、 HfZrO 、 Al_2O_3 、 La_2O_3 、 ZrO_2 、 LaAlO 中的一种或其组合, 其厚度在 1nm ~ 4nm 之间; 栅金属层的材料可以选用 TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、 RuTa_x 、NiTa 中的一种或其组合, 其厚度在 5nm ~ 20nm 之间; 栅电极层的材料可以选用 Poly-Si, 其厚度在 20nm ~ 80nm 之间; 氧化 15 物层的材料是 SiO_2 , 其厚度在 5nm ~ 10nm 之间; 氮化物层的材料是 Si_3N_4 , 其厚度在 10nm ~ 50nm 之间; 光刻胶层的材料可是烯类单体材料、含有叠氮醌类化合物的材料或聚乙烯月桂酸酯材料等。上述多层结构中除所述光刻胶层以外, 可以通过化学气相沉积、高密度等离子体 CVD、ALD、等 离子体增强原子层淀积、脉冲激光沉积或其他合适的方法依次形成在 SOI 层 100 上。光 20 刻胶层构图后可以刻蚀上述多层结构形成如图 3 所示的栅极结构 200。

[0062] 在后栅工艺中, 栅极结构 200 包括伪栅和承载伪栅的栅介质层, 可以在随后的步骤中进行替代栅工艺, 移除伪栅以形成所需的栅极堆叠结构。

[0063] 通常地, 栅极结构 200 还包括侧墙 210, 侧墙 210 形成在该栅极结构 200 的两侧, 用于将栅极结构 200 隔开。侧墙 210 可以由氮化硅、氧化硅、氮 25 氧化硅、碳化硅和/或其他合适的材料形成。侧墙 210 可以具有多层结构。侧墙 210 可以通过沉积-刻蚀工艺形成, 其厚度范围大约是 10nm-100nm。

[0064] 请参考图 5, 执行步骤 S102, 刻蚀栅极结构 200 两侧的所述 SOI 衬底的 SOI 层 100 和 BOX 层 110, 以形成暴露 BOX 层 110 的沟槽 140, 该沟槽 140 至少部分进入 BOX 层 110。具体而言, 使用合适的刻蚀工艺首先移除栅 30 极结构 200 两侧的 SOI 层 100, 然后移除暴露出来的一部分 BOX 层 110, 以

形成沟槽 140, 因此沟槽 140 不仅暴露了 BOX 层 110 余下的部分, 在空间上部分地替代未经刻蚀的 BOX 层 110, 沟槽 140 部分进入 BOX 层 110。沟槽 140 的深度是刻蚀掉的 SOI 层 100 的厚度与刻蚀掉的 BOX 层 110 的厚度之和, 就本具体实施方式选用的 SOI 衬底而言, 通常 BOX 层 110 的厚度大于 100nm, 5 Ultrathin SOI 层 100 的厚度为 20nm~30nm, 因此沟槽 140 的深度范围在 50nm ~ 150nm 之间。

[0065] 请参考图 6, 执行步骤 S103, 在沟槽 140 的侧壁形成金属侧墙 160, 该金属侧墙 160 与栅极结构 200 下方的 SOI 层 100 相接触。在本实施例中, 沟槽 140 的宽度较大, 并暴露部分隔离区 120。如图 6 所示, 金属侧墙 160 在本 10 实施例中形成在沟槽 140 临近栅极结构 200 的侧壁上, 以及暴露的隔离区 120 的侧壁上。在另一实施例中, 形成的沟槽 140 宽度有限, 并未暴露隔离区 120, 因此金属侧墙 160 只形成在沟槽 140 临近栅极结构 200 的侧壁上。可以选用合适的沉积方法形成金属侧墙 160, 优选地, 金属侧墙 160 的材料包括 W、Al、TiAl、TiN 或其组合等导电性好的金属材料。

15 [0066] 参考图 7 至图 8, 执行步骤 S104, 形成填充部分沟槽 140 的绝缘层 150, 并形成覆盖栅极结构 200 和绝缘层 150 的介质层 300。具体地, 如图 7 所示, 可以通过化学气相沉积、高密度等离子体 CVD、ALD、等离子体增强原子层沉积、脉冲激光沉积或其他合适的方法先形成绝缘层 150, 绝缘层 150 通常只填满沟槽 140 的下半部分, 并停止在金属侧墙 160 的表面, 绝缘层的材料通 20 常可以选用 SiO₂。然后如图 8 所示, 再选用 CVD、高密度等离子体 CVD、旋涂或其他合适的方法形成介质层 300, 介质层 300 填满沟槽 140 的上半部分, 并覆盖绝缘层 150 和栅极结构 200, 介质层 300 的材料可以包括 SiO₂、碳掺杂 SiO₂、BPSG、PSG、UGS、氮氧化硅、氮化硅、低 k 材料或其组合。在本实施例中, 形成介质层 300 后, 可以对该介质层 300 进行化学机械抛光的平坦 25 化处理, 使得介质层 300 的上平面与栅极结构 200 的上平面齐平, 对该介质层 300 进行 CMP 处理后, 通常介质层 300 的厚度范围可以是 40nm -150nm, 如 80nm、100nm 或 120nm。

[0067] 优选地, 绝缘层 150 的材料和介质层的材料 300 不同, 并且两者具有不同的刻蚀速率。这种选用材料的安排是为了方便在步骤 S105 中的刻蚀。

30 [0068] 基于上述安排, 请参考图 9 至图 10, 执行步骤 S105, 刻蚀介质层 300

以形成至少暴露部分绝缘层 150 的第一接触孔 310, 通过第一接触孔 310 刻蚀绝缘层 150, 以形成至少暴露部分金属侧墙 160 的第二接触孔 320。先参考图 9, 由于介质层 300 与绝缘层 150 的材料不同, 刻蚀介质层 300 形成第一接触孔 310 时, 刻蚀大致会停止在绝缘层 150 的上平面, 第一接触孔 310 暴露至少部分绝缘层 150。刻蚀介质层 300 形成第一接触孔 310 的工艺可以采用常规的光刻工艺, 并采用干法刻蚀。接下来参考图 10, 通过第一接触孔 310 进行湿法刻蚀, 选择性刻蚀并移除至少部分绝缘层 150, 移除至少部分绝缘层 150 后, 原来绝缘层 150 占据的空间形成第二接触孔 320, 该第二接触孔 320 至少暴露部分原本被绝缘层 150 覆盖住的金属侧墙 160。

[0069] 请参考图 11, 执行步骤 S106, 填充第一接触孔 310 和第二接触孔 320 以形成接触塞 330, 接触塞 330 与所述金属侧墙 160 相接触。具体地, 选用金属材料填充第一接触孔 310 和第二接触孔 320, 优选地, 所述金属材料可以选用 Al, 加热使 Al 融为流体态, 由第一接触孔 310 进入第二接触孔 320 内, 并依次灌满第二接触孔 320 和第一接触孔 310, 形成嵌于介质层 300 并部分进入 BOX 层 110 中的接触塞 330, 由于第二接触孔 320 暴露金属侧墙 160, 因此接触塞 330 与金属侧墙 160 相接触。在其他实施例中, 可以选用其他合适的金属材料形成接触塞 330, 例如 W、Al、TiAl、TiN 或其组合。

[0070] 在本实施例中, 总是通过第一接触孔 310 刻蚀掉绝缘层 150 形成第二接触孔 320, 再填入金属形成与金属侧墙 160 接触的接触塞 330, 因此只要第二接触孔 320 暴露金属侧墙 160, 接触塞 330 在形成过程很容易就与金属侧墙 160 接触并实现电联通, 因此形成接触塞 330 时, 相比现有技术实现了自对准, 降低了难度。

[0071] 请参考图 2(b), 图 2(b) 是根据本发明的半导体结构的制造方法的另一个具体实施方式的流程图, 该方法包括:

[0072] 步骤 S201, 提供 SOI 衬底, 在该 SOI 衬底上覆盖掩膜, 所述掩膜掩盖的区域为预定形成栅极线的区域;

[0073] 步骤 S202, 刻蚀所述掩膜两侧的所述 SOI 衬底的 SOI 层和 BOX 层, 以形成暴露所述 BOX 层的沟槽, 该沟槽部分进入所述 BOX 层;

[0074] 步骤 S203, 在所述沟槽的侧壁形成金属侧墙, 该金属侧墙与所述掩膜覆盖的区域下方的所述 SOI 层相接触;

[0075] 步骤 S204, 移除所述掩膜以暴露其掩盖的区域, 在该区域上形成栅极结构, 并形成填充部分所述沟槽的绝缘层;

[0076] 步骤 S205, 形成覆盖所述栅极结构和所述绝缘层的介质层;

5 [0077] 步骤 S206, 刻蚀该介质层以形成至少暴露部分所述绝缘层的第一接触孔, 通过该第一接触孔刻蚀所述绝缘层, 以形成至少暴露部分所述金属侧墙的第二接触孔;

[0078] 步骤 S207, 填充所述第一接触孔和所述第二接触孔以形成接触塞, 该接触塞与所述金属侧墙相接触。

10 [0079] 下面结合图 12 至图 14 对步骤 S201 至步骤 S204 进行说明, 图 12 至图 14 是根据本发明的一个具体实施方式按照图 2 (b) 示出的流程制造半导体结构过程中该半导体结构某些制造阶段的剖视结构示意图。需要说明的是, 本发明各个实施例的附图仅是为了示意的目的, 因此没有必要按比例绘制。

[0080] 图 2 (b) 所示出的方法与图 2 (a) 所示出的方法的区别在于: 图 2 (a) 中的流程, 先在衬底上形成栅极结构, 然后进行刻蚀形成沟槽 140, 在沟槽 15 140 内形成金属侧墙 160, 之后进行形成填充部分沟槽 140 的绝缘层 150 等后续工艺; 而图 2 (b) 中所示出的方法流程, 是先在衬底上形成掩膜 400, 将需要形成栅极结构的区域掩盖起来, 之后进行刻蚀形成沟槽 140, 在沟槽 140 内形成金属侧墙 160, 区别在于, 形成金属侧墙 160 后去除掩膜, 在去除掩膜的区域形成栅极结构 200, 之后再进行形成填充部分沟槽 140 的绝缘层 150 等 20 后续工艺。

[0081] 下面具体介绍形成掩膜以及去除掩膜的步骤, 其余与图 2 (a) 中所示出方法流程一样的步骤可以参考前文部分的相关说明, 在此不再赘述。

[0082] 如图 12 所示, 在 SOI 衬底上覆盖掩膜 400, 通常选用光刻胶为掩膜。然后, 通过光刻工艺, 将光刻胶掩膜图案化, 进而, 利用图案化的光刻胶掩 25 膜, 通过刻蚀工艺, 形成希望的形状, 本发明中即为栅极线的形状。之后进行刻蚀, 形成沟槽 140, 所述沟槽 140 的深度的范围是 50nm~150nm。所述沟槽 140 暴露部分所述 SOI 衬底的隔离区 120。

[0083] 如图 13 所示, 在沟槽 140 内形成金属侧墙 160。所述金属侧墙 160 的材料包括 W、Al、TiAl、TiN 或其组合。

[0084] 如图 14 所示, 在前述掩膜覆盖的区域上形成栅极结构 200, 并形成填充部分所述沟槽 140 的绝缘层 150。在形成栅极结构 200 中需要注意, 首先在 SOI 上形成了栅极线, 然后将所述栅极线切断以获得栅极结构 200。可选的, 还可以在栅极结构 200 的两侧形成侧墙 210。

- 5 [0085] 步骤 S205~步骤 S207 与图 2 (a) 中所示步骤 S104~S106 相同或相似, 所需的材料、工艺、流程等均在前文中有所论述, 在此就不再赘述。

[0086] 本发明提供的半导体结构及其制造方法首先在 SOI 衬底上形成延伸至 BOX 层 110 的沟槽 140, 然后在沟槽 140 的侧壁形成金属侧墙 160, 最后形成与该金属侧墙 160 相接触的接触塞 330, 其优点在于: 接触塞 330 与金属侧
10 墙 160 直接接触, 因此源/漏区的接触电阻较小, 有利于提升半导体器件的工作性能; 源/漏区形成在栅极结构 200 下方的 SOI 层 100 内, 因此栅极与源/漏区的距离远, 两者之间的电容小, 也有利于提升半导体器件的工作性能; 此外, 在形成接触塞 330 的过程中实现自对准, 因此降低了半导体器件的加工难度。

- 15 [0087] 虽然关于示例实施例及其优点已经详细说明, 应当理解在不脱离本发明的精神和所附权利要求限定的保护范围的情况下, 可以对这些实施例进行各种变化、替换和修改。对于其他例子, 本领域的普通技术人员应当容易理解在保持本发明保护范围内的同时, 工艺步骤的次序可以变化。

[0088] 此外, 本发明的应用范围不局限于说明书中描述的特定实施例的工艺、
20 机构、制造、物质组成、手段、方法及步骤。从本发明的公开内容, 作为本领域的普通技术人员将容易地理解, 对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤, 其中它们执行与本发明描述的对应实施例大体相同的功能或者获得大体相同的结果, 依照本发明可以对它们进行应用。因此, 本发明所附权利要求旨在将这些工艺、机构、制
25 造、物质组成、手段、方法或步骤包含在其保护范围内。

权利要求

1、一种半导体结构的制造方法，其特征在于，该方法包括：

a) 提供 SOI 衬底，并在所述 SOI 衬底上形成栅极结构 (200)；

5 b) 刻蚀所述栅极结构 (200) 两侧的所述 SOI 衬底的 SOI 层 (100) 和 BOX 层 (110)，以形成暴露所述 BOX 层 (110) 的沟槽 (140)，该沟槽 (140) 部分进入所述 BOX 层 (110)；

c) 在所述沟槽 (140) 的侧壁形成金属侧墙 (160)，该金属侧墙 (160) 与所述栅极结构 (200) 下方的所述 SOI 层 (100) 相接触；

10 d) 形成填充部分所述沟槽 (140) 的绝缘层 (150)，并形成覆盖所述栅极结构 (200) 和所述绝缘层 (150) 的介质层 (300)；

e) 刻蚀该介质层 (300) 以形成至少暴露部分所述绝缘层 (150) 的第一接触孔 (310)，通过该第一接触孔 (310) 刻蚀所述绝缘层 (150)，以形成至少暴露部分所述金属侧墙 (160) 的第二接触孔 (320)；

15 f) 填充所述第一接触孔 (310) 和所述第二接触孔 (320) 以形成接触塞 (330)，该接触塞 (330) 与所述金属侧墙 (160) 相接触。

2、一种半导体结构的制造方法，其特征在于，该方法包括：

a) 提供 SOI 衬底，在该 SOI 衬底上覆盖掩膜 (400)，所述掩膜掩盖的区域为预定形成栅极线的区域；

20 b) 刻蚀所述掩膜 (400) 两侧的所述 SOI 衬底的 SOI 层 (100) 和 BOX 层 (110)，以形成暴露所述 BOX 层 (110) 的沟槽 (140)，该沟槽 (140) 部分进入所述 BOX 层 (110)；

c) 在所述沟槽 (140) 的侧壁形成金属侧墙 (160)，该金属侧墙 (160) 与所述掩膜覆盖的区域下方的所述 SOI 层 (100) 相接触；

25 d) 移除所述掩膜以暴露其掩盖的区域，在该区域上形成栅极结构 (200)，并形成填充部分所述沟槽 (140) 的绝缘层 (150)；

e) 形成覆盖所述栅极结构 (200) 和所述绝缘层 (150) 的介质层 (300)；

f) 刻蚀该介质层 (300) 以形成至少暴露部分所述绝缘层 (150) 的第一接触孔 (310)，通过该第一接触孔 (310) 刻蚀所述绝缘层 (150)，以形成至

少暴露部分所述金属侧墙(160)的第二接触孔(320);

g) 填充所述第一接触孔(310)和所述第二接触孔(320)以形成接触塞(330), 该接触塞(330)与所述金属侧墙(160)相接触。

3、根据权利要求1或2所述的方法, 其特征在于, 在形成所述介质层(300)后, 该方法还包括:

对所述介质层(300)进行平坦化处理, 使该介质层(300)的上平面与所述栅极结构(200)的上平面齐平。

4、根据权利要求1或2所述的方法, 其特征在于:

所述绝缘层(150)的材料与所述介质层(300)的材料的刻蚀速率不同。

5、根据权利要求1或2所述的方法, 其特征在于:

所述沟槽(140)的深度的范围是50nm~150nm。

6、根据权利要求1或2所述的方法, 其特征在于:

所述沟槽(140)暴露部分所述SOI衬底的隔离区(120)。

7、根据权利要求1或2所述的方法, 其特征在于:

所述金属侧墙(160)的材料包括W、Al、TiAl、TiN或其组合。

8、根据权利要求1或2所述的方法, 其特征在于:

所述接触塞(330)的材料包括W、Al、TiAl、TiN或其组合。

9、根据权利要求1或2所述的方法, 其特征在于:

刻蚀所述介质层(300)的方法是干法刻蚀, 刻蚀所述绝缘层(150)的方法是湿法刻蚀。

10、一种半导体结构, 其特征在于, 该半导体结构包括SOI衬底、栅极结构(200)、金属侧墙(160)、介质层(300)和接触塞(330), 其中:

所述SOI衬底包括SOI层(100)和BOX层(110);

所述栅极结构(200)形成在所述SOI层(100)之上;

所述金属侧墙(160)形成在所述栅极结构(200)两侧的所述SOI衬底内, 该金属侧墙(160)与所述栅极结构(200)下方的所述SOI层(100)相接触, 并延伸至所述BOX层(110)内;

所述介质层(300)覆盖所述SOI衬底和所述金属侧墙(160), 所述接触塞(330)贯穿所述介质层(300)并延伸至所述BOX层(110)内, 该接触

塞（330）与所述金属侧墙（160）相接触。

11、根据权利要求 10 所述的半导体结构，其特征在于：

所述栅极结构（200）的上平面与所述接触塞（330）的上平面齐平。

12、根据权利要求 10 所述的半导体结构，其特征在于：

5 所述接触塞（330）与所述 SOI 衬底的隔离区（120）之间也存在金属侧墙（160）。

13、根据权利要求 10 或 12 所述的半导体结构，其特征在于：

所述金属侧墙（160）的材料包括 W、Al、TiAl、TiN 或其组合。

14、根据权利要求 10 至 12 任一项所述的半导体结构，其特征在于：

10 所述接触塞（330）的材料包括 W、Al、TiAl、TiN 或其组合。

15、根据权利要求 10 所述的半导体结构，其特征在于：

所述栅极结构还包括侧墙（210），该侧墙（210）形成在所述栅极结构（200）的两侧。

15

20

25

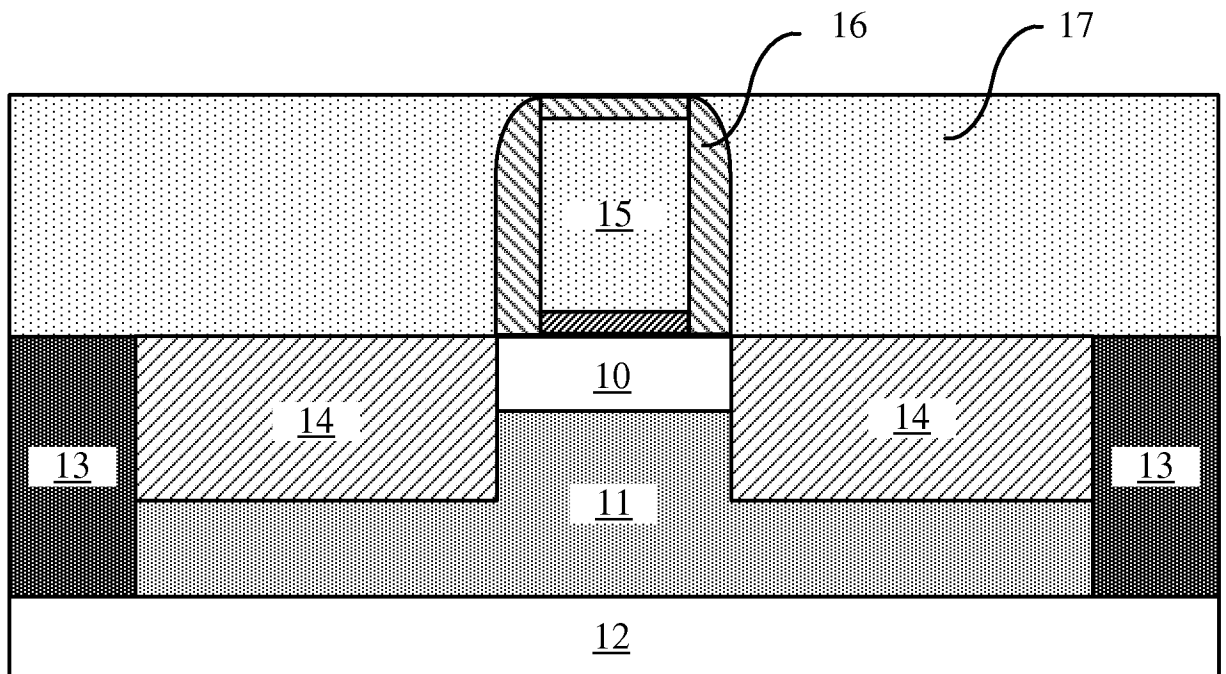


图 1

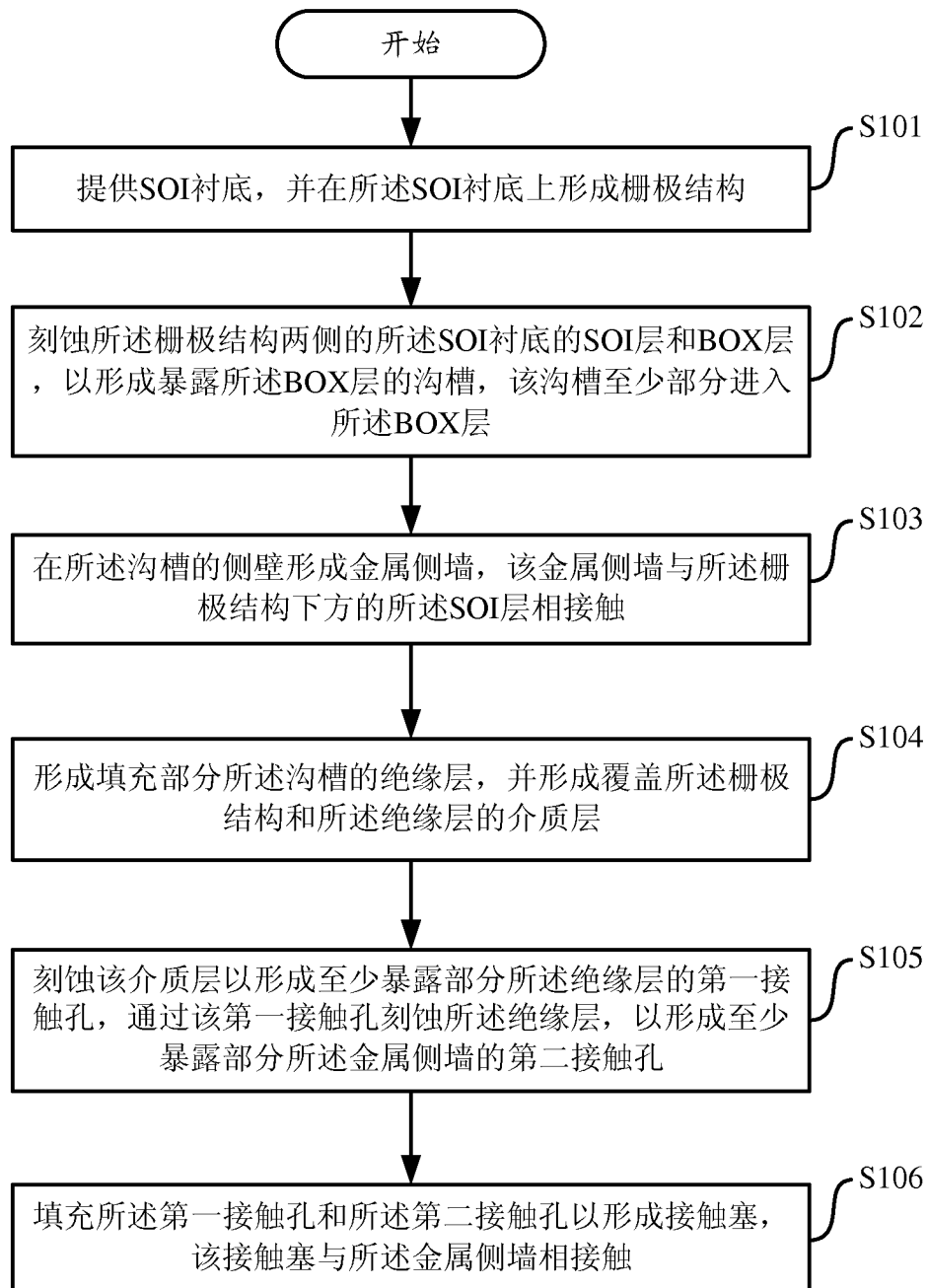


图 2 (a)

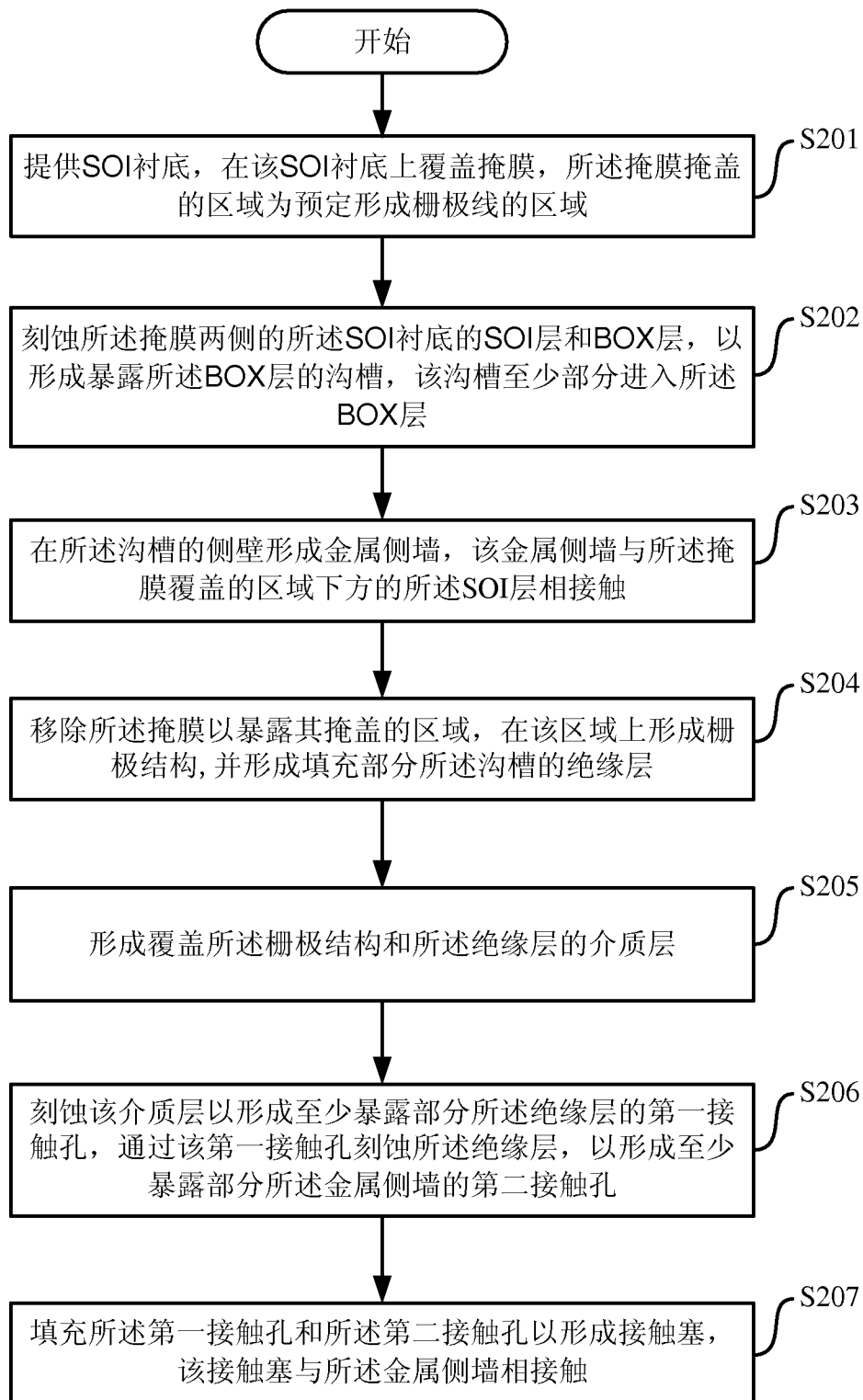


图 2 (b)

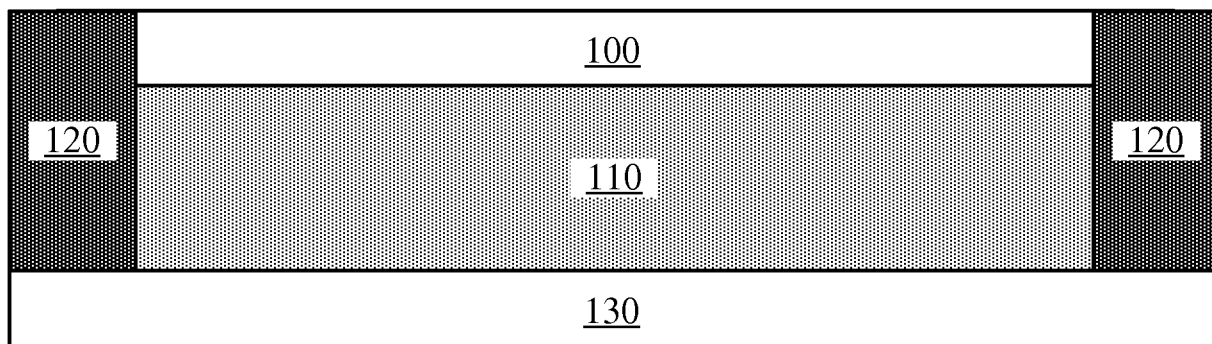


图 3

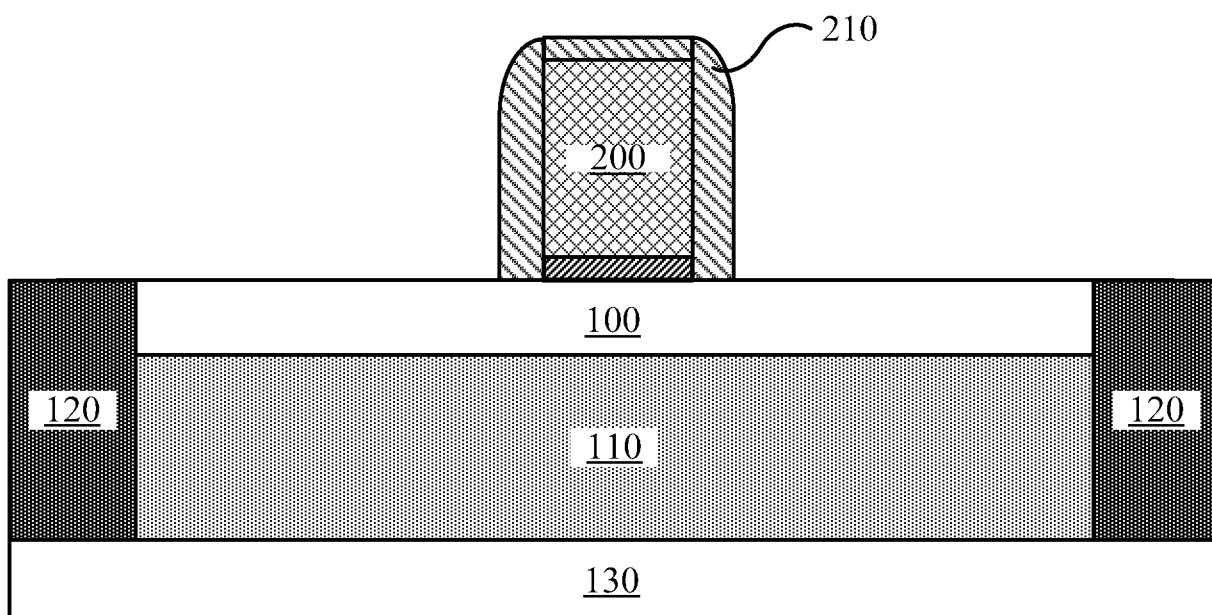


图 4

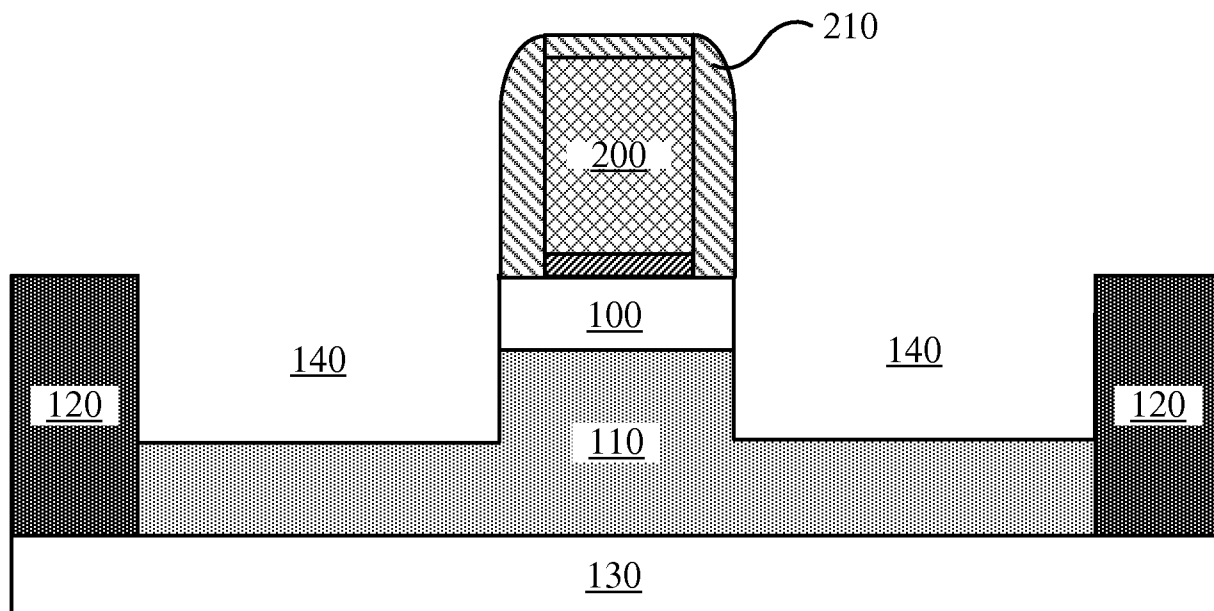


图 5

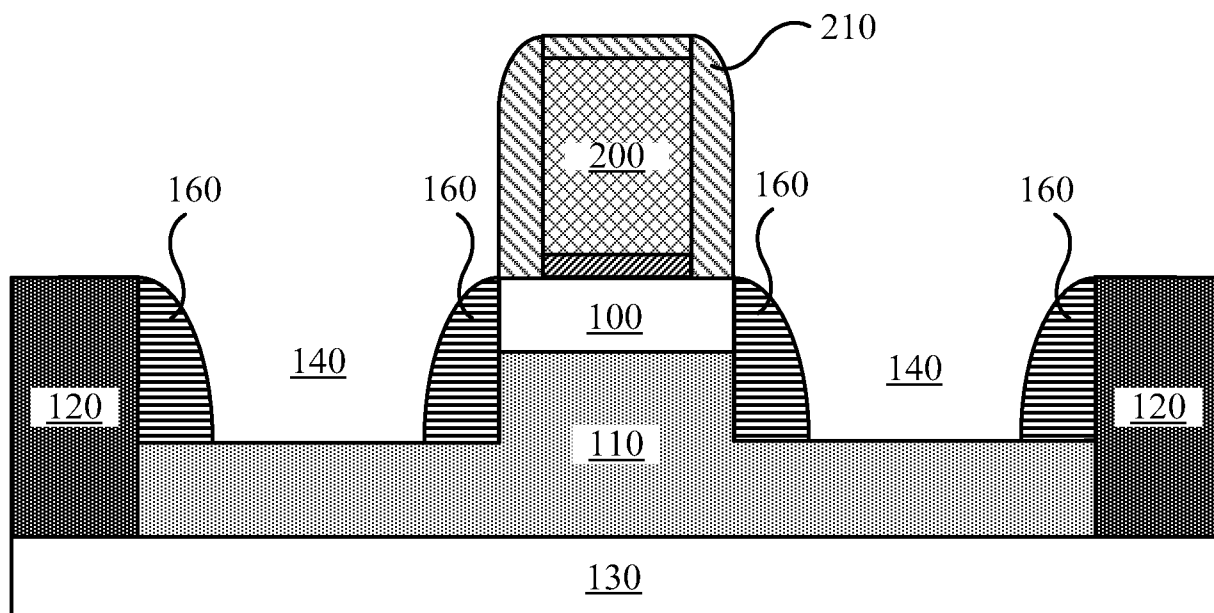


图 6

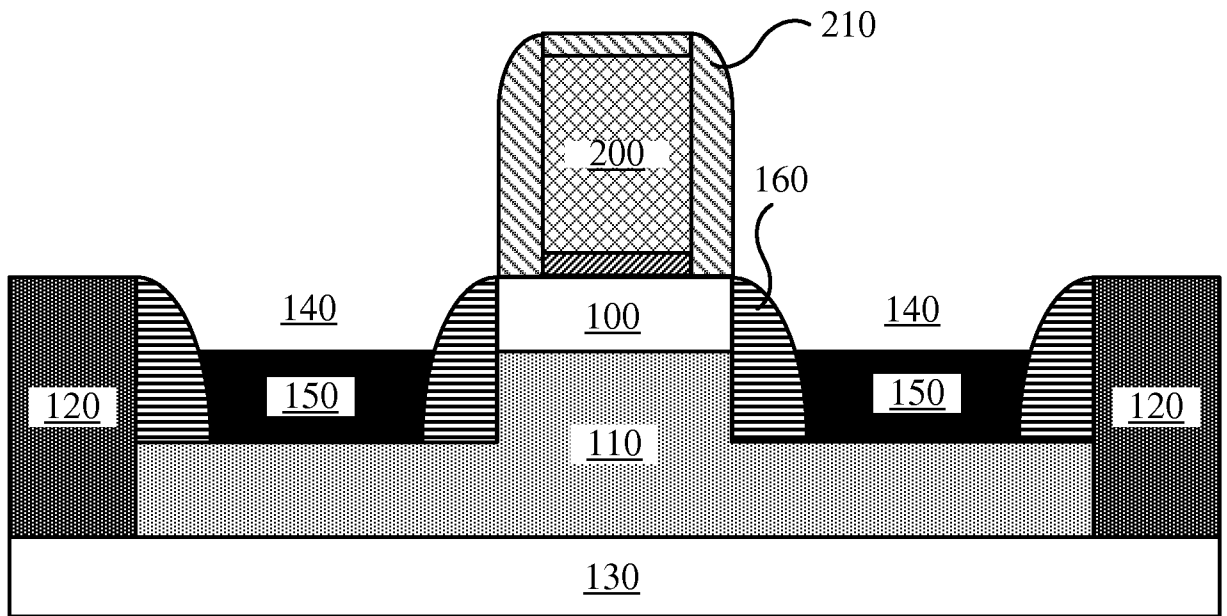


图 7

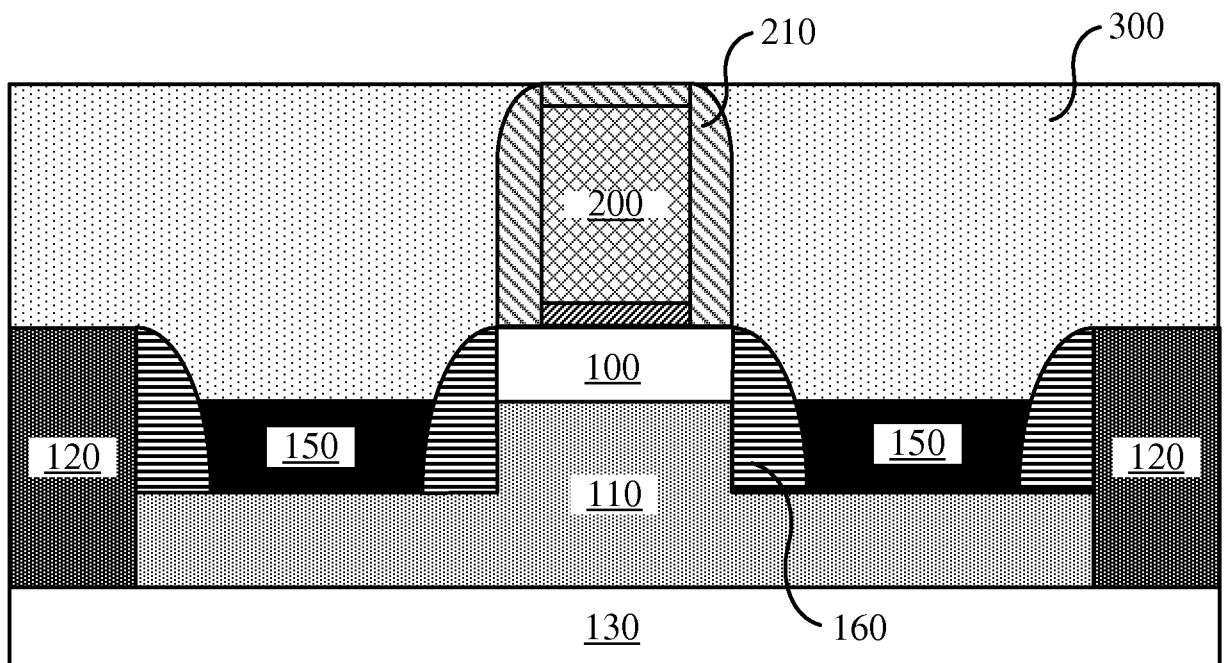


图 8

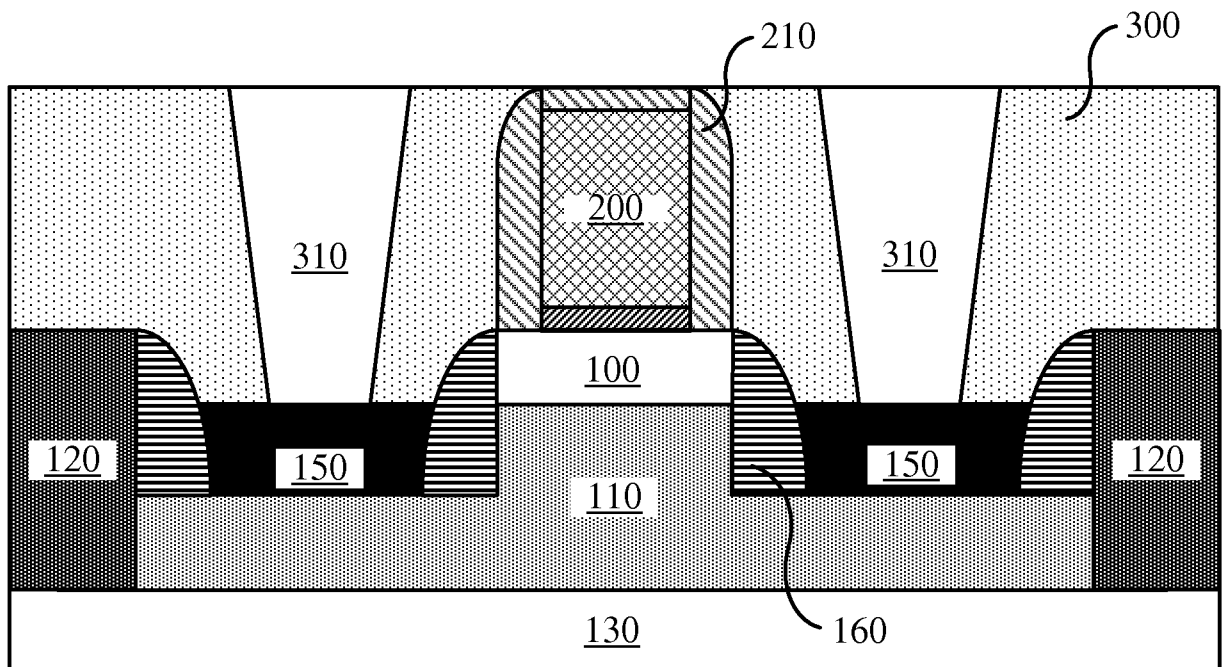


图 9

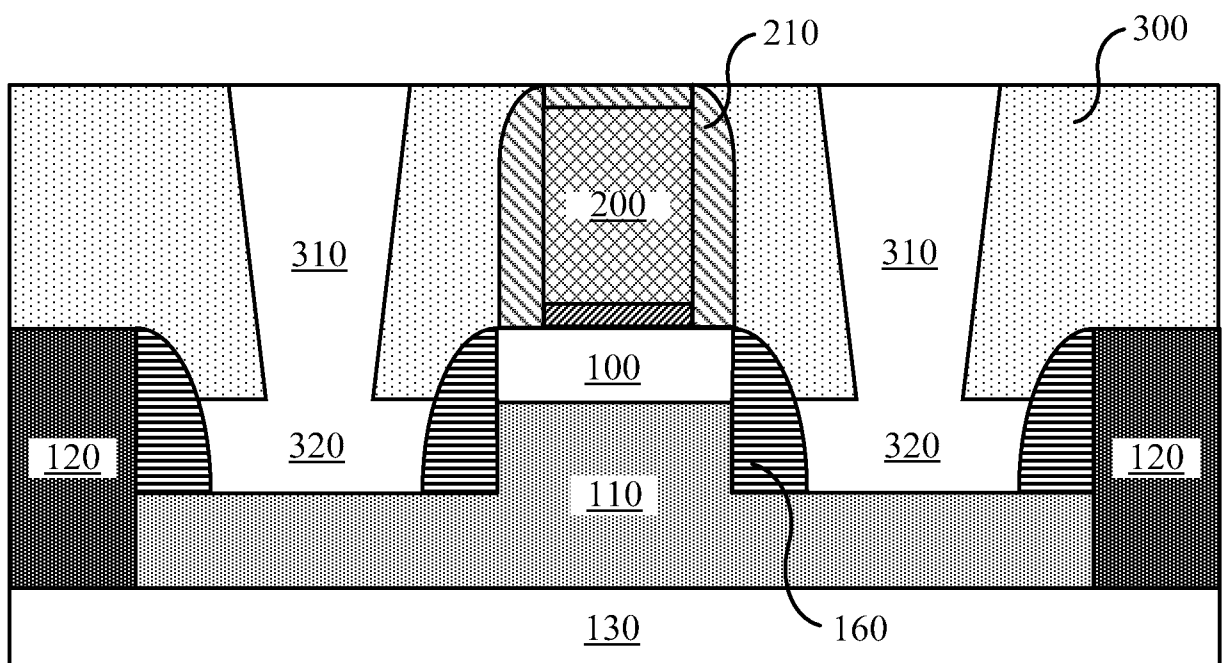


图 10

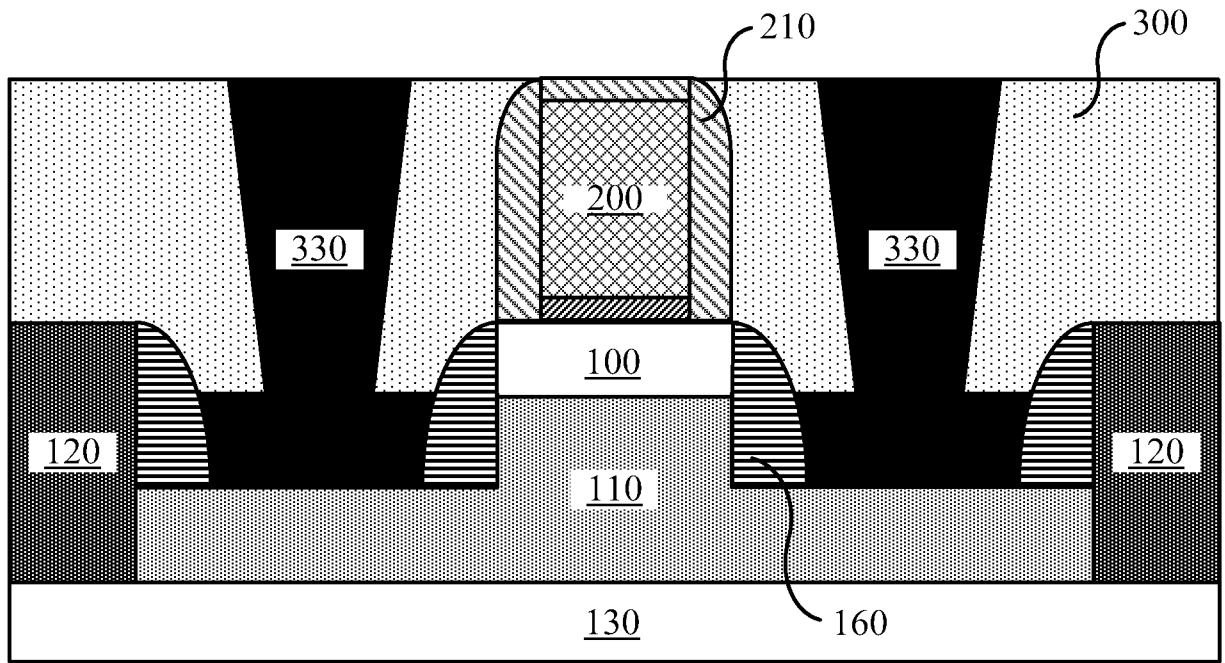


图 11

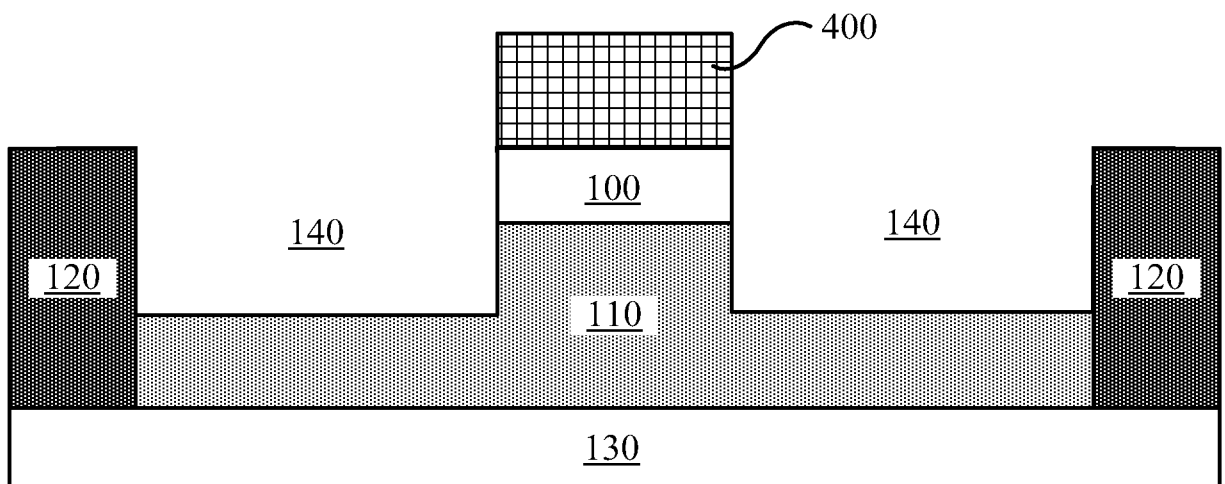


图 12

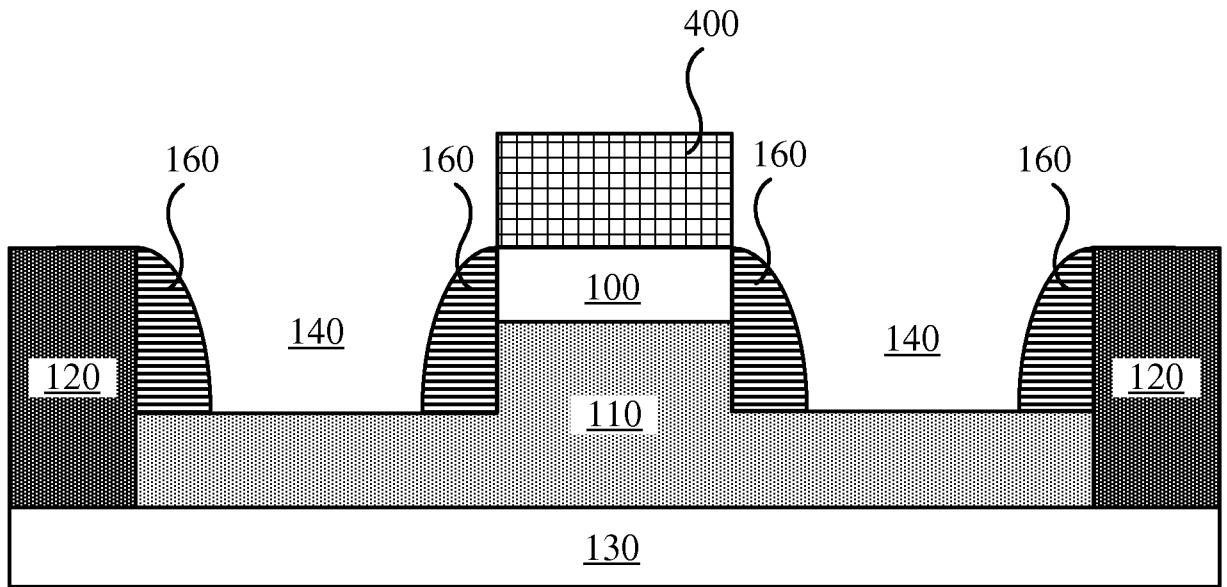


图 13

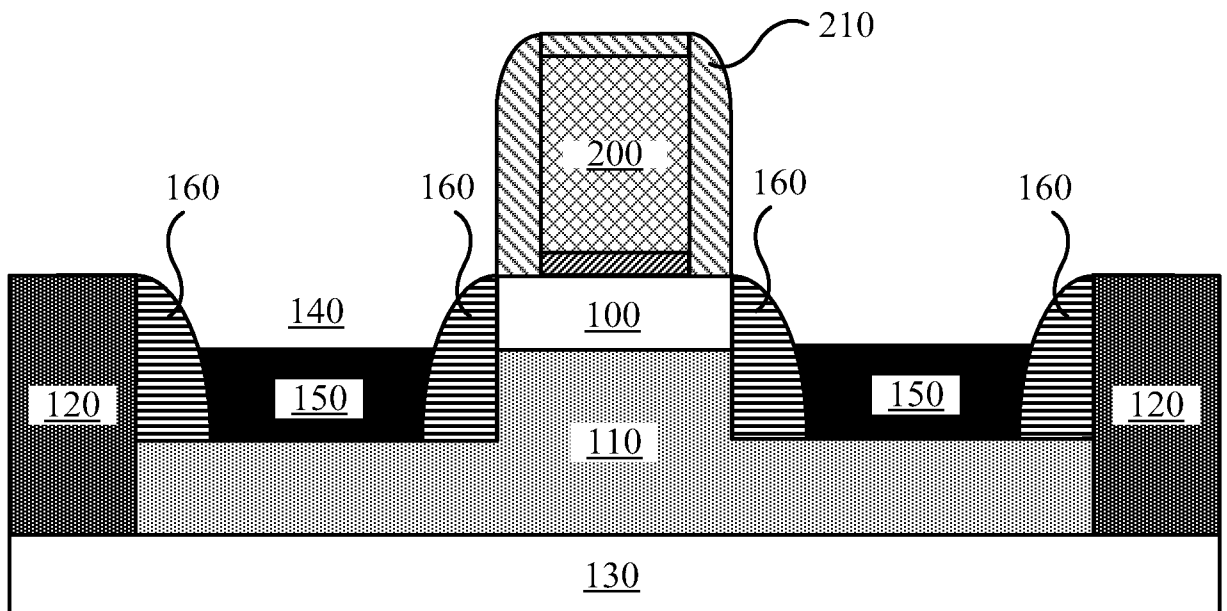


图 14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/078887

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-, H01L 29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: SOI, insulator on semiconductor, BOX, silicon on insulator, sidewall, spacer, metal, etch, buried, embedded, trench

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101300670 B (ADVANCED MICRO DEVICES, INC.), 18 August 2010 (18.08.2010), the whole document	1-15
A	CN 101076924 A (FREESCALE SEMICONDUCTOR INC.), 21 November 2007 (21.11.2007), the whole document	1-15
A	US 2008/0274597 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION), 06 November 2008 (06.11.2008), the whole document	1-15

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
02 March 2012 (02.03.2012)Date of mailing of the international search report
12 April 2012 (12.04.2012)Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451Authorized officer
WANG, Lin
Telephone No.: (86-10) **6241 1816**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2011/078887

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101300670 B	18.08.2010	DE 102005052055 B3	26.04.2007
		US 2007096148 A1	03.05.2007
		WO 2007053382 A1	10.05.2007
		GB 2445511 A	09.07.2008
		US 7399663 B2	15.07.2008
		CN 101300670 A	05.11.2008
		KR 20080066834 A	16.07.2008
		GB 2445511 B	08.04.2009
		JP 2009514249 A	02.04.2009
		TW 200729465 A	01.08.2007
CN 101076924 A	21.11.2007	WO 2006073624 A1	13.07.2006
		KR 20070094616 A	20.09.2007
		US 7091071 B2	15.08.2006
		JP 2008527692 A	24.07.2008
		TW 200636873 A	16.10.2006
		CN 101076924 B	18.01.2012
		US 2006148196 A1	06.07.2006
US 2008/0274597 A1	06.11.2008	US 7833873 B2	16.11.2010

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/078887

CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i

H01L 29/78 (2006.01) i

国际检索报告

国际申请号

PCT/CN2011/078887

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L21/-, H01L29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT,CNKI,WPI,EPODOC: SOI, 绝缘体上硅, 绝缘体上半导体, 侧壁, 金属, 蚀刻, BOX, 沟槽, silicon on insulator, sidewall, spacer, metal, etch, buried, embedded, trench

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN101300670B (先进微装置公司) 18.8 月 2010 (18.08.2010) 全文	1-15
A	CN101076924A (飞思卡尔半导体公司) 21.11 月 2007 (21.11.2007) 全文	1-15
A	US2008/0274597A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 06.11 月 2008 (06.11.2008) 全文	1-15



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

02.3 月 2012 (02.03.2012)

国际检索报告邮寄日期

12.4 月 2012 (12.04.2012)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

王琳

电话号码: (86-10) **6241 1816**

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2011/078887

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101300670B	18.08.2010	DE102005052055B3	26.04.2007
		US2007096148A1	03.05.2007
		WO2007053382A1	10.05.2007
		GB2445511A	09.07.2008
		US7399663B2	15.07.2008
		CN101300670A	05.11.2008
		KR20080066834A	16.07.2008
		GB2445511B	08.04.2009
		JP2009514249A	02.04.2009
		TW200729465A	01.08.2007
CN101076924A	21.11.2007	WO2006073624A1	13.07.2006
		KR20070094616A	20.09.2007
		US7091071B2	15.08.2006
		JP2008527692A	24.07.2008
		TW200636873A	16.10.2006
		CN101076924B	18.01.2012
		US2006148196A1	06.07.2006
US2008/0274597A1	06.11.2008	US7833873B2	16.11.2010

主题的分类

H01L 21/336 (2006.01) i

H01L 29/78 (2006.01) i