(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 116057688 A
(43)申请公布日 2023.05.02

(21)申请号 202180061737.2

(22)申请日 2021.08.26

(30)优先权数据
2020-150774 2020.09.08 JP

(85)PCT国际申请进入国家阶段日
2023.03.08

(86)PCT国际申请的申请数据
PCT/JP2021/031393 2021.08.26

(87)PCT国际申请的公布数据
WO2022/054600 JA 2022.03.17

(71)申请人 罗姆股份有限公司
地址 日本京都府

(72)发明人 田村侑也

(74)专利代理机构 北京银龙知识产权代理有限公司 11243
专利代理师 范胜杰 文志

(51)Int.Cl.
H01L 21/8234(2006.01)

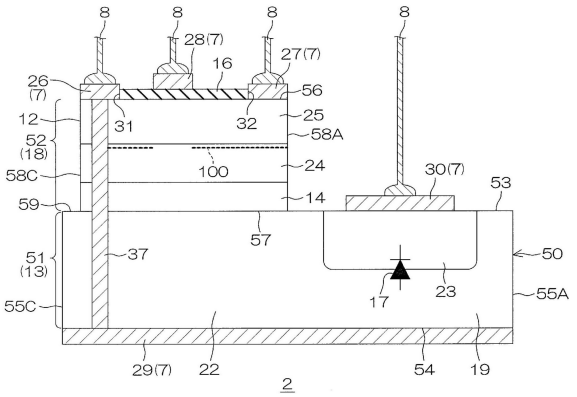
权利要求书2页 说明书11页 附图20页

(54)发明名称

半导体装置

(57)摘要

半导体装置包含:半导体层,其具有第1主面以及所述第1主面的相反侧的第2主面;电子传输层,其形成在所述半导体层的所述第1主面上;电子供给层,其形成在所述电子传输层上;栅极导电层,其形成在所述电子供给层上;源极导电层和漏极导电层,其以间隔所述栅极导电层的方式形成在所述电子供给层上;阳极导电层,其形成在所述半导体层的所述第2主面上,且与所述源极导电层电连接;阴极导电层,其形成在所述半导体层的所述第1主面上,且与所述漏极导电层电连接;以及整流元件,其以与所述阳极导电层以及所述阴极导电层电连接的方式利用所述半导体层而形成。



CN 116057688 A

1.一种半导体装置,其特征在于,包含:

半导体层,其具有第1主面以及所述第1主面的相反侧的第2主面;

电子传输层,其形成在所述半导体层的所述第1主面上;

电子供给层,其形成在所述电子传输层上;

栅极导电层,其形成在所述电子供给层上;

源极导电层和漏极导电层,其以间隔所述栅极导电层的方式形成在所述电子供给层上;

阳极导电层,其形成在所述半导体层的所述第2主面上,且与所述源极导电层电连接;

阴极导电层,其形成在所述半导体层的所述第1主面上,且与所述漏极导电层电连接;以及

整流元件,其以与所述阳极导电层以及所述阴极导电层电连接的方式利用所述半导体层而形成。

2.根据权利要求1所述的半导体装置,其特征在于,

所述半导体装置包含第1贯穿布线,该第1贯穿布线贯穿所述电子供给层、所述电子传输层以及所述半导体层,将所述源极导电层与所述阳极导电层连接。

3.根据权利要求3所述的半导体装置,其特征在于,

所述阴极导电层包含第2贯穿布线,该第2贯穿布线从所述漏极导电层贯穿所述电子供给层和所述电子传输层,并与所述半导体层的所述第1主面相接。

4.根据权利要求1至3中的任意一项所述的半导体装置,其特征在于,

所述半导体层包含硅半导体层,

所述电子传输层包含氮化物半导体层,

所述半导体装置还包含形成在所述半导体层与所述电子传输层之间的缓冲层。

5.根据权利要求1至4中的任意一项所述的半导体装置,其特征在于,

所述半导体装置还包含形成在所述电子供给层与所述栅极导电层之间的绝缘层。

6.根据权利要求1至5中的任意一项所述的半导体装置,其特征在于,

所述整流元件包含:p型区域,其形成在所述半导体层,与所述阳极导电层电连接;以及n型区域,其形成在所述半导体层,与所述阴极导电层电连接。

7.根据权利要求1至5中的任意一项所述的半导体装置,其特征在于,

所述整流元件包含在所述半导体层形成的,在与所述阴极导电层之间肖特基接合的肖特基接合部。

8.根据权利要求1至7中的任意一项所述的半导体装置,其特征在于,

所述电子供给层包含Al组成与所述电子传输层不同的氮化物半导体层。

9.根据权利要求8所述的半导体装置,其特征在于,

所述电子传输层包含$Al_{1-X}Ga_XN$层,其中$0<X\leq1$,

所述电子供给层包含$Al_{1-X}Ga_XN$层,其中$0\leq X<1$。

10.根据权利要求1至9中的任意一项所述的半导体装置,其特征在于,

所述半导体层包含:

在所述半导体层的厚度方向观察时形成了所述电子传输层和所述电子供给层的第1区域;以及

在所述厚度方向观察时形成了所述整流元件的第2区域，

与所述第1区域相邻地形成了所述第2区域。

11.根据权利要求10所述的半导体装置，其特征在于，

沿着所述第1区域的外周形成了所述第2区域。

12.根据权利要求1至5中的任意一项所述的半导体装置，其特征在于，

通过在所述半导体层的所述第1主面的一部分区域层叠所述电子传输层和所述电子供给层而形成了层叠结构，

所述半导体层包含在与所述半导体层的厚度方向观察正交的方向上，在所述层叠结构的外侧形成的整流元件形成区域，

所述整流元件包含在所述整流元件形成区域形成的pn结。

13.根据权利要求1至12中的任意一项所述的半导体装置，其特征在于，

所述半导体层包含半导体基板，该半导体基板的彼此相同的导电类型的区域在所述第1主面和所述第2主面中露出。

半导体装置

技术领域

[0001] 本公开涉及半导体装置。

背景技术

[0002] 专利文献1公开了一种在氮化物半导体生长用基板上形成有GaN层的半导体装置，该氮化物半导体生长用基板在由单晶硅构成的硅基板上具备由氧化铝构成的Al_2O_3层、由氮氧化铝构成的AlOxNy层、由氮化铝构成的AlN层、以及由氧化铝构成的Al_2O_3覆盖层。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2009-38395号公报

发明内容

[0006] 用于解决课题的手段

[0007] 本发明的一实施方式的半导体装置包含:半导体层,其具有第1主面和所述第1主面的相反侧的第2主面;电子传输层,其形成在所述半导体层的所述第1主面上;电子供给层,其形成在所述电子传输层上;栅极导电层,其形成在所述电子供给层上;源极导电层和漏极导电层,其以间隔所述栅极导电层的方式形成在所述电子供给层上;阳极导电层,其形成在所述半导体层的所述第2主面上,与所述源极导电层电连接;阴极导电层,其形成在所述半导体层的所述第1主面上,与所述漏极导电层电连接;以及整流元件,其以与所述阳极导电层和所述阴极导电层电连接的方式利用所述半导体层而形成。

附图说明

[0008] 图1是本公开的第1实施方式的半导体装置的示意性的截面图。

[0009] 图2是图1的半导体装置的第1实施方式中的半导体元件的平面图。

[0010] 图3是图1的半导体装置的第1实施方式中的半导体元件的截面图。

[0011] 图4表示图3的半导体元件的制造工序的一部分。

[0012] 图5表示图4的下一工序。

[0013] 图6表示图5的下一工序。

[0014] 图7表示图6的下一工序。

[0015] 图8表示图7的下一工序。

[0016] 图9表示图8的下一工序。

[0017] 图10表示半导体装置和Si二极管的反向电流特性。

[0018] 图11A表示所述半导体元件的示意性的电流路径。

[0019] 图11B表示所述半导体元件的示意性的电流路径。

[0020] 图11C表示所述半导体元件的示意性的电流路径。

[0021] 图12是本公开的第2实施方式的半导体元件的示意性的平面图。

[0022] 图13是本公开的第2实施方式的半导体元件的示意性的截面图。

[0023] 图14是本公开的第3实施方式的半导体装置的示意性的截面图。

[0024] 图15是本公开的第4实施方式的半导体装置的示意性的截面图。

[0025] 图16是本公开的第5实施方式的半导体装置的示意性的截面图。

[0026] 图17是本公开的第6实施方式的半导体装置的示意性的截面图。

[0027] 图18是本公开的第7实施方式的半导体装置的示意性的截面图。

[0028] 图19是本公开的第8实施方式的半导体元件的示意性的平面图。

[0029] 图20是本公开的第9实施方式的半导体元件的示意性的截面图。

[0030] 图21是本公开的第10实施方式的半导体元件的示意性的截面图。

[0031] 图22是本公开的第11实施方式的半导体元件的示意性截面图。

具体实施方式

[0032] (本公开的实施方式)

[0033] 首先,列举本公开的实施方式来进行说明。

[0034] 本公开的一实施方式的半导体装置包含:半导体层,其具有第1主面以及所述第1主面的相反侧的第2主面;电子传输层,其形成在所述半导体层的所述第1主面上;电子供给层,其形成在所述电子传输层上;栅极导电层,其形成在所述电子供给层上;源极导电层和漏极导电层,其以间隔所述栅极导电层的方式形成在所述电子供给层上;阳极导电层,其形成在所述半导体层的所述第2主面上,与所述源极导电层电连接;阴极导电层,其形成在所述半导体层的所述第1主面上,与所述漏极导电层电连接;以及整流元件,其以与所述阳极导电层和所述阴极导电层电连接的方式利用所述半导体层而形成。

[0035] 根据该结构,在源极导电层和漏极导电层之间,与电子传输层和电子供给层独立地形成了使电流反向流动的整流元件。由此,能够与栅极导电层的施加电压无关地确保从源极导电层流向漏极导电层的电流的路径。其结果,能够提供一种源极-漏极间电流的导通特性良好的半导体装置。

[0036] 另外,由于利用半导体层形成整流元件,因此能够形成正向电压低的整流元件,能够提供一种源极-漏极间电流的导通特性良好的半导体装置。

[0037] 而且,由于在半导体层的第2主面上形成的阳极导电层与源极导电层电连接,因此能够有效地抑制半导体装置的电流崩塌。

[0038] 本公开的一实施方式的半导体装置还可以包含第1贯穿布线,该第1贯穿布线贯穿所述电子供给层、所述电子传输层以及所述半导体层,并将所述源极导电层与所述阳极导电层连接。

[0039] 由此,能够降低源极导电层与阳极导电层之间的布线电阻,因此能够提供一种导通特性良好的半导体装置。

[0040] 在本公开的一实施方式的半导体装置中,所述阴极导电层也可以包含第2贯穿布线,该第2贯穿布线从所述漏极导电层贯穿所述电子供给层以及所述电子传输层,并与所述半导体层的所述第1主面相接。

[0041] 由此,能够降低漏极导电层与阴极导电层之间的布线电阻,因此能够提供导通特性良好的半导体装置。另外,能够使漏极导电层和阴极导电层共用,因此能够简化半导体装

置的结构。

[0042] 在本公开的一实施方式的半导体装置中，可以使所述半导体层包含硅半导体层，所述电子传输层包含氮化物半导体层，还包含在所述半导体层与所述电子传输层之间形成的缓冲层。

[0043] 在本公开的一实施方式的半导体装置中，还可以包含在所述电子供给层与所述栅极导电层之间形成的绝缘层。

[0044] 在本公开的一实施方式的半导体装置中，所述整流元件可以包含：p型区域，其形成在所述半导体层，与所述阳极导电层电连接；以及n型区域，其形成在所述半导体层，与所述阴极导电层电连接。

[0045] 在本公开的一实施方式的半导体装置中，所述整流元件可以包含在所述半导体层形成的，在与所述阴极导电层之间肖特基接合的肖特基接合部。

[0046] 在本公开的一实施方式的半导体装置中，所述电子供给层可以包含Al组成与所述电子传输层不同的氮化物半导体层。

[0047] 在本公开的一实施方式的半导体装置中，可以使所述电子传输层包含$Al_{1-X}Ga_XN$($0<X\leq1$)层，所述电子供给层包含$Al_{1-X}Ga_XN$($0\leq X<1$)层。

[0048] 在本公开的一实施方式的半导体装置中，可以使所述半导体层包含：在所述半导体层的厚度方向观察时形成有所述电子传输层和所述电子供给层的第1区域；以及在所述厚度方向观察时形成了所述整流元件的第2区域，所述第2区域与所述第1区域相邻地形成。

[0049] 在本公开的一实施方式的半导体装置中，可以沿着所述第1区域的外周形成所述第2区域。

[0050] 在本公开的一实施方式的半导体装置中，可以通过在所述半导体层的所述第1主面的一部分区域中层叠所述电子传输层以及所述电子供给层来形成层叠结构，所述半导体层包含在与所述半导体层的厚度方向的观察正交的方向上，在所述层叠结构的外侧形成的整流元件形成区域，所述整流元件包含在所述整流元件形成区域形成的pn结。

[0051] 在本公开的一实施方式的半导体装置中，所述半导体层可以包含在所述第1主面以及所述第2主面，彼此相同的导电类型的区域露出的半导体基板。

[0052] ＜本公开的实施方式的详细说明＞

[0053] 接着，参照附图详细说明本公开的实施方式。此外，在以下的详细说明中，存在多个被赋予了序数的名称的构成要素，但该序数与保护范围中记载的构成要素的序数未必一致。

[0054] (第1实施方式)

[0055] 图1是本公开的第1实施方式的半导体装置1的示意性的截面图。参照图1，对半导体装置1的结构进行说明。半导体装置1包含半导体元件2、封装3和引线框4。

[0056] 引线框4形成为金属制的板状。引线框4由Cu等薄金属板通过冲裁加工、切取加工、弯曲加工等而形成。因此，关于引线框4的材料，主要成分为Cu。另外，引线框4的材料并不限于此。

[0057] 引线框4可以包含芯片焊盘部5和引线部6。芯片焊盘部5支承半导体元件2，引线部6配置在芯片焊盘部5的周围。引线部6与芯片焊盘部5分离地形成。芯片焊盘部5和引线部6从封装3露出。在该实施方式中，芯片焊盘部5和引线部6的下表面选择性地从封装3露出。引

线部6具有与半导体装置1的外部电路连接的部分，因此可以称为端子。

[0058] 半导体元件2包含导电层7。导电层7是在将半导体元件2与外部电路连接时与外部电路连接的部件。因此，导电层7也可以称为电极层。半导体元件2由引线框4的芯片焊盘部5支撑，通过焊料等接合材料搭载在芯片焊盘部5。半导体元件2通过导电部件8与引线部6电连接。更具体而言，在半导体元件2形成的导电层7与引线部6通过导电部件8连接，由此半导体元件2与引线部6电连接。在该实施方式中，导电部件8是金属线。因此，半导体元件2通过引线接合与引线部6电连接。

[0059] 封装3覆盖半导体元件2、导电部件8以及引线框4的一部分，可以称为密封树脂。封装3由具有绝缘性的材料构成。在该实施方式中，封装3例如由黑色的环氧树脂构成。

[0060] 参照图2和图3，对封装在半导体装置1中的半导体元件2的结构进行说明。图2和图3分别表示半导体元件2的示意性的平面结构以及示意性的截面结构。

[0061] 半导体元件2形成为芯片状，俯视时为四边形。半导体元件2包含半导体芯片50、绝缘层16和导电层7。

[0062] 半导体芯片50具有2段结构，该2段结构包含基底部51和选择性地形成在基底部51上的台面结构部52。基底部51和台面结构部52均可以是长方体形状(俯视时为四边形)。

[0063] 基底部51具有第1主面53、第1主面53的相反侧的第2主面54、以及在俯视时包围第1主面53的第1～第4侧面55A～55D。基底部51的第2主面54可以形成半导体元件2的背面。另一方面，台面结构部52具有第1主面56、第1主面56的相反侧的第2主面57、以及在俯视时包围第1主面56的第1～第4侧面58A～58D。台面结构部52的第1～第4侧面58A～58D相对于基底部51的第1～第4侧面55A～55D形成在内侧。由此，在台面结构部52的第1～第4侧面58A～58D与基底部51的第1～第4侧面55A～55D之间形成了台阶59。

[0064] 台阶59的一部分可以形成相对于台面结构部52将基底部51的一部分横向引出的方式的引出部19。该引出部19可以在俯视时占据半导体元件2的大约一半的面积。另外，通过引出部19，基底部51的第1主面53的一部分露出。另一方面，台面结构部52也可以是在半导体元件2形成HEMT结构的元件主体部18。在俯视时，除引出部19以外的元件主体部18可以与引出部19同样地占据半导体元件2的大约一半的面积。

[0065] 在该实施方式中，基底部51可以是硅半导体层13，台面结构部52可以是氮化物半导体层12。

[0066] 硅半导体层13由Si、SiC等Si系半导体材料形成。在该实施方式中，硅半导体层13在大致整个区域形成有包含p型杂质的第1杂质区域22。在引出部19的表层选择性地形成有包含n型杂质的第2杂质区域23。硅半导体层13通过第1杂质区域22以及第2杂质区域23进行pn接合。由此，在硅半导体层13的引出部19形成有二极管17。

[0067] 氮化物半导体层12包含缓冲层14、作为本公开的电子传输层的一例的第1氮化物半导体层24、作为本公开的电子供给层的一例的第2氮化物半导体层25。

[0068] 缓冲层14例如用于使硅半导体层13上形成的氮化物半导体层12的缺陷密度降低。例如在Si与GaN之间存在晶格常数的差，因此在硅半导体层13上生长的氮化物半导体层12有时会产生转移缺陷。通过采用具有缓冲层14的结构，能够抑制在氮化物半导体层12产生转移缺陷的情况。缓冲层14可以由AlN的单膜形成，也可以层叠多个氮化物半导体膜而形成。缓冲层14在层叠多个氮化物半导体膜而形成的情况下，可以由作为第1缓冲层的与硅半

导体层13相接的AlN层和作为第2缓冲层的层叠在第1缓冲层的AlGaN层构成。第1缓冲层是为了使低Al水平的AlGaN层生长而发挥功能，因此也可以称为晶种层。第2缓冲层可以包含：与第1缓冲层相接的第1AlGaN层；以及在第1AlGaN层上形成的，Al组成比第1AlGaN层小的第2AlGaN层。

[0069] 如果在第1缓冲层与氮化物半导体层12之间仅设置单层的AlGaN层，由于AlGaN与GaN的晶格常数之差大，因此当层叠了具有大厚度的氮化物半导体层12时，有时会引起GaN的晶格弛豫。因此，难以对半导体元件2赋予足够的耐压。其结果，氮化物半导体层12的厚度受到限制，器件设计的自由度变小。通过以越是接近氮化物半导体层12的层，Al组成越小的方式确定各自的组成，能够将第2缓冲层的晶格常数从接近AlN的晶格常数的值阶段性地增大至接近GaN的晶格常数的值。其结果，能够自由地设计氮化物半导体层12的厚度。因此，通过将氮化物半导体层12设计得厚，能够提高元件耐压。

[0070] 第1氮化物半导体层24形成在缓冲层14上。第1氮化物半导体层24包含其组成为$Al_{1-X}Ga_XN$(0＜X≤1)的半导体材料。第1氮化物半导体层24可以包含：第1GaN层，其包含大量受主杂质并且与缓冲层14相接；以及第2GaN层，其几乎不包含受主杂质并且形成在第1GaN层上。在这种情况下，第1氮化物半导体层24可以包含C(碳)作为受主杂质。第2GaN层是形成二维电子气100的层，因此也可以称为传导路径形成层。

[0071] 第2氮化物半导体层25包含其组成为$Al_{1-X}Ga_XN$(0＜X≤1)的半导体材料。第2氮化物半导体层25由带隙比第1氮化物半导体层24大的氮化物半导体构成。具体而言，第2氮化物半导体层25由Al组成比第1氮化物半导体层24高的氮化物半导体构成。第1氮化物半导体层24和第2氮化物半导体层25是带隙不同的氮化物半导体，因此产生晶格失配。由此，在第1氮化物半导体层24内，二维电子气100扩散到靠近第1氮化物半导体层24与第2氮化物半导体层25的界面的位置(第2GaN层)。

[0072] 与台面结构部52的第1主面56相接地形成了绝缘层16。绝缘层16可以由SiO_2、SiN、SiON、Al_2O_3、AlN、AlON、HfO、HfN、HfON、HfSiON、AlON等具有绝缘性的材料构成。另外，绝缘层16发挥使后述的栅极28与氮化物半导体层12之间绝缘的作用，也可以称为栅极绝缘层。

[0073] 导电层7与引线部6电连接。导电层7可以包含源极26、漏极27、栅极28、阳极29、阴极30。

[0074] 经由设置在绝缘层16的源极接触孔31和漏极接触孔32，在元件主体部18上形成了源极26和漏极27。栅极28形成在绝缘层16上。阴极30形成在引出部19上。源极26、漏极27、栅极28和阴极30彼此分离。

[0075] 源极26可以包含源极主体部33和源极延伸部34。源极26通过源极主体部33和源极延伸部34而成为梳齿形状。源极主体部33是在俯视时在沿着元件主体部18的第3侧面58C的方向上延伸的、俯视时呈四边形的区域。源极延伸部34是从源极主体部33在沿着元件主体部18的第2侧面58B以及第4侧面58D的方向上延伸的俯视时呈四边形。隔开一定的间隔而形成了多个源极延伸部34。与第2氮化物半导体层25直接接触地形成了源极26。

[0076] 漏极27可以包含漏极主体部35和漏极延伸部36。漏极27通过漏极主体部35和漏极延伸部36而成为梳齿形状。漏极27被配置成梳齿与源极26啮合。漏极主体部35是在俯视时在沿着元件主体部18的第1侧面58A的方向上延伸的、俯视时呈四边形的区域。漏极延伸部36是从漏极主体部35在沿着元件主体部18的第2侧面58B及第4侧面58D的方向上延伸的俯

视时呈四边形。隔开一定的间隔而形成了多个漏极延伸部36。源极延伸部34和漏极延伸部36在沿着半导体元件2的第1侧面58A的方向上彼此相邻。与第2氮化物半导体层25直接接触地形成了漏极27。

[0077] 栅极28是在俯视时形成在元件主体部18的一个角部的、俯视时呈长方形的区域。栅极28形成在源极主体部33的延伸方向的延长线上且漏极延伸部36的延伸方向的延长线上。栅极28形成在绝缘层16上。在栅极28形成在绝缘层16上时，与栅极28与氮化物半导体层12直接接触的情况相比，能够对栅极28施加更高的电压。

[0078] 以覆盖基底部51的第2主面54的方式形成了阳极29。因此，阳极29形成在硅半导体层13的形成有p型的第1杂质区域22的面上。在该实施方式中，阳极29通过从台面结构部52的第1主面56到基底部51的第2主面54贯穿台面结构部52以及基底部51的贯穿电极37与源极26电连接。在阳极29与源极26电连接的结构时，源极26与芯片焊盘部5通过阳极29的面接触而电连接，因此能够降低寄生电感。由此，能够减轻由寄生电感引起的栅极电压的振动，减少误动作、破坏等问题，提供可靠性高的半导体装置。另外，在阳极29与源极26电连接的结构时，能够使半导体装置1的阳极29与源极26一体化，因此能够防止不必要的外部端子的增大。

[0079] 阴极30形成在引出部19的第1主面53上。

[0080] 二极管17由引出部19的第1杂质区域22与第2杂质区域23的pn结、阳极29以及阴极30形成。

[0081] 接下来参照图4～图9，对半导体装置1的制造方法进行说明。图4～图9是按照工序顺序表示半导体装置1的制造工序的一部分的纵截面图。

[0082] 参照图4，在制造半导体装置1时，首先，准备具有p型的第1杂质区域22的硅半导体层13。硅半导体层13例如通过向Si晶圆添加B(硼)等3价元素的受主杂质而形成。接着，在该硅半导体层13的第1主面53侧，通过杂质扩散法或离子注入法等添加P(磷)等5价元素的施主杂质，由此形成具有n型的传导特性的第2杂质区域23。由此，在硅半导体层13上形成pn结。

[0083] 接着，参照图5，在硅半导体层13上的应形成元件主体部18的区域形成缓冲层14。例如，通过MOCVD(Metal Organic Chemical Vapor Deposition:金属有机化学气相沉积)法，在元件主体部18侧外延生长缓冲层14。

[0084] 接着，参照图6和图7，形成氮化物半导体层12。关于氮化物半导体层12，例如通过MOCVD法在缓冲层14上使第1氮化物半导体层24外延生长。并且，通过MOCVD法，在第1氮化物半导体层24上形成第2氮化物半导体层25。

[0085] 接下来，参照图8，形成绝缘层16。例如，通过等离子体CVD(化学气相沉积)法、LPCVD(低压CVD)法、ALD(原子层沉积)法等，在第2氮化物半导体层25上形成绝缘层16。然后，在绝缘层16上的除了形成源极接触孔31和漏极接触孔32的区域以外的区域形成抗蚀剂(未图示)，通过蚀刻去除绝缘层16的不需要的部分，由此形成源极接触孔31和漏极接触孔32。源极接触孔31和漏极接触孔32贯穿绝缘层16而到达第2氮化物半导体层25。

[0086] 接着，参照图9，形成导电层7。例如，通过蒸镀法、溅射法等在绝缘层16上层叠导电层7的材料，之后，对该导电材料进行图案化，由此将导电层7分离为源极26、漏极27、栅极28以及阴极30。另外，例如，通过抗蚀剂来部分覆盖绝缘层16以及氮化物半导体层12，并选择

性地进行蚀刻，由此在形成了贯穿孔38之后，通过蒸镀法、溅射法等在贯穿孔38形成贯穿电极37。并且，例如，在通过蒸镀法、溅射法等在基底部51的第2主面54形成了阳极29之后，从硅半导体层13切出多个半导体装置1。经过包含以上内容的工序来制造半导体装置1。

[0087] 本公开的第1实施方式的半导体装置1包含常断型GaN-HEMT(High Electron Mobility Transistor，高电子迁移率晶体管)。在常断型GaN-HEMT中，当没有向栅极28施加电压时，整个能带升高，电子传输层与电子供给层的边界附近变得高于费米能级，并且二维电子气100(2DEG:2Dimensional Electron Gas，二维电子气)消失。然后，通过对栅极28施加正的电压，向下方拉拽整个能带，产生二维电子气100，在源极-漏极间形成沟道。

[0088] 图10表示与各栅极-源极间电压对应的常断型GaN-HEMT器件的漏极电压-漏极电流特性和Si二极管的漏极电压-漏极电流特性的一例。常断型GaN-HEMT器件在栅极-源极间电压为导通电压(图中Vgs＝6V)时，能够以低的源极-漏极间电压流过负的漏极电流(反向电流)。但是，在栅极-源极间电压为截止电压(图中Vgs≤0V)时，为了流过反向电流所需的源极-漏极间电压变高。如此，常断型GaN-HEMT器件的反向电流导通特性受到栅极施加电压的状态的影响。Si二极管能够以比常断型GaN-HEMT器件被施加截止电压时良好的特性流过反向电流。

[0089] 图11A～图11C是说明该实施方式的半导体装置1的栅极导通时以及截止时的电流路径的示意图。图11A表示在对栅极28施加了导通电压时，在半导体装置1中流过正向的漏极电流(正向电流)时的路径。在常断型GaN-HEMT器件中，在向栅极28施加了导通电压时，以在第1氮化物半导体层24形成的沟道作为主要电流路径，经由二维电子气100流动正向电流(箭头A)。此时，正向电流成为从二极管17的阴极30朝向阳极29的方向，因此在二极管17中不流过电流。另外，虽然未图示，但在对栅极28施加了截止电压时，在常断型GaN-HEMT器件中，由于在第1氮化物半导体层24未形成沟道，因此不流过电流。而且，与图11A的情况同样地，正向电流成为从二极管17的阴极30朝向阳极29的方向，因此在二极管17中不流过电流。

[0090] 图11B表示在对栅极28施加了导通电压时，在半导体装置1流过反向电流时的路径。如图10所示，在常断型GaN-HEMT器件中，在向栅极28施加了导通电压时，反向电流的导通特性优于Si二极管。因此，在向栅极28施加了导通电压时，以在第1氮化物半导体层24形成的沟道为主要的电流路径，经由二维电子气100流过反向电流(箭头B)。此时，反向电流成为从二极管17的阳极29朝向阴极30的方向，因此二极管17变成次要的电流路径，流过比常断型GaN-HEMT的电流小的电流(箭头C)。

[0091] 图11C表示在对栅极28施加了截止电压时，在半导体装置1中流过反向电流时的路径。如图10所示，Si二极管的导通特性优于向栅极28施加了截止电压时的常断型GaN-HEMT器件的反向电流的导通特性。反向电流成为从二极管17的阳极29朝向阴极30的方向，因此在对栅极28施加了截止电压时，以二极管17为主要的电流路径而流过反向电流(箭头D)。此时，常断型GaN-HEMT器件成为次要的电流路径，流过比二极管17小的电流(箭头E)。因此，能够提供一种即使在对常断型GaN-HEMT器件施加了截止电压的情况下，也能够良好地流过反向电流的半导体装置1。

[0092] (第2实施方式)

[0093] 图12和图13是第2实施方式的半导体元件2的示意性的平面图和示意性的截面图。

[0094] 该实施方式的半导体元件2的截面结构与第1实施方式的半导体元件2的不同之处

在于,将漏极27和阴极30置换为公共电极39,但其他方面相同,因此仅对公共电极39的结构进行说明。

[0095] 公共电极39公共电极39是一体形成了漏极27和阴极30的电极。

[0096] 横跨元件主体部18和引出部19而形成了公共电极39。在具有公共电极39的结构时,能够使半导体元件2的漏极27与阴极30一体化,因此能够防止不必要的外部端子的增大。

[0097] (第3实施方式)

[0098] 图14是本公开的第3实施方式的半导体装置1的示意性的截面图。

[0099] 第3实施方式的半导体装置1与第1实施方式的半导体装置1的基本结构相同,但导电部件8的结构不同。因此,仅对导电部件8进行说明。

[0100] 半导体元件2通过导电部件8与引线部6电连接。更具体而言,在半导体元件2形成的导电层7与引线部6通过导电部件8连接,由此半导体元件2与引线部6电连接。在该实施方式中,导电部件8通过使用金属夹的夹焊(Clip bonding)而与引线部6电连接。

[0101] [第4实施方式]

[0102] 图15是本公开的第4实施方式的半导体装置1的示意性的截面图。

[0103] 第4实施方式的半导体装置1与第1实施方式的半导体装置1的不同点在于,不具有引线框4。在第4实施方式中,半导体装置1具有Cu布线40来代替引线框4。

[0104] Cu布线40包含第1Cu布线41和第2Cu布线42。半导体元件2由第1Cu布线41支撑。导电部件8由第2Cu布线42形成。因此,半导体元件2中形成的导电层7与第2Cu布线42连接。另外,第2Cu布线42露出到封装3的外部,第2Cu布线42起到在将半导体元件2与外部电路连接时与外部电路连接的部件的作用。

[0105] (第5实施方式)

[0106] 图16是本公开的第5实施方式的半导体装置1的示意性的截面图。

[0107] 第5实施方式的半导体装置1与第1实施方式的半导体装置1的基本结构相同,但引线框4的结构不同。因此,仅对引线框4进行说明。

[0108] 引线部6包含通过导电部件8与半导体元件2的源极26(导电层7)连接的源极引线43。在第5实施例中,芯片焊盘部5与源极引线43一体地形成。

[0109] (第6实施方式)

[0110] 图17是本公开的第6实施方式的半导体装置1的示意性的截面图。

[0111] 第6实施方式的半导体装置1与第3实施方式的半导体装置1的基本结构相同,但引线框4的结构不同。因此,仅对引线框4进行说明。

[0112] 引线部6包含通过导电部件8与半导体元件2的源极26(导电层7)连接的源极引线43。在第6实施例中,芯片焊盘部5与源极引线43一体地形成。

[0113] (第7实施方式)

[0114] 图18是本公开的第7实施方式的半导体装置1的示意性的截面图。

[0115] 第7实施方式的半导体装置1与第4实施方式的半导体装置1的基本结构相同,但Cu布线40的结构不同。因此,仅对Cu布线40进行说明。

[0116] Cu布线40包含与半导体元件的源极26连接的源极布线44。在第4实施方式中,第1Cu布线41与源极配线44一体地形成。

[0117] (第8实施方式)

[0118] 接下来,参照图19,对本公开的第8实施方式的半导体元件2的平面结构进行说明。

[0119] 该实施方式的半导体元件2的平面结构与第1实施方式的半导体元件2相比,元件主体部18、引出部19以及阴极30的方式不同,但其他方面相同,因此仅对元件主体部18、引出部19以及阴极30进行说明。

[0120] 在该实施方式中,引出部19形成在元件主体部18的外周。因此,元件主体部18成为被引出部19包围的结构。此外,第2杂质区域23在俯视时形成为包围元件主体部18的环状。阴极30在引出部19上形成为包围漏极27。另外,阴极30形成为包围元件主体部18的一部分。

[0121] (第9实施方式)

[0122] 接下来,参照图20,对本公开的第9实施方式的半导体元件2的截面结构进行说明。

[0123] 该实施方式的半导体元件2的截面结构与第1实施方式的半导体元件2相比,源极26和阳极29的连接方式不同,但其他方面相同,因此仅对源极26与阳极29进行说明。在该实施方式中,源极26沿着元件主体部18的第3侧面58C和硅半导体层13的第3侧面55C与阳极29连接。

[0124] (第10实施方式)

[0125] 接下来,参照图21对本公开的第10实施方式的半导体元件2的截面结构进行说明。

[0126] 该实施方式的半导体元件2的截面结构与第1实施方式的半导体元件2相比,绝缘层16、源极26及栅极28的结构不同,但其他方面相同,因此仅对绝缘层16、源极26及栅极28的结构进行说明。

[0127] 在该实施方式中,栅极28包含氮化物半导体部45和栅极导电部46。与第2氮化物半导体层25相接地形成了氮化物半导体部45。氮化物半导体部45包含添加了受主型杂质的GaN。在栅极28包含氮化物半导体部45的结构时,在栅极28正下方的区域中,能够抵消在第1氮化物半导体层24与第2氮化物半导体层25的界面产生的二维电子气100。栅极导电部46形成在氮化物半导体部45之上。

[0128] 绝缘层16与第2氮化物半导体层25的上表面接触,覆盖氮化物半导体部45的侧面、栅极导电部46的侧面以及表面。绝缘层16可以由SiO_2、SiN、SiON、Al_2O_3、AlN、AlON、HfO、HfN、HfON、HfSiON、AlON等具有绝缘性的材料构成。

[0129] 源极26包含源极主体部47和源极场板部48。与氮化物半导体层12相接地形成了源极主体部47。源极场板部48从源极主体部47延伸,经由绝缘层16覆盖栅极28。通过设为具有源极场板部48的结构,能够缓和向源极26的端部的电场集中,因此能够提供可靠性高的半导体装置。

[0130] (第11实施方式)

[0131] 接下来,参照图22,对本公开的第11实施方式的半导体元件2的截面结构。

[0132] 第11实施方式的半导体元件2与第1实施方式的半导体元件2的不同点在于,没有形成第2杂质区域23。在该实施方式中,二极管17可以是通过硅半导体层13与阴极30的肖特基接合而形成的肖特基势垒二极管9。

[0133] 以上对本公开的一实施方式进行了说明,但本公开也能够以其他方式实施。

[0134] 例如,在上述实施方式中,半导体芯片50的元件主体部18仅由氮化物半导体层12形成,但元件主体部18的一部分也可以由硅半导体层13形成。即,氮化物半导体层12与硅半

导体层13的边界可以不与基底部51与台面结构部52的边界一致，而位于元件主体部18(台面结构部52)的厚度方向的途中。

[0135] 另外，能够在保护范围所记载的事项的范围内组合各个实施方式的构成要素。

[0136] 此外，能够在保护范围所记载的事项的范围内实施各种设计变更。

[0137] 本申请对应于2020年9月8日向日本特许厅提交的特愿2020-150774号，在此引用该申请的全部公开内容。

[0138] 附图标记的说明

[0139] 1半导体装置

[0140] 2半导体元件

[0141] 3封装

[0142] 4引线框

[0143] 5芯片焊盘部

[0144] 6引线部

[0145] 7导电层

[0146] 8导电部件

[0147] 9肖特基势垒二极管

[0148] 12氮化物半导体层

[0149] 13硅半导体层

[0150] 14缓冲层

[0151] 15导电层

[0152] 16绝缘层

[0153] 17二极管

[0154] 18元件主体部

[0155] 19引出部

[0156] 22第1杂质区域

[0157] 23第2杂质区域

[0158] 24第1氮化物半导体层

[0159] 25第2氮化物半导体层

[0160] 26源极

[0161] 27漏极

[0162] 28栅极

[0163] 29阳极

[0164] 30阴极

[0165] 31源极接触孔

[0166] 32漏极接触孔

[0167] 33源极主体部

[0168] 34源极延伸部

[0169] 35漏极主体部

[0170] 36漏极延伸部

[0171] 37贯穿电极

[0172] 38贯穿孔

[0173] 39公共电极

[0174] 40Cu布线

[0175] 41第1Cu布线

[0176] 42第2Cu布线

[0177] 43源极引线

[0178] 44源极布线

[0179] 45氮化物半导体部

[0180] 46栅极导电部

[0181] 47源极主体部

[0182] 48源极场板部

[0183] 50半导体芯片

[0184] 51基底部

[0185] 52台面结构部

[0186] 53(基底部)第1主面

[0187] 54(基底部)第2主面

[0188] 55A(基底部)第1侧面

[0189] 55B(基底部)第2侧面

[0190] 55C(基底部)第3侧面

[0191] 55D(基底部)第4侧面

[0192] 56(台面结构部)第1主面

[0193] 57(台面结构部)第2主面

[0194] 58A(台面结构部)第1侧面

[0195] 58B(台面结构部)第2侧面

[0196] 58C(台面结构部)第3侧面

[0197] 58D(台面结构部)第4侧面

[0198] 59台阶

[0199] 100二维电子气。

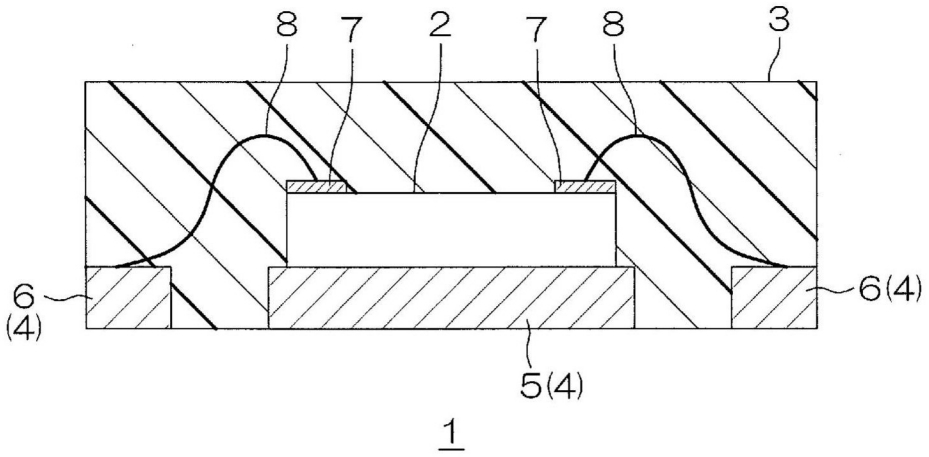

8
7
2
7
8
3
6
(4)
6(4)
5(4)
1

图1

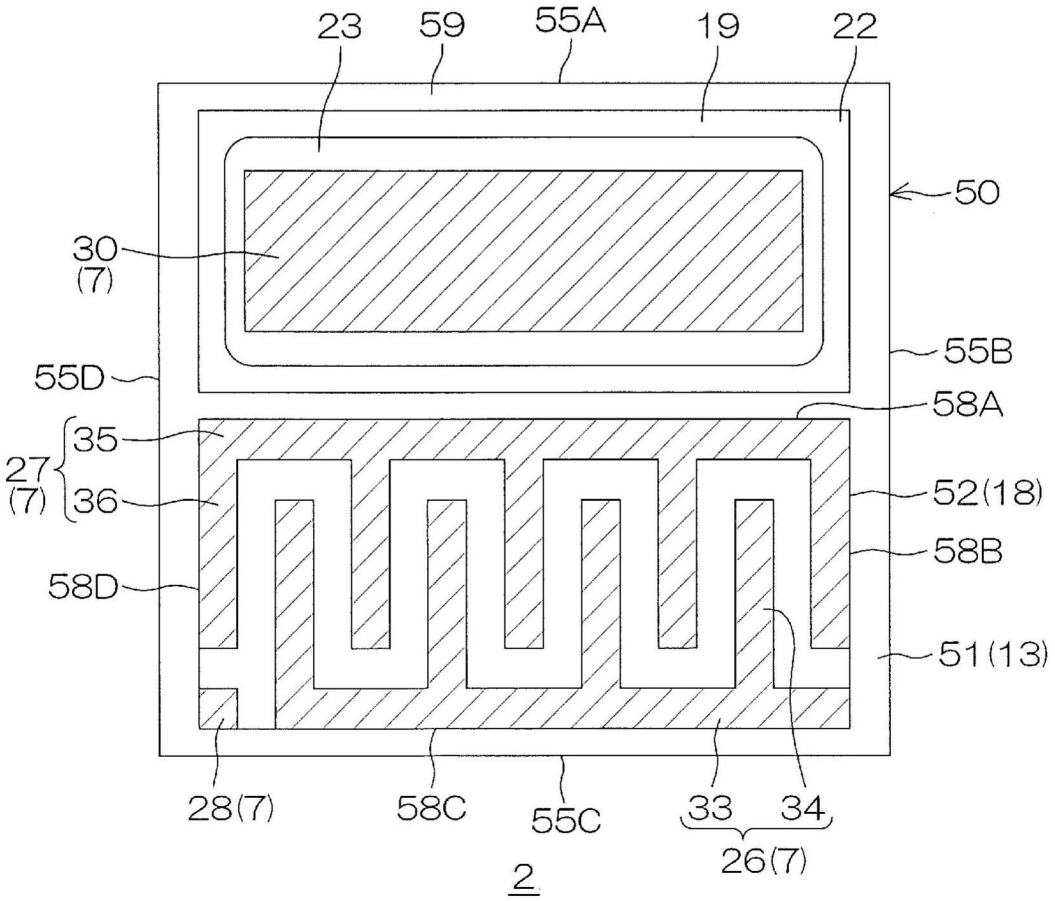

23
59
55A
19
22
50
30
(7)
55B
55D
58A
35
27
(7)
36
52(18)
58B
58D
51(13)
28(7)
58C
55C
33
34
26(7)
2

图2

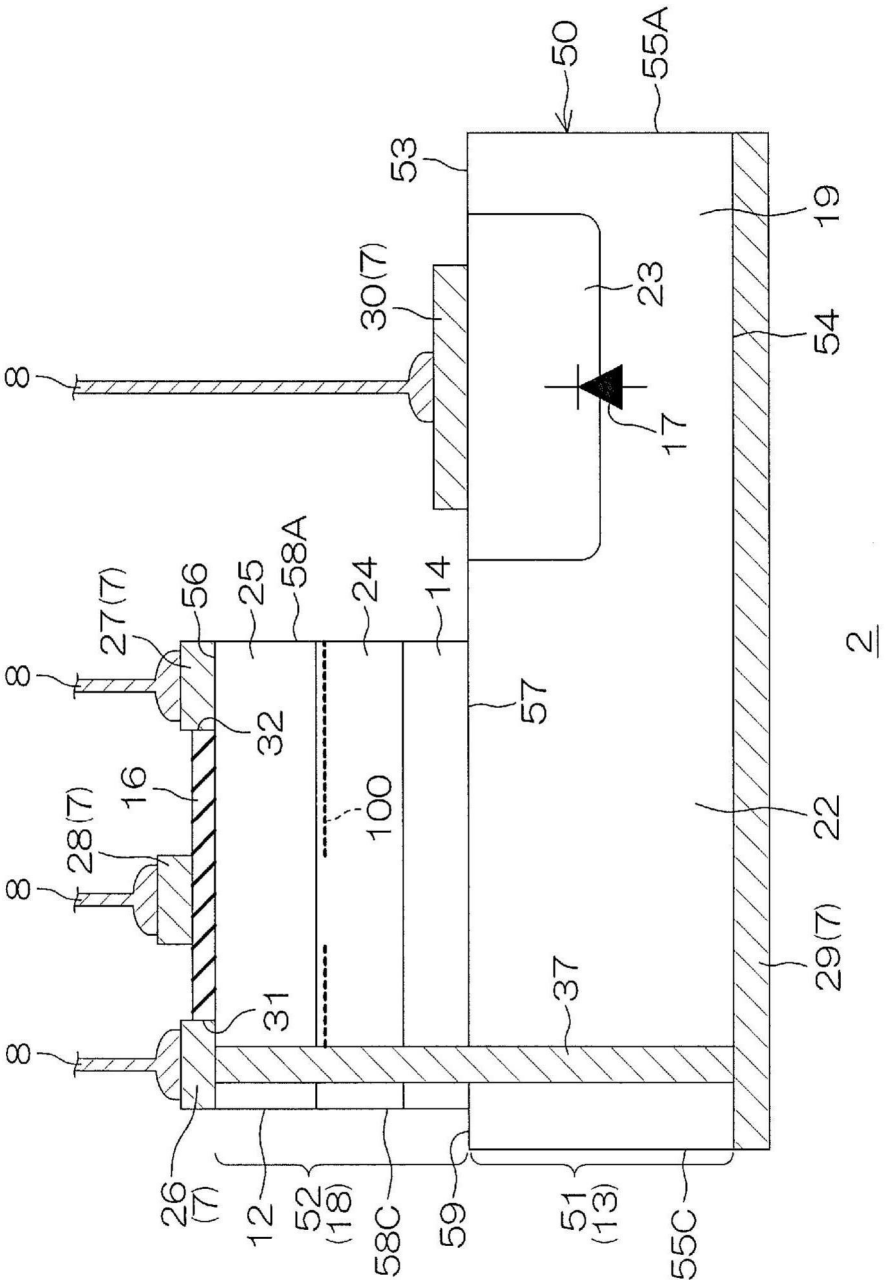

50
55A
53
19
30(7)
23
54
8
17
58A
56
25
24
14
27(7)
2
57
32
16
100
28(7)
22
29(7)
37
31
26
(7)
12
52
(18)
58C
59
51
(13)
55C

图3

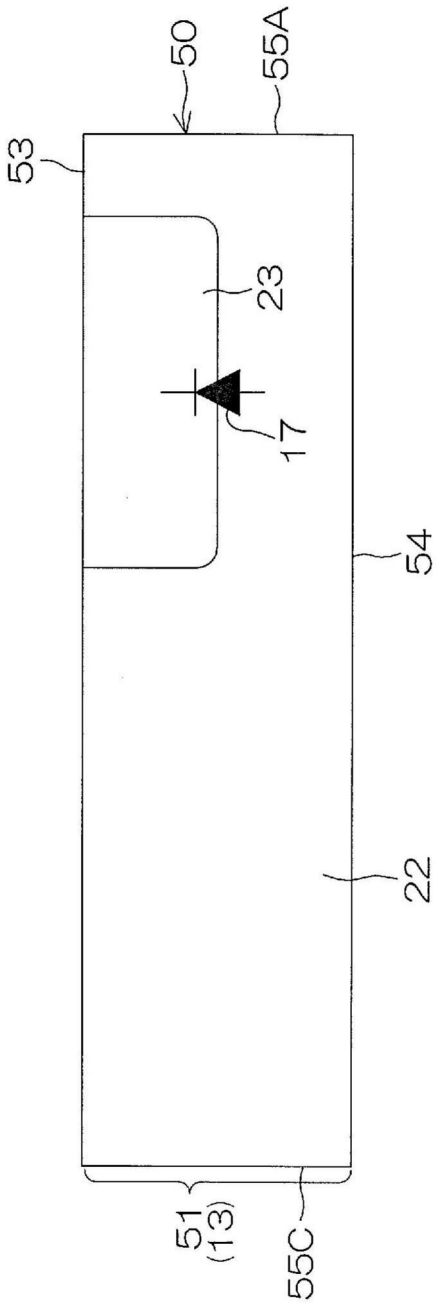


图4

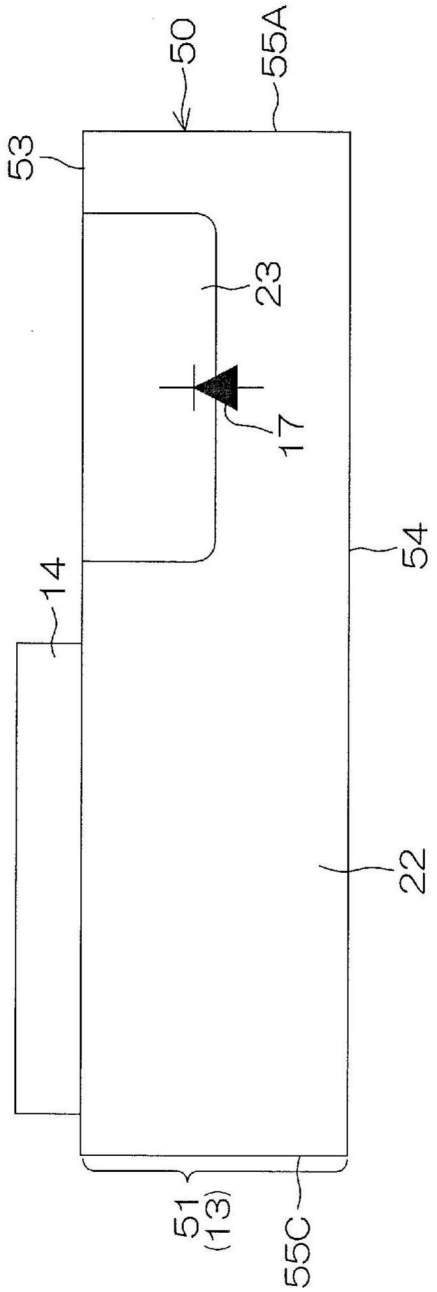


图5

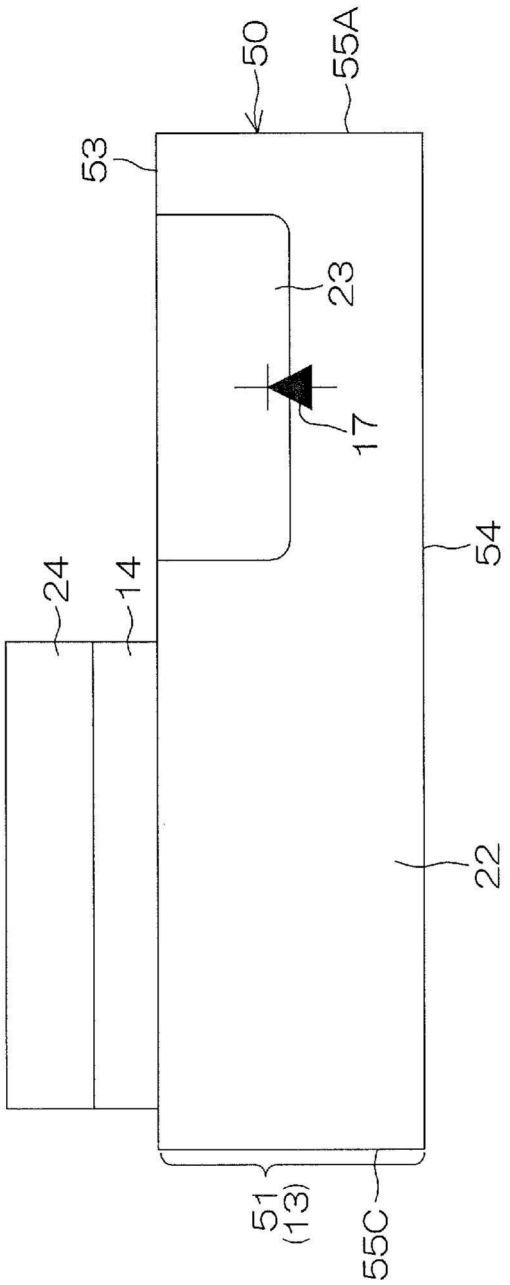


图6

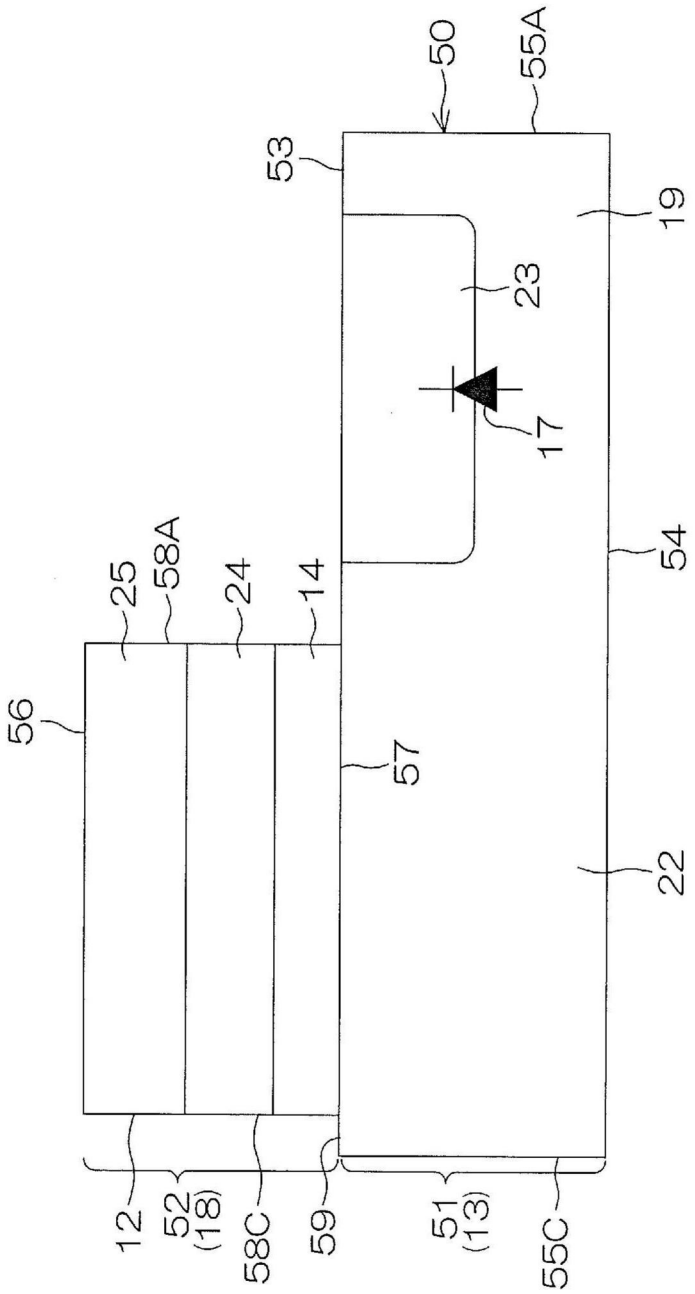


图7

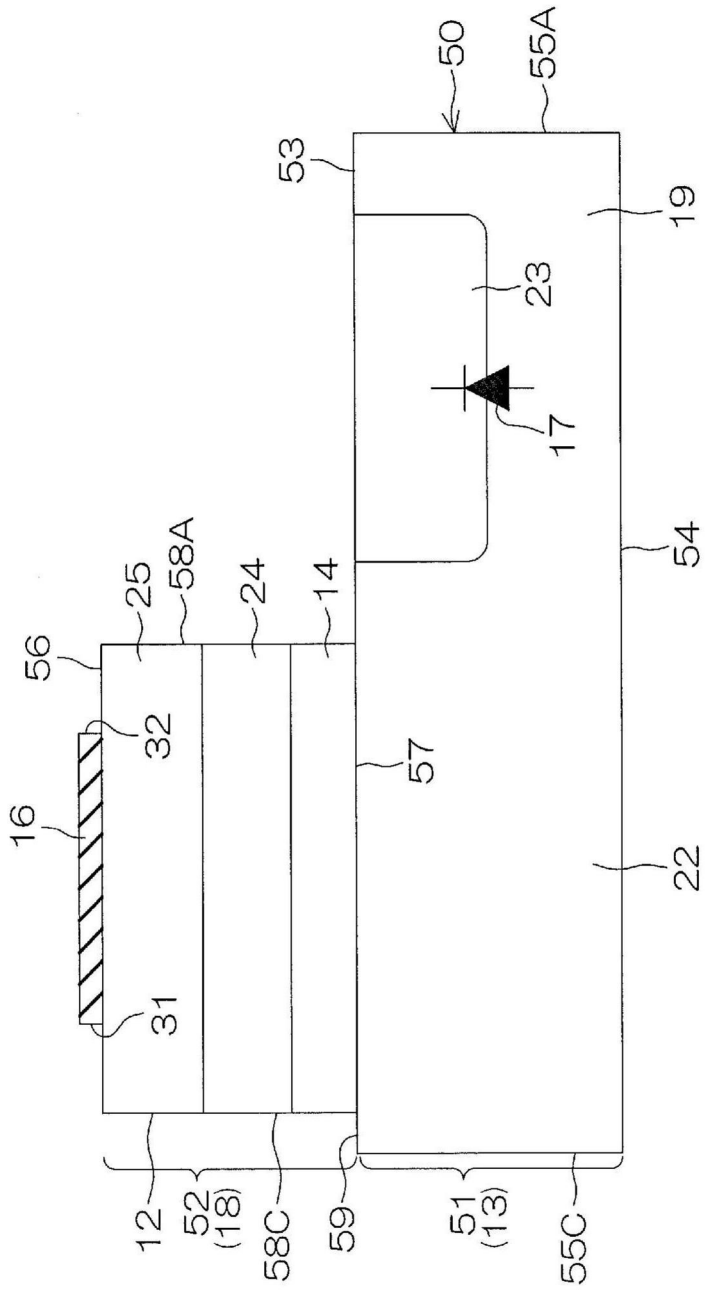

50
55A
53
19
23
17
54
58A
25
24
14
56
32
57
16
22
31
12
52
(18)
58C
59
51
(13)
55C

图8

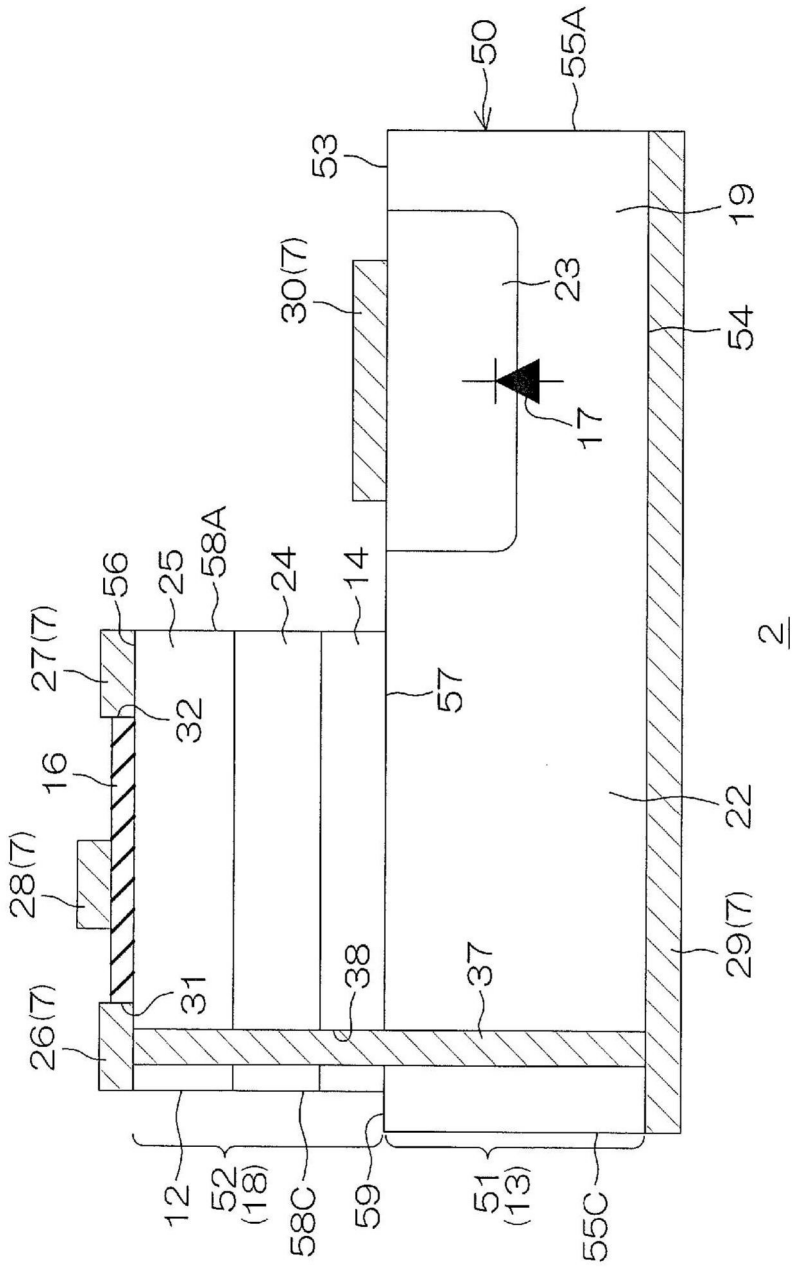

50
55A
53
19
30(7)
23
54
17
58A
56
25
24
14
27(7)
57
32
16
22
28(7)
29(7)
38
37
31
26(7)
12
52
(18)
58C
59
51
(13)
55C
2

图9

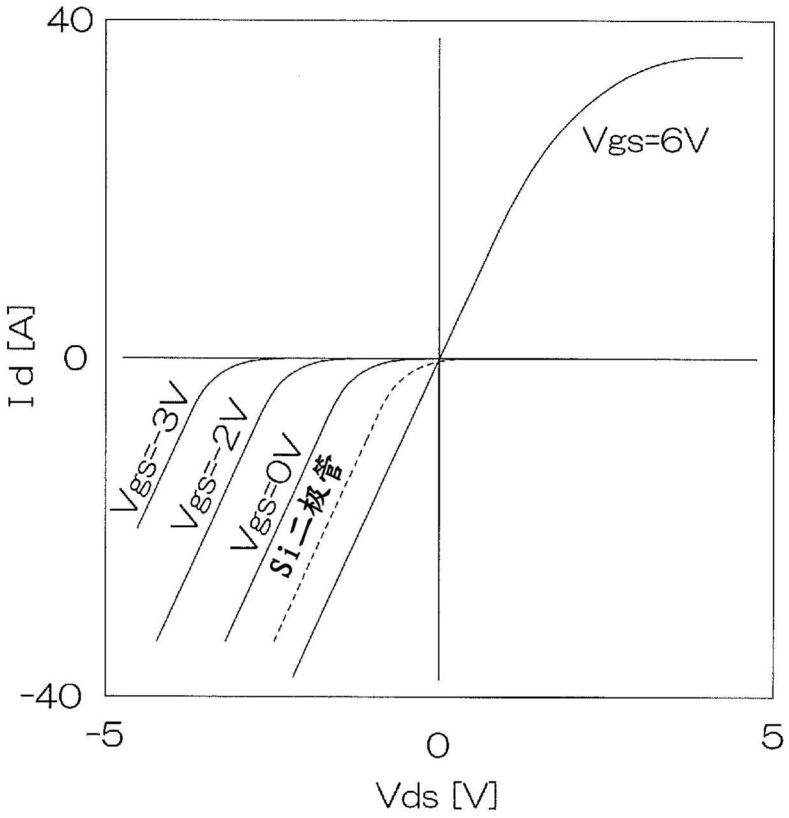


图10

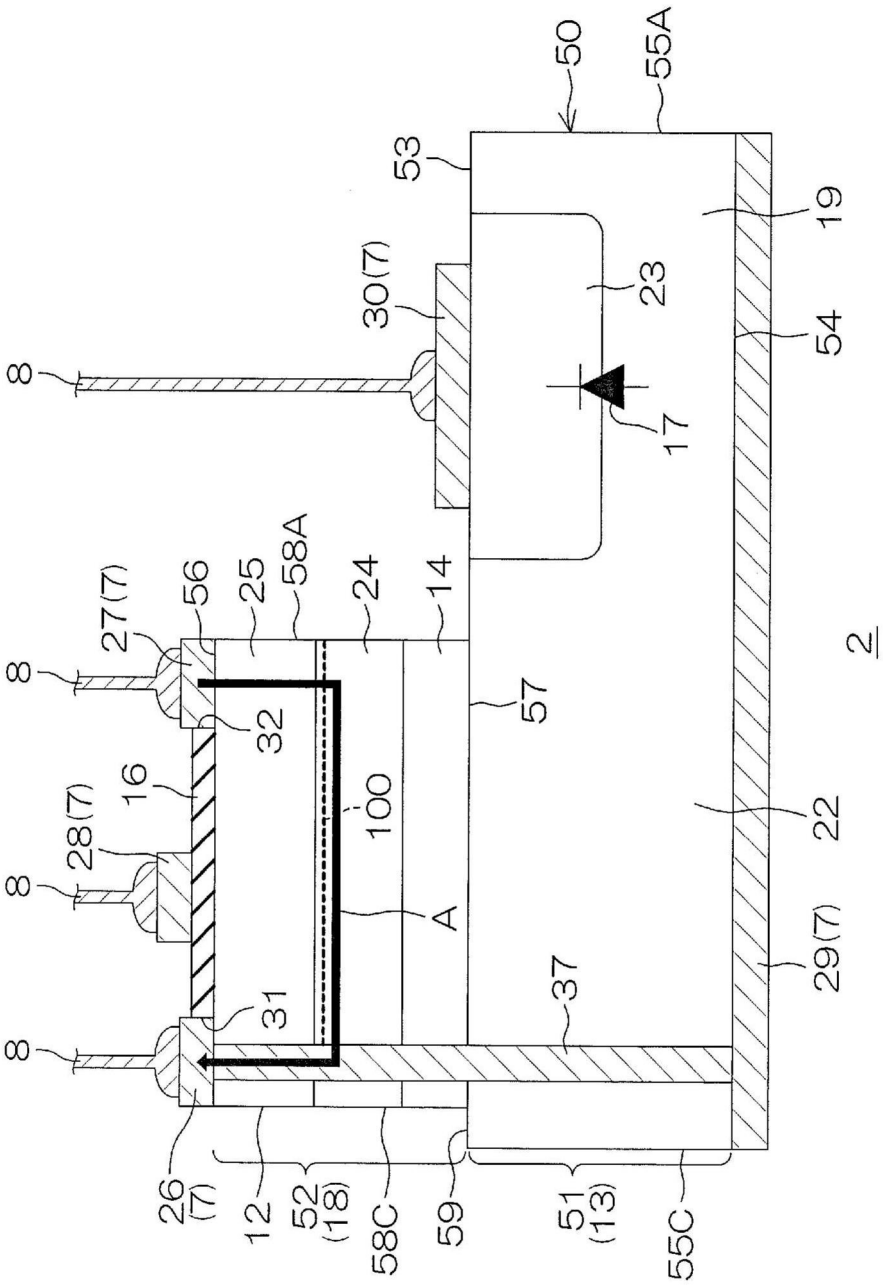

50
55A
53
19
30(7)
23
54
8
17
58A
56
25
24
14
27(7)
2
8
57
32
16
100
28(7)
22
8
A
29(7)
37
31
8
26
(7)
12
52
(18)
58C
59
51
(13)
55C

图11A

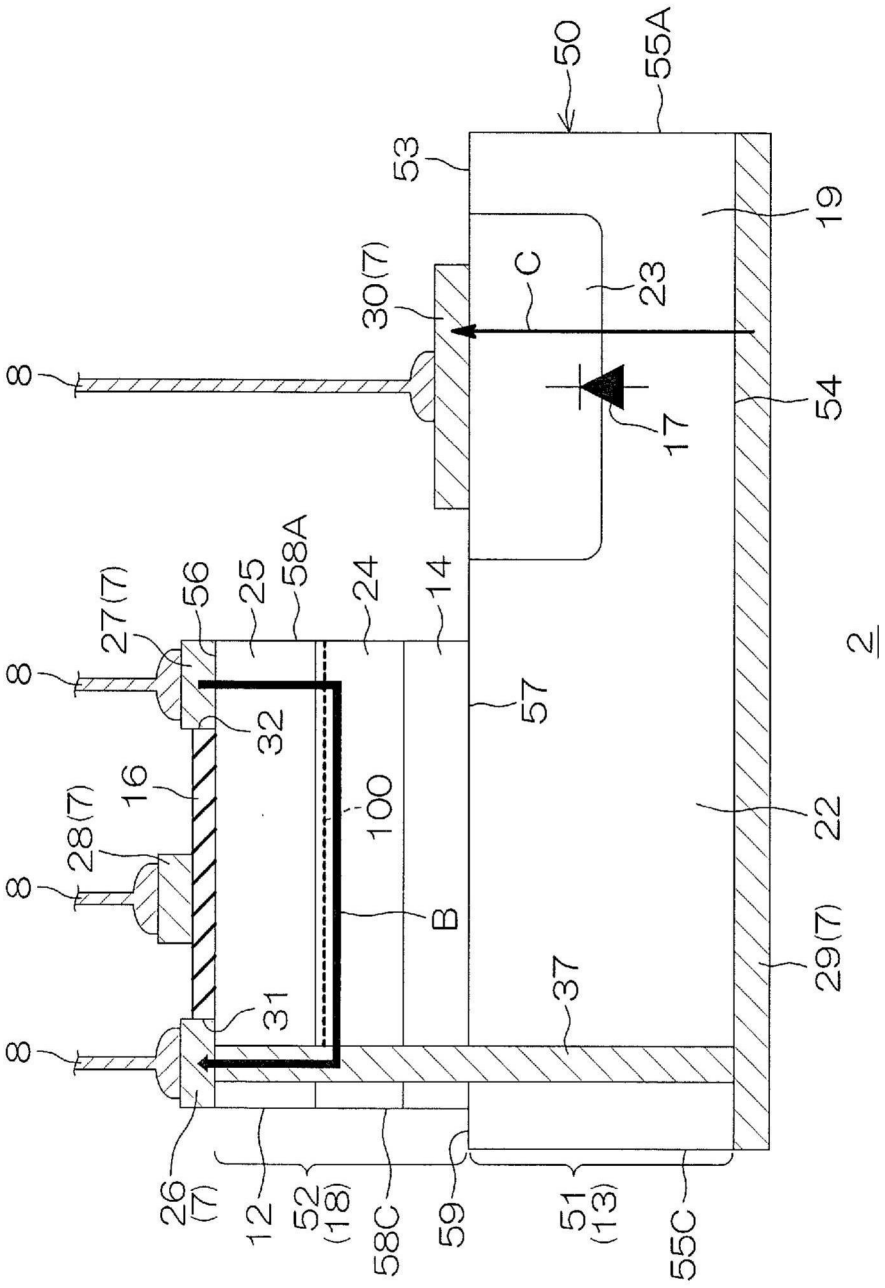

50
55A
53
19
30(7)
C
23
8
54
17
58A
56
25
24
14
27(7)
8
57
32
16
100
28(7)
22
8
B
29(7)
37
31
8
26
(7)
12
52
(18)
58C
59
51
(13)
55C
2

图11B

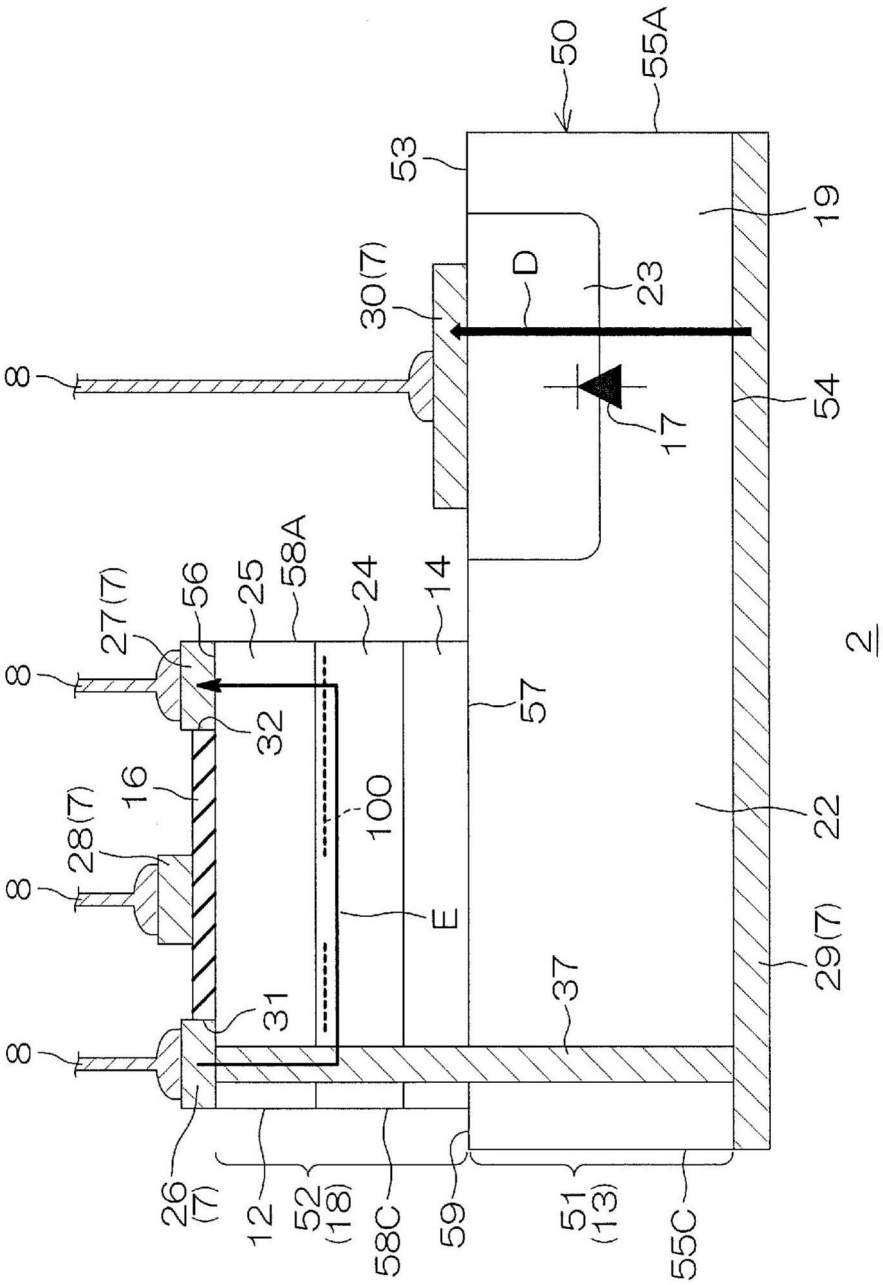

50
55A
53
19
30(7)
D
23
8
17
54
58A
56
25
24
14
27(7)
2
57
32
16
100
22
28(7)
E
29(7)
37
31
26
(7)
12
52
(18)
58C
59
51
(13)
55C

图11C

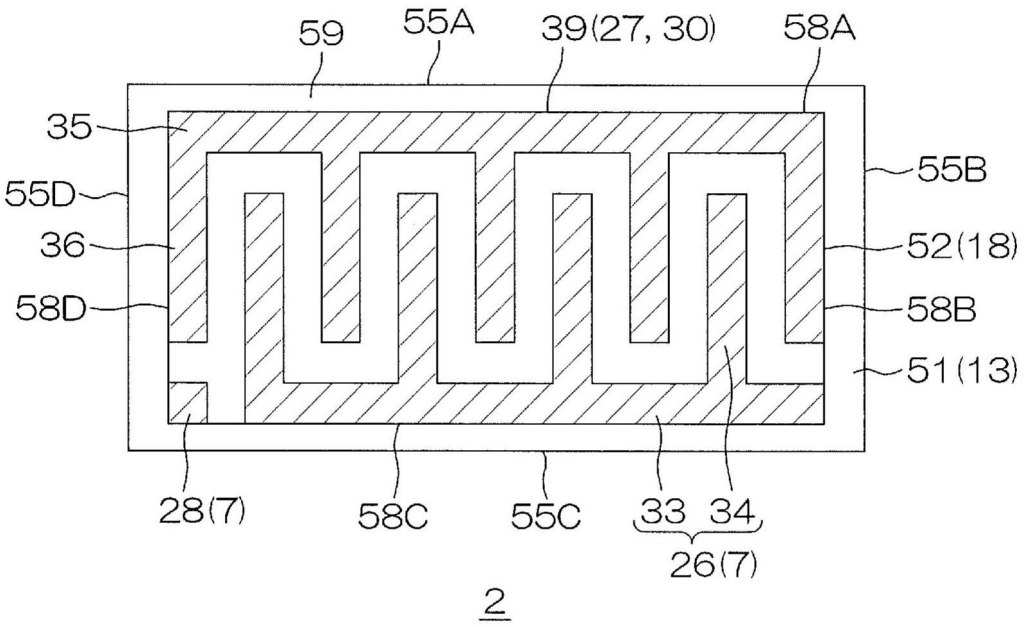

59
55A
39(27, 30)
58A
35
55D
36
58D
55B
52(18)
58B
51(13)
28(7)
58C
55C
33
34
26(7)
2

图12

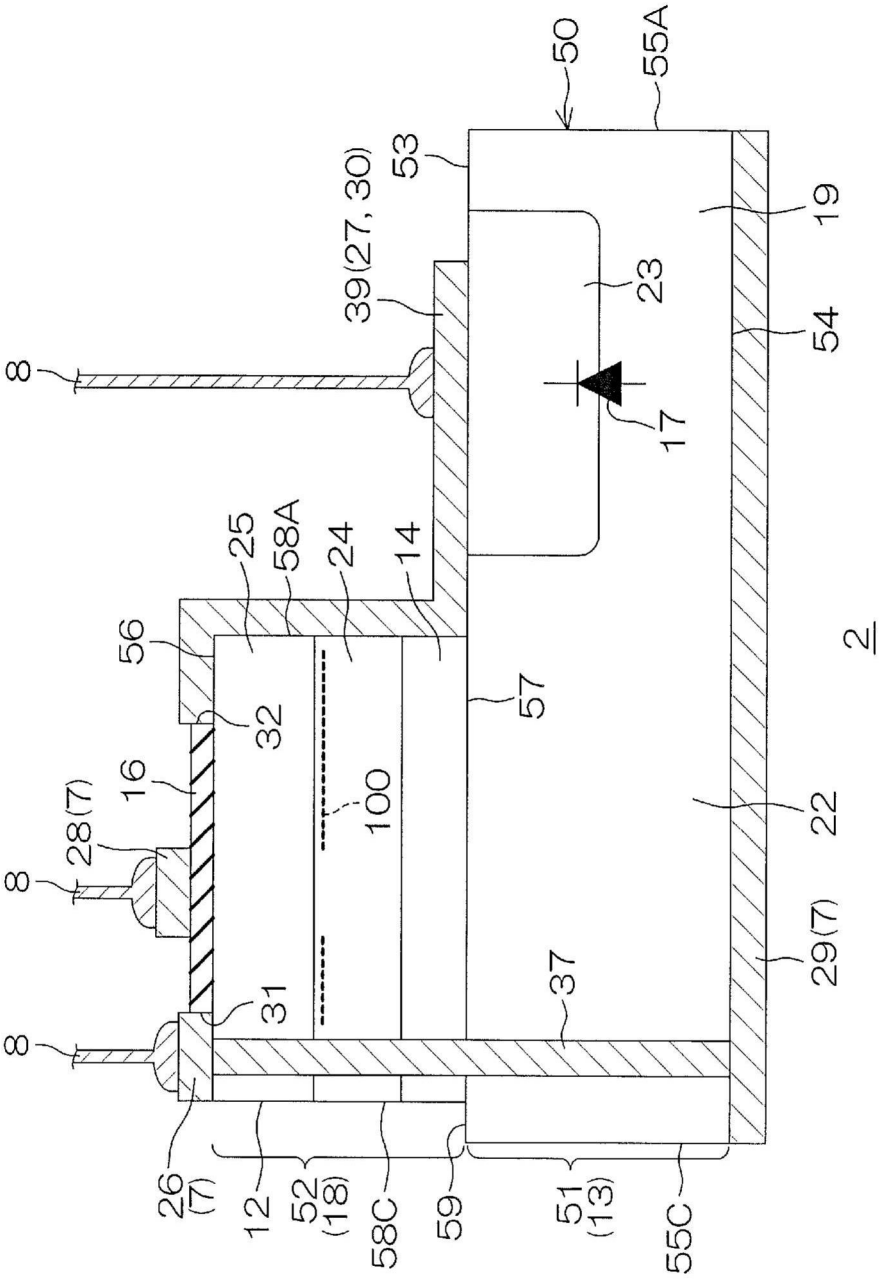

50
55A
53
39(27, 30)
19
23
54
8
17
25
58A
24
14
56
2
57
32
16
100
22
28(7)
8
29(7)
37
31
8
26
(7)
12
52
(18)
58C
59
51
(13)
55C

图13

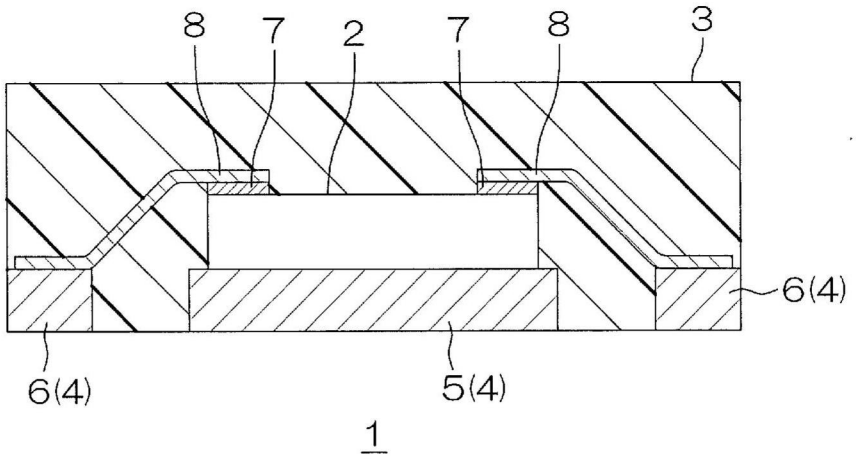


图14

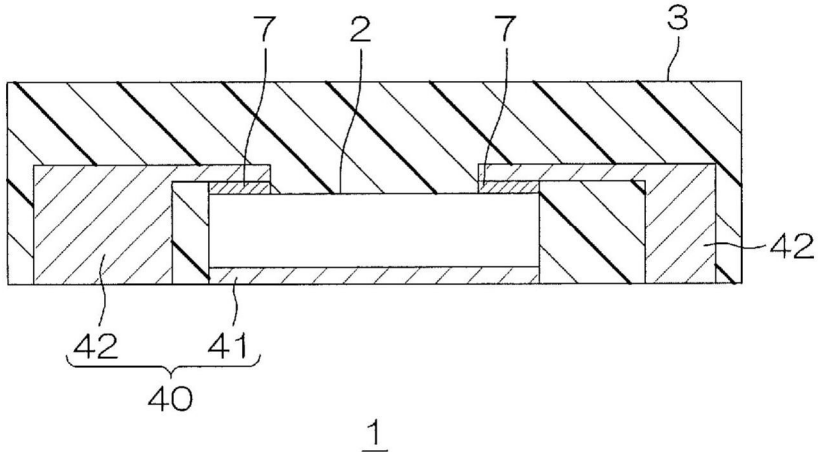


图15

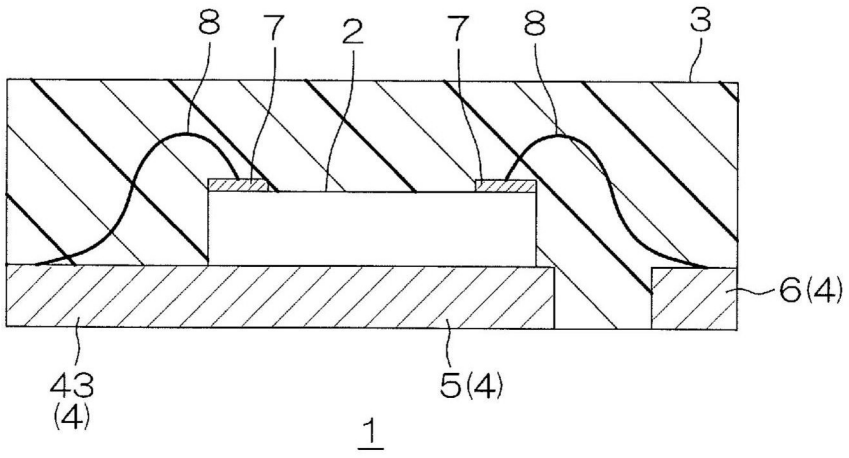


图16

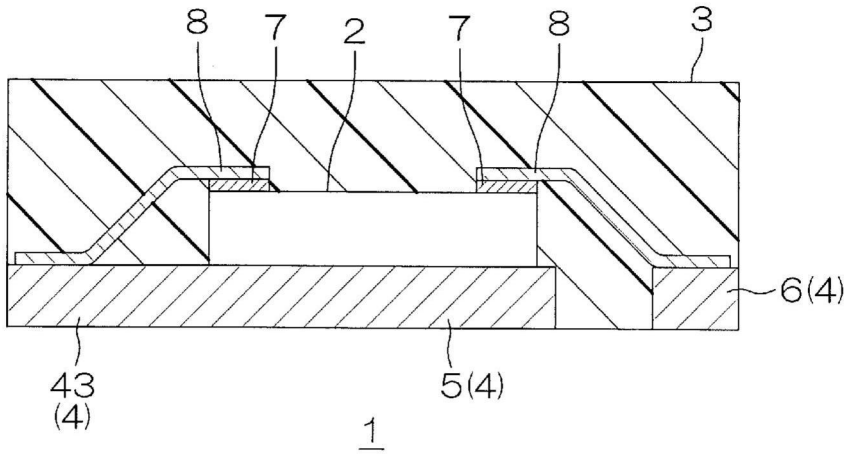


图17

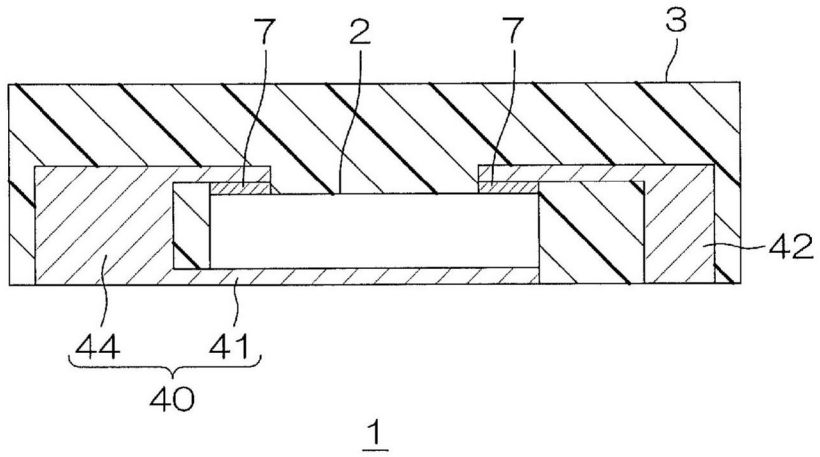
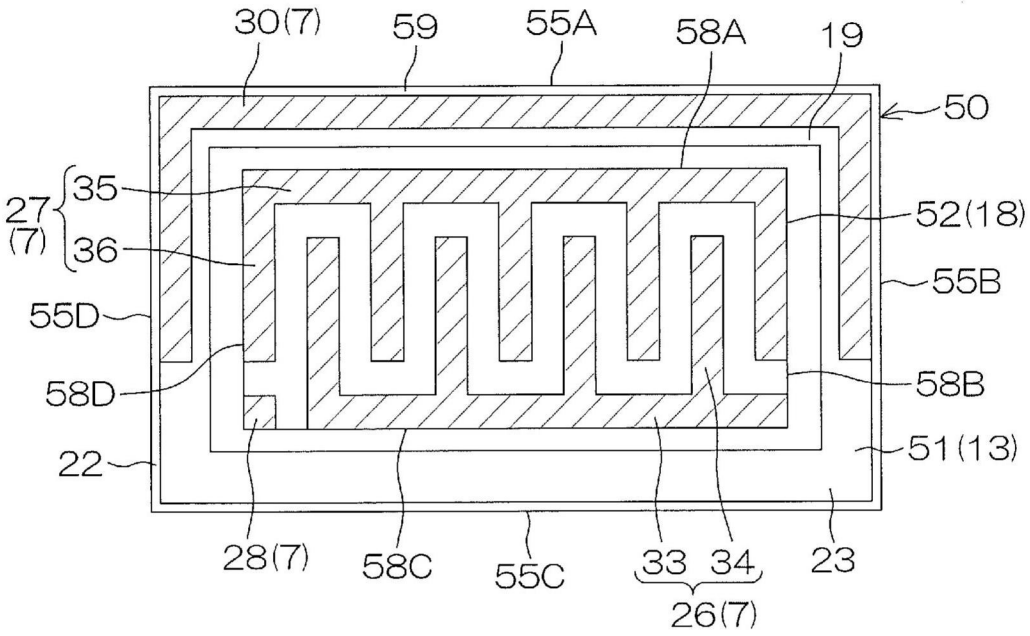


图18


30(7)
59
55A
58A
19
50
27
(7)
35
36
52(18)
55B
55D
58D
58B
22
51(13)
28(7)
58C
55C
33
34
23
26(7)

2

图19

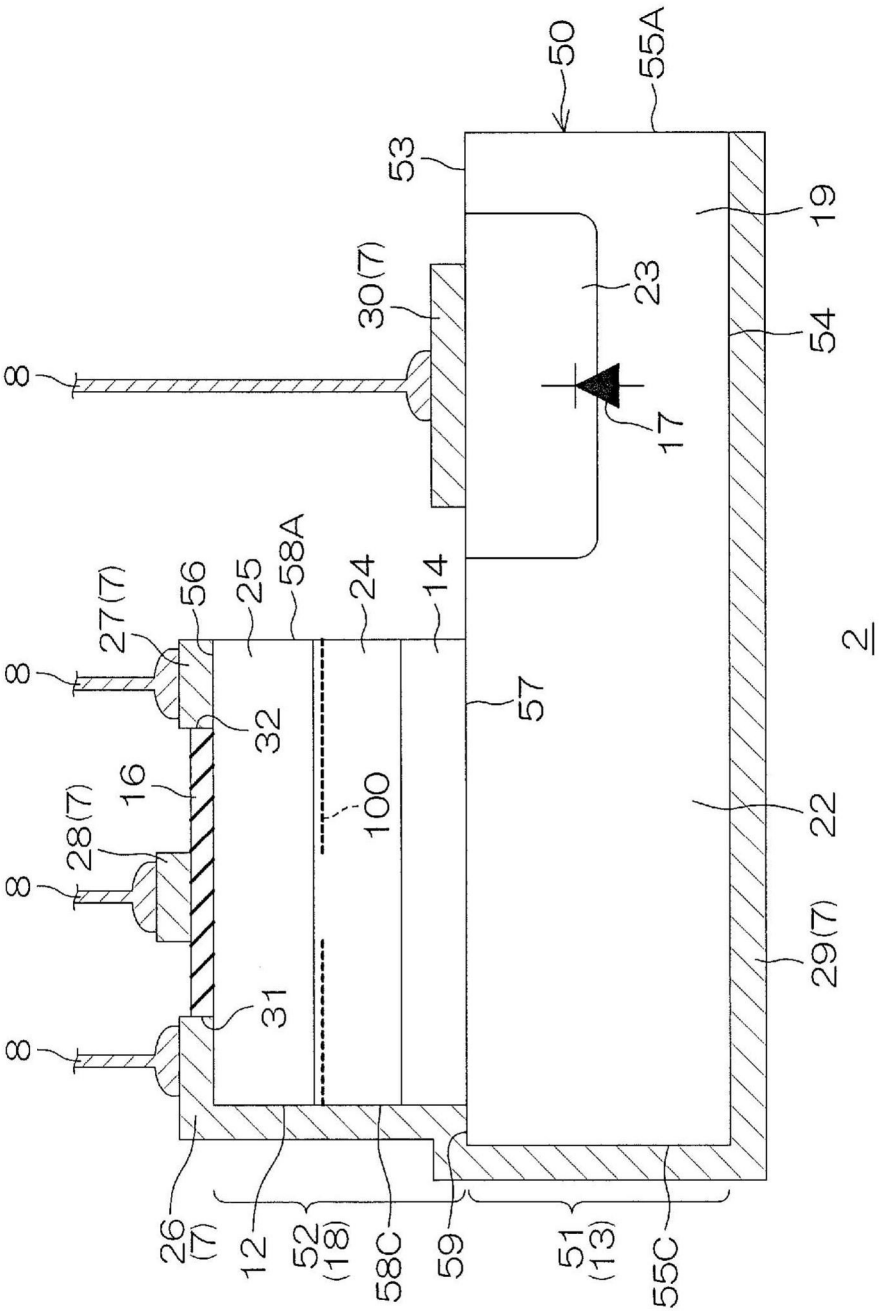

50
55A
53
19
30(7)
23
54
8
17
58A
56
25
24
14
27(7)
2
57
32
16
100
28(7)
22
29(7)
31
26
(7)
12
52
(18)
58C
59
51
(13)
55C

图20

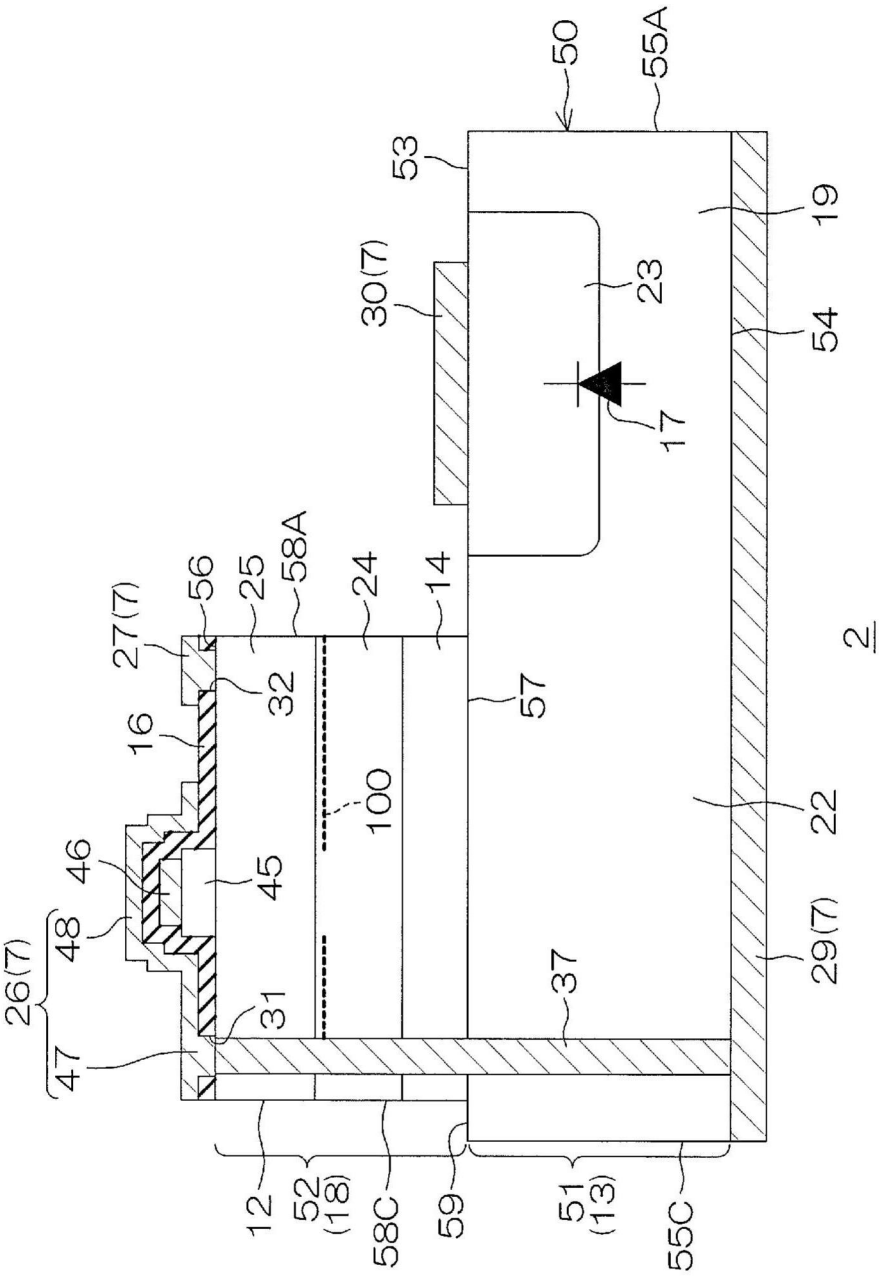

50
55A
53
19
30(7)
23
54
17
58A
56
25
24
14
27(7)
32
57
16
100
22
46
45
48
29(7)
26(7)
31
37
47
12
52
(18)
58C
59
51
(13)
55C
2

图21

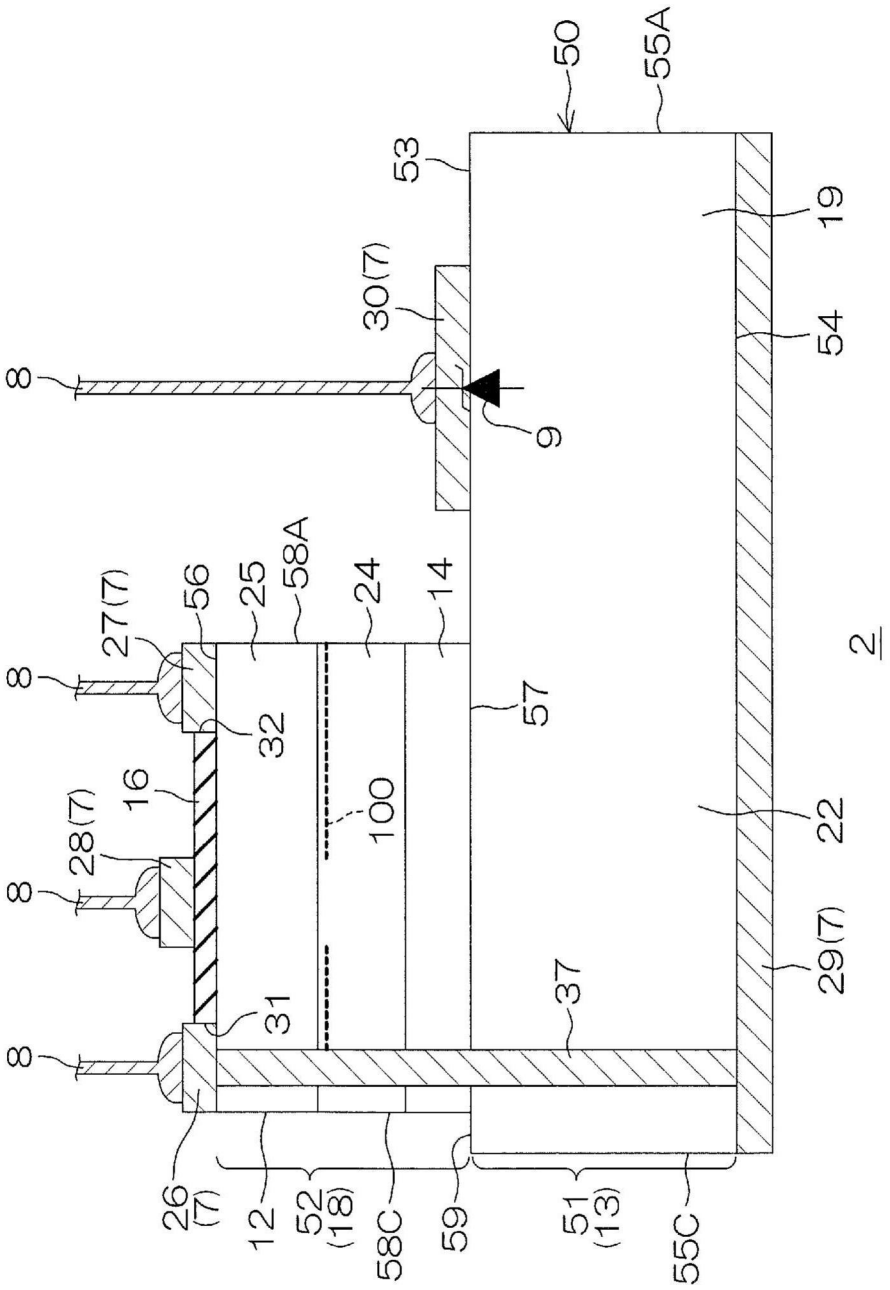

50
55A
53
19
30(7)
54
8
9
58A
56
25
24
14
27(7)
2
57
32
16
100
22
28(7)
29(7)
37
31
26
(7)
12
52
(18)
58C
59
51
(13)
55C

图22