

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6190015号
(P6190015)

(45) 発行日 平成29年8月30日(2017.8.30)

(24) 登録日 平成29年8月10日(2017.8.10)

(51) Int.Cl.	F 1
G 0 9 F 9/30 (2006.01)	G 0 9 F 9/30 3 3 8
H 0 1 L 51/50 (2006.01)	G 0 9 F 9/30 3 6 5
H 0 5 B 33/26 (2006.01)	H 0 5 B 33/14 A H 0 5 B 33/26 Z

請求項の数 10 (全 35 頁)

(21) 出願番号	特願2016-150972 (P2016-150972)	(73) 特許権者 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成28年8月1日(2016.8.1)	
(62) 分割の表示	特願2015-200980 (P2015-200980) の分割	(72) 発明者 宮入 秀和 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
原出願日	平成21年3月3日(2009.3.3)	(72) 発明者 小森 茂樹 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(65) 公開番号	特開2016-212435 (P2016-212435A)	(72) 発明者 伊佐 敏行 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成28年12月15日(2016.12.15)	(72) 発明者 梅崎 敦司 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
審査請求日	平成28年8月2日(2016.8.2)	
(31) 優先権主張番号	特願2008-55024 (P2008-55024)	
(32) 優先日	平成20年3月5日(2008.3.5)	
(33) 優先権主張国	日本国(JP)	

最終頁に続く

(54) 【発明の名称】表示装置、表示モジュール及び電子機器

(57) 【特許請求の範囲】

【請求項 1】

画素部を有し、

前記画素部は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと
、第1の配線と、第2の配線と、第3の配線と、を有し、

前記第1のトランジスタのチャネル形成領域は、酸化物半導体を有し、

前記第2のトランジスタのチャネル形成領域は、酸化物半導体を有し、

前記第3のトランジスタのチャネル形成領域は、酸化物半導体を有し、

前記第1のトランジスタのソース又はドレインの一方は、前記第1の配線と電気的に接
続され、前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲ
ートと電気的に接続され、前記第2のトランジスタのソース又はドレインの一方は、前記第2の配線と電気的に接
続され、前記第2のトランジスタのソース又はドレインの他方は、画素電極と電気的に接続され
、前記第3のトランジスタのソース又はドレインの一方は、第1の導電層を介して、前記
第3の配線と電気的に接続され、前記第3のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソ
ース又はドレインの他方と電気的に接続され、

10

20

前記第1の配線は、第1の方向に沿うように設けられた領域を有し、
 前記第2の配線は、前記第1の方向に沿うように設けられた領域を有し、
 前記第3の配線は、前記第1の方向に沿うように設けられた領域を有し、
 前記第1の導電層は、前記第1の配線と交差する領域を有することを特徴とする表示装置。

【請求項2】

画素部を有し、
 前記画素部は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第1の配線と、第2の配線と、第3の配線と、を有し、
 前記第1のトランジスタのチャネル形成領域は、酸化物半導体を有し、
 前記第2のトランジスタのチャネル形成領域は、酸化物半導体を有し、
 前記第3のトランジスタのチャネル形成領域は、酸化物半導体を有し、
 前記第1のトランジスタのソース又はドレインの一方は、前記第1の配線と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲートと電気的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記第2の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、画素電極と電気的に接続され、
 、

前記第3のトランジスタのソース又はドレインの一方は、第1の導電層を介して、前記第3の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの他方と電気的に接続され、

前記第1の配線は、第1の方向に沿うように設けられた領域を有し、
 前記第2の配線は、前記第1の方向に沿うように設けられた領域を有し、

前記第3の配線は、前記第1の方向に沿うように設けられた領域を有し、
 前記第1の導電層は、前記第1の配線と交差する領域を有し、

前記第1のトランジスタのゲートは、前記第3のトランジスタのゲートと電気的に接続されることを特徴とする表示装置。

【請求項3】

画素部を有し、
 前記画素部は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第1の配線と、第2の配線と、第3の配線と、を有し、
 前記第1のトランジスタのチャネル形成領域は、酸化物半導体を有し、
 前記第2のトランジスタのチャネル形成領域は、酸化物半導体を有し、
 前記第3のトランジスタのチャネル形成領域は、酸化物半導体を有し、
 前記第1のトランジスタのソース又はドレインの一方は、前記第1の配線と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲートと電気的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記第2の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、画素電極と電気的に接続され、
 、

前記第3のトランジスタのソース又はドレインの一方は、第1の導電層を介して、前記第3の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの他方と電気的に接続され、

前記第1の配線は、第1の方向に沿うように設けられた領域を有し、

10

20

30

40

50

前記第2の配線は、前記第1の方向に沿うように設けられた領域を有し、
 前記第3の配線は、前記第1の方向に沿うように設けられた領域を有し、
 前記第1の導電層は、前記第1の配線と交差する領域を有し、
 前記第1のトランジスタのゲートとなる領域を有する第2の導電層は、前記第3のトランジスタのゲートとなる領域を有することを特徴とする表示装置。

【請求項4】

画素部を有し、
 前記画素部は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第1の配線と、第2の配線と、第3の配線と、を有し、
 前記第1のトランジスタのチャネル形成領域は、酸化物半導体を有し、
 前記第2のトランジスタのチャネル形成領域は、酸化物半導体を有し、
 前記第3のトランジスタのチャネル形成領域は、酸化物半導体を有し、
 前記第1のトランジスタのソース又はドレインの一方は、前記第1の配線と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲートと電気的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記第2の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、画素電極と電気的に接続され、
 、

前記第3のトランジスタのソース又はドレインの一方は、第1の導電層を介して、前記第3の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの他方と電気的に接続され、

前記第1の配線は、第1の方向に沿うように設けられた領域を有し、
 前記第2の配線は、前記第1の方向に沿うように設けられた領域を有し、

前記第3の配線は、前記第1の方向に沿うように設けられた領域を有し、
 前記第1の導電層は、前記第1の配線と交差する領域を有し、

前記第1のトランジスタのゲートとなる領域を有する第2の導電層は、前記第3のトランジスタのゲートとなる領域を有し、

前記第2の導電層は、前記第1の導電層と異なる層であることを特徴とする表示装置。

【請求項5】

画素部を有し、
 前記画素部は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、E L素子と、第1の配線と、第2の配線と、第3の配線と、を有し、
 前記第1のトランジスタのチャネル形成領域は、酸化物半導体を有し、
 前記第2のトランジスタのチャネル形成領域は、酸化物半導体を有し、
 前記第3のトランジスタのチャネル形成領域は、酸化物半導体を有し、
 前記第1のトランジスタのソース又はドレインの一方は、前記第1の配線と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲートと電気的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記第2の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、前記E L素子と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、第1の導電層を介して、前記第3の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの他方と電気的に接続され、

10

20

30

40

50

前記第1の配線は、第1の方向に沿うように設けられた領域を有し、
 前記第2の配線は、前記第1の方向に沿うように設けられた領域を有し、
 前記第3の配線は、前記第1の方向に沿うように設けられた領域を有し、
 前記第1の導電層は、前記第1の配線と交差する領域を有することを特徴とする表示装置。

【請求項6】

画素部を有し、
 前記画素部は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと
 、EL素子と、第1の配線と、第2の配線と、第3の配線と、を有し、
 前記第1のトランジスタのチャネル形成領域は、酸化物半導体を有し、
 前記第2のトランジスタのチャネル形成領域は、酸化物半導体を有し、
 前記第3のトランジスタのチャネル形成領域は、酸化物半導体を有し、
 前記第1のトランジスタのソース又はドレインの一方は、前記第1の配線と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲートと電気的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記第2の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、前記EL素子と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、第1の導電層を介して、前記第3の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの他方と電気的に接続され、

前記第1の配線は、第1の方向に沿うように設けられた領域を有し、
 前記第2の配線は、前記第1の方向に沿うように設けられた領域を有し、
 前記第3の配線は、前記第1の方向に沿うように設けられた領域を有し、
 前記第1の導電層は、前記第1の配線と交差する領域を有し、

前記第1のトランジスタのゲートは、前記第3のトランジスタのゲートと電気的に接続されることを特徴とする表示装置。

【請求項7】

画素部を有し、
 前記画素部は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと
 、EL素子と、第1の配線と、第2の配線と、第3の配線と、を有し、
 前記第1のトランジスタのチャネル形成領域は、酸化物半導体を有し、
 前記第2のトランジスタのチャネル形成領域は、酸化物半導体を有し、
 前記第3のトランジスタのチャネル形成領域は、酸化物半導体を有し、
 前記第1のトランジスタのソース又はドレインの一方は、前記第1の配線と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲートと電気的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記第2の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、前記EL素子と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、第1の導電層を介して、前記第3の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの他方と電気的に接続され、

前記第1の配線は、第1の方向に沿うように設けられた領域を有し、

10

20

30

40

50

前記第2の配線は、前記第1の方向に沿うように設けられた領域を有し、
 前記第3の配線は、前記第1の方向に沿うように設けられた領域を有し、
 前記第1の導電層は、前記第1の配線と交差する領域を有し、
 前記第1のトランジスタのゲートとなる領域を有する第2の導電層は、前記第3のトランジスタのゲートとなる領域を有することを特徴とする表示装置。

【請求項8】

画素部を有し、
 前記画素部は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、E L素子と、第1の配線と、第2の配線と、第3の配線と、を有し、
 前記第1のトランジスタのチャネル形成領域は、酸化物半導体を有し、
 前記第2のトランジスタのチャネル形成領域は、酸化物半導体を有し、
 前記第3のトランジスタのチャネル形成領域は、酸化物半導体を有し、
 前記第1のトランジスタのソース又はドレインの一方は、前記第1の配線と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲートと電気的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記第2の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、前記E L素子と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、第1の導電層を介して、前記第3の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの他方と電気的に接続され、

前記第1の配線は、第1の方向に沿うように設けられた領域を有し、
 前記第2の配線は、前記第1の方向に沿うように設けられた領域を有し、
 前記第3の配線は、前記第1の方向に沿うように設けられた領域を有し、
 前記第1の導電層は、前記第1の配線と交差する領域を有し、

前記第1のトランジスタのゲートとなる領域を有する第2の導電層は、前記第3のトランジスタのゲートとなる領域を有し、
 前記第2の導電層は、前記第1の導電層と異なる層であることを特徴とする表示装置。

【請求項9】

請求項1乃至請求項8のいずれか一項に記載の表示装置と、
 F P Cと、
 を有する表示モジュール。

【請求項10】

請求項1乃至請求項8のいずれか一項に記載の表示装置と、
 スピーカ、筐体、操作キー、又はイヤホン端子、を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

薄膜トランジスタを有するE L表示装置の作製方法に関する。

【背景技術】

【0002】

近年、ガラス基板等の絶縁性表面を有する基板上に形成された、厚さ数nm～数百nm程度の半導体薄膜により構成される薄膜トランジスタが注目されている。薄膜トランジスタは、I C (I n t e g r a t e d C i r c u i t) 及び電気光学装置を始めとした電子デバイスに広く応用されている。薄膜トランジスタは、特に液晶表示装置又はE L (E lectro Luminescence) 表示装置等に代表される、画像表示装置のスイッチング素子として開発が急がれている。

10

20

30

40

50

【0003】

アクティブマトリクス型EL表示装置では、選択された画素内に設けられた発光素子の一方の電極と、該電極とともにEL層を挟持する他方の電極と、の間に電圧が印加されることにより、EL層に電流が流れて発光層が発光する。この発光が表示パターンとして観察者に認識される。なお、ここで、アクティブマトリクス型EL表示装置とは、マトリクス状に配置された画素をスイッチング素子により駆動することによって、画面上に表示パターンが形成される方式を採用したEL表示装置をいう。

【0004】

アクティブマトリクス型EL表示装置の用途は拡大しており、画面サイズの大面積化、高精細化及び高開口率化の要求が高まっている。また、アクティブマトリクス型EL表示装置には高い信頼性が求められ、その生産方法には高い生産性及び生産コストの低減が求められる。生産性を高め、生産コストを低減する方法の一つに、工程の簡略化が挙げられる。

10

【0005】

アクティブマトリクス型EL表示装置では、スイッチング素子として主に薄膜トランジスタが用いられている。薄膜トランジスタの作製において、フォトリソグラフィに用いるフォトマスクの枚数を削減することは、工程の簡略化のために重要である。例えばフォトマスクが一枚増加すると、レジスト塗布、プリベーク、露光、現像、ポストペーク等の工程と、その前後の工程において、被膜の形成及びエッチング工程、更にはレジスト剥離、洗浄及び乾燥工程等が必要になる。そのため、作製工程に使用するフォトマスクが一枚増加するだけで、工程数が大幅に増加する。そのため、作製工程におけるフォトマスクを低減するために、数多くの技術開発がなされている。

20

【0006】

薄膜トランジスタは、チャネル形成領域がゲート電極より下層に設けられるトップゲート型と、チャネル形成領域がゲート電極より上層に設けられるボトムゲート型に大別される。ボトムゲート型薄膜トランジスタの作製工程において使用されるフォトマスクの枚数は、トップゲート型薄膜トランジスタの作製工程において使用されるフォトマスクの枚数よりも少ないことが知られている。ボトムゲート型薄膜トランジスタは、3枚のフォトマスクにより作製されることが一般的である。

30

フォトマスクの枚数を低減させる従来の技術としては、裏面露光、レジストリフロー又はリフトオフ法といった複雑な技術を用いるものが多く、特殊な装置を必要とするものが多い。このような複雑な技術を用いることで、これに起因する様々な問題が生じ、歩留まりの低下等が懸念されていた。また、薄膜トランジスタの電気的特性を犠牲にせざるを得ないことが多い。

【0007】

薄膜トランジスタの作製工程における、フォトマスクの枚数を減らすための代表的な手段として、多階調マスク（ハーフトーンマスク又はグレートーンマスクと呼ばれるもの）を用いた技術が広く知られている。多階調マスクを用いて作製工程を低減する技術として、例えば特許文献1が挙げられる。

40

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2003-179069号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかし、上述した多階調マスクを用いてボトムゲート型薄膜トランジスタを作製する場合であっても、少なくとも2枚のフォトマスクが必要であり、これ以上フォトマスクの枚数を低減することは困難である。このうち1枚は、ゲート電極層のパターニングのために

50

用いられている。

【0011】

ここで、本発明の一態様は、ゲート電極層のパターニングのためのフォトマスクを新たに使用することなく薄膜トランジスタが作製可能な、新しい手法を提供することを課題とする。すなわち、複雑な技術を用いる必要がなく、かつ1枚のフォトマスクでも作成可能な、薄膜トランジスタの作製方法が開示される。

【0012】

これにより、薄膜トランジスタの作製において、用いるフォトマスクの枚数を従来よりも少なくすることができる。

【0013】

また、本発明の一態様である薄膜トランジスタは、特にEL表示装置の画素に用いられる。本発明の一態様は、EL表示装置の作製において、複雑な技術を用いることなく、フォトリソグラフィ法に用いるフォトマスクの枚数を従来よりも少なくすることを課題とする。そして、EL表示装置の作製工程を簡略にすることを本発明の一態様の課題とする。

【課題を解決するための手段】

【0014】

本発明の一態様である薄膜トランジスタの作製方法では、第1の導電膜と、該第1の導電膜上に絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜をこの順に積層した薄膜積層体と、を形成し、第1のエッティングにより前記第1の導電膜を露出させつつ、少なくとも前記薄膜積層体のパターンを形成し、第2のエッティングにより第1の導電膜のパターンを形成する。ここで、第2のエッティングは、第1の導電膜がサイドエッティングされる条件により行う。

【0015】

ここで、第1のエッティングは、ドライエッティング又はウエットエッティングを用いればよいが、異方性の高いエッティング法（物理的エッティング）により行うことが好ましい。第1のエッティングに異方性の高いエッティング法を用いることで、パターンの加工精度を向上させることができる。なお、第1のエッティングをドライエッティングにより行う場合には、一の工程にて行うことが可能であるが、第1のエッティングをウエットエッティングにより行う場合には、複数の工程により第1のエッティングを行う。従って、第1のエッティングには、ドライエッティングを用いることが好ましい。

【0016】

また、第2のエッティングは、ドライエッティング又はウエットエッティングを用いればよいが、等方性のエッティングが支配的なエッティング法（化学的エッティング）により行うことが好ましい。第2のエッティングに等方性のエッティングが支配的なエッティング法（化学的エッティング）を用いることで、第1の導電膜をサイドエッティングすることができる。従って、第2のエッティングには、ウエットエッティングを用いることが好ましい。

【0017】

ここで、第2のエッティングは第1の導電膜のサイドエッティングを伴う条件により行うため、第1の導電膜は前記パターン形成された薄膜積層体よりも内側に後退する。従って、第2のエッティング後の第1の導電膜の側面は、パターン形成された薄膜積層体の側面よりも内側に存在する。更には、パターン形成された第1の導電膜の側面とパターン形成された薄膜積層体の側面との間隔は概ね等しいものとなる。

【0018】

なお、第1の導電膜のパターンとは、例えば、ゲート電極、ゲート配線及び容量電極を形成する金属配線の上面レイアウトをいう。

【0019】

本発明の一態様は、サイドエッティングを用いてゲート電極層を形成し、好ましくは凹部を有するレジストマスクを用いて前記ゲート電極層より上層に設けられるソース電極及びドレイン電極層を形成した薄膜トランジスタを有するEL表示装置の作製方法である。

【0020】

10

20

30

40

50

本発明の一態様は、第1の導電膜、第1の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、前記第2の導電膜上に第1のレジストマスクを形成し、前記第1のレジストマスクを用いて、前記第1の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッティングを行って前記第1の導電膜の少なくとも表面を露出させ、前記第1の導電膜の一部に第2のエッティングを行って前記第1の絶縁膜の幅よりも幅が狭くなるようにゲート電極層を形成し、前記第2の導電膜上に第2のレジストマスクを形成し、前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッティングを行ってソース電極及びドレイン電極層、ソース領域及びドレイン領域層並びに半導体層を形成することで薄膜トランジスタを形成し、前記第2のレジストマスクを除去し、前記薄膜トランジスタを覆って第2の絶縁膜を形成し、前記ソース電極及びドレイン電極層の一部を露出するように前記第2の絶縁膜に開口部を形成し、前記開口部及び前記第2の絶縁膜上に第1の画素電極を選択的に形成し、前記第1の画素電極上にEL層を形成し、前記EL層上に第2の画素電極を形成することを特徴とするEL表示装置の作製方法である。
10

【0021】

本発明の一態様は、第1の導電膜、第1の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、前記第2の導電膜上に第1のレジストマスクを形成し、前記第1のレジストマスクを用いて、前記第1の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッティングを行って前記第1の導電膜の少なくとも表面を露出させ、前記第2の導電膜上に第2のレジストマスクを形成し、前記第2のレジストマスクを形成後に前記第1の導電膜の一部に第2のエッティングを行って前記第1の絶縁膜の幅よりも幅が狭くなるようにゲート電極層を形成し、前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッティングを行ってソース電極及びドレイン電極層、ソース領域及びドレイン領域層並びに半導体層を形成することで薄膜トランジスタを形成し、前記第2のレジストマスクを除去し、前記薄膜トランジスタを覆って第2の絶縁膜を形成し、前記ソース電極及びドレイン電極層の一部を露出するように前記第2の絶縁膜に開口部を形成し、前記開口部及び前記第2の絶縁膜上に第1の画素電極を選択的に形成し、前記第1の画素電極上にEL層を形成し、前記EL層上に第2の画素電極を形成することを特徴とするEL表示装置の作製方法である。
20

【0022】

本発明の一態様は、第1の導電膜、第1の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、前記第2の導電膜上に凹部を有する第1のレジストマスクを形成し、前記第1のレジストマスクを用いて、前記第1の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッティングを行って前記第1の導電膜の少なくとも表面を露出させ、前記第1の導電膜の一部に第2のエッティングを行って前記第1の絶縁膜の幅よりも幅が狭くなるようにゲート電極層を形成し、前記第1のレジストマスクを後退させることで前記第1のレジストマスクの凹部と重畠する前記第2の導電膜を露出させつつ第2のレジストマスクを形成し、前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッティングを行ってソース電極及びドレイン電極層、ソース領域及びドレイン領域層並びに半導体層を形成することで薄膜トランジスタを形成し、前記第2のレジストマスクを除去し、前記薄膜トランジスタを覆って第2の絶縁膜を形成し、前記ソース電極及びドレイン電極層の一部を露出するように前記第2の絶縁膜に開口部を形成し、前記開口部及び前記第2の絶縁膜上に第1の画素電極を選択的に形成し、前記第1の画素電極上にEL層を形成し、前記EL層上に第2の画素電極を形成することを特徴とするEL表示装置の作製方法である。
40

【0023】

本発明の一態様は、第1の導電膜、第1の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、前記第2の導電膜上に凹部を有する第1のレジストマスクを形成し、前記第1のレジストマスクを用いて、前記第1の絶縁膜、前記半導体膜、前
50

記不純物半導体膜及び前記第2の導電膜に第1のエッティングを行って前記第1の導電膜の少なくとも表面を露出させ、前記第1のレジストマスクを後退させてことで前記第1のレジストマスクの凹部と重畳する前記第2の導電膜を露出させつつ第2のレジストマスクを形成し、前記第2のレジストマスクを形成後に前記第1の導電膜の一部に第2のエッティングを行って前記第1の絶縁膜の幅よりも幅が狭くなるようにゲート電極層を形成し、前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッティングを行ってソース電極及びドレイン電極層、ソース領域及びドレイン領域層並びに半導体層を形成することで薄膜トランジスタを形成し、前記第2のレジストマスクを除去し、前記薄膜トランジスタを覆って第2の絶縁膜を形成し、前記ソース電極及びドレイン電極層の一部を露出するように前記第2の絶縁膜に開口部を形成し、前記開口部及び前記第2の絶縁膜上に第1の画素電極を選択的に形成し、前記第1の画素電極上にEL層を形成し、前記EL層上に第2の画素電極を形成することを特徴とするEL表示装置の作製方法である。

【0024】

上記構成の作製方法であって、第1のレジストマスクが凹部を有する場合において、前記第1のレジストマスクは多階調マスクを用いて形成することが好ましい。多階調マスクを用いることで、簡略な工程で凹部を有するレジストマスクを形成することができる。

【0025】

上記構成のEL表示装置の作製方法を適用することで、前記第1のエッティングによって素子領域が形成され、前記第2のエッティングによって前記素子領域の側面から概ね等しい距離だけ内側にゲート電極層の側面を形成することができる。

【0026】

上記構成の第1のエッティング及び第2のエッティングを用いるEL表示装置の作製方法のいずれかにおいて、前記第1のエッティングはドライエッティングにより行い、前記第2のエッティングはウエットエッティングにより行うことが好ましい。第1のエッティングによる加工は高精度に行なうことが好ましく、第2のエッティングによる加工はサイドエッティングを伴う必要がある。高精度な加工を行うためにはドライエッティングが好ましく、また、ウエットエッティングは化学反応を利用するためドライエッティングよりもサイドエッティングが生じやすいためである。

【0027】

上記構成のEL表示装置の作製方法において、前記第2の絶縁膜は、CVD法又はスパッタリング法により形成した絶縁膜と、スピンドルコート法により形成した絶縁膜と、を積層して形成することが好ましい。特に好ましくは窒化シリコン膜をCVD法又はスパッタリング法により形成し、有機樹脂膜をスピンドルコート法により形成する。第2の絶縁膜をこのように形成することで、薄膜トランジスタの電気的特性に影響を及ぼしうる不純物元素等から薄膜トランジスタを保護し、且つ画素電極の被形成面の平坦性を向上させて歩留まりの低下を防止することができる。

【0028】

上記構成のEL表示装置の作製方法を適用する際に形成される薄膜トランジスタは、ゲート電極層を覆うゲート絶縁膜を有し、前記ゲート絶縁膜上に半導体層を有し、前記半導体層上にソース領域及びドレイン領域を有し、前記ソース領域及びドレイン領域上にソース電極及びドレイン電極を有し、前記ゲート電極層の側面に接して空洞が設けられているものである。空洞が設けられることによってゲート電極端部近傍を低誘電率化（low-k化）できる。

【0029】

なお、「膜」とは、全面に形成されたパターン形成されていないものをいい、「層」とは、レジストマスク等により所望の形状にパターン形成されたものをいう。しかし、積層膜の各層については、膜と層を特に区別することなく用いることがある。

【0030】

なお、「食刻」とは、意図しないエッティングをいう。すなわち、エッティングは、「食刻

10

20

30

40

50

」が極力生じない条件により行うことが好ましい。

【0031】

なお、本明細書中において、任意の膜が「耐熱性を有する」とは、後の工程における温度によって当該膜が膜としての形態を保ち、且つ当該膜に求められる機能及び特性を保つことができるということをいう。

【0032】

なお、「ゲート配線」とは、薄膜トランジスタのゲート電極に接続される配線をいう。ゲート配線は、ゲート電極層により形成される。また、ゲート配線は走査線と呼ばれることがある。

【0033】

また、「ソース配線」とは、薄膜トランジスタのソース電極及びドレイン電極の一方に接続される配線をいう。ソース配線は、ソース電極及びドレイン電極層により形成される。また、ソース配線は信号線と呼ばれることがある。

【0034】

また、「電源線」とは、電源に接続された、一定の電位に保持された配線をいう。

【発明の効果】

【0035】

ゲート電極のパターン形成に新たなフォトマスクを必要とせず、薄膜トランジスタの作製工程数を大幅に削減することができ、該薄膜トランジスタはEL表示装置に適用できるため、EL表示装置の作製工程数を大幅に削減することができる。

【0036】

より具体的には、フォトマスクの枚数を減らすことができる。一のフォトマスク（多階調マスク）を用いて薄膜トランジスタを作製することも可能である。従って、EL表示装置の作製工程数を大幅に削減することができる。

【0037】

また、フォトマスクの枚数の低減を目的とした従来の技術とは異なり、裏面露光、レジストリフロー及びリフトオフ法等の複雑な工程を経る必要がない。そのため、歩留まりを低下させずにEL表示装置の作製工程数を大幅に削減することができる。

【0038】

また、フォトマスクの枚数の低減を目的とした従来の技術では、電気的特性を犠牲にせざるを得ないことも少なくなかったが、本発明の一態様では、薄膜トランジスタの電気的特性を維持しつつ、薄膜トランジスタの作製工程数を大幅に削減することができる。そのため、EL表示装置の表示品質等を犠牲にすることなく、EL表示装置の作製工程数を大幅に削減することができる。

【0039】

更には、上記効果により、EL表示装置の作製コストを大幅に削減することができる。なお、本発明の一態様である薄膜トランジスタは、ゲート電極層端部に接して空洞を有するため、ゲート電極とドレイン電極との間に生じるリーク電流が小さいものとなる。

【図面の簡単な説明】

【0040】

【図1】表示装置の画素回路の一例を説明する図。

【図2】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図3】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図4】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図5】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図6】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図7】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図8】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図9】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図10】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

10

20

30

40

50

【図11】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図12】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図13】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図14】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図15】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図16】多階調マスクを説明する図。

【図17】アクティブマトリクス基板の接続部を説明する図。

【図18】アクティブマトリクス基板の接続部を説明する図。

【図19】アクティブマトリクス基板の接続部を説明する図。

【図20】電子機器を説明する図。

【図21】電子機器を説明する図。

【図22】電子機器を説明する図。

【発明を実施するための形態】

【0041】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。また、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。また、絶縁膜は上面図には表わさないものとする。

【0042】

(実施の形態1)

本実施の形態では、薄膜トランジスタの作製方法及び該薄膜トランジスタがマトリクス状に配置されたEL表示装置の作製方法の一例について、図1乃至図16を参照して説明する。

【0043】

薄膜トランジスタをスイッチング素子として用いるEL表示装置（アクティブ型EL表示装置）の画素回路としては、様々なものが検討されている。本実施の形態では、単純な画素回路の一例を、図1に示し、この画素回路を適用した画素構造の作製方法について説明する。ただし、本実施の形態において、EL表示装置の画素回路は図1に示す構成に限定されるものではない。

【0044】

図1に示すEL表示装置の画素構造において、画素21は、第1のトランジスタ11、第2のトランジスタ12、第3のトランジスタ13、容量素子14及び発光素子15を有する。第1乃至第3のトランジスタはn型トランジスタである。第1のトランジスタ11のゲート電極は、ゲート配線16に接続され、ソース電極及びドレイン電極の一方（第1の電極とする。）は、ソース配線18に接続され、ソース電極及びドレイン電極の他方（第2の電極とする。）は、第2のトランジスタ12のゲート電極、及び容量素子14の一方の電極（第1の電極とする。）に接続されている。容量素子14の他方の電極（第2の電極とする。）は、第2のトランジスタ12のソース電極及びドレイン電極の一方（第1の電極とする。）、第3のトランジスタ13のソース電極及びドレイン電極の一方（第1の電極とする。）、並びに発光素子15の一方の電極（第1の電極とする。）に接続されている。第2のトランジスタ12のソース電極及びドレイン電極の他方（第2の電極とする。）は、第2の電源線19に接続されている。第3のトランジスタ13のソース電極及びドレイン電極の他方（第2の電極とする。）は、第1の電源線17に接続され、ゲート電極はゲート配線16に接続されている。発光素子15の他方の電極（第2の電極とする。）は、共通電極20に接続されている。なお、第1の電源線17と第2の電源線19の電位は異なるものとする。

【0045】

10

20

30

40

50

画素 2 1 の動作について説明する。ゲート配線 1 6 の信号によって第 3 のトランジスタ 1 3 がオンすると、第 2 のトランジスタ 1 2 の第 1 の電極、発光素子 1 5 の第 1 の電極、及び容量素子 1 4 の第 2 の電極の電位が、第 1 の電源線 1 7 の電位 (V_{17}) と等しくなる。ここで、第 1 の電源線 1 7 の電位 (V_{17}) は一定とするため、第 2 のトランジスタ 1 2 の第 1 の電極等の電位は一定 (V_{17}) である。

【0046】

ゲート配線 1 6 の信号によって第 1 のトランジスタ 1 1 が選択されてオンすると、ソース配線 1 8 からの信号の電位 (V_{18}) が第 1 のトランジスタ 1 1 を介して第 2 のトランジスタ 1 2 のゲート電極に入力される。このとき、第 2 の電源線 1 9 の電位 (V_{19}) が第 1 の電源線 1 7 の電位 (V_{17}) よりも高ければ $V_{gs} = V_{18} - V_{17}$ となる。そして、 V_{gs} が第 2 のトランジスタ 1 2 のしきい値電圧よりも大きければ、第 2 のトランジスタ 1 2 はオンする。

10

【0047】

従って、第 2 のトランジスタ 1 2 を線形領域で動作させるときには、ソース配線 1 8 の電位 (V_{18}) を変化させること（例えば、2 値）で、第 2 のトランジスタ 1 2 のオンとオフとを制御することができる。つまり、発光素子 1 5 が有する E L 層に、電圧を印加するかしないかを制御することができる。

【0048】

また、第 2 のトランジスタ 1 2 を飽和領域で動作させるときには、ソース配線 1 8 の電位 (V_{18}) を変化させることで、発光素子 1 5 に流れる電流量を制御することができる。

20

【0049】

以上のようにして、第 2 のトランジスタ 1 2 を線形領域で動作させる場合、発光素子 1 5 に電圧を印加するかしないかを制御することができ、発光素子 1 5 の発光状態と非発光状態とを制御することができる。このような駆動方法は、例えば、デジタル時間階調駆動に用いることができる。デジタル時間階調駆動は、1 フレームを複数のサブフレームに分割し、各サブフレームにおいて発光素子 1 5 の発光状態と非発光状態とを制御する駆動方法である。また、第 2 のトランジスタ 1 2 を飽和領域で動作させる場合、発光素子 1 5 に流れる電流量を制御することができ、発光素子 1 5 の輝度を調整することができる。

【0050】

30

次に、図 1 に示す画素回路を適用した画素構造と、その作製方法について以下に説明する。

【0051】

なお、図 2 乃至図 6 には本実施の形態に係る薄膜トランジスタの上面図を示し、図 6 は画素電極まで形成した完成図である。図 7 乃至図 9 は、図 2 乃至図 6 に示す A - A' における断面図である。図 10 乃至図 12 は、図 2 乃至図 6 に示す B - B' における断面図である。図 13 乃至図 15 は、図 2 乃至図 6 に示す C - C' における断面図である。

【0052】

まず、基板 1 0 0 上に第 1 の導電膜 1 0 2、第 1 の絶縁膜 1 0 4、半導体膜 1 0 6、不純物半導体膜 1 0 8 及び第 2 の導電膜 1 1 0 を形成する。これらの膜は、単層で形成してもよいし、複数の膜を積層した積層膜であってもよい。

40

【0053】

基板 1 0 0 は、絶縁性基板であり、例えばガラス基板又は石英基板を用いることができる。本実施の形態においては、ガラス基板を用いる。

【0054】

第 1 の導電膜 1 0 2 は、導電性材料により形成する。第 1 の導電膜 1 0 2 は、例えばチタン、モリブデン、クロム、タンタル、タンゲステン、アルミニウム、銅、ネオジム、ニオブ若しくはスカンジウム等の金属材料又はこれらを主成分とする合金材料等の導電性材料を用いて形成することができる。ただし、後の工程（第 1 の絶縁膜 1 0 4 の形成等）に耐えうる程度の耐熱性は必要であり、後の工程（第 2 の導電膜 1 1 0 のエッティング等）で

50

食刻又は腐食されない材料を選択することを要する。この限りにおいて、第1の導電膜102は特定の材料に限定されるものではない。

【0055】

なお、第1の導電膜102は、例えばスパッタリング法又はCVD法(熱CVD法又はプラズマCVD法等を含む)等により形成することができる。ただし、特定の方法に限定されるものではない。

【0056】

第1の絶縁膜104は、絶縁性材料により形成する。第1の絶縁膜104は、例えば、シリコンの酸化膜、窒化膜、酸化窒化膜又は窒化酸化膜等を用いて形成することができる。ただし、第1の導電膜102と同様に、耐熱性が必要であり、後の工程で食刻又は腐食されない材料を選択することを要する。この限りにおいて、第1の絶縁膜104は特定の材料に限定されるものではない。

10

【0057】

なお、第1の絶縁膜104は、例えばCVD法(熱CVD法又はプラズマCVD法等を含む)又はスパッタリング法等により形成することができるが、特定の方法に限定されるものではない。

【0058】

第1の絶縁膜104は、ゲート絶縁膜として機能するものである。

【0059】

半導体膜106は、半導体材料により形成する。半導体膜106は、例えば、シランガスにより形成される非晶質シリコン等を用いて形成することができる。ただし、第1の導電膜102等と同様に、耐熱性が必要であり、後の工程にて食刻又は腐食されない材料を選択することを要する。この限りにおいて、半導体膜106は特定の材料に限定されるものではない。従って、ゲルマニウム等を用いても良い。

20

【0060】

なお、半導体膜106は、例えばCVD法(熱CVD法又はプラズマCVD法等を含む)又はスパッタリング法等により形成することができる。ただし、特定の方法に限定されるものではない。

【0061】

半導体膜106は、結晶性半導体膜と、非晶質半導体膜との積層膜を用いることが好ましい。結晶性半導体膜としては、多結晶半導体膜又は微結晶半導体膜等が挙げられる。

30

【0062】

多結晶半導体膜とは、結晶粒により構成され、該結晶粒間に多くの粒界を含む半導体膜をいう。多結晶半導体膜は、例えば熱結晶化法又はレーザ結晶化法により形成される。ここで、熱結晶化法とは、基板上に非晶質半導体膜を形成し、該基板を加熱することで非晶質半導体を結晶化する結晶化法をいう。また、レーザ結晶化法とは、基板上に非晶質半導体膜を形成し、該非晶質半導体膜に対してレーザを照射して非晶質半導体を結晶化する結晶化法をいう。または、ニッケル等の結晶化促進元素を添加して結晶化する結晶化法を用いても良い。結晶化促進元素を添加して結晶化する場合には、該半導体膜に対してレーザ照射を行うことが好ましい。

40

【0063】

多結晶半導体は、ガラス基板に歪みを生じない程度の温度と時間で結晶化を行うLTPS(Low Temperature Poly Silicon)と、より高温で結晶化を行うHTPS(High Temperature Poly Silicon)に分類される。

【0064】

微結晶半導体膜とは、粒径が概ね2nm以上100nm以下の結晶粒を含む半導体膜をいい、膜の全面が結晶粒のみによって構成されるもの、または結晶粒間に非晶質半導体が介在するものを含む。微結晶半導体膜の形成方法としては、結晶核を形成して該結晶核を成長させる方法、非晶質半導体膜を形成して該非晶質半導体膜に接して絶縁膜と金属膜と

50

を形成し、該金属膜に対してレーザを照射することで該金属膜に発生した熱により非晶質半導体を結晶化させる方法等を用いればよい。ただし、非晶質半導体膜に対して熱結晶化法又はレーザ結晶化法を用いて形成した結晶性半導体膜は含まないものとする。

【0065】

半導体膜106として、例えば、結晶性半導体膜上に非晶質半導体膜を積層して形成した積層膜を用いると、EL表示装置の画素回路が有するトランジスタを高速に動作させることができる。ここで、結晶性半導体膜としては、多結晶半導体（LTPS及びHTPSを含む）膜を適用しても良いし、微結晶半導体膜を適用しても良い。

【0066】

なお、結晶性半導体膜上に非晶質半導体膜を有することで、結晶性半導体膜の表面が酸化されることを防止することができる。また、耐圧を向上させ、オフ電流を低下させることができる。

【0067】

ただし、EL表示装置の画素回路が正常に動作する限りにおいて、半導体膜106の結晶性については特に限定されない。

【0068】

不純物半導体膜108は、一導電性を付与する不純物元素を含む半導体膜であり、一導電性を付与する不純物元素が添加された半導体材料ガス等により形成される。本実施の形態ではn型の薄膜トランジスタを設けるため、例えば、フォスフィン（化学式：PH₃）を含むシランガスにより形成される、リンを含むシリコン膜により設ければよい。ただし、第1の導電膜102等と同様に、耐熱性が必要であり、後の工程で食刻又は腐食されない材料を選択することを要する。この限りにおいて、不純物半導体膜108は、特定の材料に限定されるものではない。なお、不純物半導体膜108の結晶性についても特に限定されるものではない。また、半導体膜106により形成される半導体層の一部に、ドーピング等によりオーミック接触可能な領域を設ける場合などには、不純物半導体膜108を設ける必要がない。

【0069】

本実施の形態では、n型の薄膜トランジスタを作製するため、添加する一導電性を付与する不純物元素として、ヒ素等を用いてもよく、不純物半導体膜108の形成に用いるシランガスにはアルシン（化学式：AsH₃）を所望の濃度で含ませればよい。

【0070】

なお、不純物半導体膜108の形成は、例えばCVD法（熱CVD法又はプラズマCVD法等を含む）等により行うことができる。ただし、特定の方法に限定されるものではない。

【0071】

第2の導電膜110は、導電性材料（第1の導電膜102として列挙した材料等）であつて、第1の導電膜102とは異なる材料により形成する。ここで、「異なる材料」とは、主成分が異なる材料をいう。具体的には、後に説明する第2のエッティングによりエッティングされにくい材料を選択すればよい。また、第1の導電膜102等と同様に、耐熱性が必要であり、後の工程で食刻又は腐食されない材料を選択することを要する。従つて、この限りにおいて、第2の導電膜110は特定の材料に限定されるものではない。

【0072】

なお、第2の導電膜110は、例えばスパッタリング法又はCVD法（熱CVD法又はプラズマCVD法等を含む）等により形成することができる。ただし、特定の方法に限定されるものではない。

【0073】

なお、上記説明した第1の導電膜102、第1の絶縁膜104、半導体膜106、不純物半導体膜108及び第2の導電膜110に対して求められる耐熱性は、第1の導電膜102が最も高く、以下前記した順に続き、第2の導電膜110が最も低い。例えば、半導体膜106が水素を含む非晶質半導体膜である場合には、約300以上とすることで半

10

20

30

40

50

導体膜中の水素が脱離し、電気的特性が変化する。そのため、例えば半導体膜 106 を形成した後の工程では 300 を超えない温度とすることが好ましい。

【0074】

次に、第 2 の導電膜 110 上に第 1 のレジストマスク 112 を形成する（図 7（A）、図 10（A）、図 13（A）を参照）。ここで、第 1 のレジストマスク 112 は凹部又は凸部を有するレジストマスクであることが好ましい。換言すると、厚さの異なる複数の領域（ここでは、二の領域）からなるレジストマスクともいうことができる。第 1 のレジストマスク 112 において、厚い領域を第 1 のレジストマスク 112 の凸部と呼び、薄い領域を第 1 のレジストマスク 112 の凹部と呼ぶこととする。ただし、これに限定されず、凹部又は凸部を有さないレジストマスクを用いてもよい。

10

【0075】

第 1 のレジストマスク 112 において、ソース電極及びドレイン電極層が形成される領域には凸部が形成され、ソース電極及びドレイン電極層を有さず半導体層が露出して形成される領域には凹部が形成されている。

【0076】

第 1 のレジストマスク 112 は、多階調マスクを用いることで形成することができる。ここで、多階調マスクについて図 16 を参照して以下に説明する。

【0077】

多階調マスクとは、多段階の光量で露光を行うことが可能なマスクであり、代表的には、露光領域、半露光領域及び未露光領域の 3 段階の光量で露光を行うものをいう。多階調マスクを用いることで、一度の露光及び現像工程によって、複数（代表的には二種類）の厚さを有するレジストマスクを形成することができる。そのため、多階調マスクを用いることで、フォトマスクの枚数を削減することができる。

20

【0078】

図 16（A - 1）及び図 16（B - 1）は、代表的な多階調マスクの断面図を示す。図 16（A - 1）にはグレートーンマスク 140 を示し、図 16（B - 1）にはハーフトーンマスク 145 を示す。

【0079】

図 16（A - 1）に示すグレートーンマスク 140 は、透光性を有する基板 141 上に遮光膜により形成された遮光部 142、及び遮光膜のパターンにより設けられた回折格子部 143 で構成されている。

30

【0080】

回折格子部 143 は、露光に用いる光の解像度限界以下の間隔で設けられたスリット、ドット又はメッシュ等を有することで、光の透過量を制御する。なお、回折格子部 143 に設けられるスリット、ドット又はメッシュは周期的なものであってもよいし、非周期的なものであってもよい。

【0081】

透光性を有する基板 141 としては、石英等を用いることができる。遮光部 142 及び回折格子部 143 を構成する遮光膜は、金属膜を用いて形成すればよく、好ましくはクロム又は酸化クロム等により設けられる。

40

【0082】

グレートーンマスク 140 に露光するための光を照射した場合、図 16（A - 2）に示すように、遮光部 142 に重畳する領域における透光率は 0 % となり、遮光部 142 又は回折格子部 143 が設けられていない領域における透光率は 100 % となる。また、回折格子部 143 における透光率は、概ね 10 ~ 70 % の範囲であり、回折格子のスリット、ドット又はメッシュの間隔等により調整可能である。

【0083】

図 16（B - 1）に示すハーフトーンマスク 145 は、透光性を有する基板 146 上に半透光膜により形成された半透光部 147、及び遮光膜により形成された遮光部 148 で構成されている。

50

【0084】

半透光部147は、MoSiN、MoSi、MoSiO、MoSiON、CrSi等の膜を用いて形成することができる。遮光部148は、グレートーンマスクの遮光膜と同様の金属膜を用いて形成すればよく、好ましくはクロム又は酸化クロム等により設けられる。

【0085】

ハーフトーンマスク145に露光するための光を照射した場合、図16(B-2)に示すように、遮光部148に重畳する領域における透光率は0%となり、遮光部148又は半透光部147が設けられていない領域における透光率は100%となる。また、半透光部147における透光率は、概ね10~70%の範囲であり、形成する材料の種類又は形成する膜厚等により、調整可能である。10

【0086】

多階調マスクを用いて露光して現像を行うことで、膜厚の異なる領域を有する第1のレジストマスク112を形成することができる。

【0087】

ただし、これに限定されず、多階調マスクを用いることなく第1のレジストマスクを形成してもよい。また、上記したように、第1のレジストマスクが凹部又は凸部を有さないレジストマスクであってもよい。

【0088】

次に、第1のレジストマスク112を用いて第1のエッチングを行う。すなわち、第1の絶縁膜104、半導体膜106、不純物半導体膜108及び第2の導電膜110をエッチングによりパターニングし、薄膜積層体114を形成する(図2、図7(B)、図10(B)、図13(B)を参照)。このとき、少なくとも第1の導電膜102の表面を露出させることが好ましい。このエッチング工程を第1のエッチングとよぶ。第1のエッチングは、ドライエッチング又はウエットエッチングを用いればよい。なお、第1のエッチングをドライエッチングにより行う場合には一の工程にて行うことが可能であるが、第1のエッチングをウエットエッチングにより行う場合には複数の工程により第1のエッチングを行うと良い。被エッチング膜の種類によってエッチングレートが異なり、一の工程にて行うことが困難だからである。20

【0089】

第1のエッチングは、例えば3段階のドライエッチングにより行えばよい。まず、Cl₂ガスとCF₄ガスとO₂ガスの混合ガス中でエッチングを行い、次に、Cl₂ガスのみを用いてエッチングを行い、最後に、CHF₃ガスのみを用いてエッチングを行えばよい。30

【0090】

次に、第1のレジストマスク112を用いて第2のエッチングを行う。すなわち、第1の導電膜102をエッチングによりパターニングし、ゲート電極層116を形成する(図3、図7(C)、図10(C)、図13(C)を参照)。このエッチング工程を第2のエッチングとよぶ。

【0091】

なお、ゲート電極層116は、薄膜トランジスタのゲート電極、ゲート配線、容量素子の一方の電極、及び支持部を構成している。ゲート電極層116Aと表記する場合には、ゲート配線、第1のトランジスタ11のゲート電極、及び第3のトランジスタ13のゲート電極を構成する電極層を指す。ゲート電極層116Bと表記する場合には、第2のトランジスタ12のゲート電極、及び容量素子14の一方の電極を構成する電極層を指す。ゲート電極層116Cと表記する場合には、支持部を構成する電極層を指す。そして、これらを総括してゲート電極層116と呼ぶ。40

【0092】

第2のエッチングは、第1の導電膜102により形成されるゲート電極層116の側面が、薄膜積層体114の側面より内側に形成されるエッチング条件により行う。換言する50

と、ゲート電極層 116 の側面が、薄膜積層体 114 の底面に接して形成されるようにエッチングを行う (A-A' 断面においてゲート電極層 116 の幅が薄膜積層体 114 の幅より小さくなるようにエッチングを行う)。更には、第 2 の導電膜 110 に対するエッチングレートが小さく、且つ第 1 の導電膜 102 に対するエッチングレートが大きい条件により行う。換言すると、第 2 の導電膜 110 に対する第 1 の導電膜 102 のエッチング選択比が大きい条件により行う。このような条件により第 2 のエッチングを行うことで、ゲート電極層 116 を形成することができる。

【0093】

なお、ゲート電極層 116 の側面の形状は特に限定されない。例えば、テーパ形状であっても良い。ゲート電極層 116 の側面の形状は、第 2 のエッチングにおいて用いる薬液等の条件によって決められるものである。

10

【0094】

ここで、「第 2 の導電膜 110 に対するエッチングレートが小さく、且つ第 1 の導電膜 102 に対するエッチングレートが大きい条件」、又は「第 2 の導電膜 110 に対する第 1 の導電膜 102 のエッチング選択比が大きい条件」とは、以下の第 1 の要件及び第 2 の要件を満たすものをいう。

【0095】

第 1 の要件は、ゲート電極層 116 が必要な箇所に残存することである。ゲート電極層 116 の必要な箇所とは、図 3 乃至図 6 に点線で示される領域をいう。すなわち、第 2 のエッチング後に、ゲート電極層 116 がゲート配線、トランジスタが有するゲート電極、及び容量素子が有する一の電極を構成するように残存することが必要である。ゲート電極層がゲート配線を構成するためには、これらの配線が断線しないように第 2 のエッチングを行う必要がある。図 3 及び図 7 に示されるように、薄膜積層体 114 の側面から間隔 d_1 だけ内側にゲート電極層 116 の側面が形成されることが好ましく、間隔 d_1 は実施者がレイアウトに従って適宜設定すればよい。

20

【0096】

第 2 の要件は、ゲート電極層 116 により構成されるゲート配線の最小幅 d_3 、並びにソース電極及びドレイン電極層 120 により構成されるソース配線及び電源線の最小幅 d_2 が適切なものとなることである (図 6 を参照)。第 2 のエッチングによりソース電極及びドレイン電極層 120 がエッチングされるとソース配線及び電源線の最小幅 d_2 が小さくなり、ソース配線及び電源線の電流密度が過大となり、電気的特性が低下するためである。そのため、第 2 のエッチングは、第 1 の導電膜 102 のエッチングレートが過大にならず、且つ第 2 の導電膜 110 のエッチングレートが可能な限り小さい条件で行う。

30

【0097】

また、ソース配線及び電源線の最小幅 d_2 は大きくすることが困難である。ソース配線及び電源線の最小幅 d_2 はソース配線及び電源線と重畳する半導体層の最小幅 d_4 により決まり、ソース配線及び電源線の最小幅 d_2 を大きくするためには半導体層の最小幅 d_4 を大きくせねばならず、隣接するゲート配線とを絶縁させることが困難になるためである。半導体層の最小幅 d_4 は、前記した間隔 d_1 の概ね 2 倍よりも小さくする。換言すると、間隔 d_1 は半導体層の最小幅 d_4 の約半分よりも大きくする。

40

【0098】

なお、ソース配線及び電源線と重畳する半導体層の幅を最小幅 d_4 とする部分は、ゲート電極層を素子毎に分離するために必要な箇所に適宜設ければよい。第 2 のエッチングにより、半導体層の幅を d_4 とした箇所と重畳する部分にはゲート電極層 116 が残存しないパターンを形成することができる。

【0099】

なお、ソース電極及びドレイン電極層により形成される、画素電極層と接続される部分の電極の幅はソース配線及び電源線の最小幅 d_2 とすることが好ましい。

【0100】

上記説明したように、サイドエッチングを伴う条件により第 2 のエッチングを行うこと

50

は非常に重要である。第2のエッティングが第1の導電膜102のサイドエッティングを伴うことによって、ゲート電極層116により構成される、隣接するゲート配線間のみならず、画素回路内の素子の接続を所望のものとするようにパターンの形成をすることができるためである。

【0101】

ここで、サイドエッティングとは、被エッティング膜の厚さ方向（基板面に垂直な方向又は被エッティング膜の下地膜の面に垂直な方向）のみならず、厚さ方向に対して垂直な方向（基板面に平行な方向又は被エッティング膜の下地膜の面に平行な方向）にも被エッティング膜が削られるエッティングをいう。サイドエッティングされた被エッティング膜の端部は、被エッティング膜に対するエッティングガス又はエッティングに用いる薬液のエッティングレートによって様々な形状となるように形成されるが、端部が曲面となるように形成されることが多い。

【0102】

なお、図3に示すゲート電極層116Cは、薄膜積層体114を支える支持部として機能する。支持部を有することで、ゲート電極層より上に形成されるゲート絶縁膜等の膜剥がれを防止することができる。更には支持部を設けることで、第2のエッティングによりゲート電極層116に接して形成される、空洞の領域が必要以上に広くなることを防止できる。なお、支持部を設けることで、薄膜積層体114が自重によって破壊され、又は破損することをも防止することができ、歩留まりが向上するため好ましい。ただし、支持部を有する形態に限定されず、支持部を設けなくとも良い。

【0103】

以上説明したように、第2のエッティングは、ウエットエッティングにより行なうことが好ましい。

【0104】

第2のエッティングをウエットエッティングによって行なう場合、第1の導電膜102としてアルミニウム又はモリブデンを形成し、第2の導電膜110としてチタン又はタンクスチタンを形成し、エッティングには硝酸、酢酸及びリン酸を含む薬液を用いればよい。または、第1の導電膜102としてモリブデンを形成し、第2の導電膜110としてチタン、アルミニウム又はタンクスチタンを形成し、エッティングには過酸化水素水を含む薬液を用いればよい。

【0105】

第2のエッティングをウエットエッティングによって行なう場合、最も好ましくは、第1の導電膜102としてネオジムを添加したアルミニウム上にモリブデンを形成した積層膜を形成し、第2の導電膜110としてタンクスチタンを形成し、エッティングには硝酸を2%、酢酸を10%、リン酸を72%含む薬液を用いる。このような組成の薬液を用いることで、第2の導電膜110がエッティングされることなく、第1の導電膜102がエッティングされる。なお、第1の導電膜102に添加したネオジムは、アルミニウムの低抵抗化とヒロック防止を目的として添加されたものである。

【0106】

なお、上面から見たゲート電極層116は角を有するように形成される（図3を参照）。これは、ゲート電極層116を形成する第2のエッティングが概略等方的に進行するため、ゲート電極層116の側面と薄膜積層体114の側面との間隔d₁が概略等しくなるようにエッティングされるためである。

【0107】

次に、第1のレジストマスク112を後退させて、第2の導電膜110を露出させつつ、第2のレジストマスク118を形成する。第1のレジストマスク112を後退させて、第2のレジストマスク118を形成する手段としては、例えば酸素プラズマを用いたアッティングが挙げられる。しかし、第1のレジストマスク112を後退させて第2のレジストマスク118を形成する手段はこれに限定されるものではない。第2のレジストマスク118が形成される領域は、第1のレジストマスク112の凸部の領域と概略一致する。な

10

20

30

40

50

お、ここでは第2のエッティングの後に第2のレジストマスク118を形成する場合について説明したが、これに限定されず、第2のレジストマスク118を形成した後に第2のエッティングを行ってもよい。

【0108】

なお、第1のレジストマスク112の形成に多階調マスクを用いない場合には、異なるフォトマスクを用いて第2のレジストマスク118を別途形成すればよい。

【0109】

次に、第2のレジストマスク118を用いて、薄膜積層体114における第2の導電膜110をエッティングし、ソース電極及びドレイン電極層120を形成する(図4、図8(D)、図11(D)、図14(D)を参照)。ここでエッティング条件は、第2の導電膜110以外の膜に対する食刻及び腐食が生じず、又は生じ難い条件を選択する。特に、ゲート電極層116の食刻及び腐食が生じず、又は生じ難い条件により行うことが重要である。

【0110】

なお、ソース電極及びドレイン電極層120は、薄膜トランジスタのソース電極若しくはドレイン電極、ソース配線、電源線、容量素子の他方の電極、及び薄膜トランジスタと発光素子の一の電極とを接続する電極を構成している。ソース電極及びドレイン電極層120Aと表記する場合には、ソース配線18、及び第1のトランジスタ11のソース電極及びドレイン電極の一方を構成する電極層を指す。ソース電極及びドレイン電極層120Bと表記する場合には、第1の電源線17を構成する電極層を指す。ソース電極及びドレイン電極層120Cと表記する場合には、第1のトランジスタ11のソース電極及びドレイン電極の他方、及び第1のトランジスタ11と画素電極とを接続する電極を構成する電極層を指す。ソース電極及びドレイン電極層120Dと表記する場合には、第2の電源線19、及び第2のトランジスタ12のソース電極及びドレイン電極の一方を構成する電極層を指す。ソース電極及びドレイン電極層120Eと表記する場合には、第3のトランジスタ13のソース電極及びドレイン電極の一方を構成する電極層を指す。ソース電極及びドレイン電極層120Fと表記する場合には、容量素子14の他方の電極、第2のトランジスタ12のソース電極及びドレイン電極の他方、第3のトランジスタ13のソース電極及びドレイン電極の他方、並びにこれらから発光素子の一の電極に接続される電極を構成する電極層を指す。

【0111】

なお、第2のレジストマスク118Aは、ソース電極及びドレイン電極層120Aと重畳するものを指し、第2のレジストマスク118Bは、ソース電極及びドレイン電極層120Bと重畳するものを指し、第2のレジストマスク118Cは、ソース電極及びドレイン電極層120Cと重畳するものを指し、第2のレジストマスク118Dは、ソース電極及びドレイン電極層120Dと重畳するものを指し、第2のレジストマスク118Eは、ソース電極及びドレイン電極層120Eと重畳するものを指し、第2のレジストマスク118Fは、ソース電極及びドレイン電極層120Fと重畳するものを指す。

【0112】

なお、薄膜積層体114における第2の導電膜110のエッティングは、ウェットエッティング又はドライエッティングのどちらを用いても良い。

【0113】

続いて、薄膜積層体114における不純物半導体膜108及び半導体膜106の上部(バックチャネル部)をエッティングして、ソース領域及びドレイン領域122、半導体層124を形成する(図5、図8(E)、図11(E)、図14(E)を参照)。ここでエッティング条件は、不純物半導体膜108及び半導体膜106以外の膜に対する食刻及び腐食が生じず、又は生じ難い条件を選択する。特に、ゲート電極層116の食刻及び腐食が生じず、又は生じ難い条件により行うことが重要である。

【0114】

なお、薄膜積層体114における不純物半導体膜108及び半導体膜106の上部(バ

10

20

30

40

50

ックチャネル部)のエッティングはドライエッティング又はウェットエッティングにより行うことができる。

【0115】

その後、第2のレジストマスク118を除去し、薄膜トランジスタが完成する(図6、図8(F)、図11(F)、図14(F)を参照)。上記説明したように、薄膜トランジスタを一枚のフォトマスク(多階調マスク)により作製することができる。

【0116】

なお、上記の図8(F)及び図8(E)を参照して説明した工程を一括して第3のエッティングとよぶ。第3のエッティングは、上記説明したように、複数の段階に分けて行っても良いし、一括して行っても良い。

10

【0117】

以上のようにして形成した薄膜トランジスタを覆って第2の絶縁膜を形成する。ここで、第2の絶縁膜は、第1の保護膜126のみで形成しても良いが、ここでは第1の保護膜126と第2の保護膜128により形成する(図9(G)、図12(G)、図15(G)を参照)。第1の保護膜126は、第1の絶縁膜104と同様に形成すればよいが、好ましくは水素を含有する窒化シリコン又は水素を含有する酸化窒化シリコンにより形成し、半導体層に金属等の不純物が侵入して拡散し、汚染されることを防止する。

【0118】

第2の保護膜128は、表面が概略平坦になる方法により形成する。第2の保護膜128の表面を概略平坦にすることで、第2の保護膜128上に形成される第1の画素電極層132の断切れ等を防止することができるためである。従って、ここで「概略平坦」とは、上記目的を達成しうる程度のものであればよく、高い平坦性が要求されるわけではない。

20

【0119】

なお、第2の保護膜128は、例えば、感光性ポリイミド、アクリル又はエポキシ樹脂等により、スピンドルコーティング法等により形成することができる。ただし、これらの材料又は形成方法に限定されるものではない。

【0120】

なお、第2の保護膜128は、表面が概略平坦になる方法により形成した上記の保護膜と、これを覆って水分の侵入や放出を防止する保護膜を積層して形成したものであることが好ましい。水分の侵入や放出を防止する保護膜は、具体的には、窒化シリコン、酸化窒化シリコン、酸化窒化アルミニウム又は窒化アルミニウム等により形成されていることが好ましい。形成方法としてはスパッタリング法を用いることが好ましい。

30

【0121】

次に、第2の絶縁膜に第1の開口部130及び第2の開口部131を形成する(図9(H)、図12(H)、図15(H)を参照)。第1の開口部130は、ソース電極及びドレイン電極層の少なくとも表面に達するように形成する。第2の開口部131は、ゲート電極層の少なくとも表面に達するように形成する。第1の開口部130及び第2の開口部131の形成方法は、特定の方法に限定されず、第1の開口部130の径などに応じて実施者が適宜選択すればよい。例えば、フォトリソグラフィ法によりドライエッティングを行うことで第1の開口部130及び第2の開口部131を形成することができる。

40

【0122】

第1の開口部130は、ソース電極及びドレイン電極層120に達するように設けられるものであり、図6に示すように必要な箇所に複数個設ける。第1の開口部130Aはソース電極及びドレイン電極層120C上に設け、第1の開口部130Bはソース電極及びドレイン電極層120B上に設け、第1の開口部130Cはソース電極及びドレイン電極層120E上に設け、第1の開口部130Dはソース電極及びドレイン電極層120F上に設ける。

【0123】

第2の開口部131は、ゲート電極層116に達するように設けられるものである。す

50

なわち、第2の開口部131は第2の絶縁膜のみならず、第1の絶縁膜104、半導体層124の所望の箇所も除去して設けられるものである。

【0124】

なお、フォトリソグラフィ法によって開口部を形成することで、フォトマスクを1枚使用することになる。

【0125】

次に、第2の絶縁膜上に第1の画素電極層132を形成する(図6、図9(H)、図12(H)、図15(H)を参照)。第1の画素電極層132は、第1の開口部130又は第2の開口部131を介してソース電極及びドレイン電極層120又はゲート電極層116に接続されるように形成する。具体的には、第1の画素電極層132は、第1の開口部130Aを介してソース電極及びドレイン電極層120Cに接続され、第1の開口部130Bを介してソース電極及びドレイン電極層120Bに接続され、第1の開口部130Cを介してソース電極及びドレイン電極層120Eに接続され、第1の開口部130Dを介してソース電極及びドレイン電極層120Fに接続され、第2の開口部131を介してゲート電極層116Bに接続されるように形成される。また、第1の画素電極層132についても単層で形成しても良いし、複数の膜を積層した積層膜としてもよい。

【0126】

なお、フォトリソグラフィ法によって第1の画素電極層132を形成することで、フォトマスクを一枚使用することになる。

【0127】

画素が有する薄膜トランジスタがn型のトランジスタであるため、第1の画素電極層132は、陰極となる材料により形成することが好ましい。陰極となる材料には、仕事関数が小さい材料、例えば、Ca、Al、MgAg、AlLi等が挙げられる。

【0128】

次に、第1の画素電極層132の側面(端部)及び第2の絶縁膜上に隔壁133を形成する。隔壁133は開口部を有し、該開口部において第1の画素電極層132が露出されるように形成する。隔壁133は、有機樹脂膜、無機絶縁膜又は有機ポリシロキサンを用いて形成する。具体的には、ポリイミド、ポリアミド、ポリイミドアミド、アクリル、ベンゾシクロブテン系樹脂を用いて形成するとよい。特に感光性の材料を用いて、第1の画素電極層132上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0129】

次に、隔壁133の開口部において第1の画素電極層132と接するように、EL層134を形成する。EL層134は、単数の層で構成されても、複数の層が積層されて形成された積層膜により構成されても良い。EL層134は、少なくとも発光層を有する。発光層はホール輸送層を介して第2の画素電極層135と接続されることが好ましい。

【0130】

そして、EL層134を覆うように、陽極となる材料により第2の画素電極層135を形成する。第2の画素電極層135は図1における共通電極20に相当する。第2の画素電極層135は、透光性を有する導電性材料により形成することができる。ここで、透光性を有する導電性材料としては、インジウム錫酸化物(以下、ITOという)、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、又は酸化シリコンを添加したインジウム錫酸化物等が挙げられる。透光性を有する導電性材料の膜の形成はスパッタリング法又はCVD法等により行えばよいが、特定の方法に限定されるものではない。また、第2の画素電極層135についても単層で形成しても良いし、複数の膜を積層した積層膜としてもよい。

【0131】

ここでは、第2の画素電極層135としてITOを用いる。隔壁133の開口部におい

10

20

30

40

50

て、第1の画素電極層132とEL層134と第2の画素電極層135が重なり合うことで、発光素子136が形成される。発光素子136は、図1における発光素子15に相当する。この後、発光素子136に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の画素電極層135及び隔壁133上に第3の保護膜137を形成することが好ましい(図示しない)。第3の保護膜137は、第2の保護膜128と同様に材料により水分の侵入や放出を防止する機能を有するものを選択する。窒化シリコン、酸化窒化シリコン、酸化窒化アルミニウム又は窒化アルミニウム等により形成されていることが好ましい。更に、第3の保護膜を覆って窒化シリコン膜又はDLC膜等を有することが好ましい。

【0132】

そして、外気に曝されないように、保護フィルム(貼り合わせフィルム、紫外線硬化樹脂フィルム等)又はカバー材によって、更なるパッケージング(封入)をすることが好ましい。保護フィルム及びカバー材は、ガス透過性が低く、脱ガスの少ない材料により設けることが好ましい。

【0133】

以上説明したように、上面射出構造(トップエミッション)型EL表示装置の発光素子まで形成することができる(図9(I)、図12(I)、図15(I)を参照)。しかし、本実施の形態のEL表示装置は、上記の説明に限定されず、下面射出構造(ボトムエミッション)型EL表示装置、または両面射出構造(デュアルエミッション)型EL表示装置に適用することも可能である。下面射出構造及び両面射出構造では、第1の画素電極層132に透光性を有する導電性材料を用いればよい。なお、第1の画素電極層132を陽極となる材料により形成する場合には、第1の画素電極層132は、例えば、ITOにより形成することができる。第1の画素電極層132をこの構造にすることで、発光を取り出す効率を向上させることができ、ボトムエミッション型のEL表示装置を作製することができる。そして、EL層134を覆うように、陰極となる材料により第2の画素電極層135を形成するとよい。第2の画素電極層135は図1における共通電極20に相当する。陰極となる材料には、仕事関数が小さい材料、例えば、Ca、Al、MgAg、AlLi等が挙げられる。なお、EL層134及び第2の画素電極層135は、マスクを介した蒸着により形成することができる。従って、第2の画素電極層135は、蒸着により形成することができる材料により形成するとよい。なお、EL表示装置の画素を図1に示す回路により構成する場合には、第1の画素電極層132を陽極とし、第2の画素電極層135を陰極とすることが好ましい。

【0134】

なお、上記で説明した保護膜等は上記した材料又は形成方法に限定されず、EL層の発光を妨げず、劣化等を防止することができる膜であればよい。

【0135】

または、上面射出構造において、画素回路が形成されている領域をも含むように第1の画素電極層132Aを形成してもよい。この場合には、まず、第1の画素電極層132B及び第1の画素電極層132Cに相当する導電層のみを形成し、該導電層上に第1の開口部130Dを有する絶縁膜を形成し、第1の開口部130Dを介してソース電極及びドレイン電極層120Fに接続されるように第1の画素電極層132Aを形成すればよい。画素回路が形成されている領域をも含むように第1の画素電極層132Aを形成することで、発光領域を拡大することができ、より高精細な表示が可能となる。

【0136】

なお、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を用いることも可能である。

【0137】

ここで、上記の工程により作製したアクティブマトリクス基板の端子接続部について図17乃至図19を参照して説明する。

【0138】

図17乃至図19は、上記の工程により作製した、アクティブマトリクス基板における

10

20

30

40

50

ゲート配線側の端子接続部及びソース配線側の端子接続部の上面図及び断面図を示す。

【0139】

図17は、ゲート配線側の端子接続部及びソース配線側の端子接続部における、画素部から延伸したゲート配線及びソース配線の上面図を示す。なお、第1の電源線17及び第2の電源線19についてもソース配線18と同様であってよい。また、隔壁133及び第2の画素電極層135は、図17には図示していない。

【0140】

図18は、図17のX-X'における断面図を示す。すなわち、図18は、ゲート配線側の端子接続部における断面図を示す。図18では、ゲート電極層116のみが露出されている。このゲート電極層116が露出された領域に、端子部が接続される。

10

【0141】

図19は、図17のY-Y'における断面図の例を示す。すなわち、図19は、ソース配線側の端子接続部における断面図の例を示す。図19のY-Y'において、ゲート電極層116と、ソース電極及びドレイン電極層120は第1の画素電極層132（少なくとも、第1の画素電極層132B又は第1の画素電極層132Cと同一の層）を介して接続されている。図19にはゲート電極層116と、ソース電極及びドレイン電極層120の様々な接続形態を示している。ここで、EL表示装置の端子接続部には、これらのいずれを用いても良いし、図19に示すもの以外の接続形態を用いても良い。ソース電極及びドレイン電極層120をゲート電極層116に接続させることで、端子の接続部の高さを概ね等しくすることができる。

20

【0142】

なお、開口部の数は図19に示す開口部の数に特に限定されない。一の端子に対して一の開口部を設けるのみならず、一の端子に対して複数の開口部を設けても良い。一の端子に対して複数の開口部を設けることで、開口部を形成するエッティング工程が不十分である等の理由で開口部が良好に形成されなかつたとしても、他の開口部により電気的接続を実現することができる。更には、全ての開口部が問題なく形成された場合であっても、接触面積を広くすることができるため、コンタクト抵抗を低減することができ、好ましい。

【0143】

図19(A)では、第1の保護膜126及び第2の保護膜128の端部がエッティング等により除去され、ゲート電極層116と、ソース電極及びドレイン電極層120とが露出され、この露出された領域に第1の画素電極層132（少なくとも、第1の画素電極層132B又は第1の画素電極層132Cと同一の層）を形成することで電気的な接続を実現している。図17に示す上面図は、図19(A)の上面図に相当する。

30

【0144】

なお、ゲート電極層116と、ソース電極及びドレイン電極層120とが露出された領域の形成は、第1の開口部130及び第2の開口部131の形成と同時に行うことができる。

【0145】

図19(B)では、第1の保護膜126及び第2の保護膜128に第3の開口部160Aが設けられ、第1の保護膜126及び第2の保護膜128の端部がエッティング等により除去されることで、ゲート電極層116と、ソース電極及びドレイン電極層120とが露出され、この露出された領域に第1の画素電極層132（少なくとも、第1の画素電極層132B又は第1の画素電極層132Cと同一の層）を形成することで電気的な接続を実現している。

40

【0146】

なお、第3の開口部160Aの形成、及びゲート電極層116が露出された領域の形成は、第1の開口部130及び第2の開口部131の形成と同時に行うことができる。

【0147】

図19(C)では、第1の保護膜126及び第2の保護膜128に第3の開口部160B及び第4の開口部161が設けられることで、ゲート電極層116と、ソース電極及び

50

ドレイン電極層 120 とが露出され、この露出された領域に第 1 の画素電極層 132（少なくとも、第 1 の画素電極層 132B 又は第 1 の画素電極層 132C と同一の層）を形成することで電気的な接続を実現している。ここで、図 19 (A) 及び (B) と同様に、第 1 の保護膜 126 及び第 2 の保護膜 128 の端部はエッチング等により除去されているが、この領域は端子の接続部として用いられる。

【0148】

なお、第 3 の開口部 160B 及び第 4 の開口部 161 の形成、並びにゲート電極層 116 が露出された領域の形成は、第 1 の開口部 130 及び第 2 の開口部 131 の形成と同時にを行うことができる。

【0149】

なお、第 3 の開口部 160 は、第 1 の開口部 130 と同様にソース電極及びドレイン電極層 120 に達するように設けられ、第 4 の開口部 161 は、第 2 の開口部 131 と同様にゲート電極層 116 に達するように設けられている。そして、図 18 及び図 19 には隔壁 133 及び第 2 の画素電極層 135 を示しているが、これらは端子接続部には設けられていなくてもよい。

【0150】

この端子部の入力端子（図 19 において、ゲート電極層 116 の露出された領域）には FPC (Flexible Printed Circuit) が接続される。FPC はポリイミド等の有機樹脂フィルム上に導電膜により配線が形成されており、異方性導電性ペースト (Anisotropic Conductive Paste。以下、ACP という) を介して入力端子と接続される。一般的な ACP は、接着剤として機能するペーストと、金等がメッキされた数十~数百 μm 径の導電性表面を有する粒子と、により構成されている。ペースト中に混入された粒子が入力端子上の導電層と、FPC に形成された配線に接続された端子上の導電層と、に接触することで、電気的な接続を実現することができる。

【0151】

以上のように、EL 表示装置を作製することができる。

【0152】

以上説明したように、用いるフォトマスクの枚数が低減され、薄膜トランジスタ及び EL 表示装置の作製工程数を大幅に削減することができる。

【0153】

また、裏面露光、レジストリフロー及びリフトオフ法等の複雑な工程を経ることなく、薄膜トランジスタの作製工程数を大幅に削減することができる。そのため、複雑な工程を経ることなく、EL 表示装置の作製工程数を大幅に削減することができる。

【0154】

また、薄膜トランジスタの電気的特性を維持しつつ、薄膜トランジスタの作製工程を大幅に削減することができる。

【0155】

更には、上記効果により、EL 表示装置の作製コストを大幅に削減することができる。

【0156】

(実施の形態 2)

本実施の形態は、実施の形態 1 にて説明した方法により作製した表示パネル又は表示装置を表示部として組み込んだ電子機器について図 20 乃至図 22 を参照して説明する。このような電子機器としては、例えば、ビデオカメラ若しくはデジタルカメラ等のカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）が挙げられる。それらの一例を図 20 に示す。

【0157】

図 20 (A) はテレビジョン装置を示す。EL 表示パネルを筐体に組み込むことで、図 20 (A) に示すテレビジョン装置を完成させることができる。実施の形態 1 にて説明し

10

20

30

40

50

た作製方法を適用した表示パネルにより主画面 223 が形成され、その他付属設備としてスピーカ部 229、操作スイッチ等が備えられている。

【0158】

図 20 (A) に示すように、筐体 221 に実施の形態 1 にて説明した作製方法を適用した表示用パネル 222 が組み込まれ、受信機 225 により一般のテレビ放送の受信をはじめ、モデム 224 を介して有線又は無線による通信ネットワークに接続することにより一方 (送信者から受信者) 又は双方向 (送信者と受信者間、又は受信者間同士) の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン操作機 226 により行うことが可能であり、このリモコン操作機 226 にも出力する情報を表示する表示部 227 が設けられていても良い。

10

【0159】

また、テレビジョン装置にも、主画面 223 の他にサブ画面 228 を第 2 の表示パネルで形成し、チャネルや音量などを表示する構成が付加されていても良い。

【0160】

図 21 は、テレビ装置の主要な構成を示すブロック図を示している。表示パネルには、画素部 251 が形成されている。信号線駆動回路 252 と走査線駆動回路 253 は、表示パネルに COG 方式により実装されていても良い。

【0161】

その他の外部回路の構成として、映像信号の入力側では、チューナ 254 で受信した信号のうち、映像信号を增幅する映像信号增幅回路 255 と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路 256 と、その映像信号をドライバ IC の入力仕様に変換するためのコントロール回路 257 等を有している。コントロール回路 257 は、走査線側と信号線側にそれぞれ信号を出力する。デジタル駆動する場合には、信号線側に信号分割回路 258 を設け、入力デジタル信号を整数個に分割して供給する構成としても良い。

20

【0162】

チューナ 254 で受信した信号のうち、音声信号は、音声信号增幅回路 259 に送られ、その出力は音声信号処理回路 260 を経てスピーカ 263 に供給される。制御回路 261 は受信局 (受信周波数)、音量の制御情報を入力部 262 から受け、チューナ 254 及び音声信号処理回路 260 に信号を送出する。

30

【0163】

勿論、本発明の一態様である EL 表示装置はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港等における情報表示盤、又は街頭における広告表示盤等の大面積の表示媒体にも適用することができる。そのため、本発明の一態様である EL 表示装置の作製方法を適用することで、これらの表示媒体の生産性を向上させることができる。

【0164】

主画面 223、サブ画面 228 に、実施の形態 1 で説明した表示装置の作製方法を適用した表示パネル又は表示装置を用いることで、テレビ装置の生産性を高めることができる。

40

【0165】

また、図 20 (B) に示す携帯型のコンピュータは、本体 231 及び表示部 232 等を有する。表示部 232 に、実施の形態 1 で説明した表示装置の作製方法を適用した表示パネル又は表示装置を用いることで、コンピュータの生産性を高めることができる。

【0166】

図 22 は、携帯電話の一例であり、図 22 (A) が正面図、図 22 (B) が背面図、図 22 (C) が 2 つの筐体をスライドさせたときの正面図である。携帯電話 200 は、筐体 201 及び筐体 202 二つの筐体で構成されている。携帯電話 200 は、携帯電話と携帯情報端末の双方の機能を備えており、コンピュータを内蔵し、音声通話以外にも様々なデータ処理が可能な所謂スマートフォンである。

50

【0167】

携帯電話200は、筐体201及び筐体202で構成されている。筐体201においては、表示部203、スピーカ204、マイクロフォン205、操作キー206、ポインティングデバイス207、表面カメラ用レンズ208、外部接続端子ジャック209及びイヤホン端子210等を備え、筐体202においては、キーボード211、外部メモリスロット212、裏面カメラ213、ライト214等により構成されている。また、アンテナは筐体201に内蔵されている。

【0168】

また、携帯電話200には、上記の構成に加えて、非接触型ICチップ、小型記録装置等を内蔵していてもよい。

10

【0169】

重なり合った筐体201と筐体202(図22(A)に示す。)は、スライドさせることができ、スライドさせることで図22(C)のように展開する。表示部203には、実施の形態1で説明した表示装置の作製方法を適用した表示パネル又は表示装置を組み込むことが可能である。表示部203と表面カメラ用レンズ208を同一の面に備えているため、テレビ電話としての使用が可能である。また、表示部203をファインダーとして用いることで、裏面カメラ213及びライト214で静止画及び動画の撮影が可能である。

【0170】

スピーカ204及びマイクロフォン205を用いることで、携帯電話200は、音声記録装置(録音装置)又は音声再生装置として使用することができる。また、操作キー206により、電話の発着信操作、電子メール等の簡単な情報入力操作、表示部に表示する画面のスクロール操作、表示部に表示する情報の選択等を行うカーソルの移動操作等が可能である。

20

【0171】

また、書類の作成、携帯情報端末としての使用等、取り扱う情報が多い場合は、キーボード211を用いると便利である。更に、重なり合った筐体201と筐体202(図22(A))をスライドさせることで、図22(C)のように展開させることができる。携帯情報端末として使用する場合には、キーボード211及びポインティングデバイス207を用いて、円滑な操作が可能である。外部接続端子ジャック209はACアダプタ及びUSBケーブル等の各種ケーブルと接続可能であり、充電及びパーソナルコンピュータ等とのデータ通信が可能である。また、外部メモリスロット212に記録媒体を挿入し、より大量のデータ保存及び移動が可能になる。

30

【0172】

筐体202の裏面(図22(B))には、裏面カメラ213及びライト214を備え、表示部203をファインダーとして静止画及び動画の撮影が可能である。

【0173】

また、上記の機能構成に加えて、赤外線通信機能、USBポート、テレビワンセグ受信機能、非接触ICチップ又はイヤホンジャック等を備えたものであってもよい。

40

【0174】

本実施の形態にて説明した各種電子機器は、実施の形態1にて説明した薄膜トランジスタ及び表示装置の作製方法を適用して作製することができるため、これらの電子機器の生産性を向上させることができる。

【0175】

従って、これらの電子機器の作製コストを大幅に削減することができる。

【符号の説明】

【0176】

- 1 1 第1のトランジスタ
- 1 2 第2のトランジスタ
- 1 3 第3のトランジスタ

50

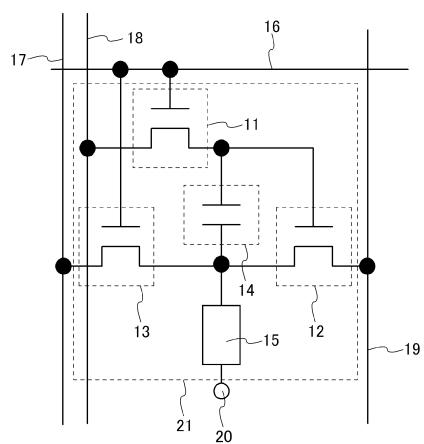
1 4	容量素子	
1 5	発光素子	
1 6	ゲート配線	
1 7	第1の電源線	
1 8	ソース配線	
1 9	第2の電源線	
2 0	共通電極	
2 1	画素	
1 0 0	基板	
1 0 2	第1の導電膜	10
1 0 4	第1の絶縁膜	
1 0 6	半導体膜	
1 0 8	不純物半導体膜	
1 1 0	第2の導電膜	
1 1 2	第1のレジストマスク	
1 1 4	薄膜積層体	
1 1 5	エッチングされた第1の導電膜	
1 1 6	ゲート電極層	
1 1 6 A	ゲート電極層	
1 1 6 B	ゲート電極層	20
1 1 6 C	ゲート電極層	
1 1 6 D	ゲート電極層	
1 1 8	第2のレジストマスク	
1 1 8 A	第2のレジストマスク	
1 1 8 B	第2のレジストマスク	
1 1 8 C	第2のレジストマスク	
1 1 8 D	第2のレジストマスク	
1 1 8 E	第2のレジストマスク	
1 1 8 F	第2のレジストマスク	
1 2 0	ソース電極及びドレイン電極層	30
1 2 0 A	ソース電極及びドレイン電極層	
1 2 0 B	ソース電極及びドレイン電極層	
1 2 0 C	ソース電極及びドレイン電極層	
1 2 0 D	ソース電極及びドレイン電極層	
1 2 0 E	ソース電極及びドレイン電極層	
1 2 0 F	ソース電極及びドレイン電極層	
1 2 2	ソース領域及びドレイン領域	
1 2 2 A	ソース領域及びドレイン領域	
1 2 2 B	ソース領域及びドレイン領域	
1 2 2 C	ソース領域及びドレイン領域	40
1 2 2 D	ソース領域及びドレイン領域	
1 2 4	半導体層	
1 2 6	第1の保護膜	
1 2 8	第2の保護膜	
1 3 0	第1の開口部	
1 3 0 A	第1の開口部	
1 3 0 B	第1の開口部	
1 3 0 C	第1の開口部	
1 3 0 D	第1の開口部	
1 3 1	第2の開口部	50

1 3 2	第 1 の画素電極層	
1 3 2 A	第 1 の画素電極層	
1 3 2 B	第 1 の画素電極層	
1 3 2 C	第 1 の画素電極層	
1 3 3	隔壁	
1 3 4	E L 層	
1 3 5	第 2 の画素電極層	
1 3 6	発光素子	
1 3 7	第 3 の保護膜	
1 4 0	グレートーンマスク	10
1 4 1	基板	
1 4 2	遮光部	
1 4 3	回折格子部	
1 4 5	ハーフトーンマスク	
1 4 6	基板	
1 4 7	半透光部	
1 4 8	遮光部	
1 6 0	第 3 の開口部	
1 6 0 A	第 3 の開口部	
1 6 0 B	第 3 の開口部	20
1 6 1	第 4 の開口部	
1 7 0	第 1 のレジストマスク	
1 7 1	第 2 のレジストマスク	
2 0 0	携帯電話	
2 0 1	筐体	
2 0 2	筐体	
2 0 3	表示部	
2 0 4	スピーカ	
2 0 5	マイクロフォン	
2 0 6	操作キー	30
2 0 7	ポインティングデバイス	
2 0 8	表面カメラ用レンズ	
2 0 9	外部接続端子ジャック	
2 1 0	イヤホン端子	
2 1 1	キーボード	
2 1 2	外部メモリスロット	
2 1 3	裏面カメラ	
2 1 4	ライト	
2 2 1	筐体	
2 2 2	表示用パネル	40
2 2 3	主画面	
2 2 4	モデム	
2 2 5	受信機	
2 2 6	リモコン操作機	
2 2 7	表示部	
2 2 8	サブ画面	
2 2 9	スピーカ部	
2 3 1	本体	
2 3 2	表示部	
2 5 1	画素部	50

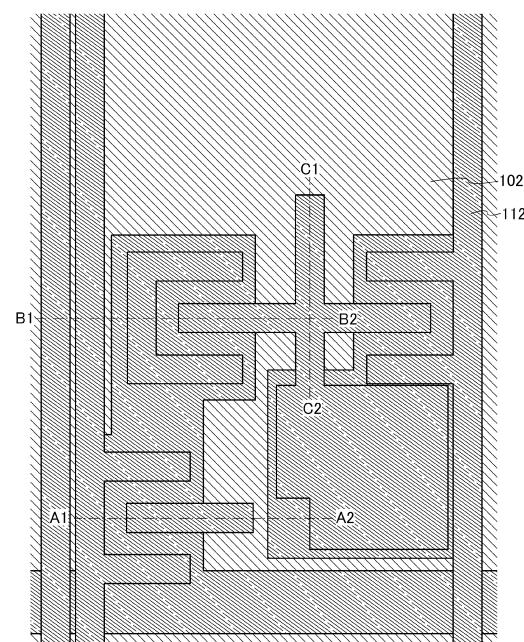
2 5 2 信号線駆動回路
 2 5 3 走査線駆動回路
 2 5 4 チューナ
 2 5 5 映像信号増幅回路
 2 5 6 映像信号処理回路
 2 5 7 コントロール回路
 2 5 8 信号分割回路
 2 5 9 音声信号増幅回路
 2 6 0 音声信号処理回路
 2 6 1 制御回路
 2 6 2 入力部
 2 6 3 スピーカ

10

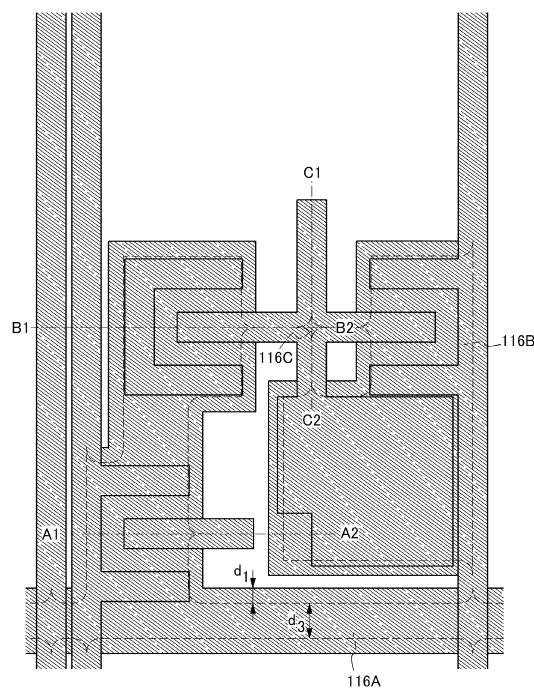
【図1】



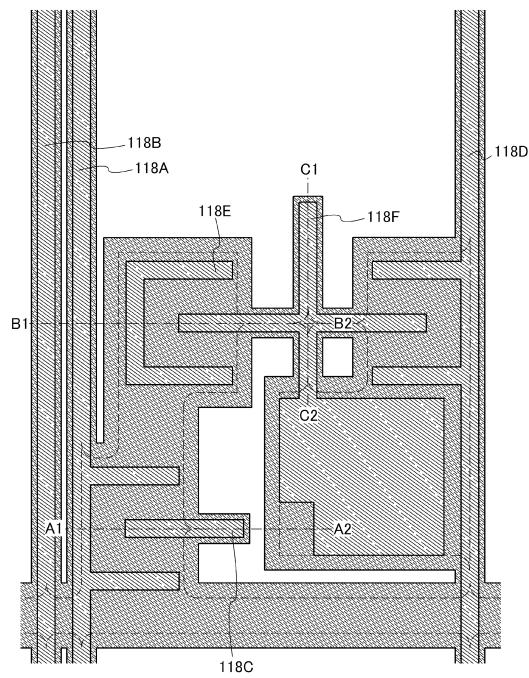
【図2】



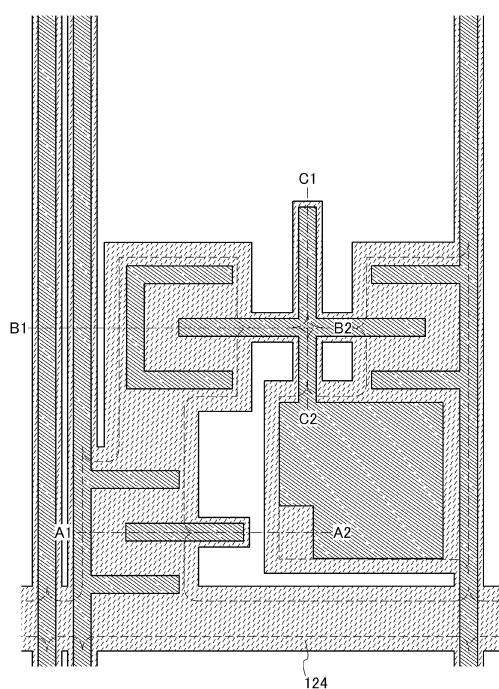
【図3】



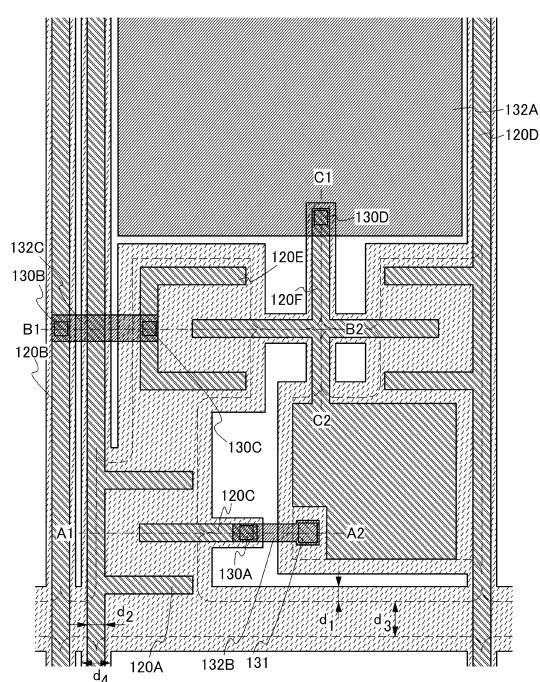
【図4】



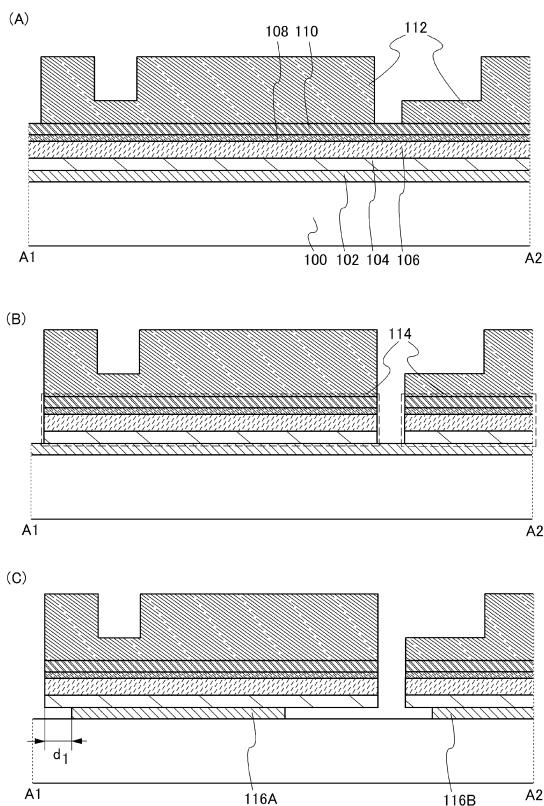
【図5】



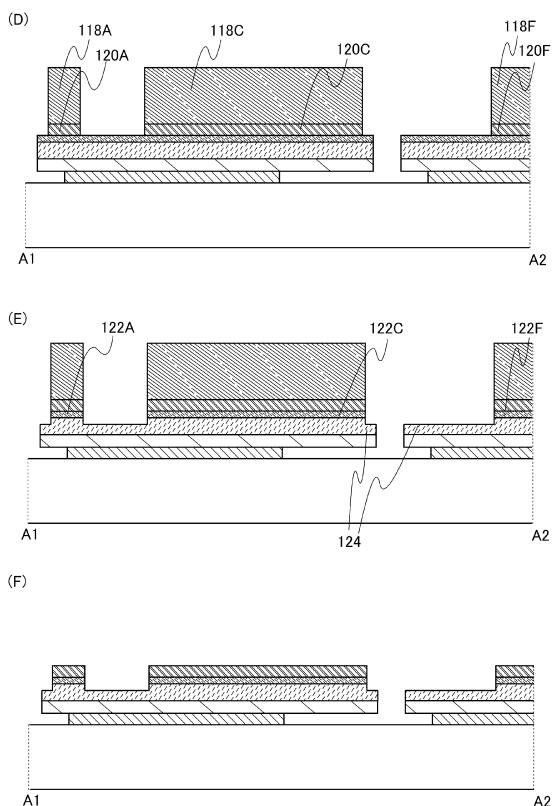
【図6】



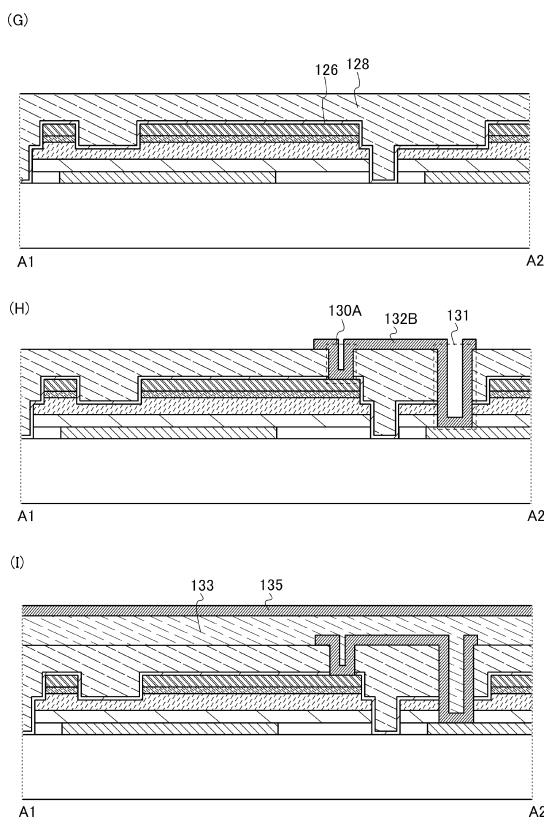
【図7】



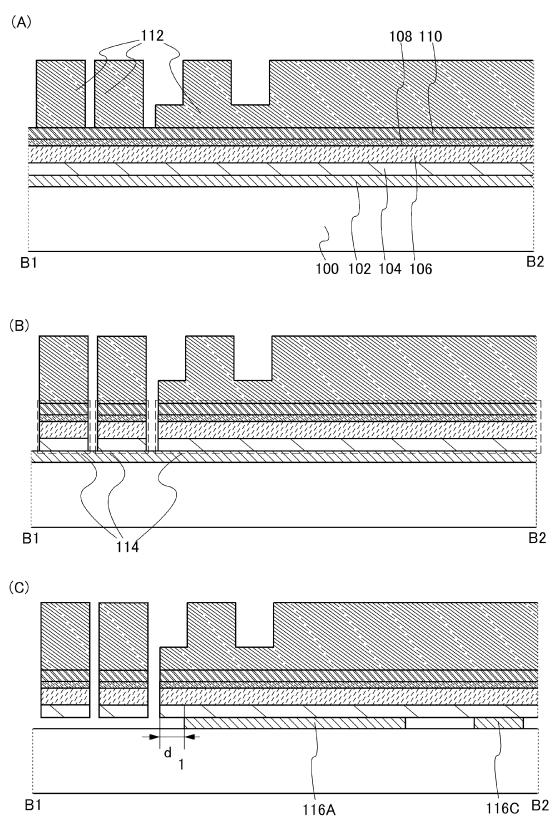
【図8】



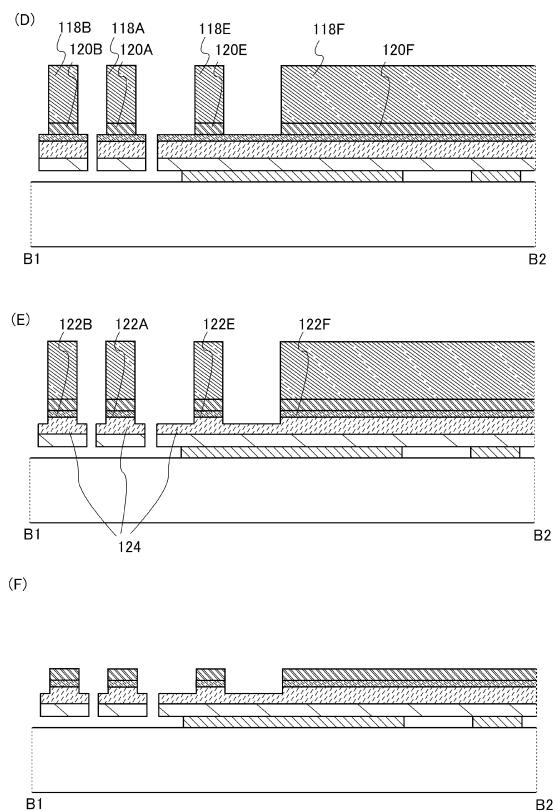
【図9】



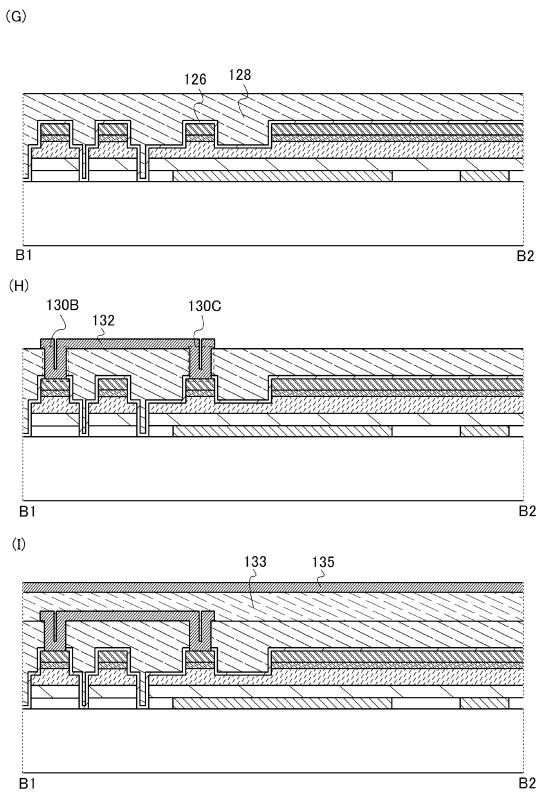
【図10】



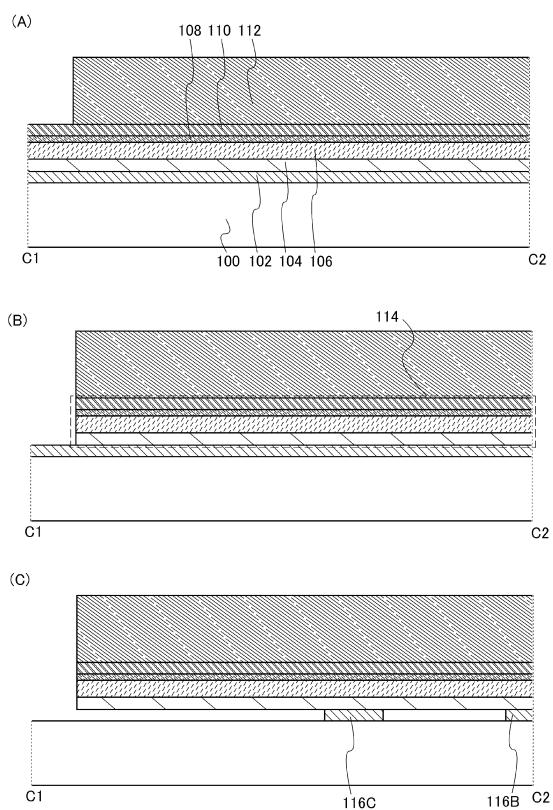
【図11】



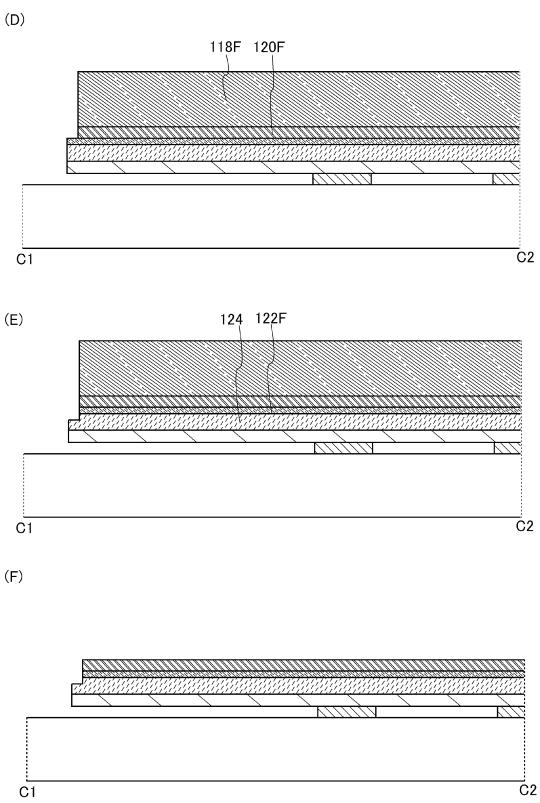
【図12】



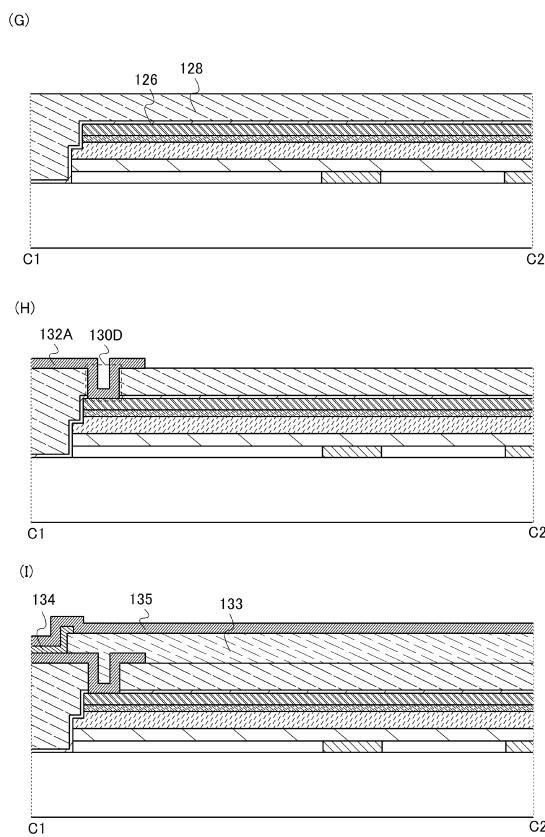
【図13】



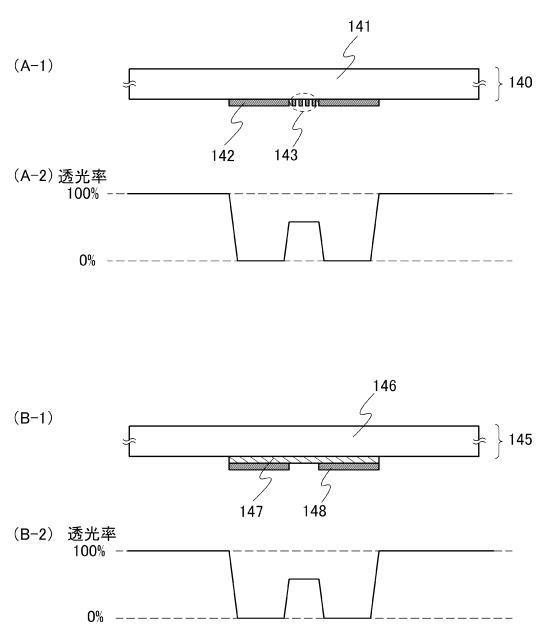
【図14】



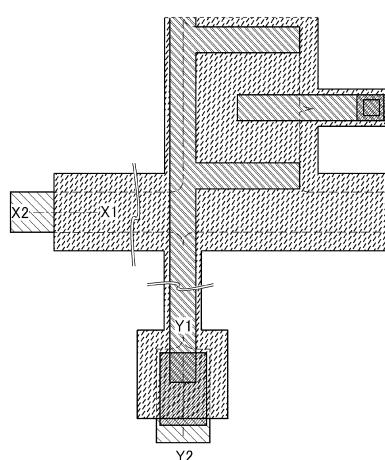
【図15】



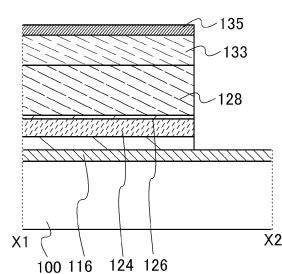
【図16】



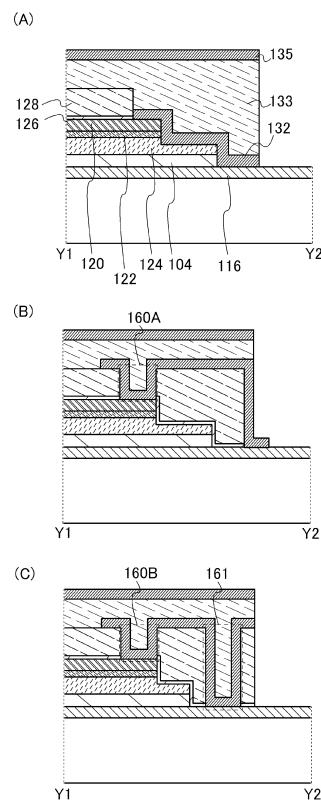
【図17】



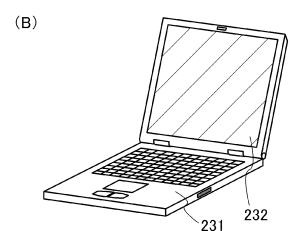
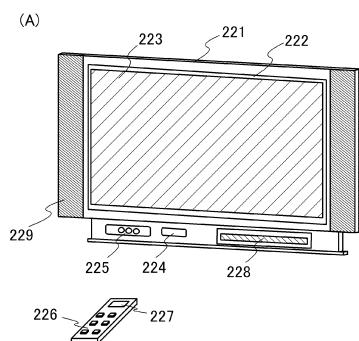
【図18】



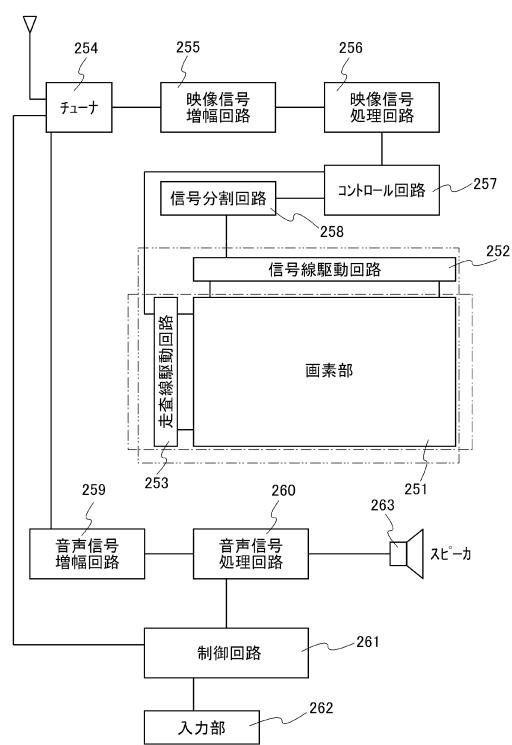
【図19】



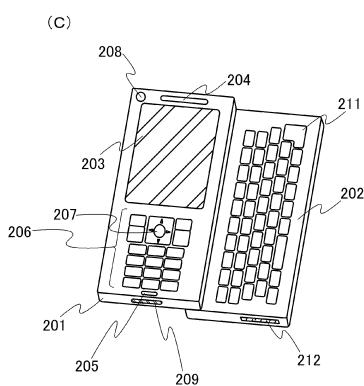
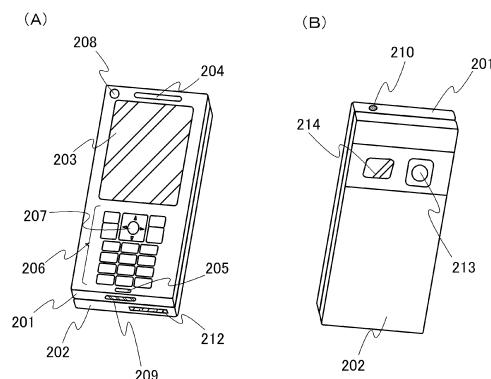
【図20】



【図21】



【図22】



フロントページの続き

審査官 佐野 浩樹

(56)参考文献 特開2001-202035(JP, A)

特開2003-179069(JP, A)

特開2001-109405(JP, A)

特開2003-223119(JP, A)

特開2001-174844(JP, A)

特開2008-009372(JP, A)

特開平09-160076(JP, A)

特開平11-133455(JP, A)

特開平09-033951(JP, A)

特開2001-188240(JP, A)

特開昭64-084669(JP, A)

特開2009-276758(JP, A)

特開2009-158941(JP, A)

特開2009-231828(JP, A)

米国特許出願公開第2005/0219433(US, A1)

(58)調査した分野(Int.Cl., DB名)

G 09 F 9 / 30 - 9 / 46

G 09 G 3 / 12 - 3 / 14

3 / 30 - 3 / 3291

H 01 L 21 / 336

27 / 32

29 / 786

51 / 50

H 05 B 33 / 00 - 33 / 28