



(12) 发明专利申请



(10) 申请公布号 CN 118872076 A

(43) 申请公布日 2024. 10. 29

(21) 申请号 202380028097.4

(22) 申请日 2023.03.14

(30) 优先权数据

2022-057450 2022.03.30 JP

(85) PCT国际申请进入国家阶段日

2024.09.14

(86) PCT国际申请的申请数据

PCT/JP2023/009876 2023.03.14

(87) PCT国际申请的公布数据

W02023/189549 JA 2023.10.05

(71) 申请人 株式会社日本显示器

地址 日本东京都

(72) 发明人 田丸尊也 津吹将志 渡壁创

佐佐木俊成

(74) 专利代理机构 北京市金杜律师事务所

11256

专利代理师 韩雪莲

(51) Int.Cl.

H01L 29/786 (2006.01)

G09F 9/00 (2006.01)

G09F 9/30 (2006.01)

H01L 21/306 (2006.01)

H01L 21/3065 (2006.01)

H01L 21/336 (2006.01)

H05B 33/02 (2006.01)

H10K 50/00 (2006.01)

H10K 59/00 (2006.01)

权利要求书1页 说明书25页 附图42页

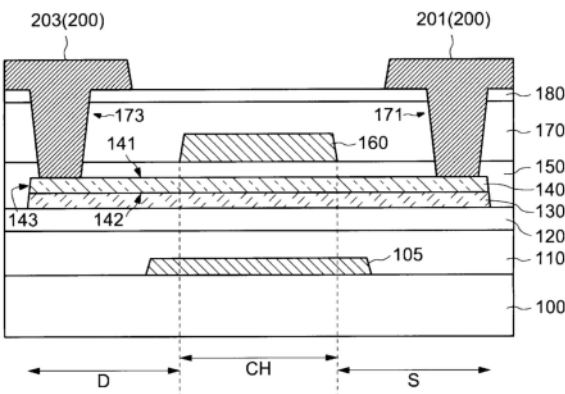
(54) 发明名称

半导体装置及半导体装置的制造方法

(57) 摘要

半导体装置的制造方法中,在绝缘表面上形成以铝为主成分的氧化金属层,对氧化金属层的表面实施平坦化处理,在进行了平坦化处理的表面之上形成氧化物半导体层,在氧化物半导体层之上形成栅极绝缘层,在栅极绝缘层之上形成与氧化物半导体层对置的栅电极。

10



1. 半导体装置的制造方法,其中,
在绝缘表面上形成以铝为主成分的氧化金属层,
对所述氧化金属层的表面实施平坦化处理,
在进行了所述平坦化处理的表面之上形成氧化物半导体层,
在所述氧化物半导体层之上形成栅极绝缘层,
在所述栅极绝缘层之上形成与所述氧化物半导体层对置的栅电极。
2. 根据权利要求1所述的半导体装置的制造方法,其中,通过所述平坦化处理来使所述氧化金属层的表面的算术平均粗糙度Ra为0.80nm以下。
3. 根据权利要求1所述的半导体装置的制造方法,其中,通过所述平坦化处理来将所述氧化金属层从所述氧化金属层的表面起除去5nm以上。
4. 根据权利要求1所述的半导体装置的制造方法,其中,所述平坦化处理通过使用了四甲基氢氧化铵、氢氧化钾、或者包含磷酸、硝酸及乙酸的混酸的湿式蚀刻处理来进行。
5. 根据权利要求1所述的半导体装置的制造方法,其中,所述平坦化处理通过使用了非活性气体或者卤素系气体的等离子体处理来进行。
6. 根据权利要求1所述的半导体装置的制造方法,其中,使所述平坦化处理后的氧化金属层的厚度为1nm以上20nm以下。
7. 根据权利要求1所述的半导体装置的制造方法,其包括:
在形成所述栅极绝缘层之后,在所述栅极绝缘层之上形成以铝为主成分的氧化金属层,
以在所述栅极绝缘层之上形成有所述氧化金属层的状态下进行热处理,
在所述热处理后除去所述氧化金属层。
8. 半导体装置,其具备:
设置在绝缘表面之上的以铝为主成分的氧化金属层;
设置在所述氧化金属层之上的氧化物半导体层;
与所述氧化物半导体层对置的栅电极;和
所述氧化物半导体层与栅电极之间的栅极绝缘层,
所述氧化金属层的表面的算术平均粗糙度Ra (nm) 与场效应迁移率 μ ($\text{cm}^2/\text{V} \cdot \text{s}$) 之间的关系用下式表示:
$$\mu = -10.033\text{Ra} + 48.23$$

(其中,算术平均粗糙度 $\text{Ra} \leq 0.80\text{nm}$)。
9. 根据权利要求8所述的半导体装置,其中,所述氧化金属层的厚度为1nm以上20nm以下。
10. 根据权利要求8所述的半导体装置,其中,所述氧化金属层具备针对氧及氢的阻挡性。
11. 根据权利要求8所述的半导体装置,其中,所述氧化物半导体层含有包括铟在内的两种以上的金属,所述两种以上的金属中的铟的比率为50%以上。
12. 根据权利要求8所述的半导体装置,其中,所述氧化物半导体层是具有结晶性的氧化物半导体层。
13. 根据权利要求8所述的半导体装置,其中,场效应迁移率为 $40\text{cm}^2/\text{V} \cdot \text{s}$ 以上。

半导体装置及半导体装置的制造方法

技术领域

[0001] 本发明的实施方式之一涉及半导体装置及半导体装置的制造方法。尤其是,本发明的实施方式之一涉及作为沟道使用了氧化物半导体的半导体装置及半导体装置的制造方法。

背景技术

[0002] 近年来,取代非晶硅、低温多晶硅及单晶硅而将氧化物半导体用于沟道的半导体装置的开发不断发展(例如专利文献1~6)。沟道中使用了氧化物半导体的半导体装置与沟道中使用了非晶硅的半导体装置同样地能够以简单的构造且通过低温工艺来形成。已知沟道中使用了氧化物半导体的半导体装置相较于沟道中使用了非晶硅的半导体装置而言,具有高的迁移率。

[0003] 为了使沟道中使用了氧化物半导体的半导体装置进行稳定的动作,在其制造工序中向氧化物半导体层供给氧来减小形成于氧化物半导体层的氧缺损是重要的。例如,作为向氧化物半导体层供给氧的方法之一,公开了在该绝缘层含有更多的氧的条件下形成覆盖氧化物半导体层的绝缘层的技术。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1:日本特开2021-141338号公报

[0007] 专利文献2:日本特开2014-099601号公报

[0008] 专利文献3:日本特开2021-153196号公报

[0009] 专利文献4:日本特开2018-006730号公报

[0010] 专利文献5:日本特开2016-184771号公报

[0011] 专利文献6:日本特开2021-108405号公报

发明内容

[0012] 发明所要解决的课题

[0013] 然而,在含有更多的氧的条件下形成的绝缘层会包含许多缺陷。在其影响下,会产生认为是由于在该缺陷中捕获电子而导致的半导体装置的特性异常或者可靠性试验中的特性变动。另一方面,若使用缺陷少的绝缘层,则无法增多绝缘层中含有的氧。因而,无法从绝缘层向氧化物半导体层充分地供给氧。如此一来,要求实现能够减少成为半导体装置的特性变动的原因的绝缘层中的缺陷并同时修复形成于氧化物半导体层的氧缺损的构造。

[0014] 此外,通过相对地提高氧化物半导体层中含有的铟的比率,由此能够获得具有高的迁移率的半导体装置。然而,在氧化物半导体层中含有的铟的比率高的情况下,容易在氧化物半导体层形成氧缺损。因而,为了在维持着高的可靠性的状态下实现高的迁移率,需要对氧化物半导体层的周围的绝缘层的构成下功夫。

[0015] 本发明的实施方式之一的一个课题是,实现可靠性及迁移率高的半导体装置。

[0016] 用于解决课题的手段

[0017] 本发明的一实施方式涉及的半导体装置的制造方法中,在绝缘表面上形成以铝为主成分的氧化金属层,对氧化金属层的表面实施平坦化处理,在进行了平坦化处理的表面之上形成氧化物半导体层,在氧化物半导体层之上形成栅极绝缘层,在栅极绝缘层之上形成与氧化物半导体层对置的栅电极。

[0018] 本发明的一实施方式涉及的半导体装置具备:设置在绝缘表面之上的以铝为主成分的氧化金属层;设置在氧化金属层之上的氧化物半导体层;与氧化物半导体层对置的栅电极;和氧化物半导体层与栅电极之间的栅极绝缘层,场效应迁移率 μ ($\text{cm}^2/\text{V} \cdot \text{s}$) 与氧化金属层的算术平均粗糙度Ra (nm) 之间的关系用下式表示:

[0019] $\mu = -10.033\text{Ra} + 48.23$

[0020] (其中,算术平均粗糙度 $\text{Ra} \leq 0.80\text{nm}$)。

附图说明

[0021] 图1是表示本发明的一实施方式涉及的半导体装置的概要的剖视图。

[0022] 图2是表示本发明的一实施方式涉及的半导体装置的概要的俯视图。

[0023] 图3是表示本发明的一实施方式涉及的半导体装置的制造方法的时序图。

[0024] 图4是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。

[0025] 图5是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。

[0026] 图6是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。

[0027] 图7是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。

[0028] 图8是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。

[0029] 图9是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。

[0030] 图10是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。

[0031] 图11是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。

[0032] 图12是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。

[0033] 图13是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。

[0034] 图14是表示本发明的一实施方式的变形例涉及的半导体装置的制造方法的时序图。

[0035] 图15是表示本发明的一实施方式的变形例涉及的半导体装置的制造方法的剖视图。

[0036] 图16是表示本发明的一实施方式的变形例涉及的半导体装置的制造方法的剖视图。

[0037] 图17是表示本发明的一实施方式的变形例涉及的半导体装置的概要的剖视图。

[0038] 图18是表示本发明的一实施方式的变形例涉及的半导体装置的制造方法的时序图。

[0039] 图19是表示本发明的一实施方式的变形例涉及的半导体装置的概要的剖视图。

[0040] 图20是表示本发明的一实施方式的变形例涉及的半导体装置的概要的俯视图。

[0041] 图21是表示本发明的一实施方式的变形例涉及的半导体装置的制造方法的时序图。

- [0042] 图22是表示本发明的一实施方式的变形例涉及的半导体装置的制造方法的剖视图。
- [0043] 图23是表示本发明的一实施方式的变形例涉及的半导体装置的制造方法的剖视图。
- [0044] 图24是表示本发明的一实施方式涉及的半导体装置的制造方法的时序图。
- [0045] 图25是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。
- [0046] 图26是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。
- [0047] 图27是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。
- [0048] 图28是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。
- [0049] 图29是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。
- [0050] 图30是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。
- [0051] 图31是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。
- [0052] 图32是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。
- [0053] 图33是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。
- [0054] 图34是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。
- [0055] 图35是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。
- [0056] 图36是表示本发明的一实施方式涉及的显示装置的概要的俯视图。
- [0057] 图37是表示本发明的一实施方式涉及的显示装置的电路构成的框图。
- [0058] 图38是表示本发明的一实施方式涉及的显示装置的像素电路的电路图。
- [0059] 图39是表示本发明的一实施方式涉及的显示装置的概要的剖视图。
- [0060] 图40是本发明的一实施方式涉及的显示装置的像素电极及公共电极的俯视图。
- [0061] 图41是表示本发明的一实施方式涉及的显示装置的像素电路的电路图。
- [0062] 图42是表示本发明的一实施方式涉及的显示装置的概要的剖视图。
- [0063] 图43是表示本发明的一实施方式涉及的半导体装置的电特性的图。
- [0064] 图44是表示本发明的一实施方式涉及的半导体装置的电特性的图。
- [0065] 图45是表示本发明的一实施方式涉及的半导体装置的电特性的图。
- [0066] 图46是表示本发明的一实施方式涉及的半导体装置的电特性的图。
- [0067] 图47是表示示出本发明的一实施方式涉及的半导体装置的场效应迁移率的偏差的箱型图的图。
- [0068] 图48是表示本发明的一实施方式涉及的半导体装置的电特性的图。
- [0069] 图49是表示本发明的一实施方式涉及的半导体装置的电特性的图。
- [0070] 图50是表示本发明的一实施方式涉及的半导体装置的电特性的图。
- [0071] 图51是表示示出本发明的一实施方式涉及的半导体装置的场效应迁移率的偏差的箱型图的图。
- [0072] 图52A是基于平坦化处理(条件1)得到的氧化铝层的AFM观察像。
- [0073] 图52B是基于平坦化处理(条件2)得到的氧化铝层的AFM观察像。
- [0074] 图53是表示基于平坦化处理(条件1)得到的氧化铝层的算术平均粗糙度(Ra)与半导体装置的场效应迁移率之间的依存性的图。
- [0075] 图54是表示基于平坦化处理(条件2)得到的氧化铝层的算术平均粗糙度(Ra)与半

导体装置的场效应迁移率之间的依存性的图。

[0076] 图55是表示基于平坦化处理(条件1及条件2)得到的氧化铝层的算术平均粗糙度(Ra)与半导体装置的场效应迁移率之间的依存性的图。

具体实施方式

[0077] 以下,参照附图来说明本发明的各实施方式。以下的公开只不过是一例。本领域技术人员在保持发明的主旨的同时通过对实施方式的构成适当进行变更而能容易地想到的构成当然包含在本发明的范围内。就附图而言,为了使说明更为明确,有时与实际的方式相比示意性地表示各部分的宽度、厚度、形状等。然而,图示出的形状只不过是一例,并不限定本发明的解释。在本说明书和各图中,对于与关于已出现的附图说明过的构成同样的构成标注同一附图标记,有时适当省略详细的说明。

[0078] 所谓“半导体装置”,是指通过利用半导体特性而能够发挥功能的所有装置。晶体管、半导体电路是半导体装置的一个形式。以下所示的实施方式的半导体装置例如也可以是用于显示装置、微处理器(Micro-Processing Unit:MPU)等集成电路(Integrated Circuit:IC)或者存储器电路的晶体管。

[0079] 所谓“显示装置”,是指使用电光学层来显示影像的结构体。例如,显示装置这样的用语有时是指包括电光学层的显示面板,或者有时也指相对显示单元装配有其他的光学构件(例如偏振构件、背光源、触控面板等)的结构体。只要不产生技术上的矛盾,则“电光学层”可包括液晶层、电致发光(EL)层、电致变色(EC)层、电泳层。因而,关于后述的实施方式,例示包括液晶层的液晶显示装置及包括有机EL层的有机EL显示装置来作为显示装置进行说明,但本实施方式中的构造能够应用于包括上述的其他电光学层的显示装置。

[0080] 在本发明的各实施方式中,将从基板朝向氧化物半导体层的方向称为上或者上方。反之,将从氧化物半导体层朝向基板的方向称为下或者下方。这样,为了便于说明,使用上方或者下方这样的语句来进行说明,但例如也可以将基板和氧化物半导体层的上下关系配置成与图示不同的朝向。在以下的说明中,例如基板上的氧化物半导体层这样的表述只不过如上所述那样用于说明基板与氧化物半导体层的上下关系,也可以在基板与氧化物半导体层之间配置其他的构件。上方或者下方是指层叠有多个层的构造中的层叠顺序,在表述为晶体管的上方的像素电极的情况下,也可以是在俯视观察下晶体管与像素电极不重叠的位置关系。另一方面,在表述为晶体管的铅垂上方的像素电极的情况下,是指在俯视观察下晶体管与像素电极重叠的位置关系。

[0081] 在本说明书中,只要没有特别明示,则“ α 包括A、B或者C”、“ α 包括A、B及C中的任一者”、“ α 包括选自A、B及C组成的组中的一者”这样的表述不排除 α 包括A~C的多个组合的情况。此外,上述的表述也不排除 α 包括其他的要素的情况。

[0082] 需要说明的是,以下的各实施方式只要不产生技术上的矛盾则能够互相组合。

[0083] 〈第一实施方式〉

[0084] 使用图1~图13来对本发明的一实施方式涉及的半导体装置进行说明。

[0085] [半导体装置10的构成]

[0086] 使用图1及图2来对本发明的一实施方式涉及的半导体装置10的构成进行说明。图1是表示本发明的一实施方式涉及的半导体装置的概要的剖视图。图2是表示本发明的一实

施方式涉及的半导体装置的概要的俯视图。

[0087] 如图1所示,半导体装置10设置在基板100的上方。半导体装置10包括栅电极105、栅极绝缘层110、120、氧化金属层130(也称为金属氧化物层)、氧化物半导体层140、栅极绝缘层150、栅电极160、绝缘层170、180、源电极201及漏电极203。在不特别区分源电极201与漏电极203的情况下,有时将它们一并称为源・漏电极200。

[0088] 栅电极105设置在基板100之上。栅极绝缘层110及栅极绝缘层120设置在基板100及栅电极105之上。氧化金属层130设置在栅极绝缘层120之上。氧化金属层130与栅极绝缘层120相接。氧化物半导体层140设置在氧化金属层130之上。氧化物半导体层140与氧化金属层130相接。将氧化物半导体层140的主面中的与氧化金属层130相接的面称为下表面142。氧化金属层130的端部与氧化物半导体层140的端部大致一致。

[0089] 在本实施方式中,在氧化金属层130与基板100之间没有设置半导体层或者氧化物半导体层。

[0090] 在本实施方式中,例示了氧化金属层130与栅极绝缘层120相接、氧化物半导体层140与氧化金属层130相接的构成,但限定于该构成。可以在栅极绝缘层120与氧化金属层130之间设置其他层。也可以在氧化金属层130与氧化物半导体层140之间设置其他层。

[0091] 在图1中,氧化金属层130的侧壁与氧化物半导体层140的侧壁在直线上排列,但限定于该构成。氧化金属层130的侧壁相对于基板100的主面的角度也可以与氧化物半导体层140的侧壁相对于基板100的主面的角度不同。氧化金属层130及氧化物半导体层140中的至少任一方的侧壁的剖面形状也可以是弯曲的。

[0092] 栅电极160与氧化物半导体层140对置。栅极绝缘层150设置在氧化物半导体层140与栅电极160之间。栅极绝缘层150与氧化物半导体层140相接。将氧化物半导体层140的主面中的与栅极绝缘层150相接的面称为上表面141。将上表面141与下表面142之间的面称为侧面143。绝缘层170、180设置在栅极绝缘层150及栅电极160之上。在绝缘层170、180设置有到达氧化物半导体层140的开口171、173。源电极201设置在开口171的内部。源电极201在开口171的底部与氧化物半导体层140相接。漏电极203设置在开口173的内部。漏电极203在开口173的底部与氧化物半导体层140相接。

[0093] 栅电极105具备作为半导体装置10的底栅的功能及作为针对氧化物半导体层140的遮光膜的功能。栅极绝缘层110具备遮挡从基板100朝向氧化物半导体层140扩散的杂质的作为阻挡膜的功能。栅极绝缘层110、120具备作为针对底栅的栅极绝缘层的功能。氧化金属层130是包含以铝为主成分的氧化金属的层,具备作为遮挡氧、氢等气体的气体阻挡膜的功能。

[0094] 氧化物半导体层140被划分为源极区域S、漏极区域D及沟道区域CH。沟道区域CH是氧化物半导体层140中的栅电极160的铅垂下方的区域。源极区域S是氧化物半导体层140中的与栅电极160不重叠的区域,是比沟道区域CH接近源电极201的一侧的区域。漏极区域D是氧化物半导体层140中的与栅电极160不重叠的区域,是比沟道区域CH接近漏电极203的一侧的区域。沟道区域CH中的氧化物半导体层140具备作为半导体的物性。源极区域S及漏极区域D中的氧化物半导体层140具备作为导电体的物性。

[0095] 栅电极160具备作为半导体装置10的顶栅及针对氧化物半导体层140的遮光膜的功能。栅极绝缘层150具备作为针对顶栅的栅极绝缘层的功能,且具备通过制造工艺中的热

处理来放出氧的功能。绝缘层170、180具备将栅电极160与源・漏电极200绝缘来减少两者间的寄生电容的功能。半导体装置10的动作主要通过供给至栅电极160的电压来控制。向栅电极105供给辅助性的电压。但是,在将栅电极105仅作为遮光膜来使用的情况下,也可以不向栅电极105供给特定的电压而是使栅电极105处于浮置状态。即,也可以将栅电极105简称为“遮光膜”。

[0096] 在本实施方式中,作为半导体装置10,例示使用了栅电极设置在氧化物半导体层的上方及下方这两方的双栅型晶体管的构成,但不限定于该构成。例如,作为半导体装置10,也可以使用栅电极仅设置在氧化物半导体层的下方的底栅型晶体管或者栅电极仅设置在氧化物半导体层的上方的顶栅型晶体管。上述的构成只不过是一实施方式,本发明不限定于上述的构成。

[0097] 如图2所示,在俯视观察下,氧化金属层130的平面图案与氧化物半导体层140的平面图案大致相同。在参照图1及图2时,氧化物半导体层140的下表面142由氧化金属层130覆盖。尤其是在本实施方式中,氧化物半导体层140的下表面142的全部由氧化金属层130覆盖。在第一方向D1上,栅电极105的宽度比栅电极160的宽度大。第一方向D1是连结源电极201与漏电极203的方向,是表示半导体装置10的沟道长度L的方向。具体而言,氧化物半导体层140与栅电极160重叠的区域(沟道区域CH)中的第一方向D1上的长度是沟道长度L,该沟道区域CH的第二方向D2上的宽度为沟道宽度W。

[0098] 在本实施方式中,例示了氧化物半导体层140的下表面142的全部由氧化金属层130覆盖的构成,但不限定于该构成。例如也可以是,氧化物半导体层140的下表面142的一部分不与氧化金属层130相接。例如也可以是,沟道区域CH中的氧化物半导体层140的下表面142的全部由氧化金属层130覆盖,源极区域S及漏极区域D中的氧化物半导体层140的下表面142的全部或者一部分不由氧化金属层130覆盖。即,源极区域S及漏极区域D中的氧化物半导体层140的下表面142的全部或者一部分也可以不与氧化金属层130相接。然而,在上述的构成中,也可以是,沟道区域CH中的氧化物半导体层140的下表面142的一部分不由氧化金属层130覆盖,该下表面142的其他部分与氧化金属层130相接。

[0099] 在本实施方式中,例示了栅极绝缘层150整面地形成且在栅极绝缘层150设置有开口171、173的构成,但不限定于该构成。栅极绝缘层150也可以被图案化。例如,也可以以露出源极区域S及漏极区域D的氧化物半导体层140的方式将栅极绝缘层150图案化。即,也可以除去源极区域S及漏极区域D的栅极绝缘层150,在这些区域中使氧化物半导体层140与绝缘层170相接。

[0100] 在图2中,例示了在俯视观察下源・漏电极200不与栅电极105及栅电极160重叠的构成,但不限定于该构成。例如,也可以在俯视观察下源・漏电极200与栅电极105及栅电极160中的至少任一方重叠。上述的构成只不过是一实施方式,本发明不限定于上述的构成。

[0101] [半导体装置10的各构件的材质]

[0102] 作为基板100,使用玻璃基板、石英基板及蓝宝石基板等具有透光性的刚性基板。在需要基板100具备挠性的情况下,作为基板100,使用聚酰亚胺基板、丙烯酸基板、硅氧烷基板、氟树脂基板等包含树脂的基板。在使用包含树脂的基板作为基板100的情况下,为了提高基板100的耐热性,也可以向上述的树脂导入杂质。尤其在半导体装置10是顶部发射型的显示器的情况下,由于不需要基板100是透明的,因此也可以使用会使基板100的透明度

降低的杂质。在不是显示装置的集成电路中使用半导体装置10的情况下,作为基板100,使用硅基板、碳化硅基板、化合物半导体基板等半导体基板或者不锈钢基板等导电性基板那样不具备透光性的基板。

[0103] 作为栅电极105、栅电极160及源・漏电极200,使用通常的金属材料。例如,作为这些构件,例如使用铝(Al)、钛(Ti)、铬(Cr)、钴(Co)、镍(Ni)、钼(Mo)、铪(Hf)、钽(Ta)、钨(W)、铋(Bi)、银(Ag)、铜(Cu)及它们的合金或者它们的化合物。作为栅电极105、栅电极160及源・漏电极200,可以以单层形式使用上述的材料,也可以以层叠形式使用上述的材料。

[0104] 作为栅极绝缘层110、120及绝缘层170、180,使用通常的绝缘层性材料。例如,作为这些绝缘层,使用氧化硅(SiO_x)、氧氮化硅(SiO_xN_y)、氮化硅(SiN_x)、氮氧化硅(SiN_xO_y)、氧化铝(AlO_x)、氧氮化铝(AlO_xN_y)、氮氧化铝(AlN_xO_y)、氮化铝(AlN_x)等无机绝缘层。

[0105] 作为栅极绝缘层150,使用上述的绝缘层中的含氧的绝缘层。例如,作为栅极绝缘层150,使用氧化硅(SiO_x)、氧氮化硅(SiO_xN_y)、氧化铝(AlO_x)、氧氮化铝(AlO_xN_y)等无机绝缘层。

[0106] 作为栅极绝缘层120,使用具备通过热处理来放出氧的功能的绝缘层。例如,栅极绝缘层120放出氧的热处理的温度例如为600°C以下、500°C以下、450°C以下或者400°C以下。即,例如,就栅极绝缘层120而言,在使用了玻璃基板来作为基板100的情况下,在半导体装置10的制造工序中进行的热处理温度下放出氧。

[0107] 作为栅极绝缘层150,使用缺陷少的绝缘层。例如,在对栅极绝缘层150中的氧的组成比和与栅极绝缘层150同样组成的绝缘层(以下,称为“其他的绝缘层”)中的氧的组成比进行比较的情况下,栅极绝缘层150中的氧的组成比相较于该其他的绝缘层中的氧的组成比而言更接近该绝缘层的化学计量比。具体而言,在栅极绝缘层150及绝缘层180分别使用氧化硅(SiO_x)的情况下,作为栅极绝缘层150来使用的氧化硅中的氧的组成比相较于作为绝缘层180来使用的氧化硅中的氧的组成比而言,更接近氧化硅的化学计量比。例如,作为栅极绝缘层150,也可以使用在利用电子自旋共振法(ESR)进行评价时没有观测到缺陷的层。

[0108] 上述的 SiO_xN_y 及 AlO_xN_y 是含有比氧(O)少的比率($x>y$)的氮(N)的硅化合物及铝化合物。 SiN_xO_y 及 AlN_xO_y 是含有比氮少的比率($x>y$)的氧的硅化合物及铝化合物。

[0109] 作为氧化金属层130,使用以铝为主成分的氧化金属。例如,作为氧化金属层130,可使用氧化铝(AlO_x)、氧氮化铝(AlO_xN_y)、氮氧化铝(AlN_xO_y)、氮化铝(AlN_x)等无机绝缘层。所谓“以铝为主成分的氧化金属层”,是指氧化金属层130中含有的铝的比率为氧化金属层130整体的1%以上。氧化金属层130中含有的铝的比率也可以为氧化金属层130整体的5%以上70%以下、10%以上60%以下或者30%以上50%以下。上述的比率可以是质量比,也可以是重量比。

[0110] 作为氧化物半导体层140,可使用具有半导体的特性的氧化金属。例如,作为氧化物半导体层140,可使用含有包括铟(In)在内的两种以上的金属的氧化物半导体。铟相对于氧化物半导体层140的整体的比率为50%以上。作为氧化物半导体层140,除了铟以外,还可使用镓(Ga)、锌(Zn)、铝(Al)、铪(Hf)、钇(Y)、氧化锆(Zr)、镧系元素。作为氧化物半导体层140,也可以使用上述以外的其他元素。

[0111] 氧化物半导体层140可以为非晶,也可以具有结晶性。氧化物半导体层140还可以

是非晶与晶体的混合相。如下所述,在铟的比率为50%以上的氧化物半导体层140中,容易形成氧缺损。结晶性的氧化物半导体相较于非晶的氧化物半导体而言,不易形成氧缺损。因而,优选上述那样的氧化物半导体层140具有结晶性。

[0112] [在实现本发明的过程中新认识到的课题]

[0113] 通过使氧化物半导体层140中的铟的比率为50%以上,由此实现高迁移率的半导体装置10。另一方面,在这样的氧化物半导体层140中,氧化物半导体层140中含有的氧容易被还原,因此容易在氧化物半导体层140中形成氧缺损。

[0114] 在半导体装置10中,在制造工艺的热处理工序中,从设置在比氧化物半导体层140靠基板100侧的层(例如栅极绝缘层110、120)放出氢。由于该氢到达氧化物半导体层140,从而在氧化物半导体层140产生氧缺损。该氧缺损的产生在氧化物半导体层140的图案尺寸越大的情况下越为显著。为了抑制这样的氧缺损的产生,需要抑制氢到达氧化物半导体层140的下表面142。上述的内容是第一个课题。

[0115] 除了上述课题以外,还存在以下所示的第二个课题。氧化物半导体层140的上表面141会受到形成氧化物半导体层140之后的工序(例如,图案化工序或者蚀刻工序)的影响。另一方面,氧化物半导体层140的下表面142(氧化物半导体层140的基板100侧的面)不会受到上述这样的影响。

[0116] 因而,在氧化物半导体层140的上表面141附近形成的氧缺损比在氧化物半导体层140的下表面142附近形成的氧缺损多。即,氧化物半导体层140中的氧缺损并非在氧化物半导体层140的厚度方向上一致地存在,而是在氧化物半导体层140的厚度方向上以不均匀的分布存在。具体而言,氧化物半导体层140中的氧缺损越靠氧化物半导体层140的下表面142侧越少,越靠氧化物半导体层140的上表面141侧越多。

[0117] 在针对具有上述那样的氧缺损分布的氧化物半导体层140一致地进行氧供给处理的情况下,若供给用于修复在氧化物半导体层140的上表面141侧形成的氧缺损所需的量的氧,则会向氧化物半导体层140的下表面142侧过量地供给氧。其结果是,在下表面142侧,因过量氧而形成与氧缺损不同的缺陷能级。其结果是,发生可靠性试验中的特性变动或者场效应迁移率的降低等现象。因而,为了抑制这样的现象,需要一边抑制向氧化物半导体层140的下表面142侧的氧供给一边向氧化物半导体层140的上表面141侧供给氧。

[0118] 上述的课题是在达到本发明的过程中新认识到的课题,而不是以往认识到的课题。在以往的构成及制造方法中,即便通过向氧化物半导体层的氧供给处理来改善半导体装置的初始特性,也会发生可靠性试验中的特性变动,在初始特性与可靠性试验之间存在折衷的关系。然而,通过本实施方式涉及的构成,能够解决上述的课题,并能够获得半导体装置10的良好的初始特性及高的可靠性。

[0119] 此外,供氧化物半导体层140成膜的表面的平坦性会对氧化物半导体层140的结晶性造成影响。在本实施方式中,供氧化物半导体层140成膜的氧化金属层130通常通过溅射来成膜。通过溅射刚成膜氧化金属层130后的表面粗糙度(算术平均粗糙度Ra)为1nm~4nm左右。若在氧化金属层130的表面产生表面凹凸,即便其为1nm~4nm左右,则在氧化金属层130之上成膜的氧化物半导体层140利用热处理进行结晶化时,氧化物半导体层140的厚度方向上的晶体生长也会受到妨碍。即,氧化物半导体层140的晶体生长的方向因表面凹凸而变得随机。在使用了这样的氧化物半导体层的半导体装置中,无法期待场效应迁移率的

进一步提高。因此,为了提高半导体装置的场效应迁移率,存在改善的余地。

[0120] 在本发明的一实施方式涉及的半导体装置10中,氧化金属层130的算术平均粗糙度 R_a (nm)与场效应迁移率 μ ($\text{cm}^2/\text{V} \cdot \text{s}$)的关系用下式表示。

[0121] $\mu = -10.033R_a + 48.23$

[0122] (其中,算术平均粗糙度 $R_a \leq 0.80\text{nm}$)

[0123] 在本发明的一实施方式中,在氧化金属层130与氧化物半导体层140的界面处,氧化金属层130的上表面具有平坦性。氧化物半导体层140在减少了表面凹凸的表面之上成膜,在后会进行叙述。在对成膜于氧化金属层130之上的氧化物半导体层140进行热处理时,能够使氧化物半导体层140的晶体生长的方向及生长的速度一致。通过使用具有这样的结晶性的氧化物半导体层140,由此能够进一步提高半导体装置10的场效应迁移率。具体而言,能够使半导体装置10的场效应迁移率为 $40\text{cm}^2/\text{V} \cdot \text{s}$ 以上。

[0124] [半导体装置10的制造方法]

[0125] 使用图3~图13来对本发明的一实施方式涉及的半导体装置的制造方法进行说明。图3是表示本发明的一实施方式涉及的半导体装置的制造方法的时序图。图4~图13是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。在以下的制造方法的说明中,对使用了氧化铝来作为氧化金属层130的半导体装置10的制造方法进行说明。

[0126] 如图3及图4所示,在基板100之上形成栅电极105作为底栅,在栅电极105之上形成栅极绝缘层110、120(图3的步骤S1001的“底部GI/GE形成”)。例如,作为栅极绝缘层110,形成氮化硅。例如,作为栅极绝缘层120,形成氧化硅。栅极绝缘层110、120通过CVD(Chemical Vapor Deposition,化学气相沉积)法来成膜。

[0127] 通过使用氮化硅来作为栅极绝缘层110,由此栅极绝缘层110能够阻挡例如从基板100侧朝向氧化物半导体层140扩散的杂质。作为栅极绝缘层120来使用的氧化硅是具备通过热处理来放出氧这样的物性的氧化硅。

[0128] 如图3及图5所示,在栅极绝缘层120之上形成氧化金属层130(图3的步骤S1002的“ AlO_x 成膜”)。氧化金属层130通过溅射法或者原子层法(ALD:Atomic Layer Deposition)来成膜。

[0129] 例如,氧化金属层130成膜时的厚度为6nm以上60nm以下、6nm以上50nm、6nm以上25nm或者6nm以上15nm。也可以根据之后要说明的平坦化处理的方法来适当设定氧化金属层130的厚度。在本实施方式中,作为氧化金属层130,使用氧化铝。氧化铝具备针对氧或者氢等气体的高阻挡性。氧化金属层130通过溅射来成膜。在本实施方式中,作为氧化金属层130来使用的氧化铝阻挡从栅极绝缘层120放出的氢及氧,抑制放出的氢及氧到达氧化物半导体层140。

[0130] 刚成膜后的氧化金属层130的表面具有1nm~4nm左右的表面凹凸。在使成膜于氧化金属层130之上的氧化物半导体层140结晶化时,若存在表面凹凸,即便其为1nm~4nm左右,则晶体生长的方向也会变得随机。然而,难以通过溅射以使氧化金属层130的表面凹凸小于1nm的方式进行成膜。因此,优选通过对氧化金属层130的表面进行平坦化处理来使氧化金属层130的表面凹凸小于1nm。

[0131] 如图3及图6所示,对氧化金属层130进行平坦化处理(图3的步骤S1003的“ AlO_x 平坦化处理”)。作为 AlO_x 的平坦化处理,使用湿式蚀刻处理或者等离子体处理。

[0132] 在通过湿式蚀刻处理进行平坦化处理的情况下,作为药液,例如使用用于除去抗蚀剂材料的显影液等碱系的药液。作为碱系的药液,使用四甲基氢氧化铵(TMAH)或者氢氧化钾(KOH)等溶液等。另外,也可以使用磷酸、硝酸、氢氟酸、盐酸、硫酸、乙酸、草酸等酸性的药液或者它们的混合液。作为酸性的药液,也可以使用例如包含磷酸、硝酸及乙酸的混酸。另外,通过湿式蚀刻处理,优选将氧化金属层130的表面除去5nm以上,更优选除去40nm以上。在氧化金属层130成膜时的厚度为6nm以上25nm或者6nm以上15nm的情况下,通过进行平坦化处理,由此氧化金属层130的厚度成为1nm以上20nm以下,优选成为1nm以上10nm以下。将通过以1000nm见方、高度10nm(固定)并且利用AFM对氧化金属层130的表面进行观察而测得的氧化金属层130的算术平均粗糙度设为 $Ra < 1\text{nm}$,优选设为 $Ra \leq 0.80$,更优选设为 $Ra \leq 0.73\text{nm}$ 。在作为平坦化处理进行湿式蚀刻处理的情况下,还能够兼顾将氧化物半导体层140成膜前的清洗工序。

[0133] 在通过等离子体处理进行平坦化处理的情况下,利用反溅射或者蚀刻来进行处理。在利用反溅射来进行等离子体处理的情况下,可以使用氩气、氦气、氮气等非活性气体。另外,在利用反溅射来进行等离子体处理的情况下,可以使用氧气,也可以使用氧气与非活性气体的混合气体。另外,在利用蚀刻来进行等离子体处理的情况下,可以使用氯系气体、氟系气体等卤素系的气体。优选通过等离子体处理将氧化金属层130的表面除去5nm以上。在氧化金属层130成膜时的厚度为6nm以上60nm以下或者6nm以上50nm的情况下,通过进行平坦化处理,由此氧化金属层130的厚度成为1nm以上20nm以下,优选成为1nm以上10nm以下。将通过以1000nm见方、高度10nm(固定)并且利用AFM对氧化金属层130的表面进行观察而测得的氧化金属层130的算术平均粗糙度设为 $Ra < 1\text{nm}$,优选设为 $Ra \leq 0.73\text{nm}$,更优选设为 $Ra \leq 0.67$ 。在作为平坦化处理进行等离子体处理的情况下,还能够除去附着在表面的颗粒。

[0134] 这里,对评价氧化金属层130的表面的平坦性的方法进行说明。氧化金属层130的平坦性能够使用原子力显微镜(AFM:Atomic Force Microscope)来评价。通过AFM分析来获取粗糙度曲线。基于粗糙度曲线,获取算术平均粗糙度(Ra)、均方根粗糙度(Rq)、最大高低差($Rmax$)等来作为粗糙度曲线参数。

[0135] 算术平均粗糙度(Ra)是基准长度内的纵坐标值 $Z(X)$ 的绝对值的平均。算术平均粗糙度(Ra)越小,膜的平坦性越高。需要说明的是,纵坐标值 $Z(X)$ 是任意的位点 X 处的粗糙度曲线的高度。均方根高度(Rq)表示基准长度内的均方根。是指表面粗糙度的标准偏差。

[0136] 上述的粗糙度曲线参数按照JIS B 0601-2001(相当于ISO 4287-1997)来定义。

[0137] 氧化金属层130的粗糙度曲线参数也可以取代原子力显微镜而利用拍摄半导体装置所得的剖面TEM图像的对比度来算出。在剖面TEM图像中,氧化金属层130与氧化物半导体层140的对比度(亮度)不同。因此,也可以将氧化金属层130与氧化物半导体层140的对比度的边界近似为氧化金属层130的表面的粗糙度曲线。也可以基于近似出的粗糙度曲线,按照JIS B 0601-2001算出算术平均粗糙度(Ra)、均方根粗糙度(Rq)来作为粗糙度曲线参数。

[0138] 平坦化处理后的氧化金属层的厚度为1nm以上20nm以下,优选为1nm以上10nm以下。

[0139] 如图3及图7所示,在进行了平坦化处理的氧化金属层130之上成膜氧化物半导体层140(图3的步骤S1004的“OS成膜”)。

[0140] 例如,氧化物半导体层140的厚度为10nm以上100nm以下、15nm以上70nm以下或者20nm以上40nm以下。在本实施方式中,作为氧化物半导体层140,使用包含铟(In)及镓(Ga)的氧化物。后述的热处理(OS退火)前的氧化物半导体层140为非晶。

[0141] 在通过后述的OS退火来使氧化物半导体层140结晶化的情况下,优选成膜后且OS退火前的氧化物半导体层140为非晶状态(氧化物半导体的结晶成分少的状态)。即,氧化物半导体层140的成膜条件优选为刚成膜后的氧化物半导体层140尽可能地不发生结晶化的条件。例如,在通过溅射法来成膜氧化物半导体层140的情况下,在被成膜对象物(基板100及其之上形成的结构物)的温度受到控制的状态下成膜氧化物半导体层140。

[0142] 当利用溅射法来对被成膜对象物进行成膜时,由等离子体中产生的离子及溅射靶反冲出的原子会与成膜对象物发生碰撞。因此,伴随着成膜处理,被成膜对象物的温度会上升。若成膜处理中的被成膜对象物的温度上升,则在刚成膜后的状态下氧化物半导体层140中包含微晶。由于该微晶,导致之后的基于OS退火引起的结晶化受到妨碍。为了如上所述那样控制被成膜对象物的温度,也可以例如一边冷却被成膜对象物一边进行成膜。例如,也可以以使被成膜对象物的被成膜面的温度(以下,称为“成膜温度”)成为100℃以下、70℃以下、50℃以下或者30℃以下的方式对被成膜对象物从该被成膜面的相反侧的面进行冷却。通过如上所述那样一边冷却被成膜对象物一边进行氧化物半导体层140的成膜,由此能够成膜出在刚成膜后的状态下结晶成分少的氧化物半导体层140。

[0143] 如图3及图8所示,形成氧化物半导体层140的图案(图3的步骤S1005的“OS图案形成”)。虽未图示,但在氧化物半导体层140之上形成抗蚀剂掩模,使用该抗蚀剂掩模来对氧化物半导体层140进行蚀刻。作为氧化物半导体层140的蚀刻,可以使用湿式蚀刻,也可以使用干式蚀刻。作为湿式蚀刻,也可以使用酸性的蚀刻剂来进行蚀刻。例如,作为蚀刻剂,能够使用草酸或者氢氟酸。

[0144] 在氧化物半导体层140的图案形成后对氧化物半导体层140进行热处理(OS退火)(图3的步骤S1004的“OS退火”)。在本实施方式中,通过该OS退火来使氧化物半导体层140结晶化。在本实施方式中,氧化金属层130的算术平均粗糙度Ra降低至小于1nm,优选降低至0.80nm以下,更优选降低至0.73nm以下。在氧化金属层130的抑制了表面凹凸的平坦的表面上形成氧化物半导体层140。因此,在通过OS退火来使氧化物半导体层140结晶化时,能够抑制晶体生长的方向变得随机,使晶体生长的方向及生长的速度一致。由此,能够形成具有晶体生长的方向一致这样的结晶性的氧化物半导体层140。

[0145] 如图3及图9所示,形成氧化金属层130的图案(图3的步骤S1007的“A10x图案形成”)。将在上述工序中经图案化的氧化物半导体层140作为掩模来对氧化金属层130进行蚀刻。作为氧化金属层130的蚀刻,可以使用湿式蚀刻,也可以使用干式蚀刻。作为湿式蚀刻,例如可使用稀释氢氟酸(DHF)。如上所述,通过将氧化物半导体层140作为掩模来对氧化金属层130进行蚀刻,由此能够省略光刻工序。

[0146] 如图3及图10所示,成膜栅极绝缘层150(图3的步骤S1008的“GI形成”)。例如,作为栅极绝缘层150,形成氧化硅。栅极绝缘层150通过CVD法来形成。例如,为了如上所述形成缺陷少的绝缘层作为栅极绝缘层150,也可以在350℃以上的成膜温度下成膜栅极绝缘层150。例如,栅极绝缘层150的厚度为50nm以上300nm以下、60nm以上200nm以下或者70nm以上150nm以下。也可以在成膜栅极绝缘层150之后进行向栅极绝缘层150的一部分注入氧的处

理。

[0147] 在氧化物半导体层140之上成膜了栅极绝缘层150的状态下,进行用于向氧化物半导体层140供给氧的热处理(氧化退火)(图3的步骤S1009的“氧化退火”)。在从成膜氧化物半导体层140起直至氧化物半导体层140之上成膜栅极绝缘层150为止的期间的工序中,在氧化物半导体层140的上表面141及侧面143产生大量的氧缺损。通过上述的氧化退火而从栅极绝缘层120、150放出的氧被向氧化物半导体层140供给来修复氧缺损。

[0148] 通过氧化退火而从栅极绝缘层120放出的氧被氧化金属层130阻挡。因而,不易向氧化物半导体层140的下表面142供给氧。从栅极绝缘层120放出的氧从没有形成氧化金属层130的区域向设置在栅极绝缘层120之上的栅极绝缘层150扩散,经由栅极绝缘层150而到达氧化物半导体层140。其结果是,从栅极绝缘层120放出的氧不易向氧化物半导体层140的下表面142供给,而是主要向氧化物半导体层140的侧面143及上表面141供给。此外,通过氧化退火而从栅极绝缘层150放出的氧被向氧化物半导体层140的上表面141及侧面143供给。通过上述的氧化退火,有时会从栅极绝缘层110、120放出氢,但该氢被氧化金属层130阻挡。

[0149] 如上所述,通过氧化退火的工序,能够抑制向氧缺损的量少的氧化物半导体层140的下表面142的氧供给、并同时向氧缺损的量多的氧化物半导体层140的上表面141及侧面143进行氧供给。

[0150] 如图3及图11所示,成膜栅电极160(图3的步骤S1010的“GE形成”)。栅电极160通过溅射法或者原子层沉积法来成膜,并经过光刻工序而被图案化。

[0151] 在栅电极160经图案化的状态下,进行氧化物半导体层140的源极区域S及漏极区域D的低电阻化(图3的步骤S1011的“SD低电阻化”)。具体而言,通过离子注入,从栅电极160侧经由栅极绝缘层150向氧化物半导体层140注入杂质。例如,通过离子注入,将氩(Ar)、磷(P)、硼(B)向氧化物半导体层140注入。通过利用离子注入在氧化物半导体层140中形成氧缺损,由此使氧化物半导体层140低电阻化。由于在作为半导体装置10的沟道区域CH来发挥功能的氧化物半导体层140的上方设置有栅电极160,因此不向沟道区域CH的氧化物半导体层140注入杂质。

[0152] 如图3及图12所示,在栅极绝缘层150及栅电极160之上成膜绝缘层170、180来作为层间膜(图3的步骤S1012的“层间膜成膜”)。绝缘层170、180通过CVD法来成膜。例如,作为绝缘层170,形成氮化硅,作为绝缘层180,形成氧化硅。作为绝缘层170、180来使用的材料不限于上述。绝缘层170的厚度为50nm以上500nm以下。绝缘层180的厚度为50nm以上500nm以下。

[0153] 如图3及图13所示,在栅极绝缘层150及绝缘层170、180形成开口171、173(图3的步骤S1013的“接触开孔”)。通过开口171使源极区域S的氧化物半导体层140露出。通过开口173使漏极区域D的氧化物半导体层140露出。通过在因开口171、173而露出的氧化物半导体层140之上及绝缘层180之上形成源·漏电极200(图3的步骤S1014的“SD形成”),由此完成图1所示的半导体装置10。

[0154] 关于通过上述的制造方法制作出的半导体装置10,能够在氧化物半导体层140中使晶体生长的方向和生长的速度一致。由此,在半导体装置10中的沟道区域CH的沟道长度L为 $2\mu\text{m}$ 以上 $4\mu\text{m}$ 以下且沟道区域CH的沟道宽度为 $2\mu\text{m}$ 以上 $25\mu\text{m}$ 以下的范围内,能够获得迁移率为 $30[\text{cm}^2/\text{Vs}]$ 以上、 $35[\text{cm}^2/\text{Vs}]$ 以上、优选为 $40[\text{cm}^2/\text{Vs}]$ 以上这样的电特性。本实施方式

中的迁移率是指半导体装置10的饱和区域中的场效应迁移率。具体而言,该迁移率是指源电极与漏电极之间的电位差(Vd)比从供给至栅电极的电压(Vg)减去半导体装置10的阈值电压(Vth)后的值(Vg-Vth)大的区域中的场效应迁移率的最大值。

[0155] 另外,在上述的制造方法中,在利用湿式蚀刻对氧化金属层130进行了平坦化处理的半导体装置10中,氧化金属层130的表面的算术平均粗糙度Ra (nm)与场效应迁移率 μ ($\text{cm}^2/\text{V} \cdot \text{s}$)之间的关系用下式表示。

$$[0156] \quad \mu = -10.033\text{Ra} + 48.23$$

[0157] (其中,算术平均粗糙度 $\text{Ra} \leq 0.80$)

[0158] 另外,在上述的制造方法中,在利用等离子体处理对氧化金属层130进行了平坦化处理的半导体装置10中,氧化金属层130的表面的算术平均粗糙度Ra (nm)与场效应迁移率 μ ($\text{cm}^2/\text{V} \cdot \text{s}$)之间的关系用下式表示。

$$[0159] \quad \mu = -5.9584\text{Ra} + 43.978$$

[0160] (其中,算术平均粗糙度 $\text{Ra} \leq 0.67$)

[0161] 另外,在上述的制造方法中,在利用湿式蚀刻或者等离子体处理对氧化金属层130进行了平坦化处理的半导体装置10中,氧化金属层130的表面的算术平均粗糙度Ra (nm)与场效应迁移率 μ ($\text{cm}^2/\text{V} \cdot \text{s}$)之间的关系用下式表示。

$$[0162] \quad \mu = -5.770\text{Ra} + 44.22$$

[0163] (其中,算术平均粗糙度 $\text{Ra} \leq 0.73$)

[0164] 〈第一实施方式的变形例1〉

[0165] 使用图14~图16来对本实施方式的变形例1进行说明。变形例1涉及的半导体装置10的构造与图1同样,但其制造方法与图3~图13不同。在以下的说明中,省略与图3~图13所示的制造方法共通的制造方法的说明,主要对两者的不同点涉及的制造方法进行说明。

[0166] 图14是表示本发明的一实施方式的变形例涉及的半导体装置的制造方法的时序图。图15及图16是表示本发明的一实施方式的变形例涉及的半导体装置的制造方法的剖视图。如图14所示,在变形例1中,将氧化金属层130及氧化物半导体层140的图案一并形成(步骤S1020的“OS/A10x图案形成”)。

[0167] 如图15所示,在成膜氧化金属层130及氧化物半导体层140之后,在氧化物半导体层140之上形成抗蚀剂掩模220。然后,如图16所示,使用抗蚀剂掩模220来形成氧化金属层130及氧化物半导体层140的图案。作为氧化金属层130及氧化物半导体层140的蚀刻,可以使用湿式蚀刻,也可以使用干式蚀刻。在利用湿式蚀刻对氧化金属层130及氧化物半导体层140进行蚀刻的情况下,能够使用与上述同样的蚀刻剂。在变形例1中,在形成了氧化金属层130及氧化物半导体层140的图案的状态下进行OS退火(步骤S1006)。之后的步骤S1008~S1014由于与图3同样,因此省略详细的说明。

[0168] 〈第一实施方式的变形例2〉

[0169] 使用图17及图18来对本实施方式的变形例2进行说明。变形例2涉及的半导体装置10的构造及制造方法与图1及图3~图13不同。在以下的说明中,省略与图1及图3~图13所示的制造方法共通的制造方法的说明,主要对两者的不同点涉及的制造方法进行说明。

[0170] 图17是表示本发明的一实施方式的变形例涉及的半导体装置的概要的剖视图。图18是表示本发明的一实施方式的变形例涉及的半导体装置的制造方法的时序图。

[0171] 如图17所示,变形例2涉及的半导体装置10的构造与图1所示的半导体装置10的构造类似,但在没有形成氧化金属层130的图案这点上与图1所示的半导体装置10的构造不同。即,在变形例2中,氧化金属层130与氧化物半导体层140的图案相比向外侧延伸。氧化金属层130在氧化物半导体层140的图案的外侧与栅极绝缘层150相接。

[0172] 如图18所示,变形例2涉及的半导体装置10的制造方法与图3所示的半导体装置10的制造方法类似,但在省略氧化金属层130的图案形成(图3的步骤S1007)的工序这点上与图3所示的半导体装置10的制造方法不同。之后的步骤S1008~S1014由于与图3同样,因此省略详细的说明。

[0173] 〈第一实施方式的变形例3〉

[0174] 使用图19~图23来对本实施方式的变形例3进行说明。变形例3涉及的半导体装置10的构造及制造方法与图1~图13不同。在以下的说明中,省略与图1~图13所示的制造方法共通的制造方法的说明,主要对两者的不同点涉及的制造方法进行说明。

[0175] 图19是表示本发明的一实施方式涉及的半导体装置的概要的剖视图。图20是表示本发明的一实施方式涉及的半导体装置的概要的俯视图。

[0176] 如图19及图20所示,变形例3涉及的半导体装置10的构造与图1及图2所示的半导体装置10的构造类似,但在氧化金属层130的图案不同于氧化物半导体层140的图案这点上与图1所示的半导体装置10的构造不同。具体而言,在图19的剖视观察下,氧化物半导体层140的图案与氧化金属层130的图案相比向外侧延伸。即,氧化物半导体层140越过氧化金属层130的图案。氧化物半导体层140在氧化金属层130的图案的外侧与栅极绝缘层120相接。有时将栅极绝缘层120称为“第一绝缘层”。

[0177] 源·漏电极200在没有设置氧化金属层130的区域与氧化物半导体层140相接。在图20的俯视观察下,氧化金属层130的图案位于氧化物半导体层140的图案的内侧。在与氧化金属层130的图案不重叠的区域设置有开口171、173。

[0178] 图21是表示本发明的一实施方式涉及的半导体装置的制造方法的时序图。图22及图23是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。如图21所示,在变形例3中,在形成氧化金属层130的图案(步骤S1030的“A10x成膜”及S1031的“A10x图案形成”)之后,进行氧化金属层130的平坦化处理(步骤S1032)。之后,形成氧化物半导体层140的图案(步骤S1033的“OS成膜”及S1034的“OS图案形成”)。与图3不同的是,OS退火(步骤S1035的“OS退火”)在形成栅极绝缘层150之后进行。

[0179] 如图22所示,在栅极绝缘层120之上成膜氧化金属层130(步骤S1030),并形成氧化金属层130的图案(步骤S1031)。氧化金属层130的图案形成(蚀刻)通过与上述同样的方法进行。之后,对经图案化的氧化金属层130的表面进行平坦化处理(步骤S1032)。

[0180] 如图23所示,在经图案化的氧化金属层130之上成膜氧化物半导体层140(步骤S1033),形成氧化物半导体层140的图案(步骤S1034)。氧化物半导体层140的图案形成(蚀刻)通过与上述同样的方法进行。并且,在图23所示的状态下进行OS退火(步骤S1035)。之后的步骤S1008~S1014由于与图3同样,因此省略详细的说明。

[0181] 如上所述,根据本实施方式的变形例1~3涉及的半导体装置10,能够获得与本实施方式同样的效果。

[0182] 〈第二实施方式〉

[0183] 使用图24～图35来对本发明的一实施方式涉及的半导体装置进行说明。

[0184] [半导体装置10的构成]

[0185] 本实施方式涉及的半导体装置10的构成与第一实施方式同样。因而,参照图1及图2来对本实施方式涉及的半导体装置10进行说明。本实施方式涉及的半导体装置10在制造方法中与第一实施方式涉及的半导体装置10不同。因而,在本实施方式中,省略半导体装置10的构成的说明,对其制造方法进行说明。在以下的说明中,作为氧化金属层190(也称为金属氧化物层),可使用与氧化金属层130同样的材料。

[0186] [半导体装置10的制造方法]

[0187] 使用图24～图35来对本发明的一实施方式涉及的半导体装置的制造方法进行说明。图24是表示本发明的一实施方式涉及的半导体装置的制造方法的时序图。图25～图35是表示本发明的一实施方式涉及的半导体装置的制造方法的剖视图。在以下的制造方法的说明中,对使用了氧化铝作为氧化金属层130、190的半导体装置10的制造方法进行说明。

[0188] 如图24及图25所示,在基板100之上形成栅电极105作为底栅,在栅电极105之上形成栅极绝缘层110、120(图24的步骤S2001的“底部GI/GE形成”)。例如,作为栅极绝缘层110,形成氮化硅。例如,作为栅极绝缘层120,形成氧化硅。栅极绝缘层110、120通过CVD(Chemical Vapor Deposition)法来成膜。

[0189] 通过使用氮化硅来作为栅极绝缘层110,由此栅极绝缘层110能够阻挡例如从基板100侧朝向氧化物半导体层140扩散的杂质。作为栅极绝缘层120来使用的氧化硅是具备通过热处理来放出氧这样的物性的氧化硅。

[0190] 如图24及图26所示,在栅极绝缘层120之上形成氧化金属层130及氧化物半导体层140(图24的步骤S2002的“A10x成膜”)。氧化金属层130通过溅射法或者原子层沉积法(ALD: Atomic Layer Deposition)来成膜。

[0191] 氧化金属层130成膜时的厚度例如为6nm以上60nm以下、6nm以上50nm、6nm以上25nm或者6nm以上15nm。也可以根据之后要说明的平坦化处理的方法来适当设定氧化金属层130的厚度。在本实施方式中,作为氧化金属层130,使用氧化铝。氧化铝具备针对氧及氢等气体的高阻挡性。氧化金属层130通过溅射来成膜。在本实施方式中,作为氧化金属层130来使用的氧化铝阻挡从栅极绝缘层120放出的氢及氧,抑制放出的氢及氧到达氧化物半导体层140。

[0192] 刚成膜后的氧化金属层130的表面具有1nm～4nm左右的表面凹凸。在使成膜于氧化金属层130之上的氧化物半导体层140结晶化时,若存在表面凹凸,即便其为1nm～4nm左右,则晶体生长的方向也会变得随机。然而,难以通过溅射以使氧化金属层130的表面凹凸小于1nm的方式进行成膜。因而,优选通过对氧化金属层130的表面进行平坦化处理来使氧化金属层130的表面凹凸小于1nm。

[0193] 如图24及图27所示,对氧化金属层130进行平坦化处理(图3的步骤S2003的“A10x平坦化处理”)。作为A10x的平坦化处理,使用湿式蚀刻处理或者等离子体处理。

[0194] 在通过湿式蚀刻处理进行平坦化处理的情况下,作为药液,例如使用用于除去抗蚀剂材料的显影液等碱系的药液。作为碱系的药液,使用四甲基氢氧化铵(TMAH)或者氢氧化钾(KOH)等溶液等。另外,也可以使用磷酸、硝酸、氢氟酸、盐酸、硫酸、乙酸、草酸等酸性的药液或者它们的混合液。作为酸性的药液,也可以使用例如包含磷酸、硝酸及乙酸的混酸。

另外,通过湿式蚀刻处理,优选将氧化金属层130的表面除去5nm以上,更优选除去40nm以上。在氧化金属层130成膜时的厚度为6nm以上25nm或者6nm以上15nm的情况下,通过进行平坦化处理,由此氧化金属层130的厚度成为1nm以上20nm以下或者1nm以上10nm以下。将通过以1000nm见方、高度10nm(固定)并且利用AFM对氧化金属层130的表面进行观察而测得的氧化金属层130的算术平均粗糙度设为 $Ra < 1nm$,优选设为 $Ra \leq 0.80$,更优选设为 $Ra \leq 0.73nm$ 。在作为平坦化处理进行湿式蚀刻处理的情况下,还能够兼顾将氧化物半导体层140成膜之前的清洗工序。

[0195] 在通过等离子体处理进行平坦化处理的情况下,利用反溅射或者蚀刻来进行处理。在利用反溅射来进行等离子体处理的情况下,可以使用氩气、氮气等非活性气体。另外,在利用反溅射来进行等离子体处理的情况下,可以使用氧气,也可以使用氧气与非活性气体的混合气体。另外,在利用蚀刻来进行等离子体处理的情况下,可以使用氯系气体、氟系气体等卤素系的气体。优选通过等离子体处理将氧化金属层130的表面除去5nm以上。在氧化金属层130成膜时的厚度为6nm以上60nm以下或者6nm以上50nm的情况下,通过进行平坦化处理,由此氧化金属层130的厚度成为1nm以上20nm以下,优选成为1nm以上10nm以下。将通过以1000nm见方、高度10nm(固定)并且利用AFM对氧化金属层130的表面进行观察而测得的氧化金属层130的算术平均粗糙度设为 $Ra < 1nm$,优选设为 $Ra \leq 0.73$,更优选设为 $Ra \leq 0.67nm$ 。在作为平坦化处理进行等离子体处理的情况下,还能够除去附着在表面的颗粒。

[0196] 氧化金属层130的平坦性能够使用原子力显微镜(AFM:Atomic Force Microscope)来评价。如在第一实施方式中说明的那样,通过AFM分析来获取粗糙度曲线,获取算术平均粗糙度(Ra)、均方根粗糙度(Rq)、最大高低差(Rmax)等来作为粗糙度曲线参数。

[0197] 平坦化处理后的氧化金属层的厚度为1nm以上20nm以下,优选为1nm以上10nm以下。

[0198] 如图24及图28所示,在进行了平坦化处理的氧化金属层130之上成膜氧化物半导体层140(图3的步骤S2004的“OS成膜”)。

[0199] 例如,氧化物半导体层140的厚度为10nm以上100nm以下、15nm以上70nm以下或者20nm以上40nm以下。在本实施方式中,作为氧化物半导体层140,使用包含铟(In)及镓(Ga)的氧化物。后述的OS退火前的氧化物半导体层140为非晶。

[0200] 在通过后述的OS退火来使氧化物半导体层140结晶化的情况下,优选成膜后且OS退火前的氧化物半导体层140为非晶状态(氧化物半导体的结晶成分少的状态)。即,氧化物半导体层140的成膜条件优选为刚成膜后的氧化物半导体层140尽可能地不发生结晶化的条件。例如,在通过溅射法来成膜氧化物半导体层140的情况下,在被成膜对象物(基板100及其之上形成的结构物)的温度受到控制的状态下成膜氧化物半导体层140。

[0201] 当利用溅射法来对被成膜对象物进行成膜时,由等离子体中产生的离子及溅射靶反冲出的原子会与成膜对象物发生碰撞。因此,伴随着成膜处理,被成膜对象物的温度会上升。若成膜处理中的被成膜对象物的温度上升,则在刚成膜后的状态下氧化物半导体层140中包含微晶。由于该微晶,导致之后的基于OS退火引起的结晶化受到妨碍。为了如上所述那样控制被成膜对象物的温度,也可以例如一边冷却被成膜对象物一边进行成膜。例如,也可以以使被成膜对象物的被成膜面的温度成为100℃以下、70℃以下、50℃以下或者30℃以下的方式对被成膜对象物从该被成膜面的相反侧的面进行冷却。通过如上所述那样一边

冷却被成膜对象物一边进行氧化物半导体层140的成膜,由此能够成膜在刚成膜后的状态下结晶成分少的氧化物半导体层140。

[0202] 如图24及图29所示,形成氧化物半导体层140的图案(图24的步骤S2005的“OS图案形成”)。虽未图示,但在氧化物半导体层140之上形成抗蚀剂掩模,使用该抗蚀剂掩模来对氧化物半导体层140进行蚀刻。作为氧化物半导体层140的蚀刻,可以使用湿式蚀刻,也可以使用干式蚀刻。作为湿式蚀刻,可以使用酸性的蚀刻剂来进行蚀刻。例如,作为蚀刻剂,可以使用例如草酸或者氢氟酸。

[0203] 在氧化物半导体层140的图案形成后,对氧化物半导体层140进行热处理(OS退火)(图24的步骤S2006的“OS退火”)。在本实施方式中,通过该OS退火来使氧化物半导体层140结晶化。

[0204] 如图24及图30所示,形成氧化金属层130的图案(图24的步骤S2007的“A10x图案形成”)。将在上述工序中经图案化的氧化物半导体层140作为掩模来对氧化金属层130进行蚀刻。作为氧化金属层130的蚀刻,可以使用湿式蚀刻,也可以使用干式蚀刻。作为湿式蚀刻,例如使用稀释氢氟酸(DHF)。通过如上所述那样将氧化物半导体层140作为掩模来对氧化金属层130进行蚀刻,由此能够省略光刻工序。

[0205] 如图24及图31所示,成膜栅极绝缘层150(图24的步骤S2008的“GI形成”)。例如,作为栅极绝缘层150,形成氧化硅。栅极绝缘层150通过CVD法来形成。例如,为了如上所述形成缺陷少的绝缘层作为栅极绝缘层150,也可以在350℃以上的成膜温度下成膜栅极绝缘层150。例如,栅极绝缘层150的厚度为50nm以上300nm以下、60nm以上200nm以下或者70nm以上150nm以下。也可以在成膜栅极绝缘层150之后进行向栅极绝缘层150的一部分注入氧的处理。在栅极绝缘层150之上成膜氧化金属层190(图24的步骤S2009的“A10x成膜”)。氧化金属层190通过溅射法来成膜。通过氧化金属层190的成膜来向栅极绝缘层150注入氧。

[0206] 例如,氧化金属层190的厚度为5nm以上100nm以下、5nm以上50nm以下、5nm以上30nm以下或者7nm以上15nm以下。在本实施方式中,作为氧化金属层190,使用氧化铝。氧化铝具备针对氧及氢等气体的高阻挡性。在本实施方式中,作为氧化金属层190来使用的氧化铝抑制在氧化金属层190成膜时注入到栅极绝缘层150的氧向外方扩散。

[0207] 例如,在通过溅射法形成了氧化金属层190的情况下,在氧化金属层190的膜中会残留溅射所使用的工艺气体。例如,在使用了Ar作为溅射的工艺气体的情况下,有时会在氧化金属层190的膜中残留Ar。残留的Ar能够通过针对氧化金属层190进行的SIMS(Secondary Ion Mass Spectrometry)分析来检测出。

[0208] 在氧化物半导体层140之上成膜了栅极绝缘层150且在栅极绝缘层150之上成膜了氧化金属层190的状态下,进行用于向氧化物半导体层140供给氧的热处理(氧化退火)(图24的步骤S2010的“氧化退火”)。在从成膜氧化物半导体层140起直至在氧化物半导体层140之上成膜栅极绝缘层150为止的期间的工序中,在氧化物半导体层140的上表面141及侧面143产生大量的氧缺损。通过上述的氧化退火而从栅极绝缘层120、150放出的氧被向氧化物半导体层140供给来修复氧缺损。

[0209] 通过氧化退火而从栅极绝缘层120放出的氧被氧化金属层130阻挡。因而,不易向氧化物半导体层140的下表面142供给氧。从栅极绝缘层120放出的氧从没有形成氧化金属层130的区域向设置在栅极绝缘层120之上的栅极绝缘层150扩散,经由栅极绝缘层150而到

达氧化物半导体层140。其结果是,从栅极绝缘层120放出的氧不易向氧化物半导体层140的下表面142供给,而是主要向氧化物半导体层140的侧面143及上表面141供给。此外,通过氧化退火而从栅极绝缘层150放出的氧被向氧化物半导体层140的上表面141及侧面143供给。通过上述的氧化退火,有时会从栅极绝缘层110、120放出氢,但该氢被氧化金属层130阻挡。

[0210] 如上所述,通过氧化退火的工序,能够抑制向氧缺损的量少的氧化物半导体层140的下表面142的氧供给、并同时向氧缺损的量多的氧化物半导体层140的上表面141及侧面143进行氧供给。

[0211] 同样地,在上述的氧化退火中,注入到栅极绝缘层150的氧被氧化金属层190阻挡。因而,抑制该氧向大气中放出。因而,通过该氧化退火,将该氧高效地向氧化物半导体层140供给来修复氧缺损。

[0212] 如图24及图32所示,在氧化退火后,对氧化金属层190进行蚀刻(除去)(图24的步骤S2011的“A10x除去”)。作为氧化金属层190的蚀刻,可以使用湿式蚀刻,也可以使用干式蚀刻。作为湿式蚀刻,例如可使用稀释氢氟酸(DHF)。

[0213] 如图24及图33所示,成膜栅电极160(图24的步骤S2012的“GE形成”)。栅电极160通过溅射法或者原子层沉积法来成膜,并经过光刻工序而被图案化。

[0214] 在栅电极160经图案化的状态下,进行氧化物半导体层140的源极区域S及漏极区域D的低电阻化(图24的步骤S2013的“SD低电阻化”)。具体而言,通过离子注入,从栅电极160侧经由栅极绝缘层150向氧化物半导体层140注入杂质。例如,通过离子注入,将氩(Ar)、磷(P)、硼(B)向氧化物半导体层140注入。通过利用离子注入在氧化物半导体层140形成氧缺损,由此使氧化物半导体层140低电阻化。由于在作为半导体装置10的沟道区域CH来发挥功能的氧化物半导体层140的上方设置有栅电极160,因此不向沟道区域CH的氧化物半导体层140注入杂质。

[0215] 如图24及图34所示,在栅极绝缘层150及栅电极160之上成膜绝缘层170、180来作为层间膜(图24的步骤S2014的“层间膜成膜”)。绝缘层170、180通过CVD法来成膜。例如,作为绝缘层170,形成氮化硅,作为绝缘层180,形成氧化硅。作为绝缘层170、180来使用的材料不限于上述。绝缘层170的厚度为50nm以上500nm以下。绝缘层180的厚度为50nm以上500nm以下。

[0216] 如图24及图35所示,在栅极绝缘层150及绝缘层170、180形成开口171、173(图24的步骤S2015的“接触开孔”)。通过开口171使源极区域S的氧化物半导体层140露出。通过开口173使漏极区域D的氧化物半导体层140露出。通过在因开口171、173而露出的氧化物半导体层140之上及绝缘层180之上形成源・漏电极200(图24的步骤S2016的“SD形成”),由此完成图1所示的半导体装置10。

[0217] 在通过上述的制造方法制作出的半导体装置10中,能够在氧化物半导体层140中使晶体生长的方向和生长的速度一致。由此,在半导体装置10中的沟道区域CH的沟道长度L为 $2\mu\text{m}$ 以上 $4\mu\text{m}$ 以下且沟道区域CH的沟道宽度为 $2\mu\text{m}$ 以上 $25\mu\text{m}$ 以下的范围内,能够获得迁移率为 $50[\text{cm}^2/\text{Vs}]$ 以上、 $55[\text{cm}^2/\text{Vs}]$ 以上或者 $60[\text{cm}^2/\text{Vs}]$ 以上这样的电特性。本实施方式中的迁移率是指半导体装置10的饱和区域中的场效应迁移率。具体而言,该迁移率是指源电极与漏电极之间的电位差(Vd)比从供给至栅电极的电压(Vg)减去半导体装置10的阈值电压(Vth)后大的区域中的场效应迁移率的最大值。

[0218] 另外,在上述的制造方法中,在利用湿式蚀刻对氧化金属层130进行了平坦化处理的半导体装置10中,氧化金属层130的表面的算术平均粗糙度Ra (nm) 与场效应迁移率 μ ($\text{cm}^2/\text{V} \cdot \text{s}$) 之间的关系用下式表示。

$$[0219] \quad \mu = -10.033\text{Ra} + 48.23$$

[0220] (其中,算术平均粗糙度 $\text{Ra} \leq 0.80$)

[0221] 另外,在上述的制造方法中,在利用等离子体处理对氧化金属层130进行了平坦化处理的半导体装置10中,氧化金属层130的表面的算术平均粗糙度Ra (nm) 与场效应迁移率 μ ($\text{cm}^2/\text{V} \cdot \text{s}$) 之间的关系用下式表示。

$$[0222] \quad \mu = -5.9584\text{Ra} + 43.978$$

[0223] (其中,算术平均粗糙度 $\text{Ra} \leq 0.67$)

[0224] 另外,在上述的制造方法中,在利用湿式蚀刻或者等离子体处理对氧化金属层130进行了平坦化处理的半导体装置10中,氧化金属层130的表面的算术平均粗糙度Ra (nm) 与场效应迁移率 μ ($\text{cm}^2/\text{V} \cdot \text{s}$) 之间的关系用下式表示。

$$[0225] \quad \mu = -5.770\text{Ra} + 44.22$$

[0226] (其中,算术平均粗糙度 $\text{Ra} \leq 0.73$)

[0227] 〈第三实施方式〉

[0228] 使用图36~图40来对使用了本发明的一实施方式涉及的半导体装置的显示装置进行说明。在以下所示的实施方式中,对将在上述的第一实施方式及第二实施方式中说明了的半导体装置10适用于液晶显示装置的电路的构成进行说明。

[0229] [显示装置20的概要]

[0230] 图36是表示本发明的一实施方式涉及的显示装置的概要的俯视图。如图36所示,显示装置20具有阵列基板300、密封部310、对置基板320、柔性印制电路基板330 (FPC330) 及IC芯片340。阵列基板300与对置基板320通过密封部310来贴合。在由密封部310包围的液晶区域22中呈矩阵状地配置有多个像素电路301。液晶区域22是与后述的液晶元件311在俯视观察下重叠的区域。

[0231] 设置有密封部310的密封区域24是液晶区域22周围的区域。FPC330设置于端子区域26。端子区域26是阵列基板300从对置基板320露出的区域,设置在密封区域24的外侧。密封区域24的外侧是指设置有密封部310的区域及由密封部310包围的区域的外侧。IC芯片340设置在FPC330上。IC芯片340供给用于使各像素电路301驱动的信号。

[0232] [显示装置20的电路构成]

[0233] 图37是表示本发明的一实施方式涉及的显示装置的电路构成的框图。如图37所示,在相对于配置有像素电路301的液晶区域22在第一方向D1 (列方向) 上邻接的位置处设置有源极驱动电路302,在相对于液晶区域22在第二方向D2 (行方向) 上邻接的位置处设置有栅极驱动电路303。源极驱动电路302及栅极驱动电路303设置在上述的密封区域24。但是,设置源极驱动电路302及栅极驱动电路303的区域不限于密封区域24,只要是设置有像素电路301的区域的外侧,则可以是任意的区域。

[0234] 源极布线304从源极驱动电路302沿着第一方向D1延伸,并与在第一方向D1上排列的多个像素电路301连接。栅极布线305从栅极驱动电路303沿着第二方向D2延伸,并与在第二方向D2上排列的多个像素电路301连接。

[0235] 在端子区域26设置有端子部306。端子部306与源极驱动电路302通过连接布线307来连接。同样,端子部306与栅极驱动电路303通过连接布线307来连接。通过将FPC330连接于端子部306,由此将连接了FPC330的外部设备与显示装置20连接,设置于显示装置20的各像素电路301通过来自外部设备的信号来驱动。

[0236] 第一实施方式及第二实施方式所示的半导体装置10作为在像素电路301、源极驱动电路302及栅极驱动电路303中包括的晶体管来使用。

[0237] [显示装置20的像素电路301]

[0238] 图38是表示本发明的一实施方式涉及的显示装置的像素电路的电路图。如图38所示,像素电路301包括半导体装置10、保持电容350及液晶元件311等元件。半导体装置10具有栅电极160、源电极201及漏电极203。栅电极160与栅极布线305连接。源电极201与源极布线304连接。漏电极203与保持电容350及液晶元件311连接。在本实施方式中,为了便于说明,将用附图标记“201”表示的电极称为源电极,将用附图标记“203”表示的电极称为漏电极,但也可以是,用附图标记“201”表示的电极作为漏电极来发挥功能,用附图标记“203”表示的电极作为源电极来发挥功能。

[0239] [显示装置20的剖面构造]

[0240] 图39是本发明的一实施方式涉及的显示装置的剖视图。如图39所示,显示装置20是使用了半导体装置10的显示装置。在本实施方式中,例示了将半导体装置10用于像素电路301的构成,但也可以将半导体装置10用于包括源极驱动电路302及栅极驱动电路303的周边电路。在以下的说明中,半导体装置10的构成由于与图1所示的半导体装置10同样,因此省略说明。

[0241] 在源电极201及漏电极203之上设置有绝缘层360。在绝缘层360之上设置有对多个像素来说公共地设置的公共电极370。在公共电极370之上设置有绝缘层380。在绝缘层360、380设置有开口381。在绝缘层380之上及开口381的内部设置有像素电极390。像素电极390与漏电极203连接。

[0242] 图40是本发明的一实施方式涉及的显示装置的像素电极及公共电极的俯视图。如图40所示,公共电极370具有在俯视观察下与像素电极390重叠的重叠区域和与像素电极390不重叠的非重叠区域。若向像素电极390与公共电极370之间供给电压,则从重叠区域的像素电极390朝向非重叠区域的公共电极370形成横向电场。通过利用该横向电场使液晶元件311中包括的液晶分子动作,由此决定像素的灰度。

[0243] 〈第四实施方式〉

[0244] 使用图41及图42来对使用了本发明的一实施方式涉及的半导体装置的显示装置进行说明。在本实施方式中,对将在上述的第一实施方式及第二实施方式中说明了的半导体装置10适用于有机EL显示装置的电路的构成进行说明。显示装置20的概要及电路构成由于与图36及图37所示的内容同样,因此省略说明。

[0245] [显示装置20的像素电路301]

[0246] 图41是表示本发明的一实施方式涉及的显示装置的像素电路的电路图。如图41所示,像素电路301包括驱动晶体管11、选择晶体管12、保持电容210及发光元件D0等元件。驱动晶体管11及选择晶体管12具备与半导体装置10同样的构成。选择晶体管12的源电极与信号线211连接,选择晶体管12的栅电极与栅极线212连接。驱动晶体管11的源电极与阳极电

源线213连接,驱动晶体管11的漏电极与发光元件D0的一端连接。发光元件D0的另一端与阴极电源线214连接。驱动晶体管11的栅电极与选择晶体管12的漏电极连接。保持电容210与驱动晶体管11的栅电极及漏电极连接。向信号线211供给决定发光元件D0的发光强度的灰度信号。向栅极线212供给选择要写入上述的灰度信号的像素行的信号。

[0247] [显示装置20的剖面构造]

[0248] 图42是本发明的一实施方式涉及的显示装置的剖视图。图42所示的显示装置20的构成与图39所示的显示装置20类似,但图42的显示装置20中的比绝缘层360靠上方的构造与图39的显示装置20中的比绝缘层360靠上方的构造不同。以下,关于图42的显示装置20的构成中的与图39的显示装置20同样的构成省略说明,对两者的不同点进行说明。

[0249] 如图42所示,显示装置20在绝缘层360的上方具有像素电极390、发光层392及公共电极394(发光元件D0)。像素电极390设置在绝缘层360之上及开口381的内部。在像素电极390之上设置有绝缘层362。在绝缘层362设置有开口363。开口363与发光区域对应。即,绝缘层362划分像素。在因开口363而露出的像素电极390之上设置有发光层392及公共电极394。像素电极390及发光层392相对于各像素单独地设置。另一方面,公共电极394相对于多个像素公共地设置。发光层392根据像素的显示色而使用不同的材料。

[0250] 在第三实施方式及第四实施方式中,例示了将在第一实施方式及第二实施方式中说明了的半导体装置适用于液晶显示装置及有机EL显示装置的构成,但也可以将该半导体装置适用于上述的显示装置以外的显示装置(例如,有机EL显示装置以外的自发光型显示装置或者电子纸型显示装置)。另外,只要没有特别限定,则从中小型的显示装置到大型的显示装置都能够适用上述半导体装置。

[0251] 实施例

[0252] 在本实施例中,参照图43~图51来说明针对以铝为主成分的氧化金属层的表面进行的平坦化处理的效果。图43~图46、图48~图50是表示半导体装置的电特性的图。图47及图51是示出半导体装置的场效应迁移率的箱型图。

[0253] [氧化铝的平坦性与半导体装置的电特性的关系]

[0254] 在本实施例中,按照图24所示的半导体装置10的制造方法的时序图来形成。在本实施例中,作为以铝为主成分的氧化金属,使用了氧化铝。

[0255] [氧化铝的平坦化处理]

[0256] 氧化铝的平坦化处理的条件如下。

[0257] • 基板:玻璃基板

[0258] • 氧化铝成膜时的厚度:10nm、11nm、15nm、50nm

[0259] • 平坦化处理的条件1(显影液(TMAH)):1nm、5nm、40nm

[0260] • 平坦化处理的条件2(Ar气体):小于1nm、1nm、5nm

[0261] 氧化铝成膜时的厚度通过进行平坦化处理而均被设定为10nm。在成膜时的厚度为50nm的情况下,通过进行平坦化处理来除去40nm,由此设为10nm。在成膜时的厚度为15nm的情况下,通过进行平坦化处理来除去5nm,由此设为10nm。在成膜时的厚度为10nm的情况下,通过进行平坦化处理来除去小于1nm,由此设为大致10nm。

[0262] [初始特性]

[0263] 图43~图46、图48~图50所示的电特性的测定条件如下。

- [0264] • 沟道区域CH的尺寸: $W/L=4.5\mu\text{m}/3.0\mu\text{m}$
- [0265] • 源极・漏极间电压: 0.1V、10V
- [0266] • 栅极电压: -15V ~ +15V
- [0267] • 测定环境: 室温、暗室
- [0268] • 测定部位: 26处

[0269] 首先, 针对以平坦化处理的条件1 (显影液 (TMAH)) 对氧化铝进行了平坦化处理而得到的结果进行说明。

[0270] 图43是表示没有进行平坦化处理的半导体装置的电特性 (I_d - V_g 特性) 及迁移率的图。图44是表示通过平坦化处理将氧化铝层的表面除去了1nm的半导体装置的电特性 (I_d - V_g 特性) 及迁移率的图。图45是表示通过平坦化处理将氧化铝层的表面除去了5nm的半导体装置的电特性 (I_d - V_g 特性) 及迁移率的图。图46是表示通过平坦化处理将氧化铝层的表面除去了40nm的半导体装置的电特性 (I_d - V_g 特性) 及迁移率的图。图43 ~ 图46均是对基板面内26处的电特性进行了测定后的结果。

[0271] 如图43 ~ 图46的图中箭头所示的那样, 针对漏极电流 (I_d) 的纵轴在图的左侧示出, 针对根据该漏极电流而计算出的迁移率的纵轴在图的右侧示出。

[0272] 图43所示的电特性的基板面内的阈值电压的平均值为0.51V, 图44所示的电特性的基板面内的阈值电压的平均值为0.52V, 图45所示的电特性的基板面内的阈值电压的平均值为0.53V, 图46所示的电特性的基板面内的阈值电压的平均值为0.51V。如图43 ~ 图46所示, 半导体装置的电特性显示出在栅极电压 V_g 高于0V的电压下漏极电流 I_d 开始流动的所谓的常截止的特性。

[0273] 图47是表示示出图43 ~ 图46所示的半导体装置各自的基板面内 (26处) 的迁移率的分布的箱型图的图。在图47中, 横轴为参考 (Ref.) (未处理)、除去了1nm、5nm、40nm的情况, 纵轴为场效应迁移率 (cm^2/Vs)。

[0274] 如图47所示, 未处理的情况下的迁移率的平均值为 $38.0\text{cm}^2/\text{Vs}$, 将氧化铝层的表面除去了1nm的情况下的迁移率的平均值为 $38.6\text{cm}^2/\text{Vs}$ 。将氧化铝层的表面除去了5nm的情况下的迁移率的平均值为 $40.5\text{cm}^2/\text{Vs}$, 将氧化铝层的表面除去了5nm的情况下的迁移率的平均值为 $41.0\text{cm}^2/\text{Vs}$ 。如图47所示, 可知相应于通过湿式蚀刻处理来将氧化铝层除去的量而有半导体装置的场效应迁移率的平均值上升的倾向。通过将氧化铝层除去5nm以上, 显示出迁移率的平均值超过 $40\text{cm}^2/\text{Vs}$ 。

[0275] 接着, 针对以平坦化处理的条件2 (Ar气体) 对氧化铝进行了平坦化处理而得到的结果进行说明。

[0276] 图48是表示通过平坦化处理将氧化铝层的表面除去了小于1nm的半导体装置的电特性 (I_d - V_g 特性) 及迁移率的图。图49是表示通过平坦化处理将氧化铝层的表面除去了1nm的半导体装置的电特性 (I_d - V_g 特性) 及迁移率的图。图50是表示通过平坦化处理将氧化铝层的表面除去了5nm的半导体装置的电特性 (I_d - V_g 特性) 及迁移率的图。图48 ~ 图50均是对基板面内26处的电特性进行了测定后的结果。

[0277] 如图48 ~ 图50的图中箭头所示那样, 针对漏极电流 (I_d) 的纵轴在图的左侧示出, 针对根据该漏极电流而计算出的迁移率的纵轴在图的右侧示出。

[0278] 图48所示的电特性的基板面内的阈值电压的平均值为0.55V, 图49所示的电特性

的基板面内的阈值电压的平均值为0.53V,图50所示的电特性的基板面内的阈值电压的平均值为0.55V。如图48~图50所示,半导体装置的电特性显示出在栅极电压 V_g 高于0V的电压下漏极电流 I_d 开始流动的所谓的常截止的特性。

[0279] 图51是表示示出图43、图48~图50所示的半导体装置各自的基板面内(26处)的迁移率的分布的箱型图的图。在图51中,横轴为参考(未处理)、除去了小于1nm、1nm、5nm的情况,纵轴为场效应迁移率(cm^2/Vs)。

[0280] 如图51所示,未处理的情况下的迁移率的平均值为 $38.0\text{cm}^2/\text{Vs}$,将氧化铝层的表面除去了小于1nm的情况下的迁移率的平均值为 $39.1\text{cm}^2/\text{Vs}$ 。将氧化铝层的表面除去了1nm的情况下的迁移率的平均值为 $39.7\text{cm}^2/\text{Vs}$,将氧化铝层的表面除去了5nm的情况下的迁移率的平均值为 $42.4\text{cm}^2/\text{Vs}$ 。可知,相应于通过等离子体处理来将氧化铝层除去的量而有半导体装置的场效应迁移率的平均值上升的倾向。通过将氧化铝层除去5nm以上,显示出迁移率的平均值超过 $40\text{cm}^2/\text{Vs}$ 。

[0281] 如以上所说明的那样,在平坦化处理的条件1及条件2下,通过将氧化铝除去5nm以上,显示出半导体装置10的迁移率的平均值成为 $40\text{cm}^2/\text{Vs}$ 以上。

[0282] 接着,参照图52A~图55来说明针对在氧化铝的表面进行了平坦化处理之后的算术平均粗糙度 R_a 与场效应迁移率 μ 之间的相关关系进行了验证后的结果。

[0283] 首先,在基板上形成氧化铝层,针对对氧化铝层进行了平坦化处理之后的算术平均粗糙度 R_a 及均方根粗糙度 R_q 进行说明。

[0284] [氧化铝的平坦化处理]

[0285] 氧化铝的平坦化处理的条件如下。

[0286] • 基板:玻璃基板

[0287] • 氧化铝成膜时的厚度:10nm、11nm、15nm、50nm

[0288] • 平坦化处理的条件1(显影液(TMAH)):1nm、5nm、40nm

[0289] • 平坦化处理的条件2(Ar气体):小于1nm、1nm、5nm

[0290] 氧化铝成膜时的厚度通过进行平坦化处理而均被设定为10nm。在成膜时的厚度为50nm的情况下,通过进行平坦化处理来除去40nm,由此设为10nm。在成膜时的厚度为15nm的情况下,通过进行平坦化处理来除去5nm,由此设为10nm。在成膜时的厚度为10nm的情况下,通过进行平坦化处理来除去小于1nm,由此设为大致10nm。

[0291] 图52A是根据条件1进行了平坦化处理之后的氧化金属层的表面的AFM像,图52B是根据条件2进行了平坦化处理之后的氧化金属层的AFM像。图52A及图52B所示的氧化金属层的表面的AFM像的观察区域为1000nm见方、高度10nm(固定)。

[0292] 根据图52A及图52B所示的AFM像而获取到粗糙度曲线。基于粗糙度曲线,获取到算术平均粗糙度(R_a)及均方根粗糙度(R_q)来作为粗糙度曲线参数。

[0293] [表1]

[0294]

	除去量(nm)	Ra(nm)	Rq(nm)
参考	0	1.035	1.344
条件1	1	0.908	1.168
	5	0.819	1.104
	40	0.708	0.9673
条件2	小于1	0.839	1.219
	1	0.591	0.7792
	5	0.346	0.4541

[0295] 如表1所示,确认到在条件1及条件2这两方下,相应于将氧化铝层的表面除去的量而算术平均粗糙度(Ra)及均方根粗糙度(Rq)均降低。

[0296] 接着,参照图53~图55来说明针对氧化铝层的表面的算术平均粗糙度Ra与半导体装置的场效应迁移率 μ 之间的相关关系进行了验证后的结果。

[0297] 图53是表示基于平坦化处理(条件1)得到的氧化铝层的算术平均粗糙度(Ra)与半导体装置的场效应迁移率之间的依存性的图。图54是表示基于平坦化处理(条件2)得到的氧化铝层的算术平均粗糙度(Ra)与半导体装置的场效应迁移率之间的依存性的图。图55是表示基于平坦化处理(条件1及条件2)得到的氧化铝层的算术平均粗糙度(Ra)与半导体装置的场效应迁移率之间的依存性的图。

[0298] 图53所示的算术平均粗糙度Ra对应于根据表1所示的条件1将氧化铝层的表面除去了1nm、5nm、40nm的情况以及参考(未处理)的情况下的结果。另外,场效应迁移率 μ 对应于将图47所示的氧化铝层的表面除去了1nm、5nm、40nm的情况和参考(未处理)的情况下的结果。

[0299] 图54所示的算术平均粗糙度Ra对应于根据表1所示的条件2将氧化铝层的表面除去了小于1nm、1nm、5nm的情况和参考(未处理)的情况下的结果。另外,场效应迁移率 μ 对应于将图51所示的氧化铝层的表面除去了小于1nm、1nm、5nm的情况和参考(未处理)的情况下的结果。

[0300] 图55是表示基于平坦化处理(条件1及条件2)得到的氧化铝层的算术平均粗糙度(Ra)与半导体装置的场效应迁移率之间的依存性的图。图55是将图53所示的结果及图54所示的结果汇总而得到的图。

[0301] 确认图53所示的近似线为 $y = -10.033x + 48.23$ 。根据图53确认,为了将场效应迁移率 μ 设为 $40\text{cm}^2/\text{Vs}$ 以上,优选使 $Ra \leq 0.80$ 。另外,确认图54所示的近似线为 $y = -5.9584x + 43.978$ 。根据图54确认,为了将场效应迁移率 μ 设为 $40\text{cm}^2/\text{Vs}$,优选使 $Ra \leq 0.67$ 。另外,确认图55所示的近似线为 $y = -5.7697x + 44.223$ 。根据图55确认,为了将场效应迁移率 μ 设为 $40\text{cm}^2/\text{Vs}$ 以上,优选使 $Ra \leq 0.73$ 。这里,y表示场效应迁移率,x表示算术平均粗糙度Ra。

[0302] [氧化金属层的表面的平坦化处理对半导体装置的电特性的影响]

[0303] 如图53~图55所示,确认到根据条件1及条件2中的任一种方法进行平坦化处理,都会使氧化铝层的表面的算术平均粗糙度(Ra)变小,场效应迁移率 μ 提高。另外,确认到氧化铝层的表面的算术平均粗糙度(Ra)越小,场效应迁移率 μ 越高。即,利用对氧化铝层的表面进行平坦化处理,氧化铝层的表面的平坦性得以改善,通过在其之上形成氧化物半导体层并进行热处理,由此能够抑制晶体生长的方向变得随机,并能够使晶体生长的方向和生

长的速度一致。由此认为,在对半导体装置的栅电极施加了电压时,妨碍氧化物半导体层内的电子的移动的主要因素减少,由此场效应迁移率得以提高。

[0304] 之前作为本发明的实施方式叙述了的各实施方式只要彼此不矛盾则能够适当组合来实施。另外,本领域技术人员基于各实施方式的半导体装置及显示装置适当进行构成要素的追加、删除或设计变更所得的方案或者进行工序的追加、省略或条件变更所得的方案只要具备本发明的主旨,则也包含在本发明的范围中。

[0305] 即便是与通过上述的各实施方式的方案带来的作用效果不同的其他的作用效果,若是根据本说明书的记载明确可知或者对本领域技术人员来说能容易地预测到的,则当然也理解为是通过本发明带来的作用效果。

[0306] 附图标记说明

[0307] 10:半导体装置、11:驱动晶体管、12:选择晶体管、20:显示装置、22:液晶区域、24:密封区域、26:端子区域、100:基板、105、160:栅电极、110、120、150:栅极绝缘层、130、190:氧化金属层、140:氧化物半导体层、141:上表面、142:下表面、143:侧面、170、180:绝缘层、171、173:开口、200:源・漏电极、201:源电极、203:漏电极、210:保持电容、211:信号线、212:栅极线、213:阳极电源线、214:阴极电源线、220:抗蚀剂掩模、300:阵列基板、301:像素电路、302:源极驱动电路、303:栅极驱动电路、304:源极布线、305:栅极布线、306:端子部、307:连接布线、310:密封部、311:液晶元件、320:对置基板、330:柔性印制电路基板(FPC)、340:IC芯片、350:保持电容、360、362:绝缘层、363、381:开口、370:公共电极、380:绝缘层、390:像素电极、392:发光层、394:公共电极

10

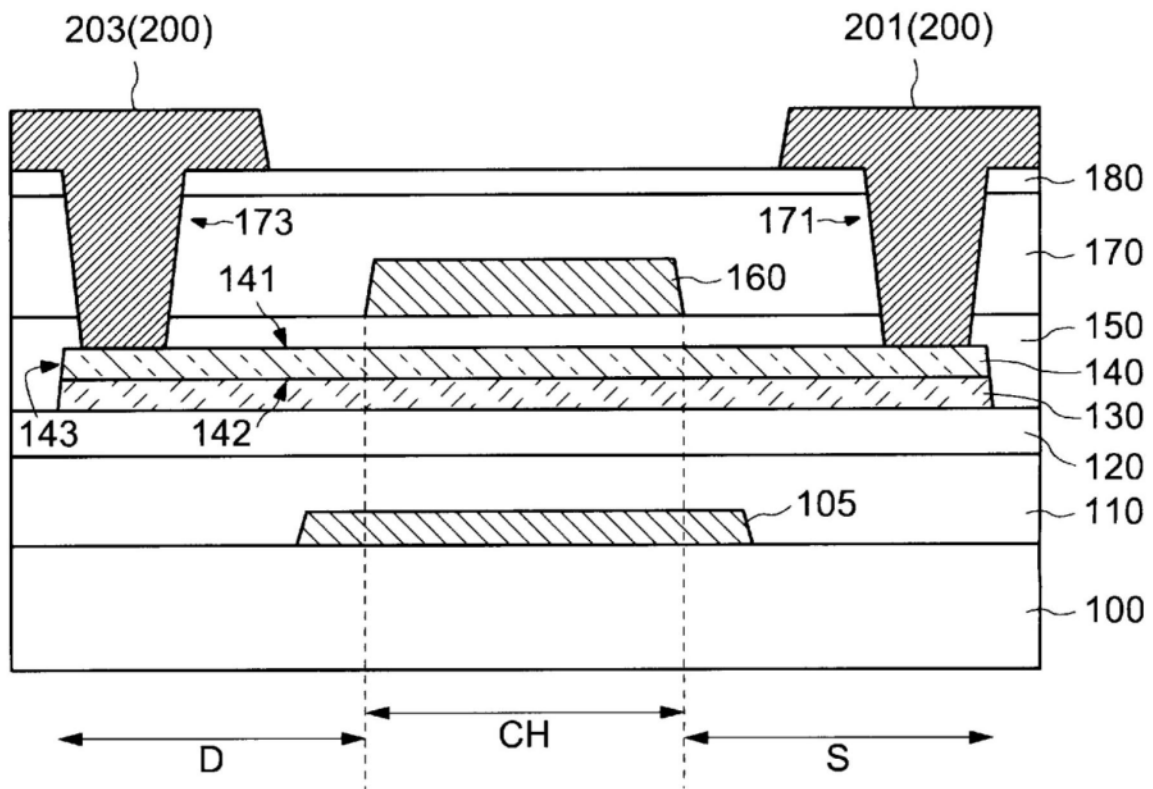


图1

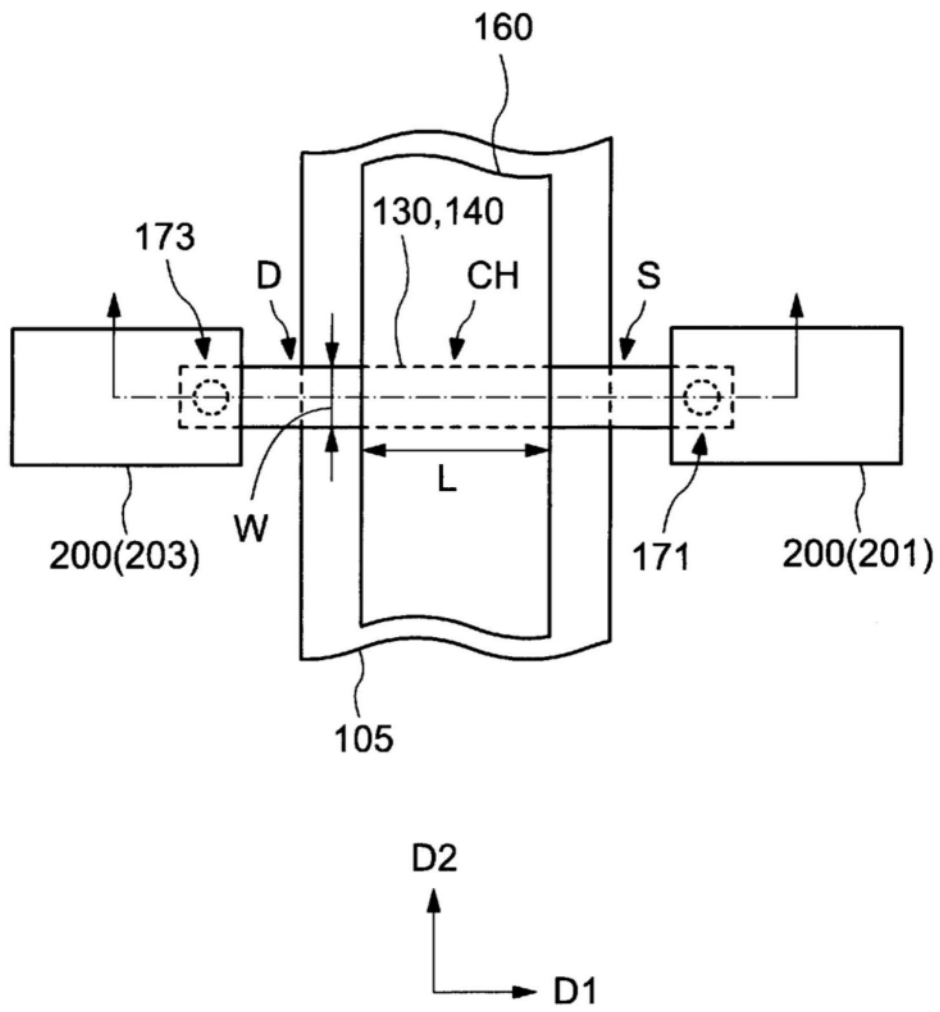
10

图2

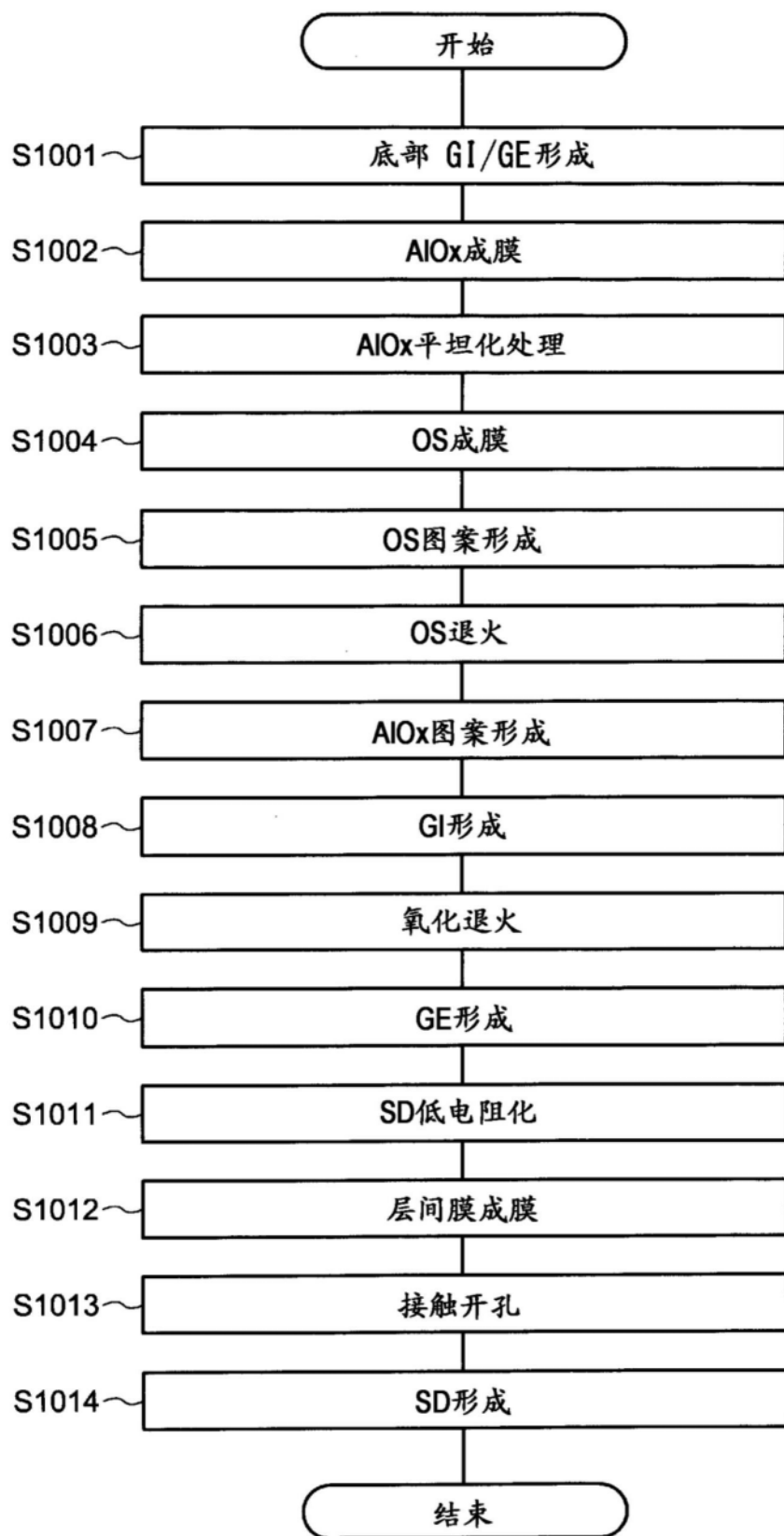


图3

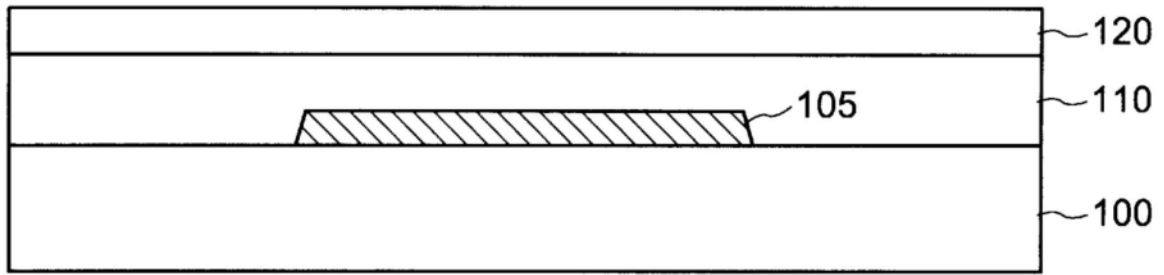


图4

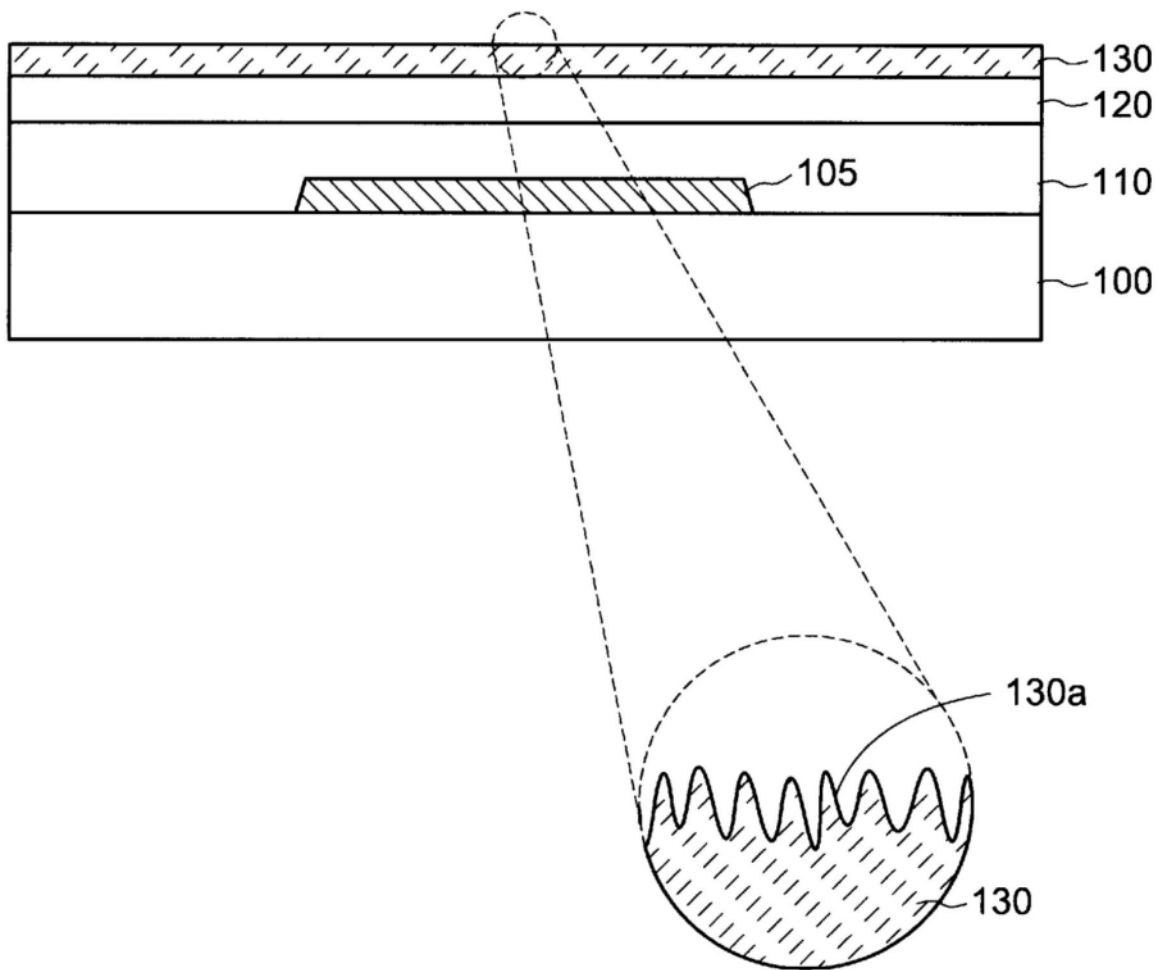


图5

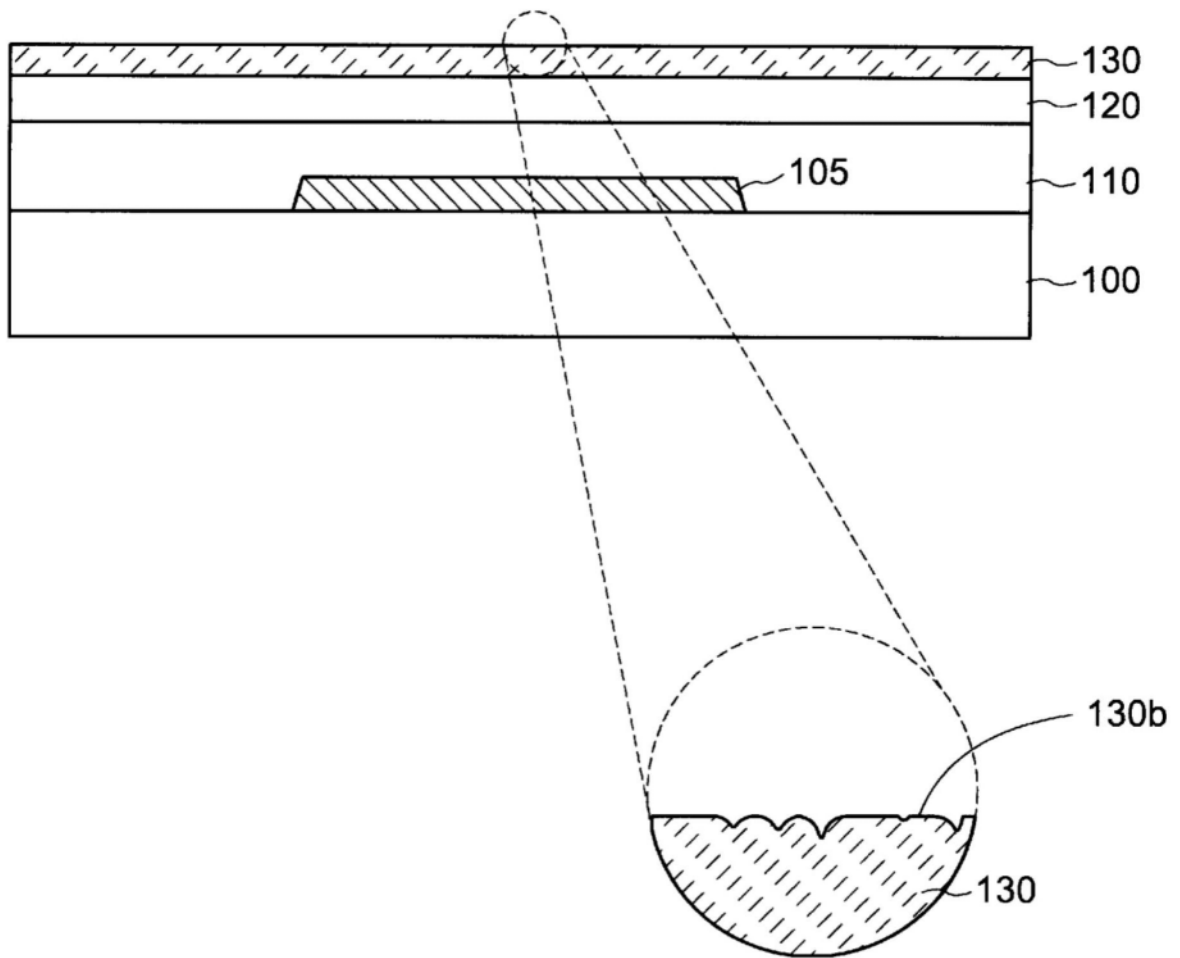


图6

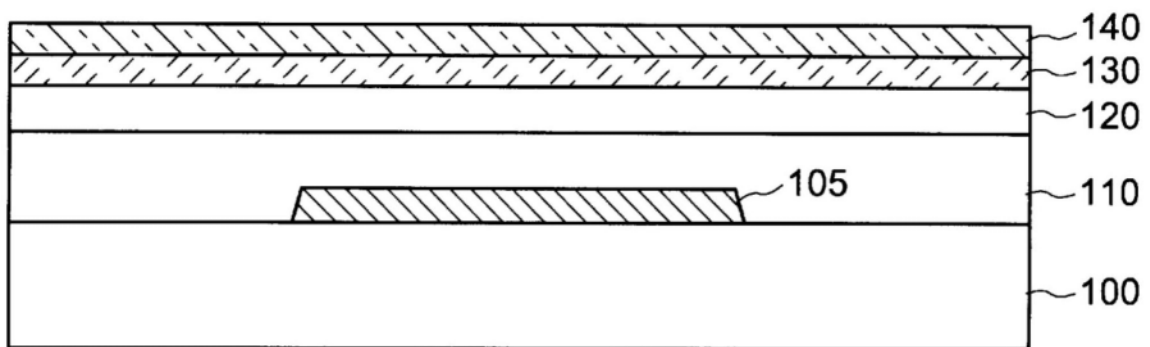


图7

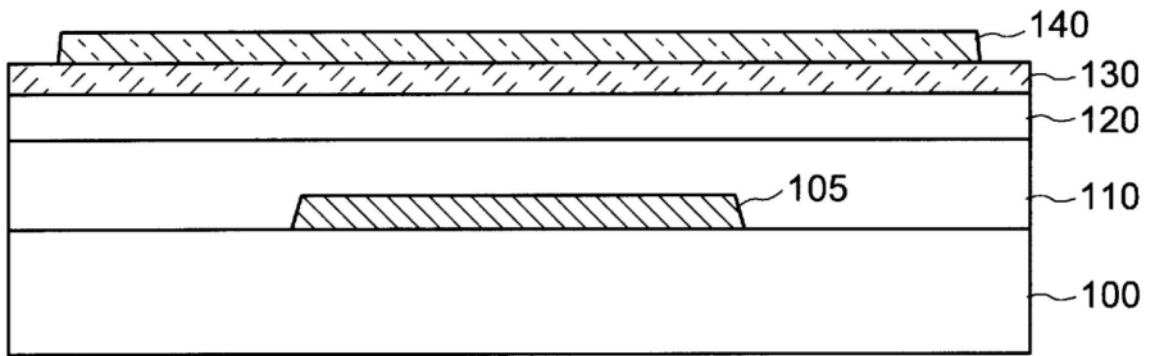


图8

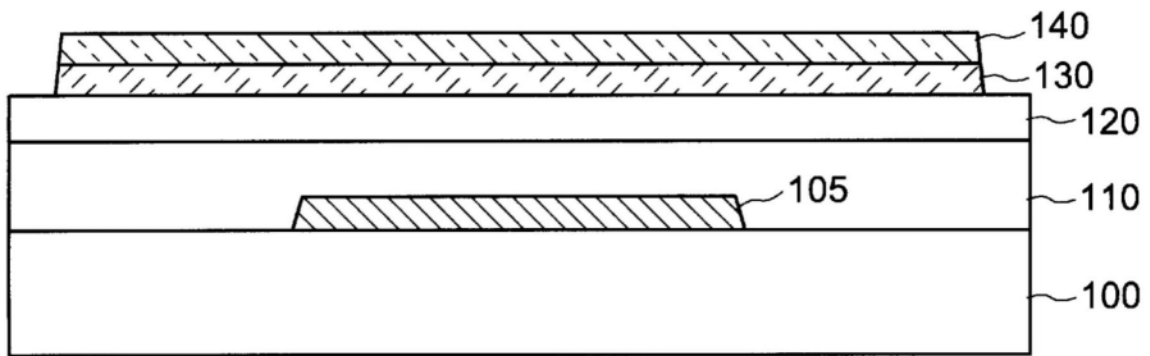


图9

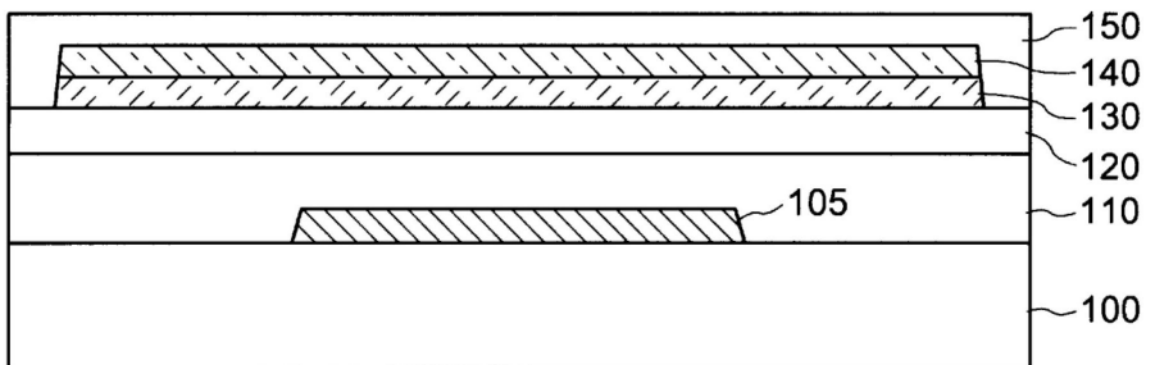


图10

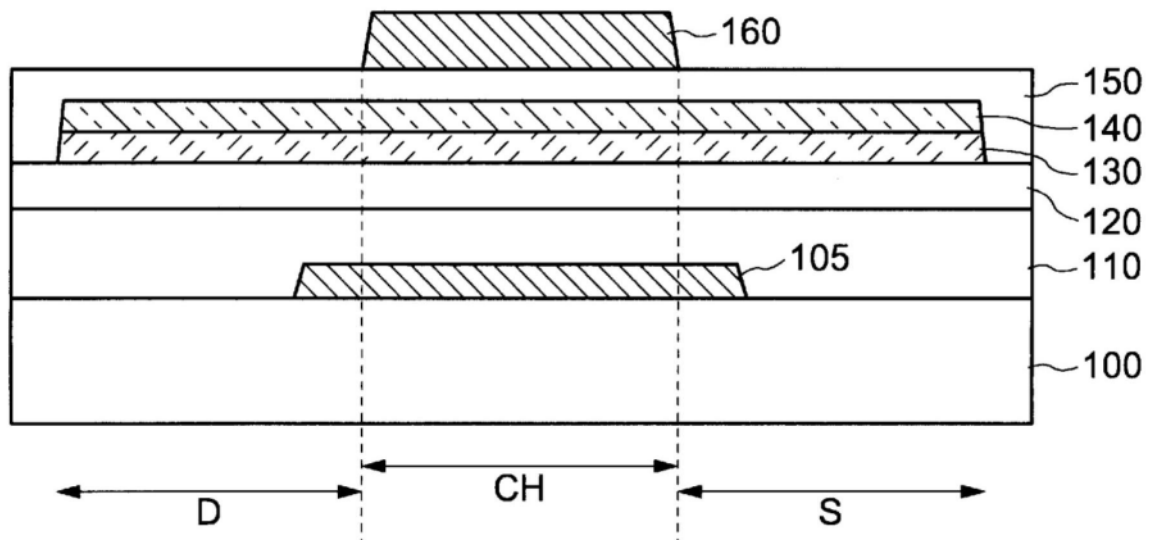


图11

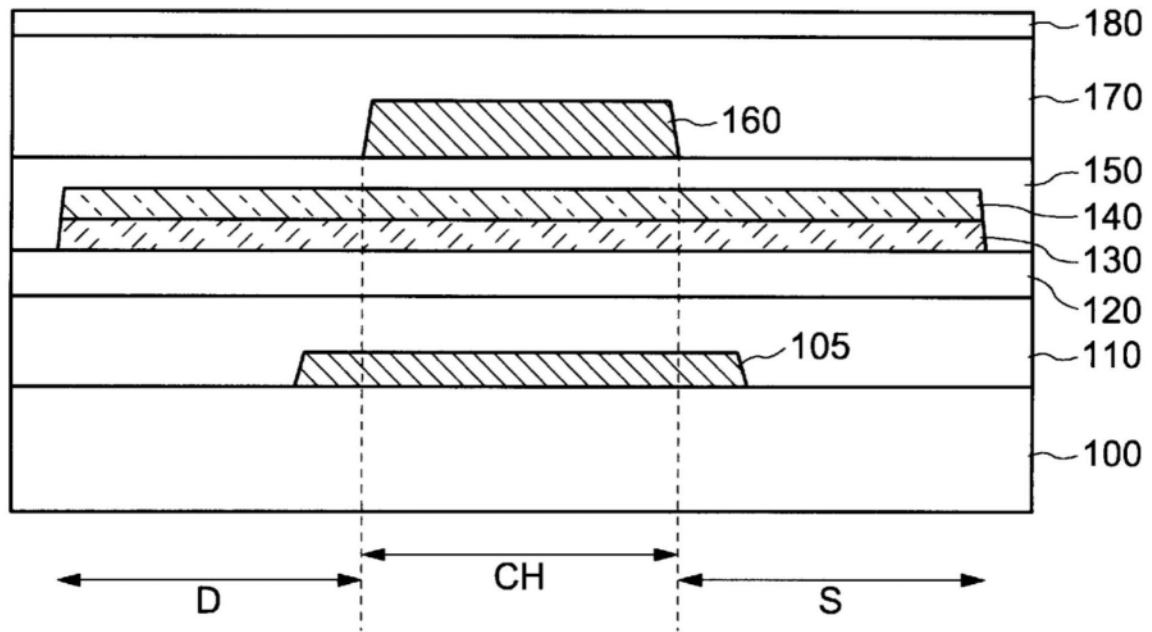


图12

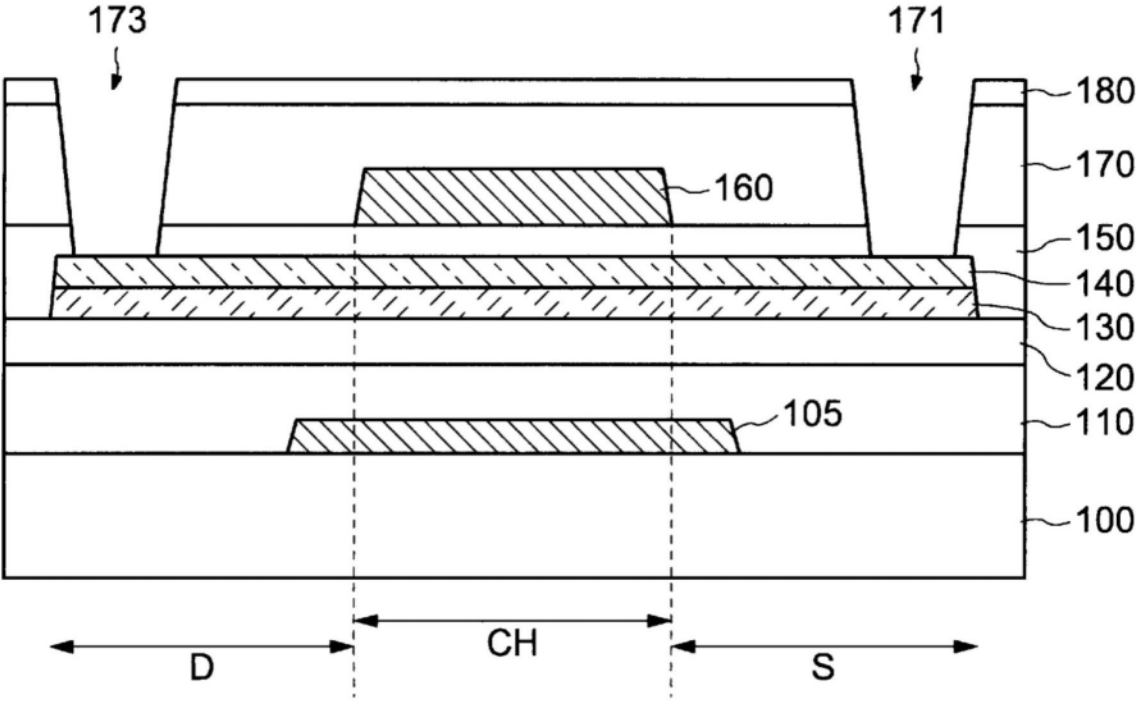


图13

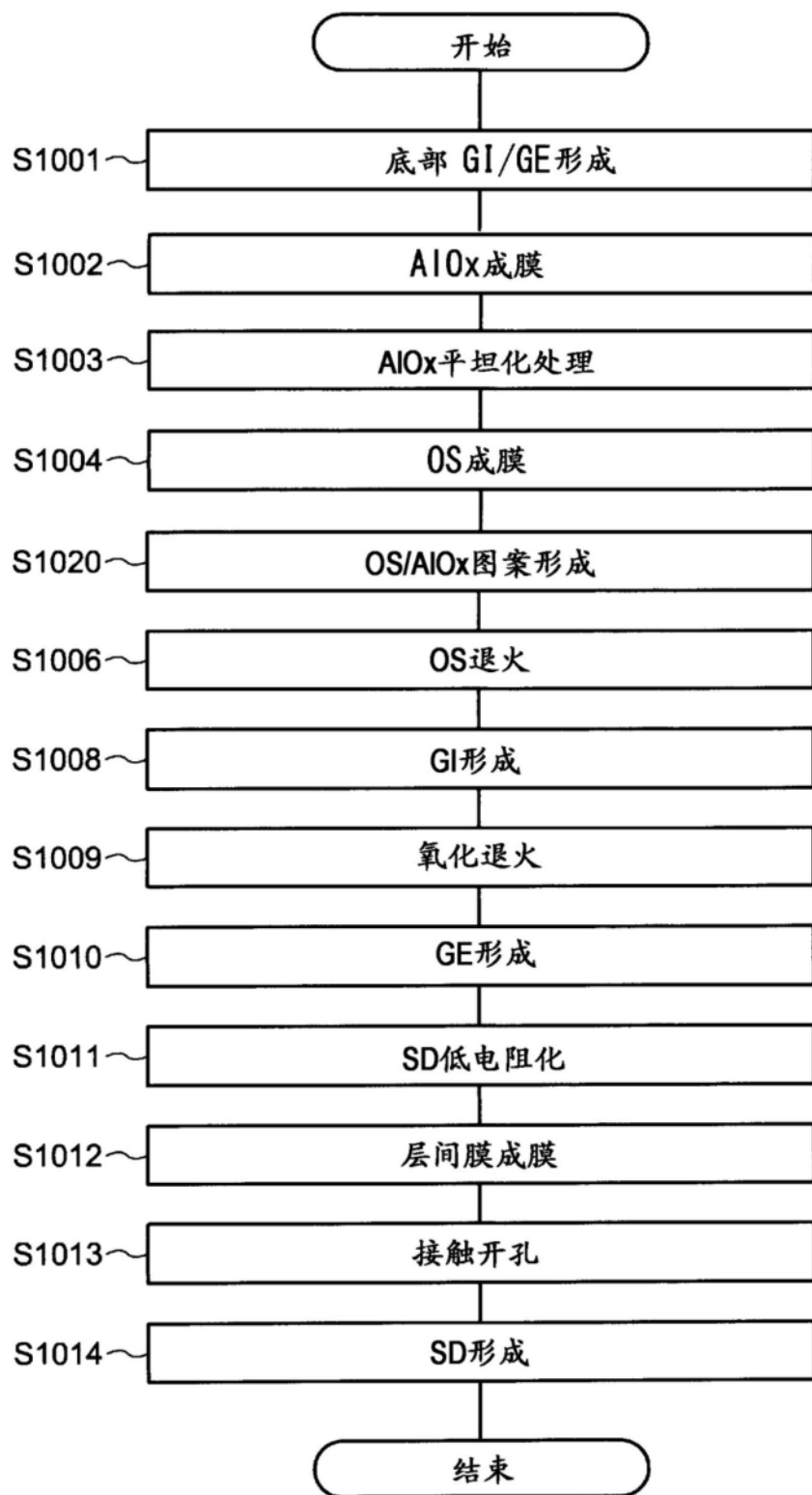


图14

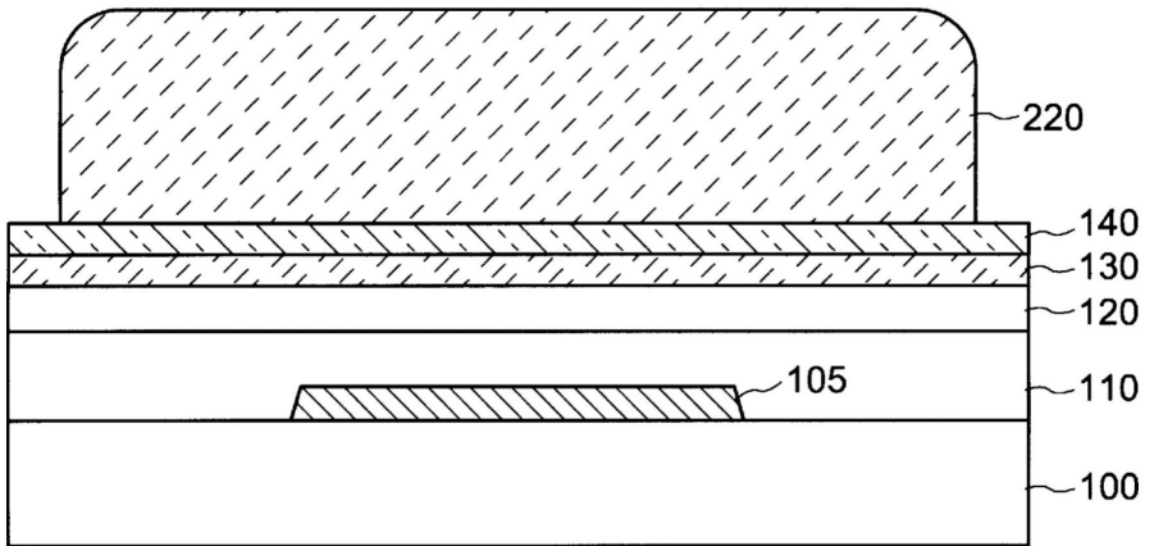


图15

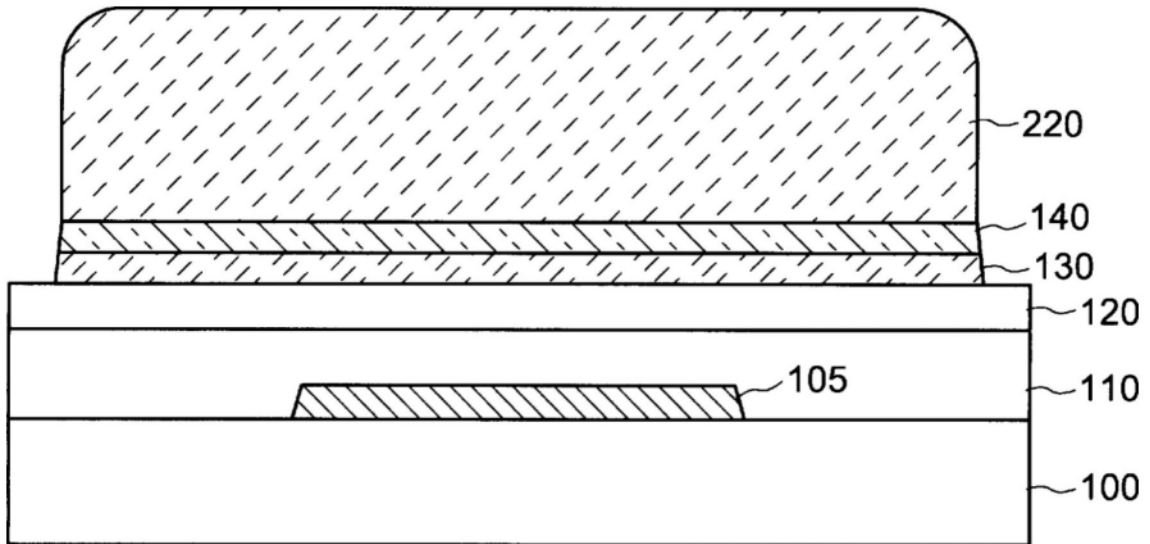


图16

10

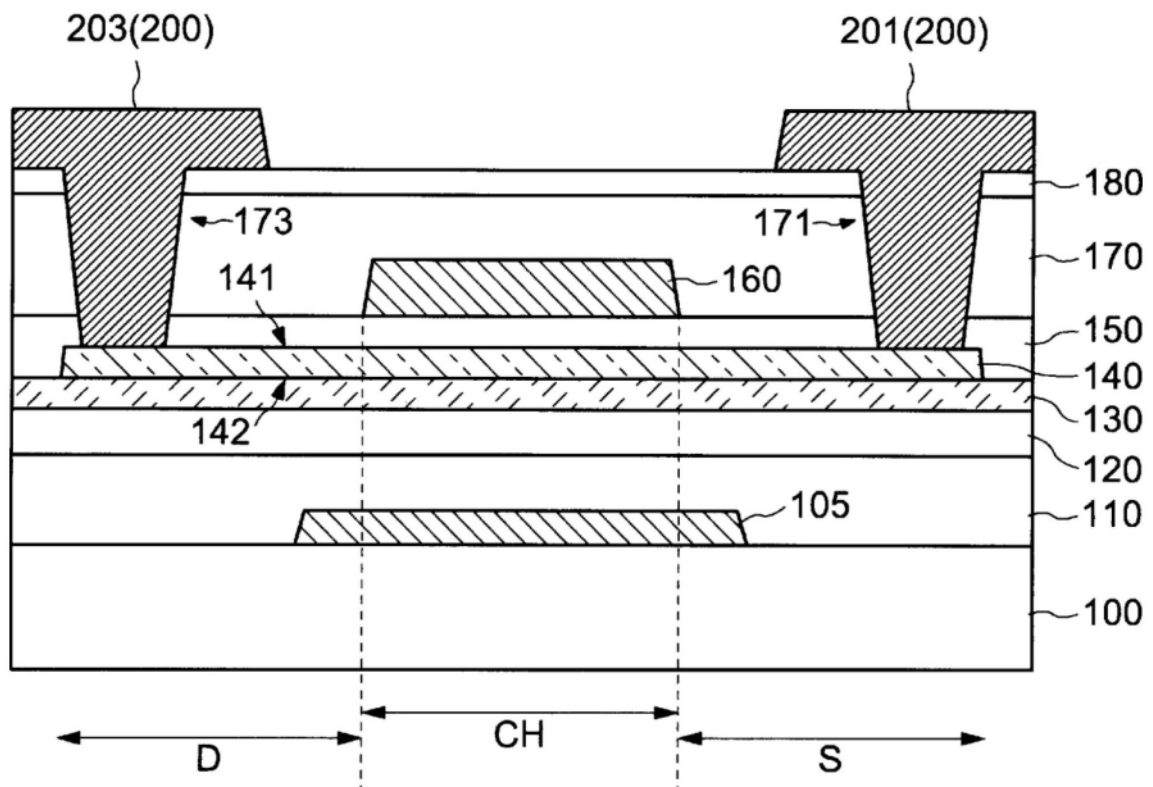


图17

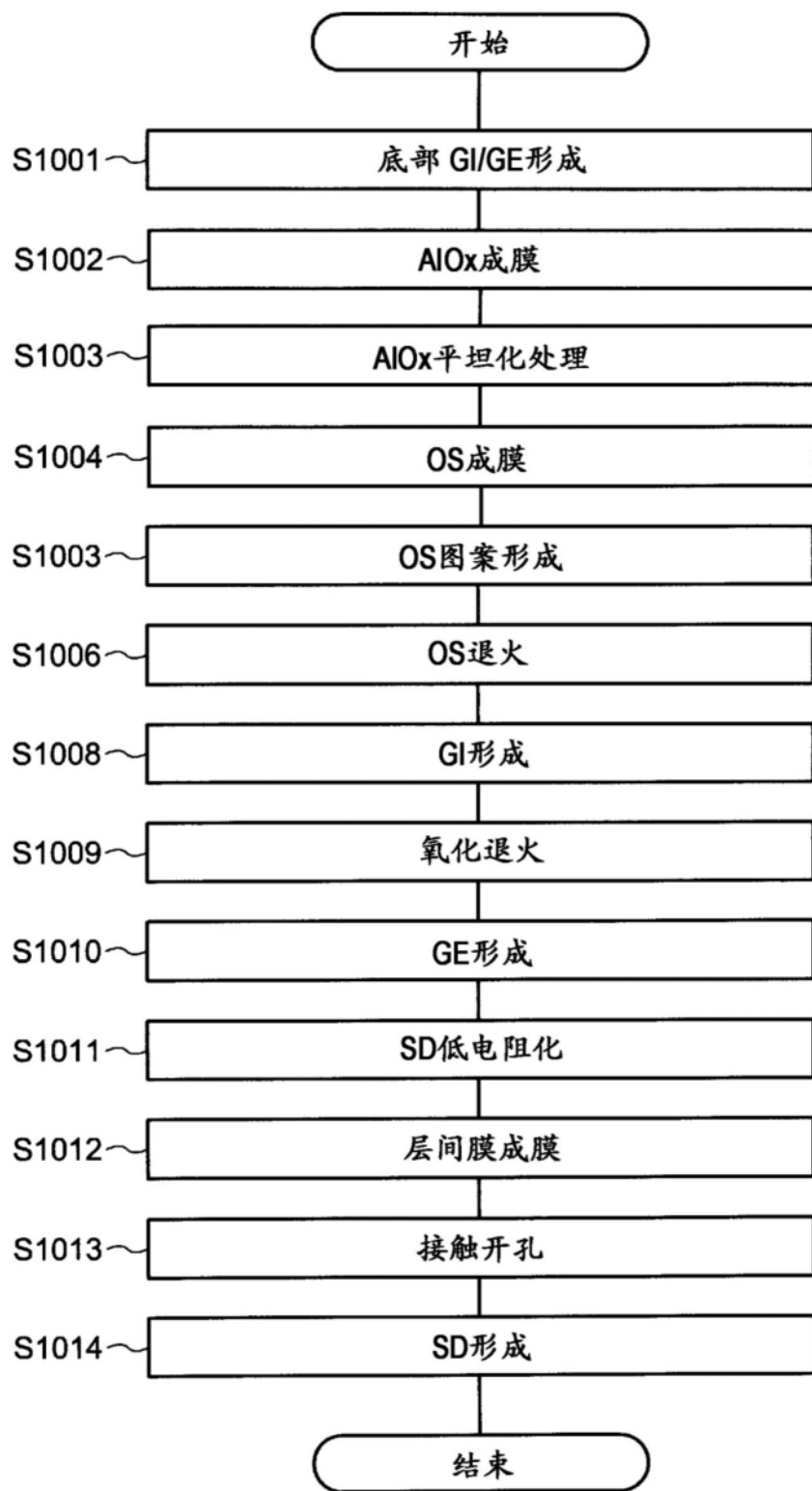


图18

10

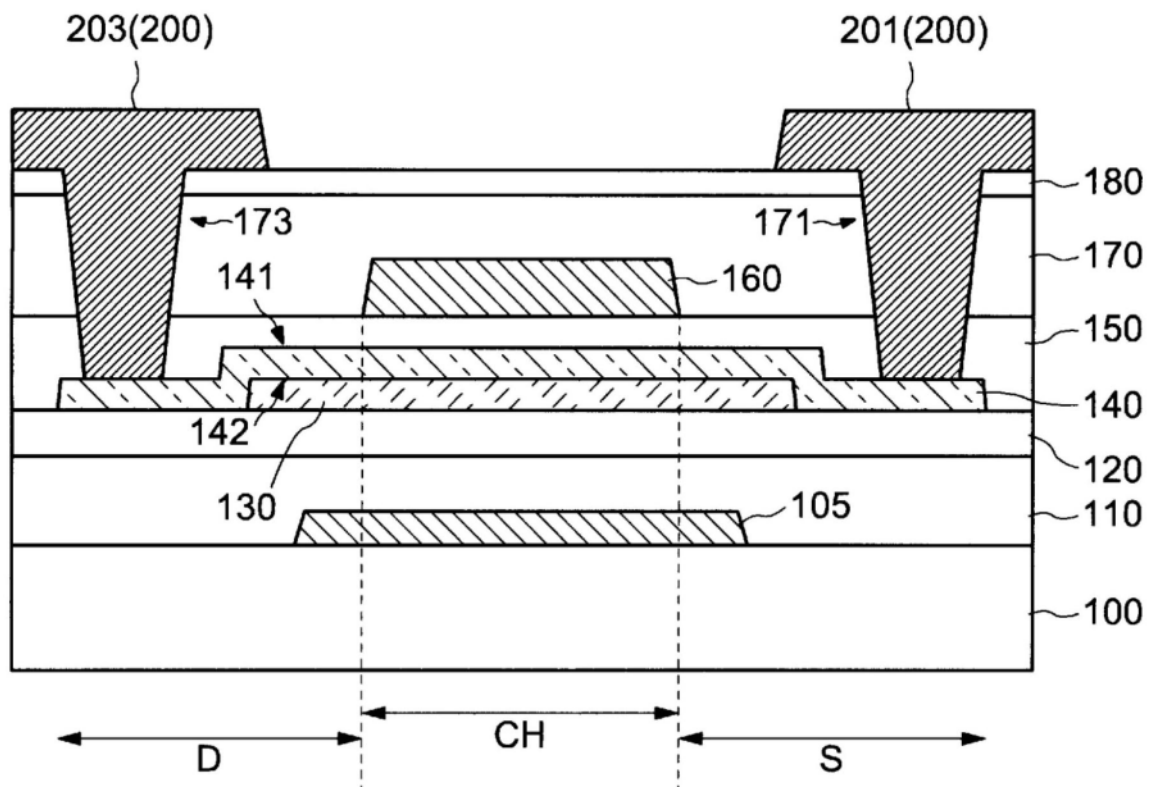


图19

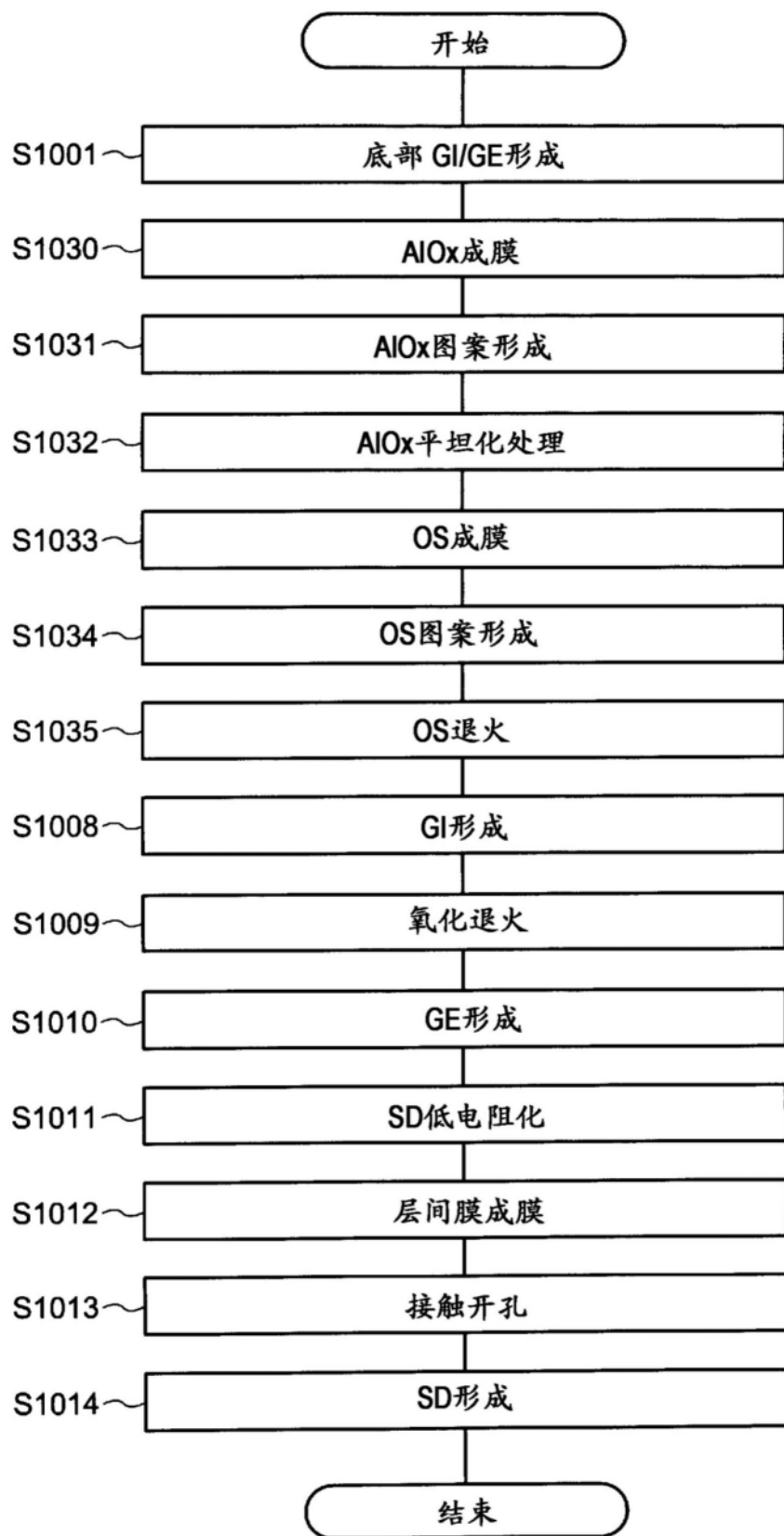


图21

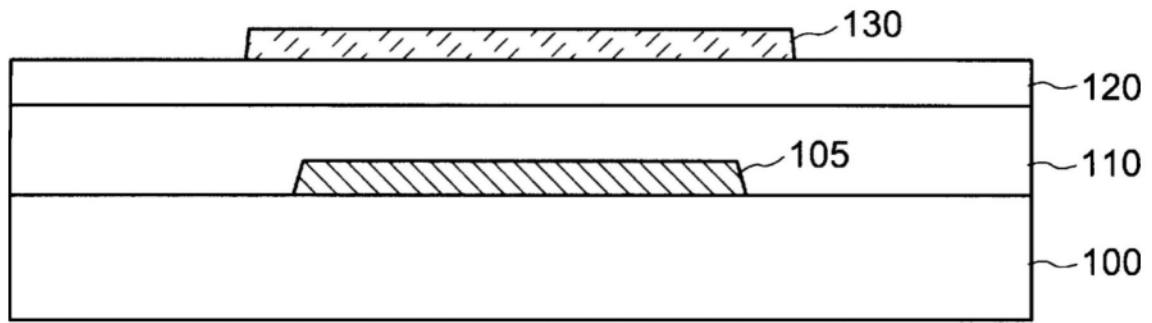


图22

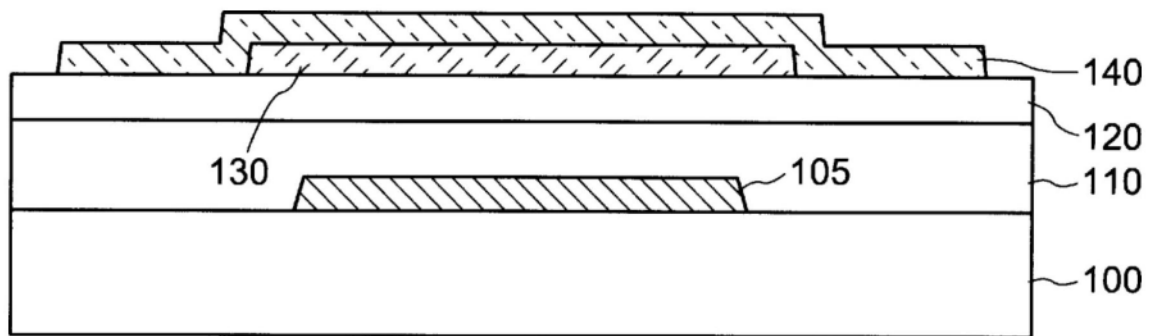


图23



图24

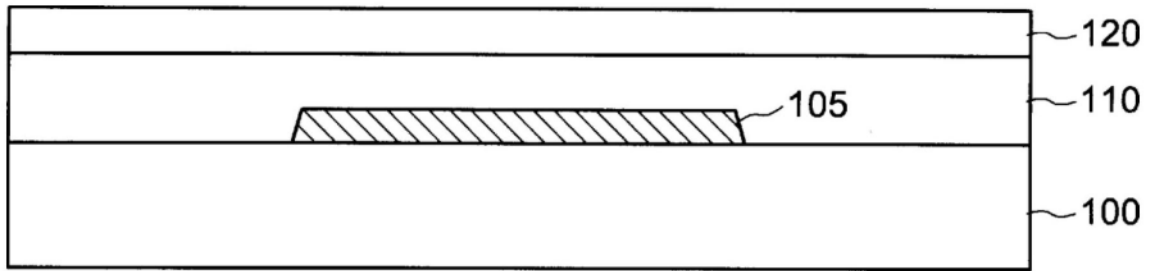


图25

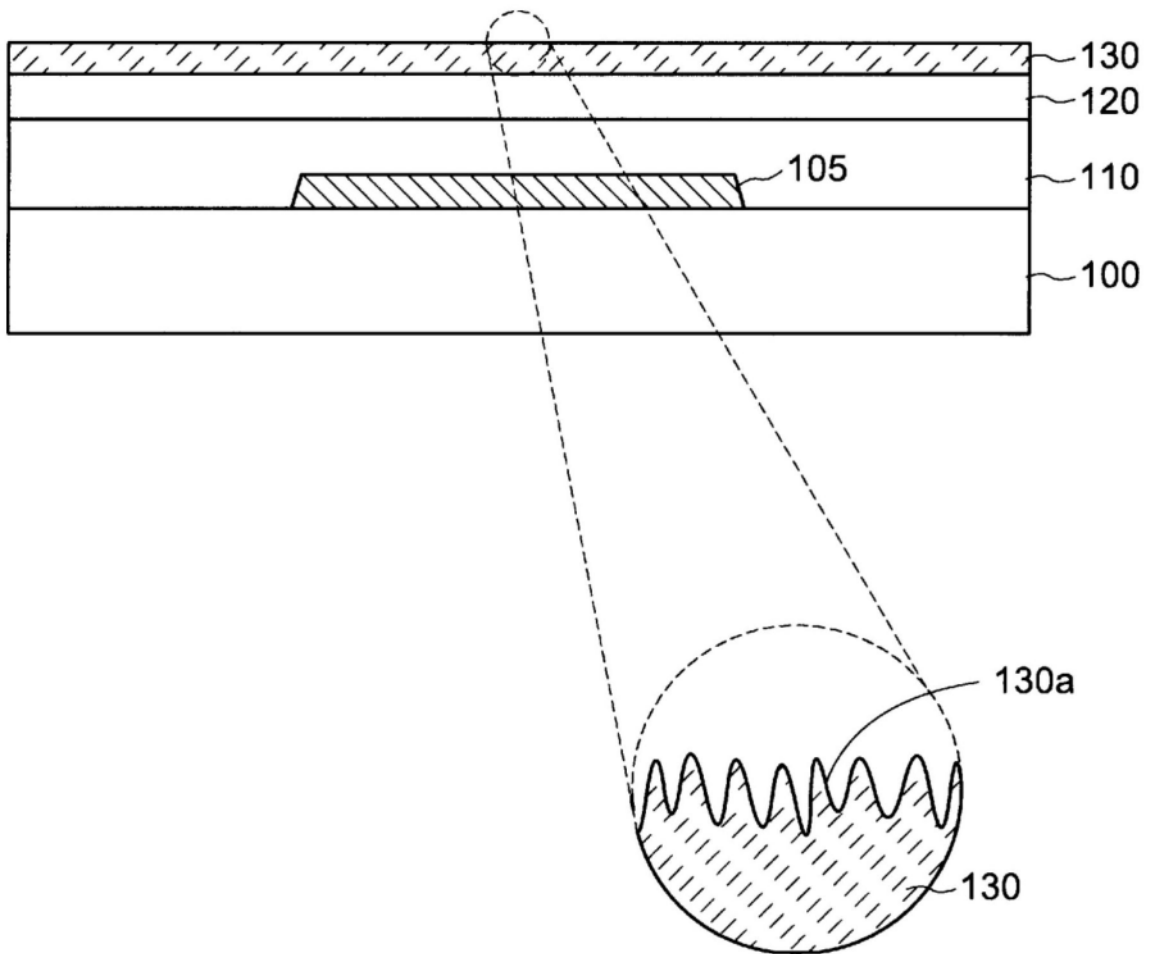


图26

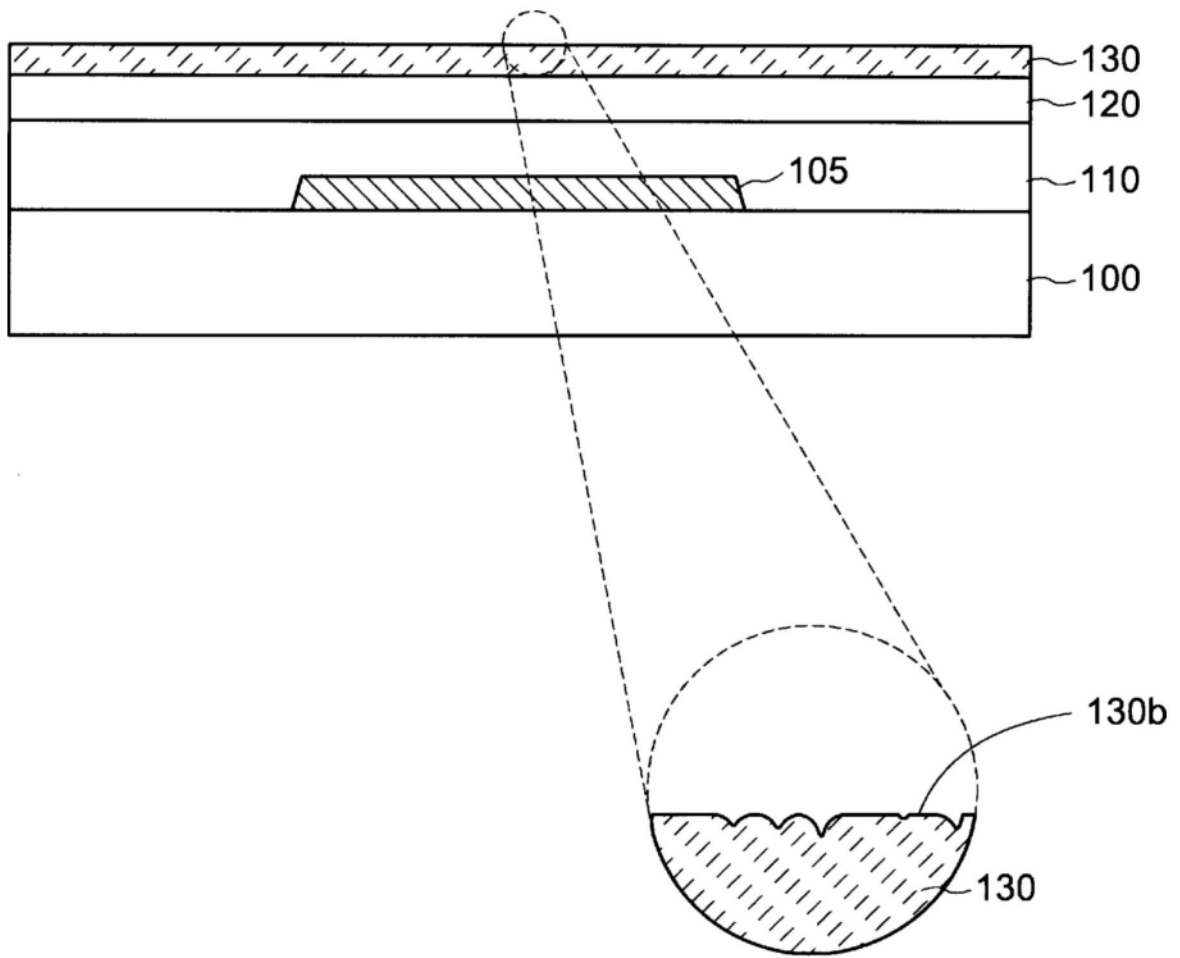


图27

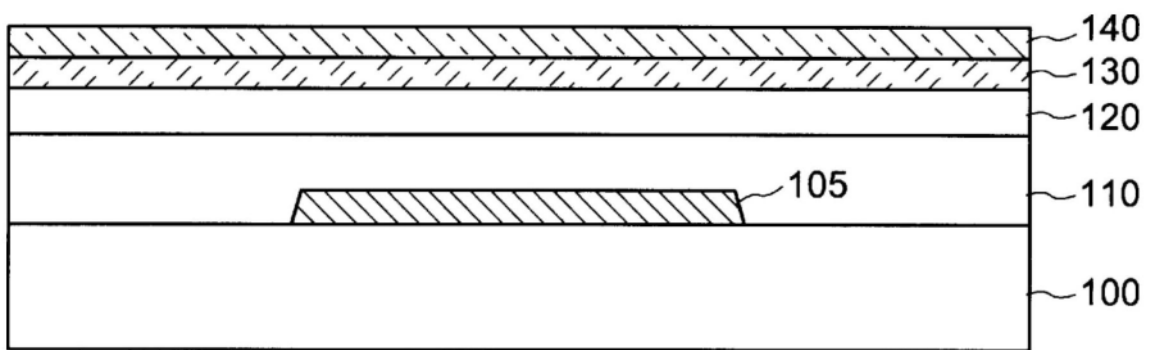


图28

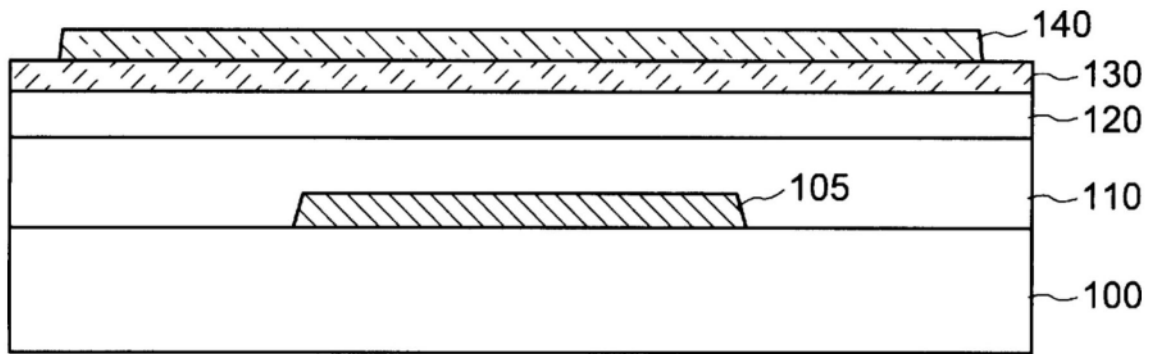


图29

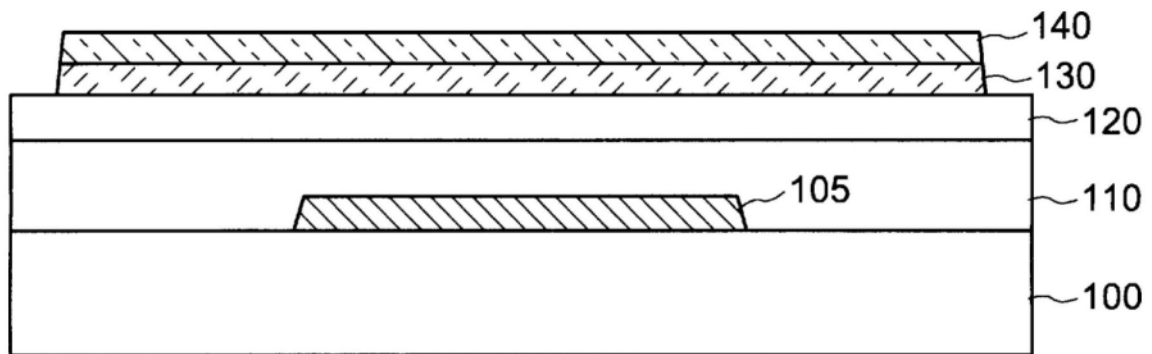


图30

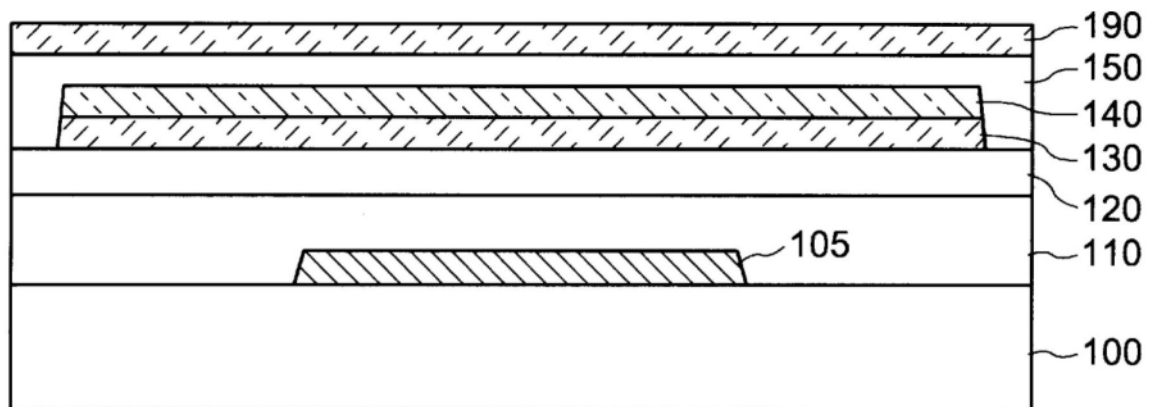


图31

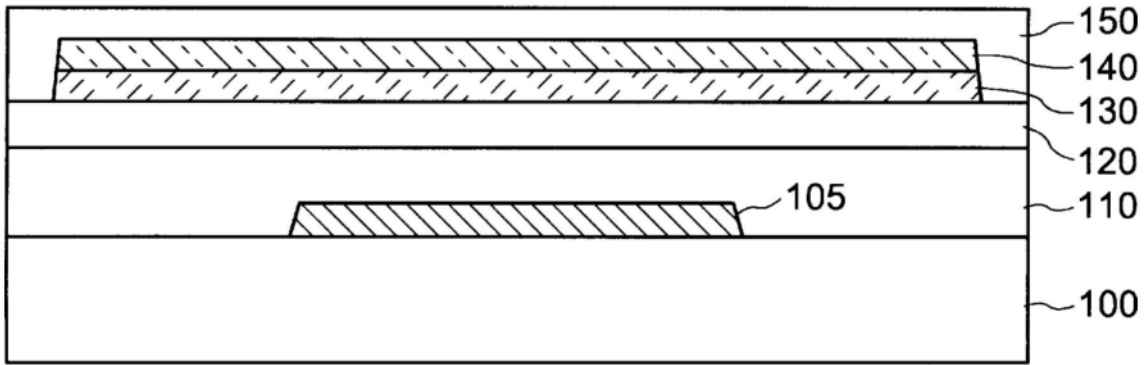


图32

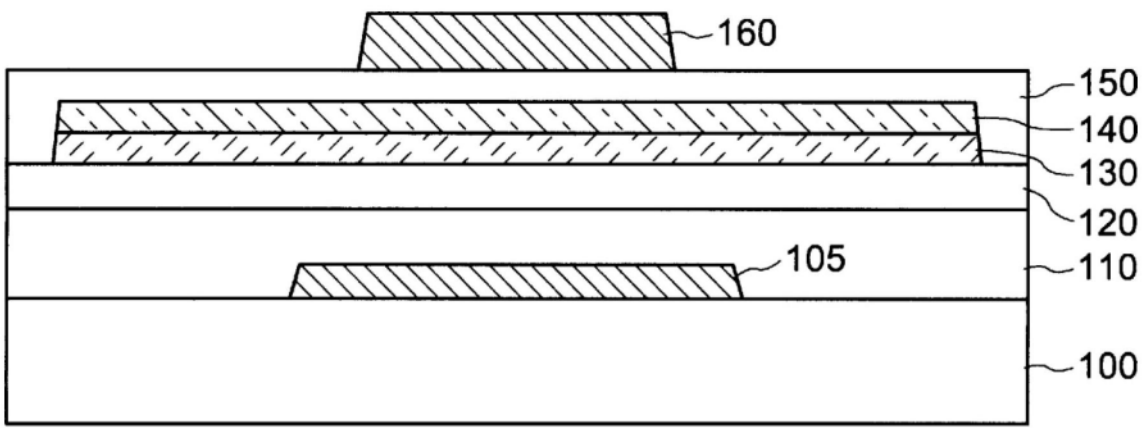


图33

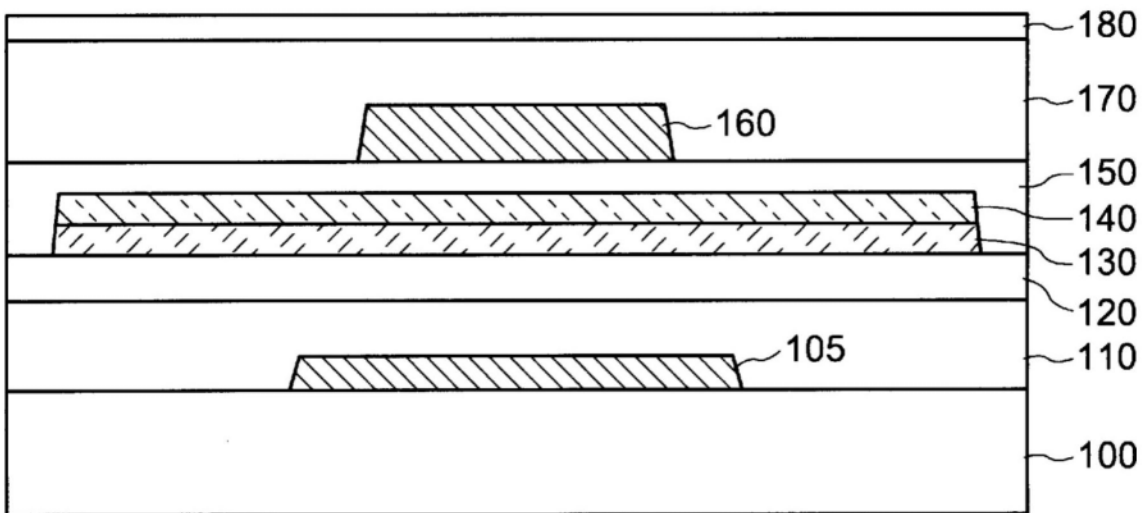


图34

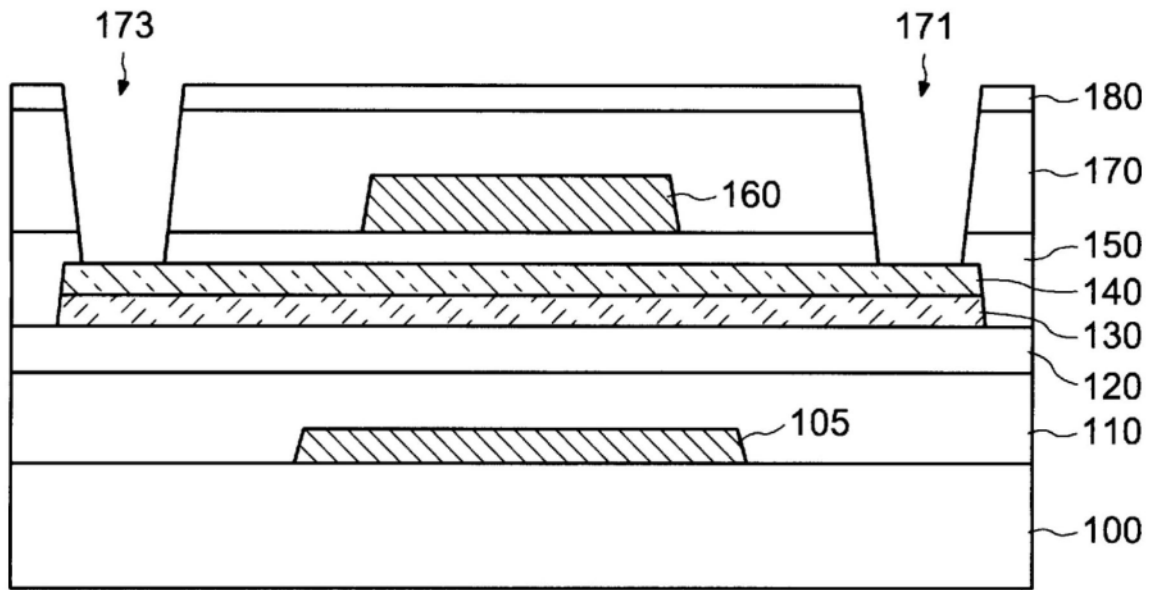


图35

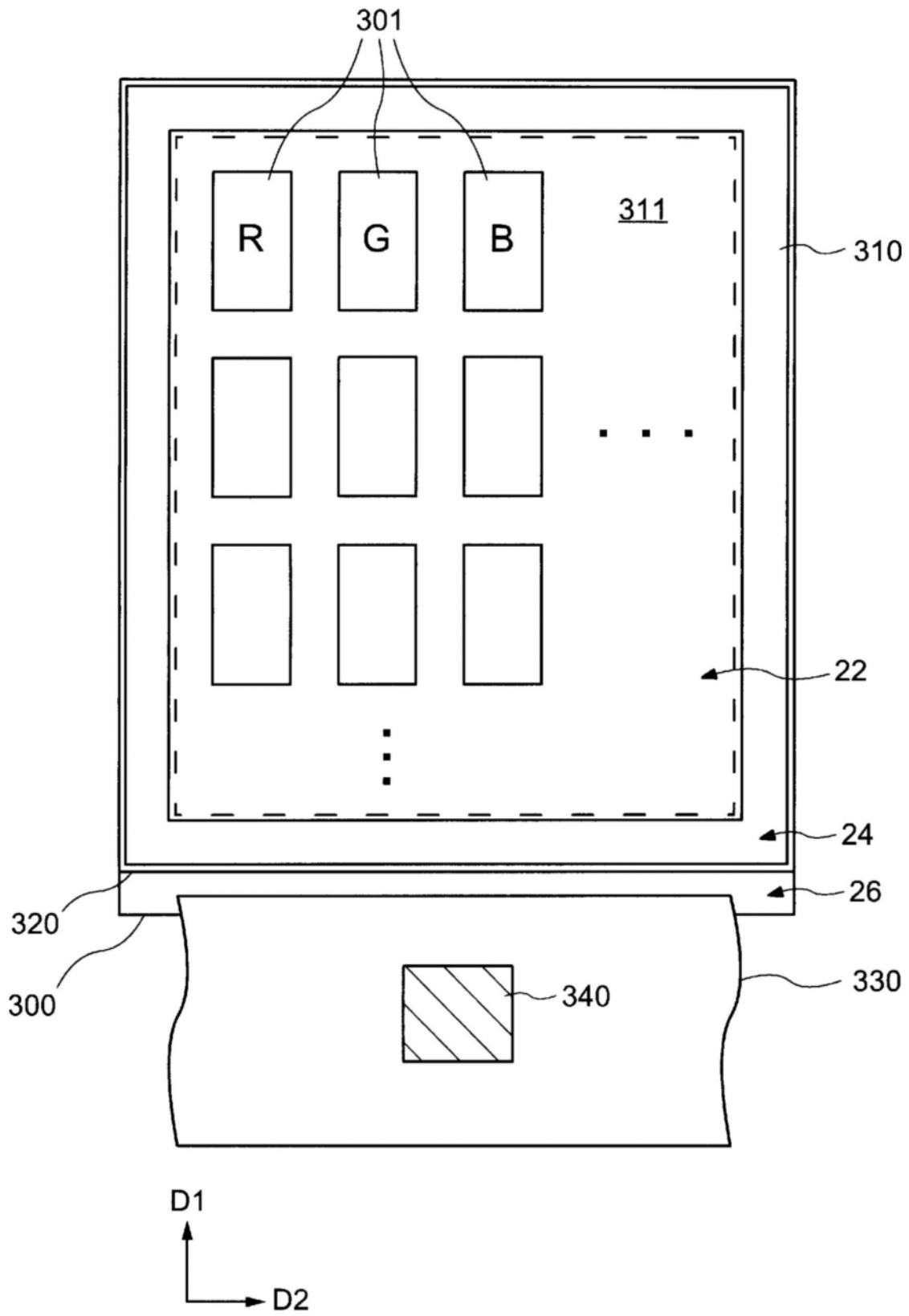
20

图36

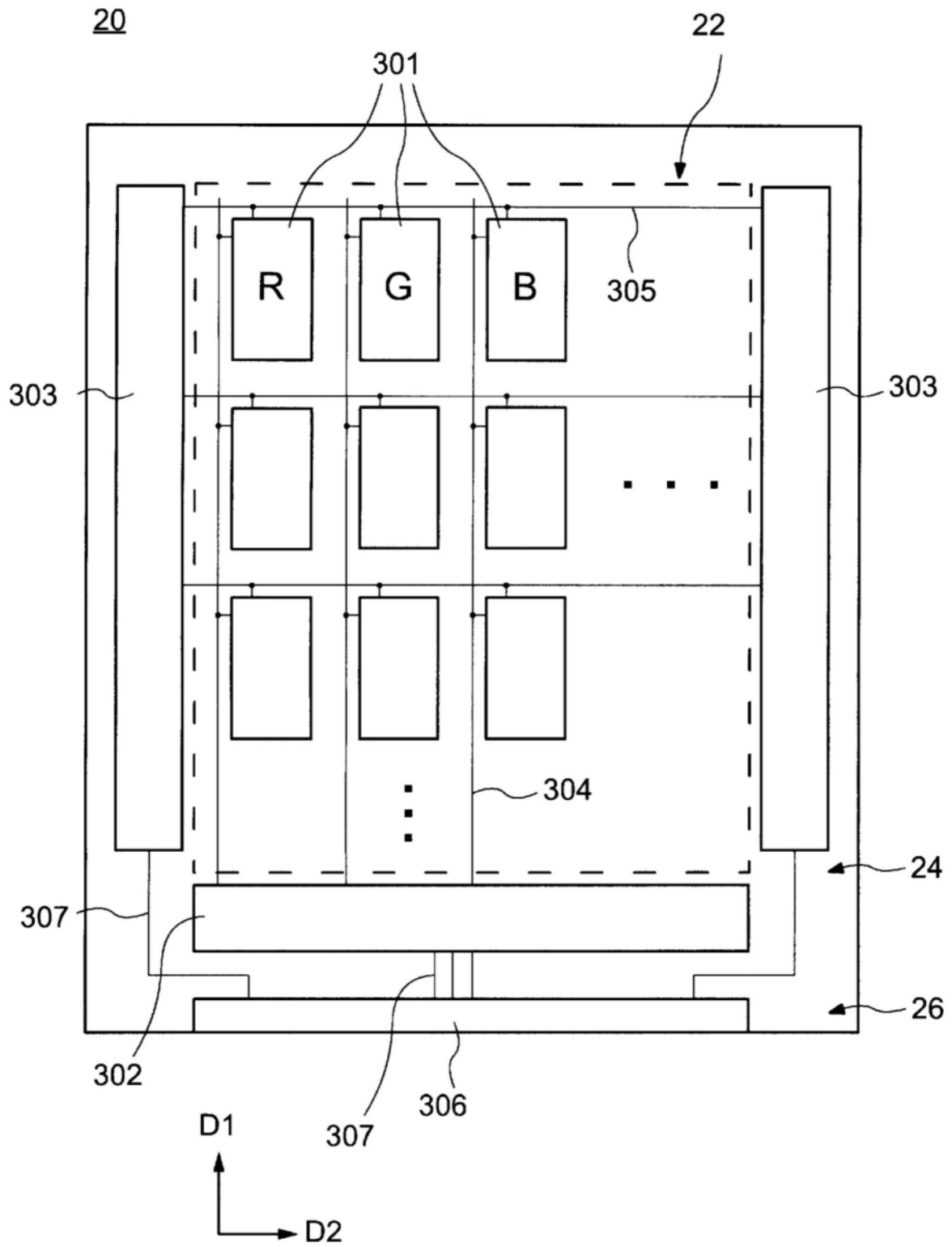


图37

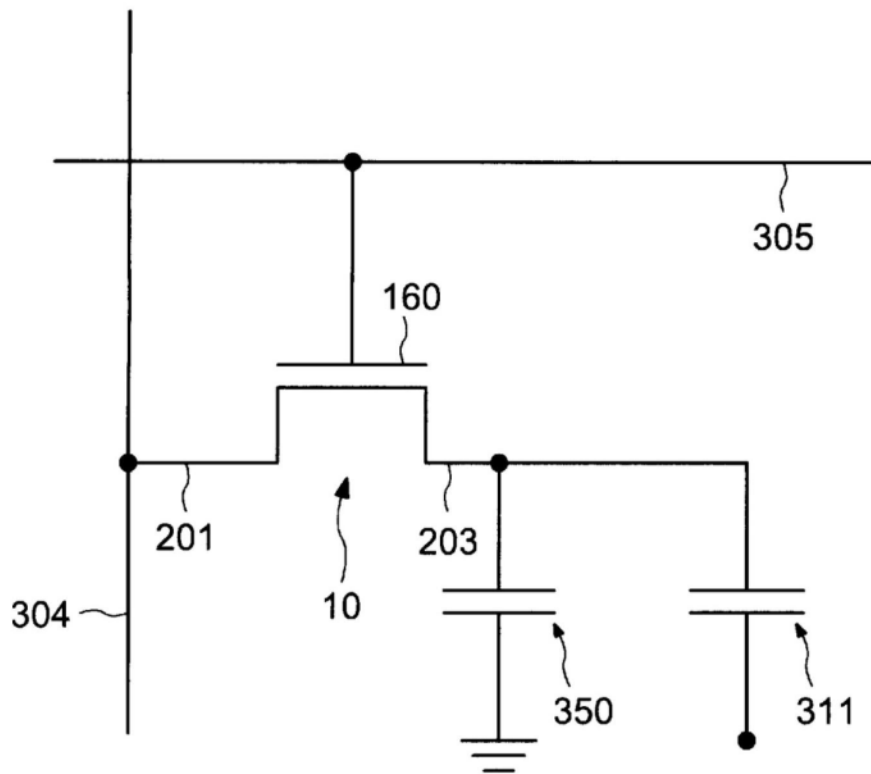
301

图38

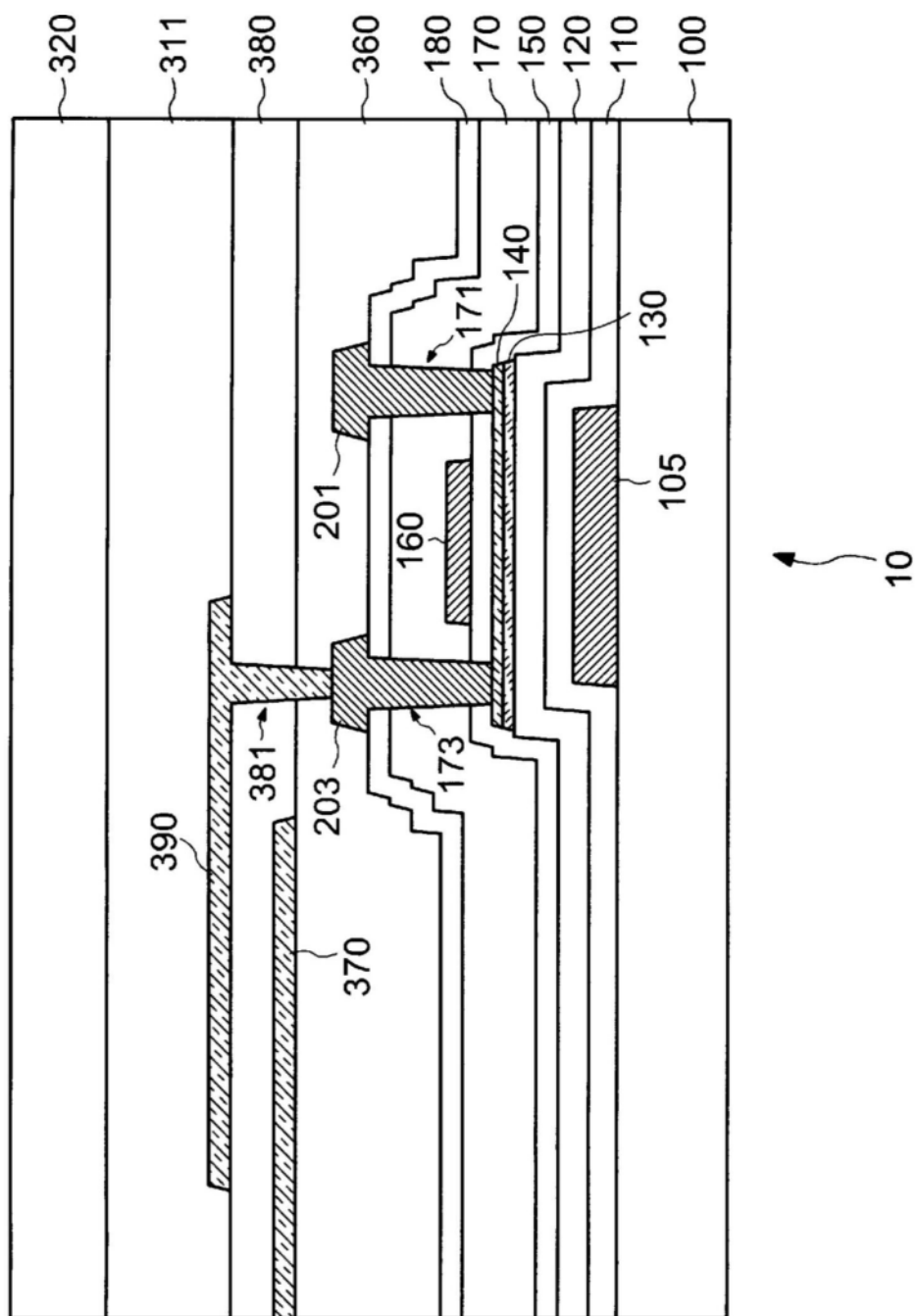


图39

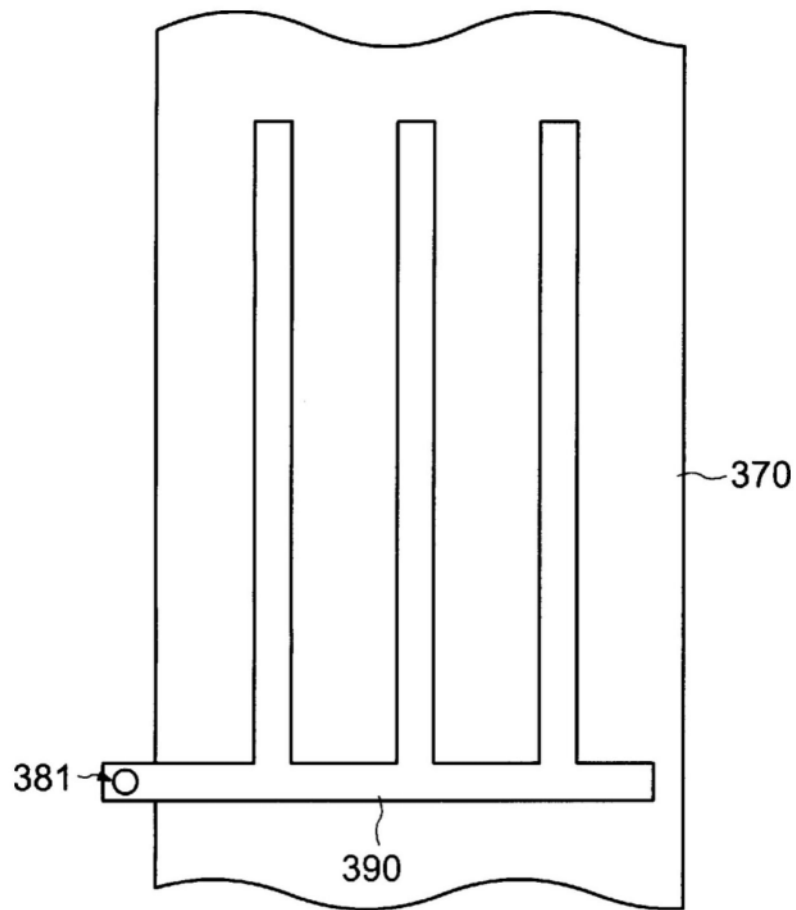


图40

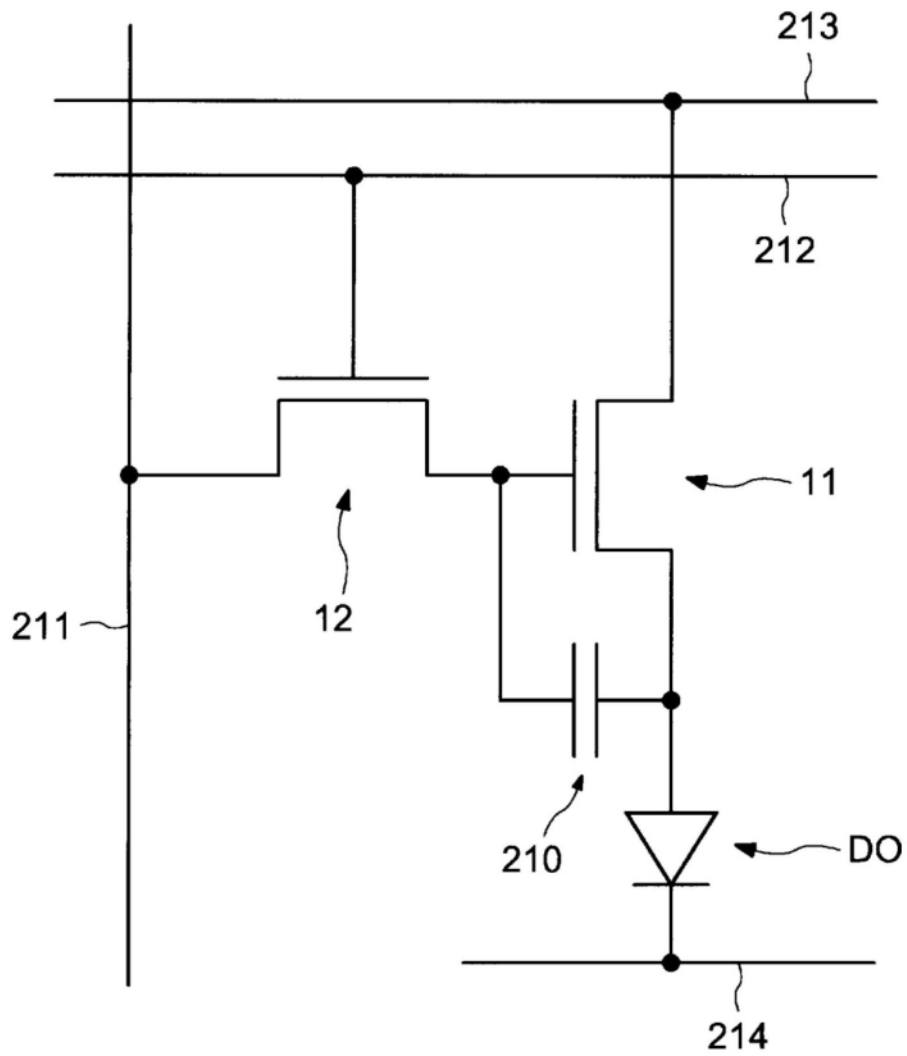


图41

20

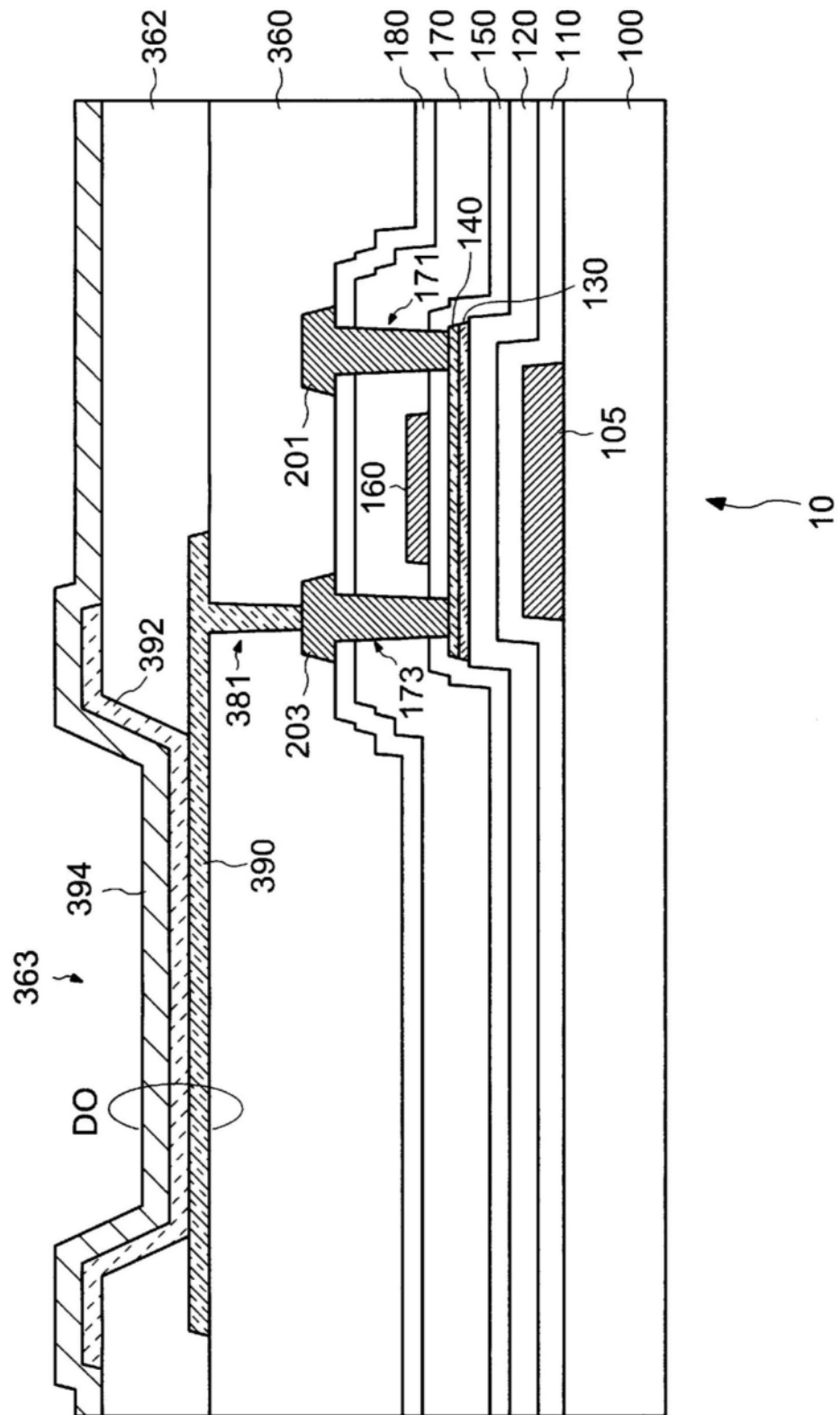


图42

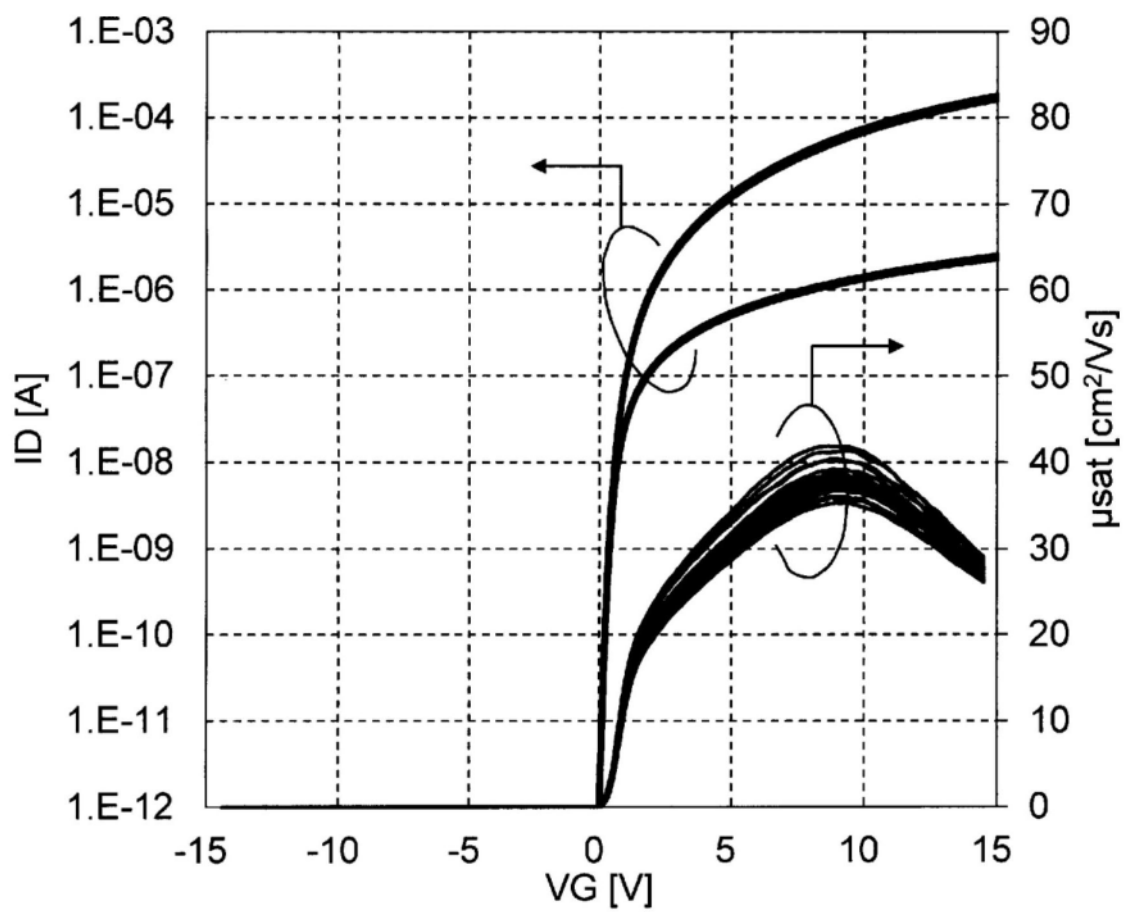


图43

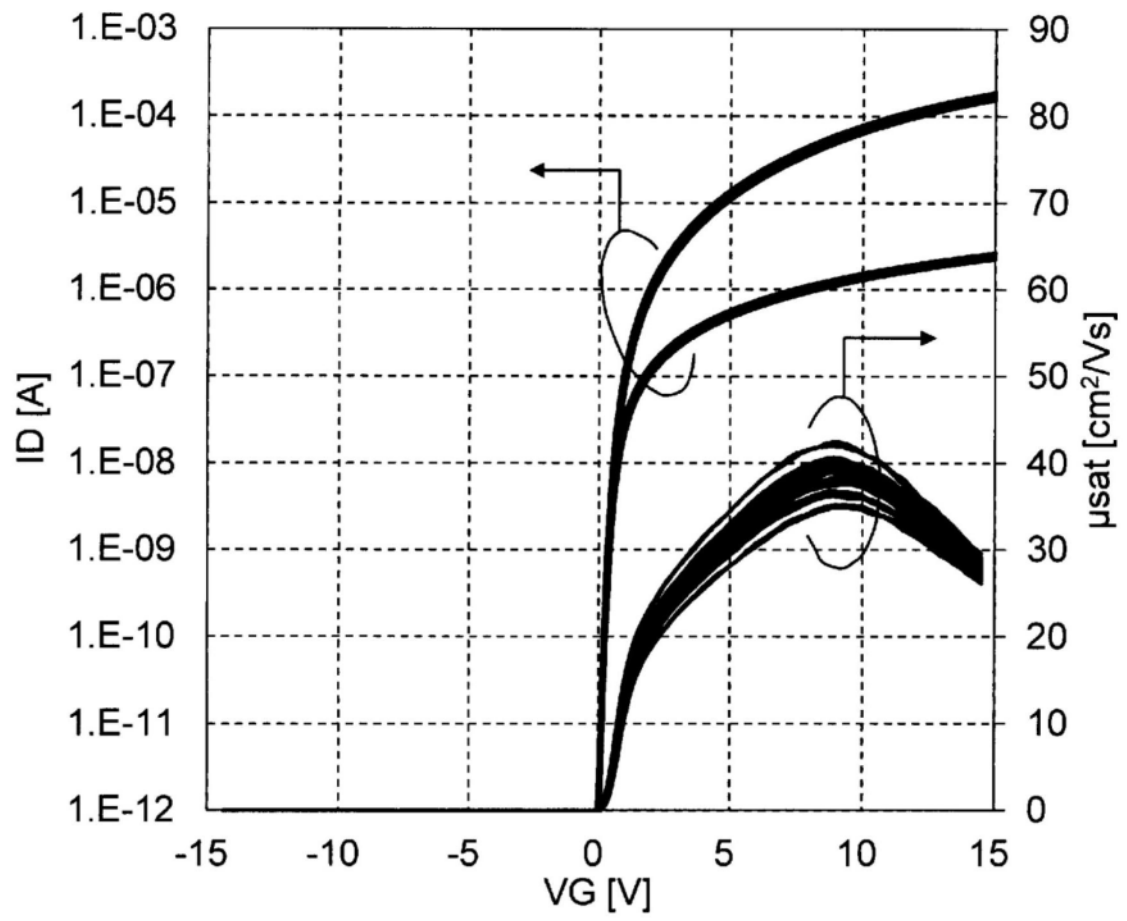


图44

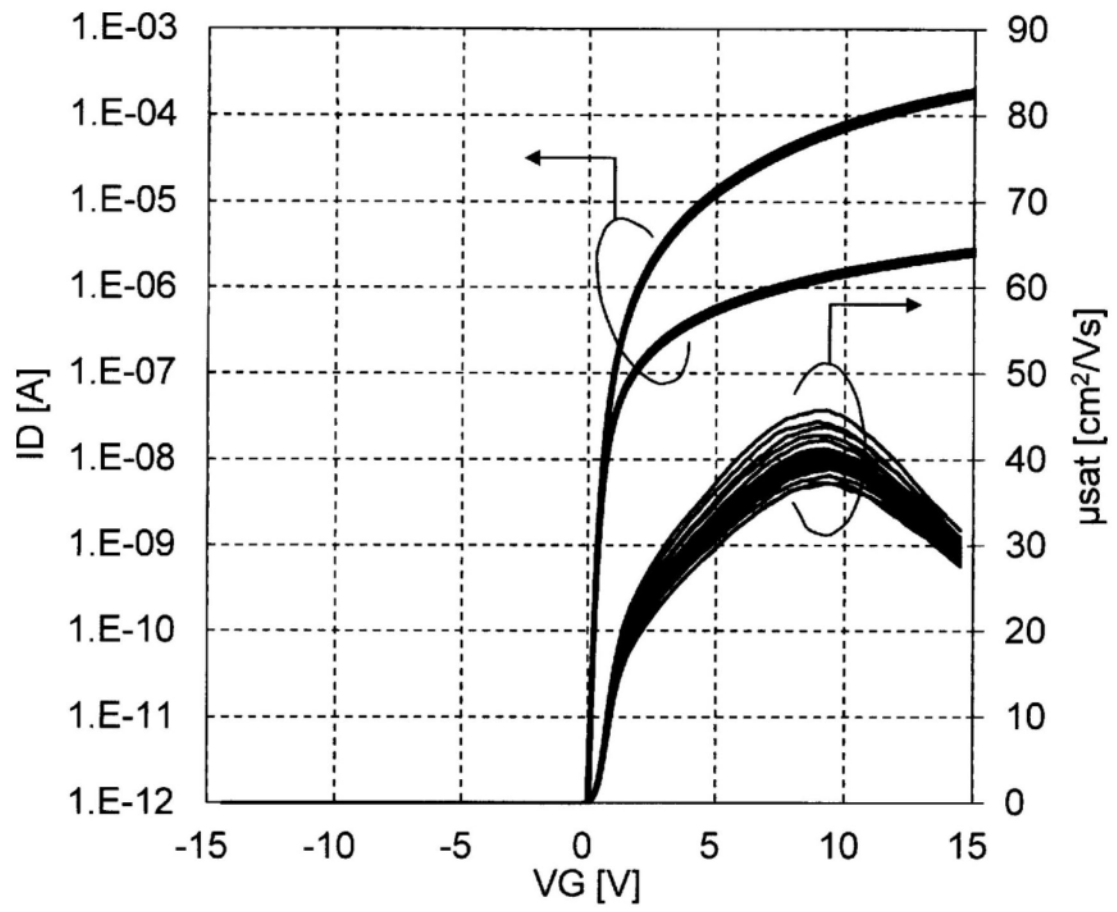


图45

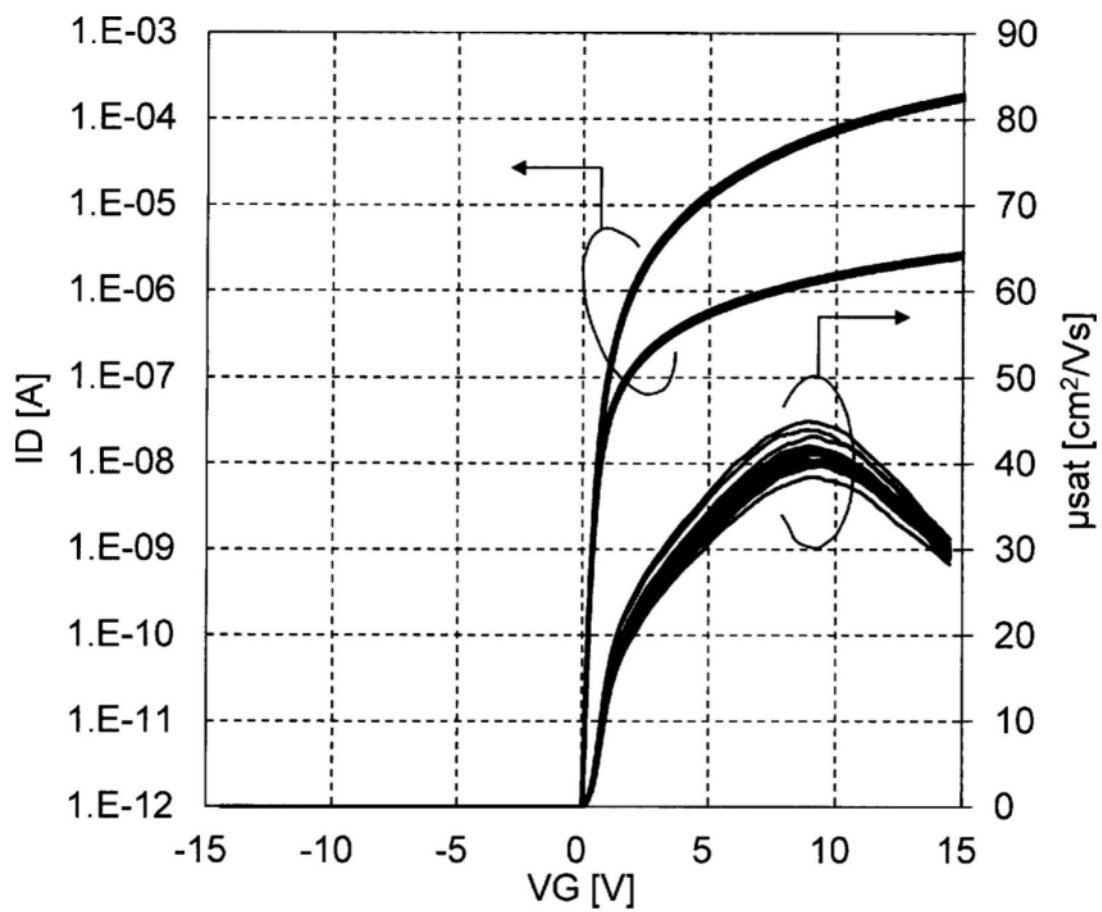


图46

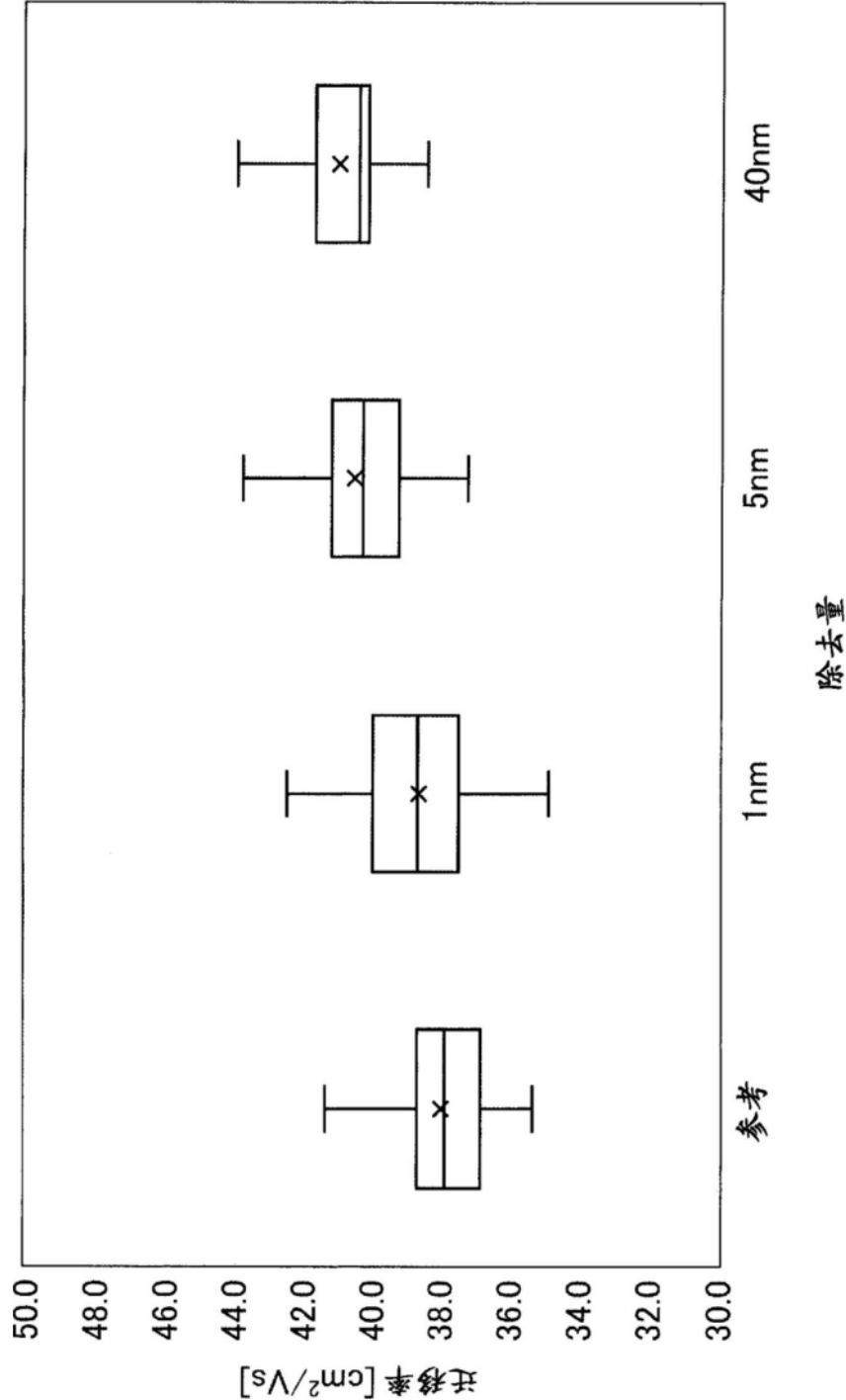


图47

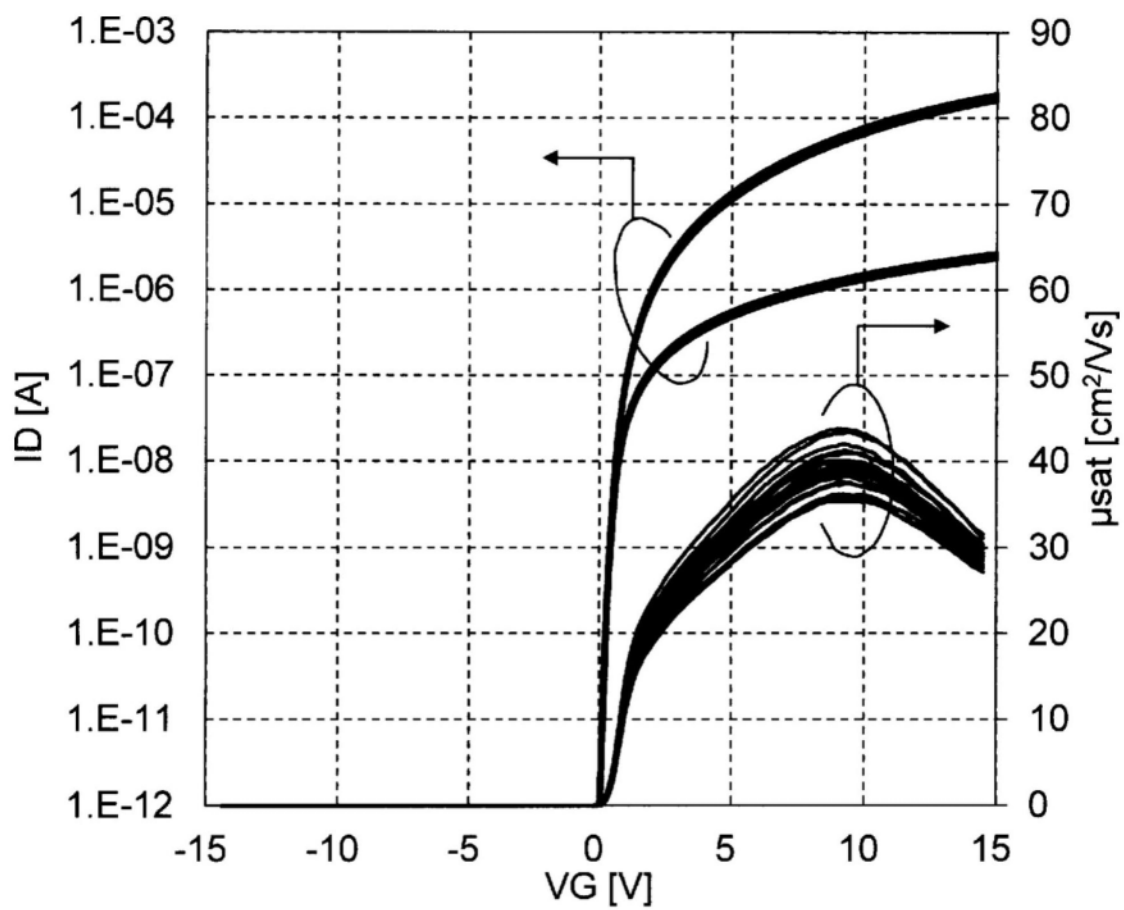


图48

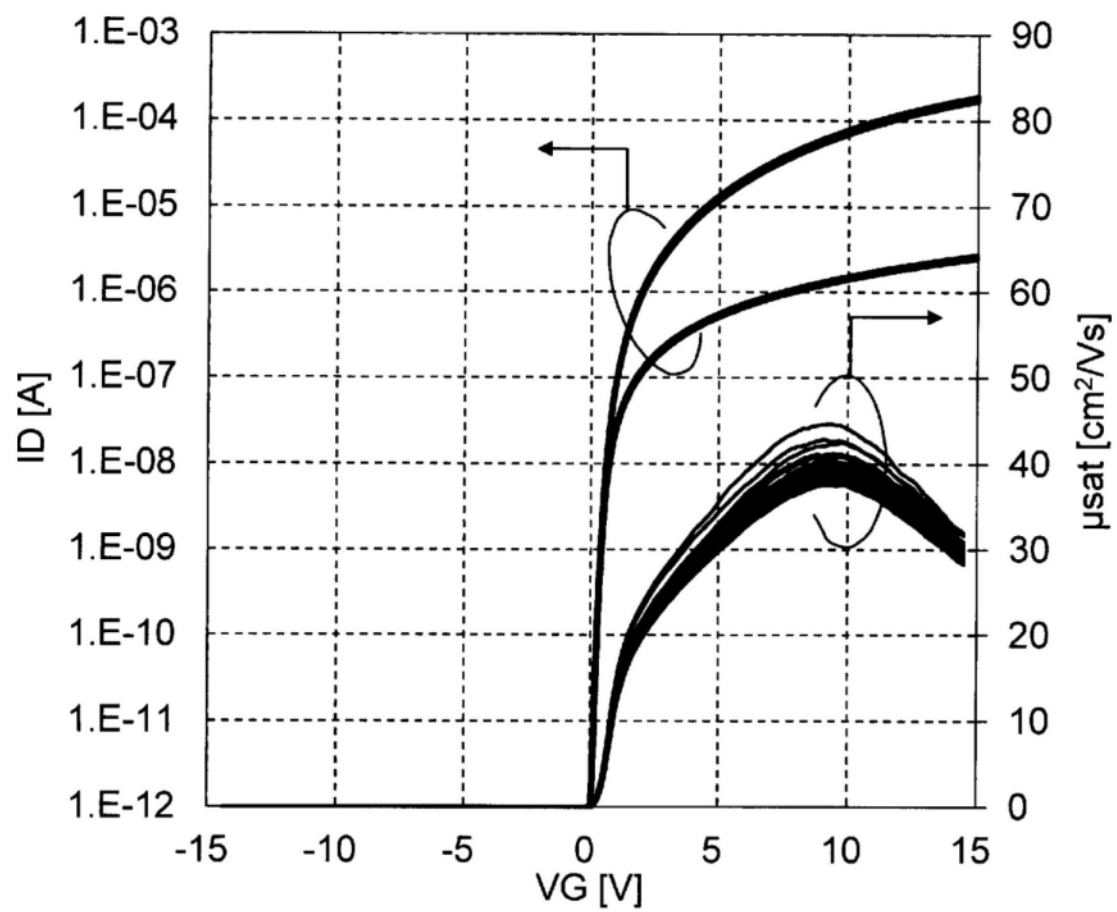


图49

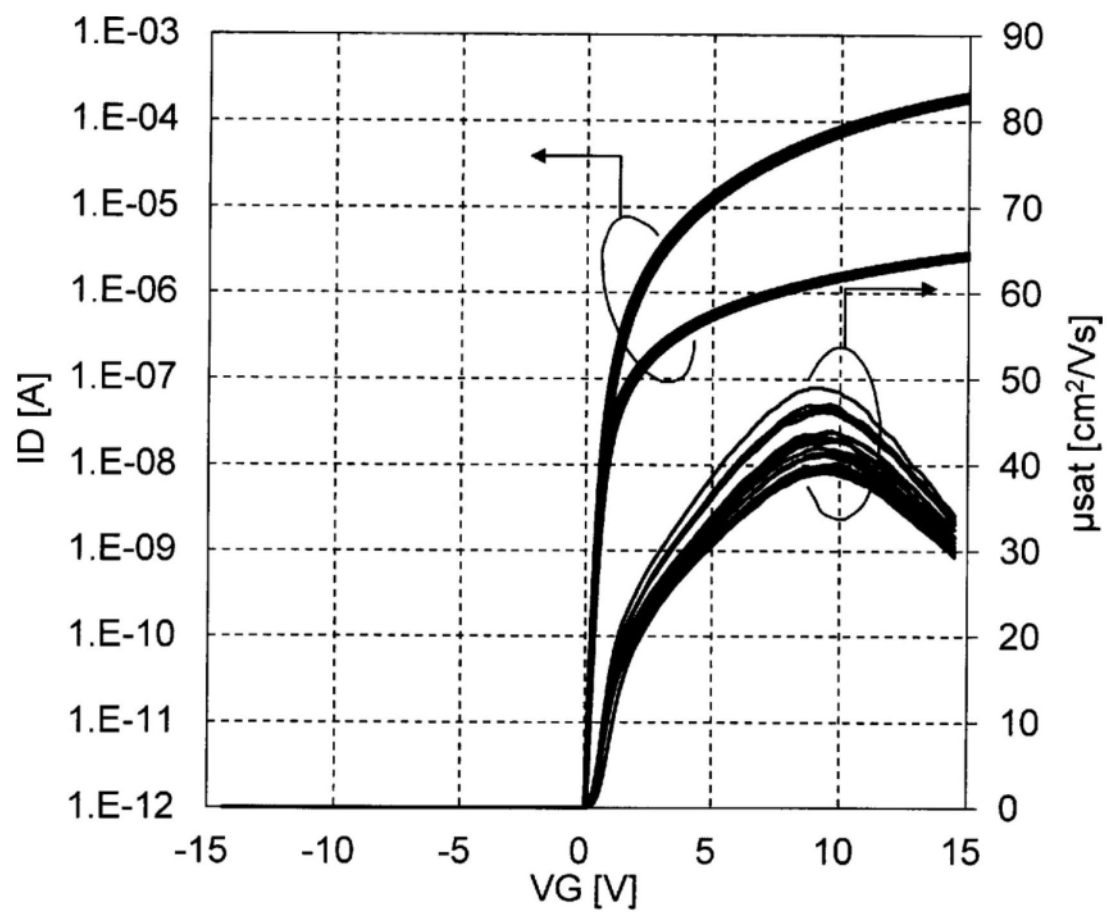


图50

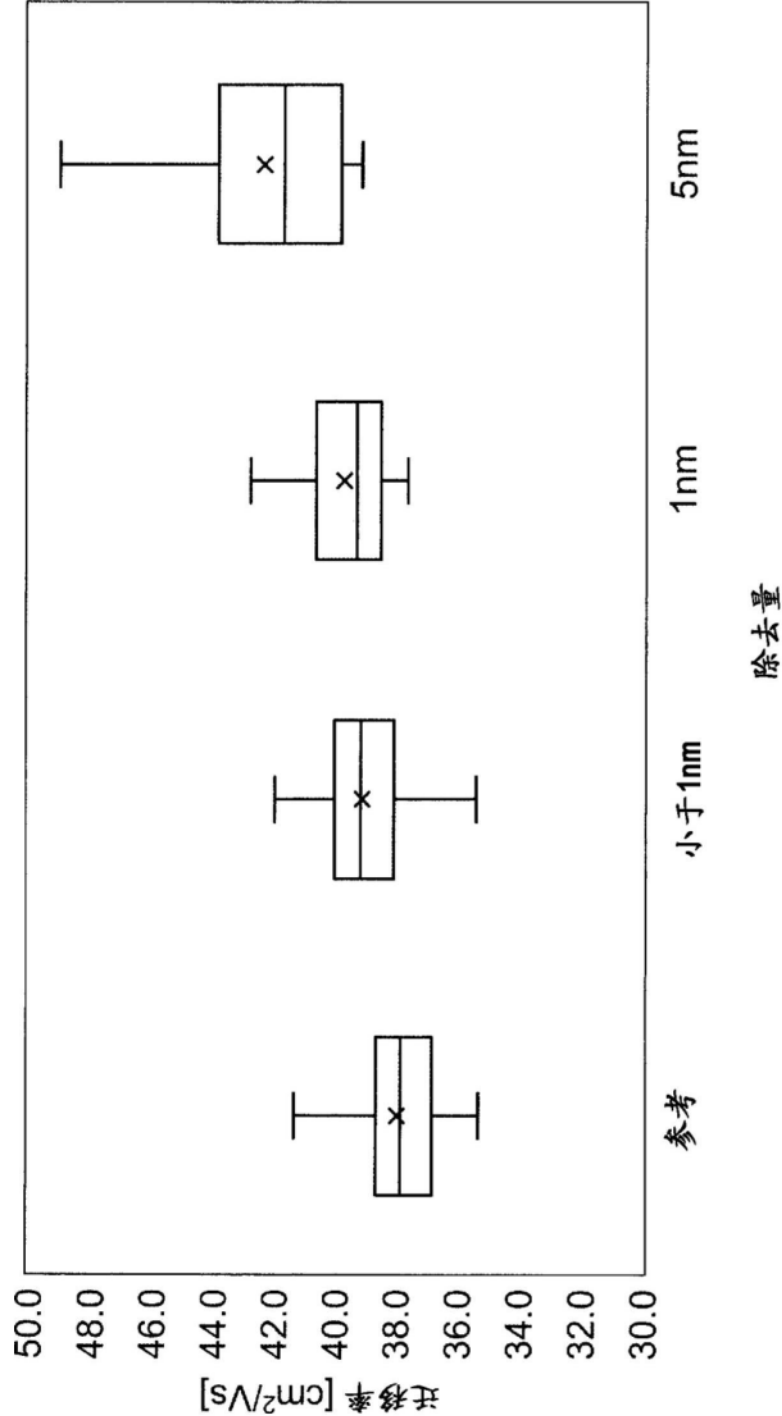


图51

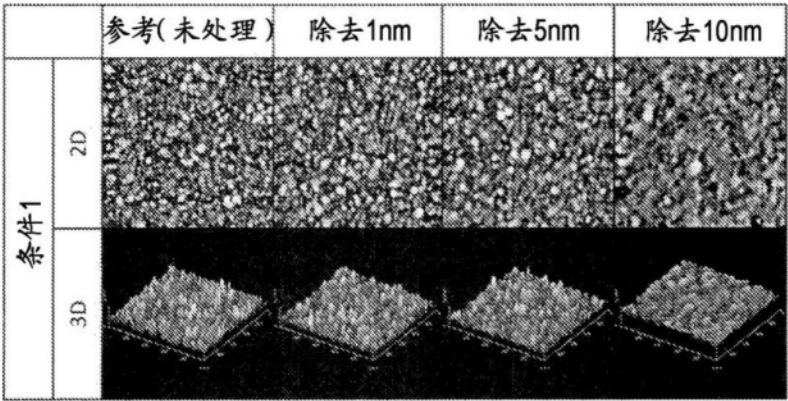


图52A

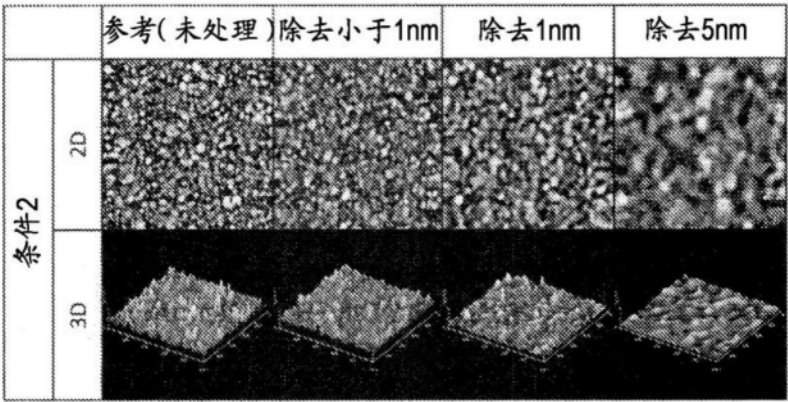


图52B

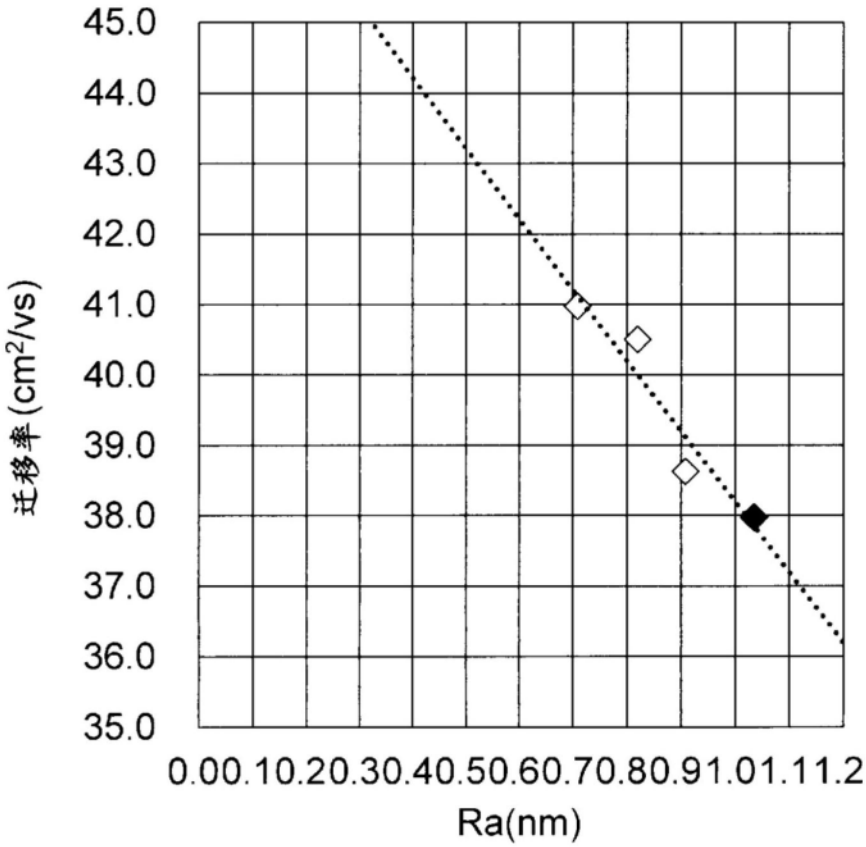


图53

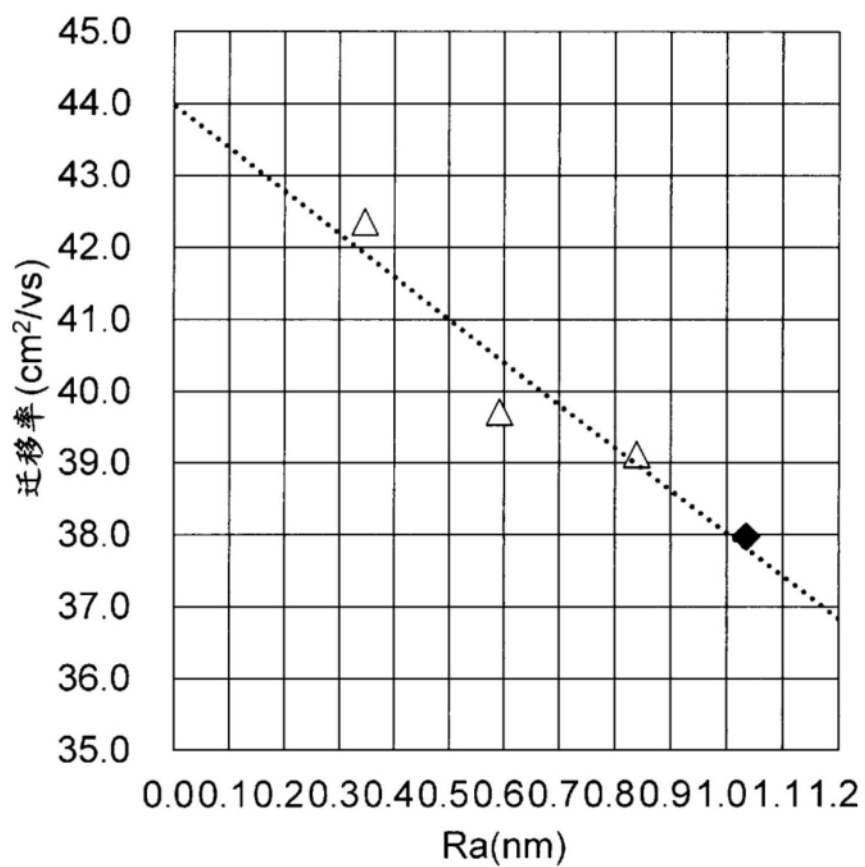


图54

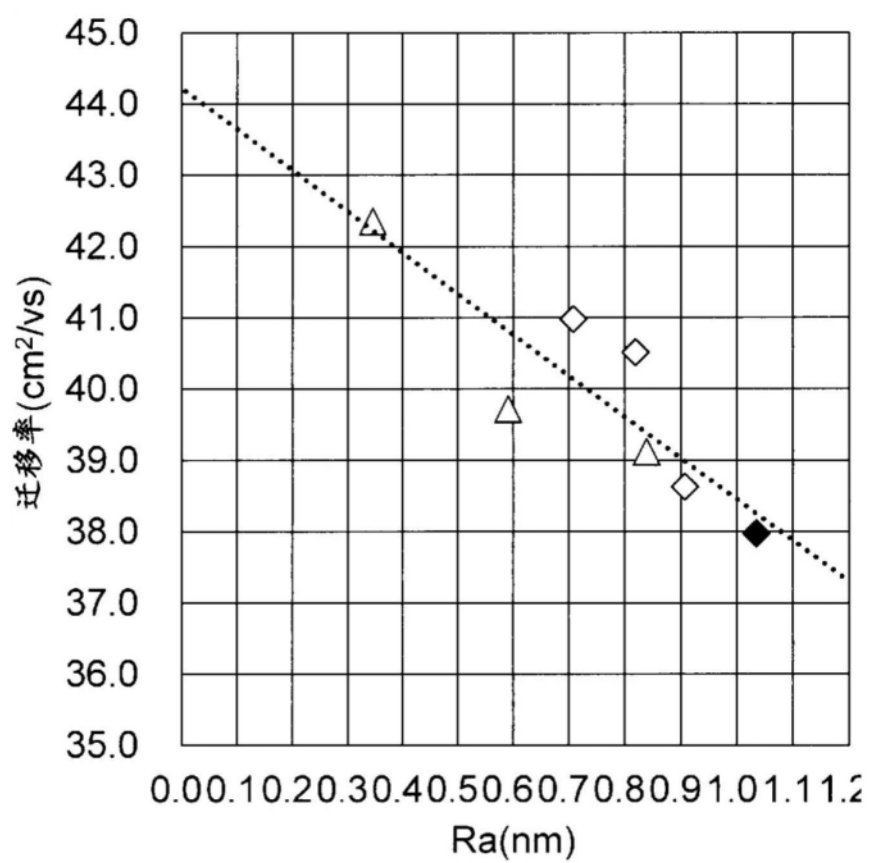


图55