



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

219445
(11) (B1)

(51) Int. Cl.³
G 11 C 11/00

(22) Přihlášeno 15 09 81
(21) [PV 6785-81]

(40) Zveřejněno 30 07 82

(45) Vydáno 15 08 85

(75)
Autor vynálezu SMÍŠEK JIŘÍ ing., PRAHA

(54) Zapojení paměti malého počítače

1

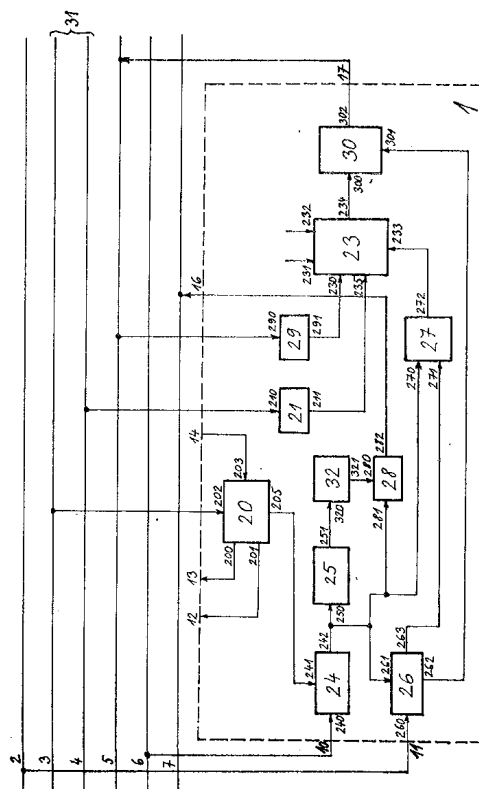
Vynález se týká oboru samočinné počítače — operační paměť.

Zapojení řeší zvýšení stupně pozorovatelnosti zejména při oživování procesoru a paměti malého počítače.

Řešení se dosahuje použitím statického paměťového modulu ve spojení se synchronizačními signály společné asynchronní komunikační sběrnice. Při zablokování vstupního synchronizačního signálu do adresujícího zařízení je možné zastavit styk na komunikační sběrnici, a lze tak provádět vizuální pozorování na připojené signalizaci libovolně dlouhou dobu.

Možnost použití je pouze v uvedeném oboru.

2



Obz. 1

Předmětem vynálezu je zapojení paměti malého počítače, které řeší zvýšení stupně pozorovatelnosti zejména při oživování procesoru a paměti malého počítače.

V praxi je velmi rozšířená struktura počítače, orientovaná na společnou asynchronní obousměrnou komunikační sběrnici, ke které jsou paralelně připojeny procesor, paměť a interfejsové obvody jednotlivých přídatných zařízení. Operace využívající této sběrnice je zahájena vstupním synchronizačním signálem, který definuje platnost adresy paměťové buňky. Odezvou této buňky je vstupní synchronizační signál, na jehož základě adresující modul ukončí tuto operaci. Adresujícím modulem může být procesor nebo přídatné zařízení s režimem přímého přístupu do operační paměti. U dosud známých počítačů s uvedenou strukturou je použita dynamická paměť, což má určitou nevýhodu. Tato nevýhoda spočívá v tom, že při oživování počítače nelze zastavit styk mezi adresujícím a adresovaným modulem tak, aby na připojené signalizaci byl zobrazen stav jednotlivých linek komunikační sběrnice při dané operaci.

Tuto nevýhodu odstraňuje zapojení paměti malého počítače podle vynálezu, jehož podstata spočívá v tom, že první svorka paměti je spojena s prvním vstupem prvního bloku logických hradel, druhý vstup prvního bloku logických hradel je spojen s výstupem adresního dekodéru, výstup prvního bloku logických hradel je spojen se vstupem zpožďovacího členu, s druhým vstupem vysílače vstupního synchronizačního signálu, s prvním vstupem výkonového hradla a s druhým vstupem druhého bloku logických hradel, výstup zpožďovacího členu je spojen se vstupem invertoru, výstup invertoru je spojen s prvním vstupem vysílače vstupního synchronizačního signálu, jehož výstup je spojen se sedmou svorkou paměti, druhá svorka paměti je spojena s prvním vstupem druhého bloku logických hradel, jehož první výstup je spojen s hradlovacím vstupem datového vysílače, a jehož druhý výstup je spojen s druhým vstupem výkonového hradla, výstup výkonového hradla je spojen se zápisovým vstupem statického paměťového modulu, jehož výstup je spojen se vstupem datového vysílače, přičemž výstup datového vysílače je spojen s osmou svorkou paměti. Výhodou uvedeného zapojení je možnost zastavit styk na komunikační sběrnici, čehož lze využít například při oživování procesoru, při ladění programů nebo při testování počítače.

Na obrázku 1 je zapojení paměti malého počítače podle bodů 1 a 2 předmětu vynálezu, kde je uvedeno vzájemné propojení jednotlivých bloků společně s jejich označením. Řídící linka 2 je spojena s druhou svorkou 11 paměti 1. Jedenáctá až šestnáctá linka 3 adresní sběrnice 31 je spojena s prvním vstupem 202 adresního dekodéru 20. První až desátá linka 4 adresní sběrnice

31 je spojena se vstupem 210 adresního přijímače 21, jehož výstup 211 je spojen s adresním vstupem 235 statického paměťového modulu 23. Datové linky 5 jsou spojeny s osmou svorkou 17 paměti 1 a dále jsou spojeny se vstupem 290 přijímače 29, jehož výstup 291 je spojen s datovým vstupem 230 statického paměťového modulu 23. Výstupní synchronizační linka 6 je spojena s první svorkou 10 paměti 1. Vstupní synchronizační linka 7 je spojena se sedmou svorkou 16 paměti 1. První svorka 10 paměti 1 je spojena s prvním vstupem 240 prvního bloku logických hradel 24. Druhý vstup 241 prvního bloku logických hradel 24 je spojen s výstupem 205 adresního dekodéru 20. Výstup 242 prvního bloku logických hradel 24 je spojen se vstupem 250 zpožďovacího členu 25, s druhým vstupem 281 vysílače 28 vstupního synchronizačního signálu, s prvním vstupem 270 výkonového hradla 27 a s druhým vstupem 261 druhého bloku logických hradel 26. Výstup 251 zpožďovacího členu 25 je spojen se vstupem 320 invertoru 32. Výstup 321 invertoru 32 je spojen s prvním vstupem 280 vysílače 28 vstupního synchronizačního signálu, jehož výstup 282 je spojen se sedmou svorkou 16 paměti 1. Druhá svorka 11 paměti 1 je spojena s prvním vstupem 260 druhého bloku logických hradel 26, jehož první výstup 262 je spojen s hradlovacím vstupem 301 datového vysílače 30, a jehož druhý výstup 263 je spojen s druhým vstupem 271 výkonového hradla 27. Výstup 272 výkonového hradla 27 je spojen se zápisovým vstupem 233 statického paměťového modulu 23, jehož výstup 234 je spojen se vstupem 300 datového vysílače 30, přičemž výstup 302 datového vysílače 30 je spojen s osmou svorkou 17 paměti 1. Příímý výstup 200 adresního dekodéru 20 je spojen se čtvrtou svorkou 13 paměti 1. Negovaný výstup 201 adresního dekodéru 20 je spojen se třetí svorkou 12 paměti 1 a druhý vstup 203 adresního dekodéru 20 je spojen s pátou svorkou 14 paměti 1. Funkce zapojení je následující: Adresující modul vysílá adresu buňky operační paměti na adresní sběrnici 31. První až desátá linka 4 se dekóduje v adresním dekodéru statického paměťového modulu 23. Začlenění paměti 1 do oblasti celé operační paměti počítače je definováno propojením první až šesté špičky páté svorky 14 s první až šestou špičkou třetí svorky 12 nebo čtvrté svorky 13. Například propojením první špičky páté svorky 14 s první špičkou třetí svorky 12, druhé špičky páté svorky 14 s druhou špičkou třetí svorky 12 atd. až šesté špičky páté svorky 14 se šestou špičkou třetí svorky 12 přiřadíme paměti 1 nejnižší pozici v oblasti operační paměti počítače. Naopak propojením první až šesté špičky páté svorky 14 s první až šestou špičkou čtvrté svorky 13 přiřadíme paměti 1 nejvyšší pozici v oblasti operační paměti počítače. Platnost

adresy definuje aktivní signál na výstupní synchronizační lince **6**, jehož zpoždění za adresou kompenzuje zpoždění na adresní sběrnici **31** a zpoždění v adresním dekodéru **20**. Předpokládejme nyní, že se jedná o operaci čtení z paměti **1** tzn., že na řídicí lince **2** je horní neaktivní hladina signálu. Dále předpokládejme, že vysílaná adresa na adresní sběrnici **31** odpovídá pozici v operační paměti počítače, do které je paměť **1** přiřazena. Potom na výstupu **205** se objeví horní hladina a na výstupu **242** se objeví rovněž horní hladina, která se zpožděná na zpožďovacího členu **25** šíří na první vstup **280** vysílače **28** vstupního synchronizačního signálu. Zpoždění respektuje dobu reakce statického paměťového modulu **23**. Ze sedmé svorky **16** se vysílá aktivní spodní hladina signálu na vstupní synchronizační linku **7**, na kterou je synchronizačním vstupem připojen adresující modul (není zakreslen). Horní hladiny signálů na prvním vstupu **260** a na druhém vstupu **261** vyvolají horní hladinu na hradlovacím vstupu **301**, která má předstih před vstupním synchronizačním signálem. Na výběrových vstupech **231** a **232** jsou aktivní hladiny signálu, takže jsou v činnosti všechny buňky statického paměťového modulu **23**, datový vysílač **30** je otevřen a vysílá se instrukce nebo slovní operand z osmé svorky **17** na datové linky **5**. Na druhém vstupu **271** je přitom spodní hladina a na zápisovém vstupu **233** je neaktivní horní hladina signálu. Jestliže nyní zablokujeme přístup aktivního signálu ze vstupní synchronizační linky **7** do adresujícího modulu, potom můžeme na připojené signalizaci vizuálně sledovat stav signálů na komunikační sběrnici při dané operaci libovolně dlouhou dobu. Podobně je tomu při operaci zápisu do některé buňky paměti **1**. Rozdíl je pouze ve spodní hladině na řídicí lince **2**, na datové linky **5** vysílá adresující modul operand a na zápisovém vstupu **233** se objeví aktivní spodní hladina, kdežto na hradlovacím vstupu **301** se objeví neaktivní spodní hladina signálu. Při zápisu spodní slabiky je aktivní hladina pouze na výběrovém vstupu **231**, při zápi-

su horní slabiky je aktivní hladina pouze na výběrovém vstupu **232**.

Na obrázku 2 je modifikované zapojení podle bodu 3 předmětu vynálezu, kde je uvedeno vzájemné propojení jednotlivých bloků společně s jejich označením. První svorka **10** paměti **1** je spojena s prvním vstupem **240** prvního bloku logických hradel **24**, jehož druhý vstup **241** je spojen s výstupem **205** adresního dekodéru **20**, a jehož výstup **242** je spojen se vstupem **250** zpožďovacího členu **25**, s prvním vstupem **270** výkonového hradla **27** s druhým vstupem **261** druhého bloku logických hradel **26** a s druhým vstupem **281** vysílače **28** vstupního synchronizačního signálu. Výstup **251** zpožďovacího členu **25** je spojen se vstupem **320** invertoru **32** a se třetím vstupem **273** výkonového hradla **27**. Výstup **321** invertoru **32** je spojen s prvním vstupem **280** vysílače **28** vstupního synchronizačního signálu. Druhá svorka **11** paměti **1** je spojena s prvním vstupem **260** druhého bloku logických hradel **26**, jehož druhý výstup **263** je spojen s druhým vstupem **271** výkonového hradla **27**. Výstup **272** výkonového hradla **27** je spojen se zápisovým vstupem **233** statického paměťového modulu **23**. Výstup **282** vysílače **28** vstupního synchronizačního signálu je spojen se sedmou svorkou **16** paměti **1**. Funkce zapojení je následující: Při operaci zápisu operandu do adresované buňky paměti **1** se generuje horní hladina signálu na prvním vstupu **270**, na druhém vstupu **271** a na třetím vstupu **273**, kde trvá horní hladina po dobu danou zpožděním zpožďovacího členu **25**. Na výstupu **272** vznikne záporný zapisovací impuls. Poté se na třetím vstupu **273** objeví spodní hladina, zápis se ukončí, na prvním vstupu **280** se objeví horní hladina a ze sedmé svorky **16** se generuje aktivní signál na vstupní synchronizační linku **7**.

Možnost použití uvedeného zapojení je v systémech s asynchronním stykem na společné komunikační sběrnici. Navíc zapojení podle obrázku 2 lze použít i tam, kde adresující modul nezaručuje při operaci zápisu potřebný přesah dat oproti výstupnímu synchronizačnímu signálu.

PŘEDMĚT VYNÁLEZU

1. Zapojení paměti malého počítače, vyznačující se tím, že první svorka (**10**) paměti (**1**) je spojena s prvním vstupem (**240**) prvního bloku logických hradel (**24**), druhý vstup (**241**) prvního bloku logických hradel (**24**) je spojen s výstupem (**205**) adresního dekodéru (**20**), výstup (**242**) prvního bloku logických hradel (**24**) je spojen se vstupem (**250**) zpožďovacího členu (**25**), s druhým vstupem (**281**) vysílače (**28**) vstupního synchronizačního signálu, s prvním vstupem (**270**) výkonového hradla (**27**) a s druhým vstupem (**261**) druhého bloku logic-

kých hradel (**26**), výstup (**251**) zpožďovacího členu (**25**) je spojen se vstupem (**320**) invertoru (**32**), výstup (**321**) invertoru (**32**) je spojen s prvním vstupem (**280**) vysílače (**28**) vstupního synchronizačního signálu, jehož výstup (**282**) je spojen se sedmou svorkou (**16**) paměti (**1**), druhá svorka (**11**) paměti (**1**) je spojena s prvním vstupem (**260**) druhého bloku logických hradel (**26**), jehož první výstup (**262**) je spojen s hradlovacím vstupem (**301**) datového vysílače (**30**), a jehož druhý výstup (**263**) je spojen

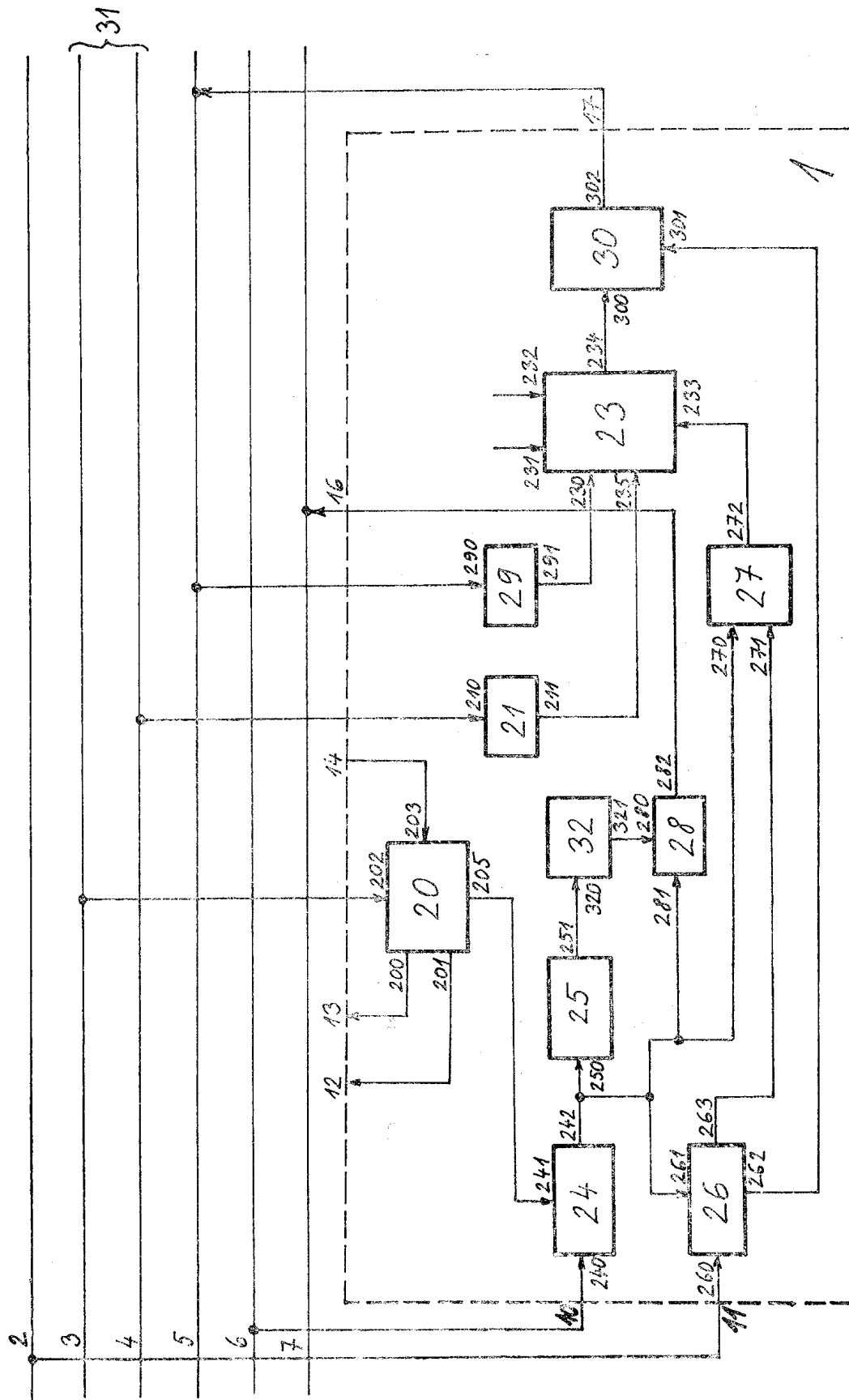
s druhým vstupem (271) výkonového hradla (27), přičemž výstup (272) výkonového hradla (27) je spojen se zápisovým vstupem (233) statického paměťového modulu (23), jehož výstup (234) je spojen se vstupem (300) datového vysílače (30), zatímco výstup (302) datového vysílače (30) je spojen s osmou svorkou (17) paměti (1).

2. Zapojení podle bodu 1, vyznačující se tím, že přímý výstup (200) adresního de-

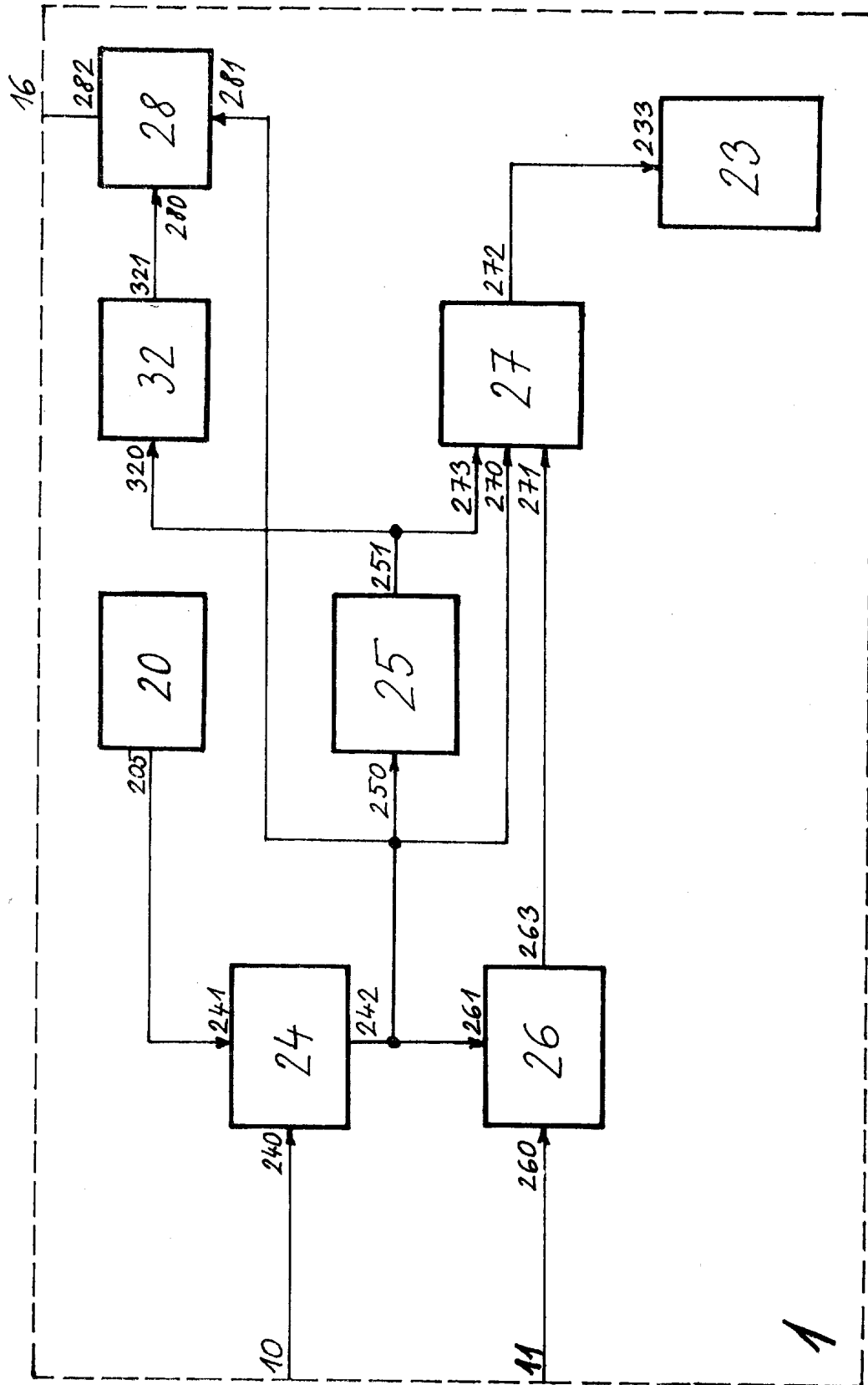
kodéru (20) je spojen se čtvrtou svorkou (13) paměti (1), negovaný výstup (201) adresního dekodéru (20) je spojen se třetí svorkou (12) paměti (1) a druhý vstup (203) adresního dekodéru (20) je spojen s pátou svorkou (14) paměti (1).

3. Zapojení podle bodu 1, vyznačující se tím, že výstup (251) zpoždovacího členu (25) je spojen se třetím vstupem (273) výkonového hradla (27).

2 listy výkresů



Obr. 1



Obr. 2