

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 11/401 (2006.01)

G11C 11/407 (2006.01)



[12] 发明专利说明书

专利号 ZL 03158902.2

[45] 授权公告日 2008 年 2 月 6 日

[11] 授权公告号 CN 100367408C

[22] 申请日 2003.9.8 [21] 申请号 03158902.2

[30] 优先权

[32] 2003. 1. 17 [33] JP [31] 9733/03

[73] 专利权人 株式会社瑞萨科技

地址 日本东京都

[72] 发明人 月川靖彦 伊藤孝

[56] 参考文献

JP7-130172A 1995.5.19

CN1374663A 2002.10.16

审查员 刘浩然

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 杨凯 叶恺东

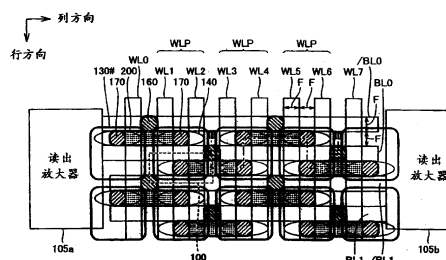
权利要求书 4 页 说明书 20 页 附图 17 页

[54] 发明名称

设有双单元的半导体存储装置

[57] 摘要

在由两个 DRAM 单元构成的双单元(101#)中，将各双单元(101#)的单元极板(130#)在电气上分离。由此，存储同一双单元内的互补数据的两个存储节点(140)的电压，因电容耦合而同样地变动。



1. 一种半导体存储装置，其中：

设有行列状配置的多个存储单元；

所述多个存储单元被分割成由写入互补数据的每两个所述存储单元构成的多个存储单位；

还设有，

与所述多个存储单元的列对应配置的、每两条一对的多条位线，

与所述多个存储单元的行对应的、在与所述多条位线交叉的方向上配置的多条字线，以及

各自与各所述存储单位对应设置的、至少电气上相互分离的多个单元极板；

所述多个存储单元各自包含，

在对应的所述位线和存储节点之间连接的、根据对应的所述字线的电压导通或截止的选择晶体管，以及

在所述存储节点和对应的所述单元极板之间连接的电容器。

2. 如权利要求1所述的半导体存储装置，其特征在于：在形成同一所述存储单位的两个所述存储单元中，所述选择晶体管各自的栅极与不同的所述字线连接。

3. 如权利要求2所述的半导体存储装置，其特征在于：

所述多个存储单元各自还包括，沿着对应的所述位线的延伸方向延伸而配置的、规定所述选择晶体管的形成区域的活性区；

在沿着所述对应的位线的延伸方向邻接的每两个所述存储单元之间，所述活性区连续地延伸形成；

所述半导体存储装置中还设有，

在所述邻接的每两个存储单元组成的每个组设置的、将对应的所述活性区和对应的所述位线之间电连接的位线接触孔。

4. 如权利要求1所述的半导体存储装置，其特征在于：在形成同

一所述存储单位的两个所述存储单元中，所述选择晶体管各自的栅极与同一所述字线连接。

5. 如权利要求4所述的半导体存储装置，其特征在于：

所述多个存储单元各自还包含，沿着对应的所述字线的延伸方向和对应的所述位线的延伸方向之间的方向延伸配置的、规定所述选择晶体管的形成区域的活性区；

所述半导体存储装置，

还设有将所述多个存储单元各自的所述活性区和对应的所述位线电连接的多个位线接触孔，

所述多个位线接触孔在所述多条字线的延伸方向上排列，并与各所述位线对应地设置，

在所述多条位线的延伸方向上邻接的所述位线接触孔之间配置两条字线；

在沿着所述活性区的延伸方向邻接的每两个存储单元之间，所述活性区连续地延伸形成；

各所述位线接触孔为所述邻接的每两个存储单元所共有。

6. 如权利要求5所述的半导体存储装置，其特征在于：还在沿着所述多条位线的延伸方向邻接的、且与各自不同的所述位线接触孔对应而设的所述存储单元各自的所述存储节点之间的区域，设有与所述多条字线在同一方向延伸设置的多条伪字线。

7. 如权利要求6所述的半导体存储装置，其特征在于：

所述多条伪字线各自设定在预定电平的电压上。

8. 如权利要求7所述的半导体存储装置，其特征在于：

所述多条伪字线各自设定在预定电平的电压上；

所述活性区沿同一方向连续地延伸形成，使在邻接的所述行的邻接的所述列上配置的所述存储单元的所述活性区连续。

9. 如权利要求7所述的半导体存储装置，其特征在于：

所述多条伪字线各自设定在预定电平的电压上；

所述活性区关于各所述伪字线对称配置地连续形成。

10. 如权利要求7所述的半导体存储装置，其特征在于：所述活性区在各所述伪字线下的区域连续地延伸形成。

11. 如权利要求6所述的半导体存储装置，其特征在于：所述字线和所述伪字线之间的间隔，和所述字线之间的间隔相同。

12. 一种半导体存储装置，其中：

设有行列状配置的多个存储单元；

所述多个存储单元被分割成由写入互补数据的每两个所述存储单元构成的多个存储单位；

还设有，

与所述多个存储单元的列对应配置的、每两条一对的多条位线，

与所述多个存储单元的行对应的、在与所述多条位线交叉的方向上配置的多条字线，以及

分别与所述多个存储单位的预定分区对应设置的、至少电气上相互分离的多个单元极板；

所述多个存储单元各自包含，

在对应的所述位线和存储节点之间连接的、按照对应的所述字线的电压导通或截止的选择晶体管，以及

在所述存储节点和对应的所述单元极板之间连接的电容器。

13. 一种半导体存储装置，其中：

设有行列状配置的多个存储单元；

所述多个存储单元分别被分割成由写入互补数据的每两个所述存储单元构成的多个存储单位；

还设有，

与所述多个存储单元的列对应配置的每两条一对的多条位线，

与所述多个存储单元的行对应的、在与所述多条位线交叉的方向上配置的多条字线，以及

各自与各所述存储单位对应设置的、至少电气上相互分离的多个

单元极板;

构成所述存储单位的两个所述存储单元的一方各自包含,

在所述成对的两条位线中的一方和存储节点之间连接的、按照对应的所述字线的电压导通或截止的选择晶体管, 以及

在所述存储节点和对应的所述单元极板之间连接的电容器;

构成所述存储单位的两个所述存储单元的另一方各自包含,

不经由电容器在所述成对的两条位线的另一方和对应的所述单元极板之间连接的、按照对应的所述字线的电压导通或截止的选择晶体管。

设有双单元的半导体存储装置

技术领域

本发明涉及半导体存储装置，尤其涉及一种用两个存储单元存储1位数据的双单元DRAM（动态随机存取存储器）。更具体地说，本发明涉及一种改善了刷新特性的双单元结构的DRAM的存储单元结构。

背景技术

为了抑制在降低存储单元的布局面积时的读出电压下降等动作边限的下降，例如，在日本专利特开平7-130172号公报公开了用两个存储单元存储1位数据的双单元DRAM（以下称为传统技术1）。

在传统技术1中，存储单元的布局与用1位/1单元（单一模式）存储数据的通常的DRAM单元的布局相同，两条字线被并行选择，存储单元数据被读出到位线对的各位线。在该两个存储单元存入互补数据的双单元DRAM中，与1位/1单元的一单元DRAM的场合相比，能够使位线之间的电压差为其两倍，使读出动作达到稳定化。

图17是一般所知的传统的双单元DRAM的阵列结构的说明图。

参照图17，在双单元DRAM中，通过构成位线对BLP的互补位线BL和/BL，及分别被连接的两个DRAM单元100构成作为1位数据的存储单位的双单元101。与构成同一双单元的DRAM单元100对应设置的两条字线，构成字线对WLP。例如，图17的字线WL和WL#构成字线对WLP，共同地（也就是同时地）被选择。

DRAM单元100包括，在对应的位线BL（或/BL）和存储节点140之间连接的选择（存取）晶体管110，在单元极板130和存储节点140之间连接的电容器120。存取晶体管110和位线BL（或/BL）通过位线

接触孔 (contact) 160电连接, 存储节点140和存取晶体管110通过存储节点接触孔170电连接。

如前所述, 在DRAM单元100中, 以通过电容器120在存储节点140蓄积电荷的形态来存储数据。单元极板130在整个存储单元阵列共同设置, 并固定于预定的单元极板电压VCP。

读出放大器105将构成位线对的互补位线BL和 $\overline{BL}$ 之间的电压差放大到电源电压Vdd和接地电压GND之间的差。在构成同一双单元101的两个DRAM单元100上, 分别写入互补的H电平和L电平数据。

图18表示在双单元DRAM中将位线的预充电电压作为电源电压Vdd时的位线对的电压变动。

参照图18, 在字线选择前的T1时刻以前, 各互补位线都预充电到电源电压Vdd。被选择的字线WL从该状态激活到H电平时, 在互补位线中的一方必定产生与L电平数据对应的负方向的电压变化 ΔV 。进而, 通过在时刻T2~T3之间的读出放大器的放大动作, 即使预充电电压为电源电压Vdd, 也能够构成位线对BLP的互补位线之间使电源电压Vdd~接地电压GND之间的电压差发生。

因此, 如图19所示, 将存储H电平数据的即设定于电源电压Vdd的存储节点的电压下降至与存储L电平数据的存储节点的电压相当的接地电压GND的时间, 规定为双单元DRAM的刷新时间tREF2。

在DRAM单元中, 由于将电容器作为数据存储媒体使用, 因此, 由于漏泄电流有可能将遗失存储数据。为了防止该数据的遗失, 在DRAM中, 如上所述将存储单元数据在内部读出并再写入, 进行恢复原先数据的刷新动作。

随着存储单元的微细化, 存储单元电容器的静电电容值将会降低, 而且, 需要相应地将刷新闻隔缩短。一般来说, 由于在刷新动作中不能对DRAM进行存取, 因此, 如果刷新闻隔变短, 系统的处理效率就会下降。另外, 增加了进行刷新时的耗电。

在如传统技术1的一般的双单元DRAM中, 与一单元DRAM相

比，能够使刷新闻隔变长。但是，随着近年来在以电池驱动为前提条件的便携式电器上半导体器件使用量的增加，对半导体存储装置的小型化和低耗电化的要求越来越强烈。也就是说，要求双单元DRAM中的刷新闻隔变得更长，即进一步改善刷新特性。

另外，在双单元DRAM中，由于用两个存储单元存储1位的数据，因此，必然增加了存储1位数据的单位单元的占用面积。简单地说，就是将使用两个传统的DRAM单元的布局，实现对1位的数据进行存储的双单元时，该数据存储单位的双单元的布局面积将成为两倍。另外，该场合，存储电容将变成通常的1位/1单元的一单元DRAM的1/2倍，因此，很难实现大存储容量的双单元DRAM。

发明内容

本发明的目的在于，提供一种刷新特性被改善的双单元结构的半导体存储装置（DRAM）。另外，本发明的另一目的在于，提供一种能够用小的布局面积构成双单元的半导体存储装置（DRAM）。

本发明的半导体存储装置设有行列状配置的多个存储单元，多个存储单元被分割成由写入互补数据的每两个存储单元构成的多个存储单位。半导体装置中还设有：与多个存储单元的列相对应地配置的每两条成对的多条位线；与多个存储单元的行相对应的、在与多条位线交叉的方向上配置的多条字线；以及分别与各存储单位对应设置的、至少电气上相互分离的多个单元极板。多个存储单元各自包含：连接在对应的位线和存储节点之间的、按照对应字线的电压导通或截止的选择晶体管，以及连接在存储节点和对应的单元极板之间的电容器。

本发明另一结构的半导体存储装置设有行列状配置的多个存储单元，多个存储单元被分割成由写入互补数据的每两个存储单元构成的多个存储单位。半导体装置中还设有：与多个存储单元的列相对应地配置的每两条成对的多条位线；与多个存储单元的行相对应

的、在与多条位线交叉的方向上配置的多条字线；以及分别与多个存储单元的预定分区对应设置的、至少电气上相互分离的多个单元极板。多个存储单元各自包含：连接在对应的位线和存储节点之间的、按照对应字线的电压导通或截止的选择晶体管，以及连接在存储节点和对应的单元极板之间的电容器。

本发明又一结构的半导体存储装置设有行列状配置的多个存储单元，多个存储单元各自被分割成由写入互补数据的每两个存储单元构成的多个存储单位。半导体装置中还设有：与多个存储单元的列相对应地配置的多条位线；与多个存储单元的行相对应的、在与多条位线交叉的方向上配置的多条字线；以及各自与各存储单位对应设置的、至少电气上相互分离的多个单元极板。构成各存储单位的两个存储单元中的一方包含：连接在成对的两条位线中的一方和存储节点之间连接的、按照对应字线的电压导通或截止的选择晶体管，以及连接在存储节点和对应的单元极板之间的电容器；构成各存储单位的两个存储单元中的另一方包含：不经由电容器连接在成对的两条位线中的另一方和对应的单元极板之间的、按照对应字线的电压导通或截止的选择晶体管。

因此，本发明的主要优点在于，由于单元极板对应于存储单位（双单元）至少在电气上被分离，所以同一双单元所包含的分别存储互补数据的存储节点的电压，因电容耦合而同样地变动，因此能够延长刷新时间。另外，即使存储节点和其它节点之间发生短路，同一个双单元所包含的存储节点之间将保持某种程度的电压差，因此，能够避免发生这样短路的存储单元变成不良存储单元。其结果，能够改善半导体存储装置的刷新特性和提高成品率。

另外，通过省去构成双单元的两个存储单元（DRAM单元）中的一方的电容器，能够保证对应于存储单位（双单元）在电气上分离的各单元极板有大的电荷保持容量。从而，能够进一步改善半导体存储装置的刷新特性。

附图说明

图1是表示本发明第一实施例的半导体存储装置的存储阵列部分的结构略图。

图2是表示第一实施例的半导体存储装置的存储阵列部分的布局略图。

图3是表示第一实施例的半导体存储装置的存储单元结构的图2的截面图。

图4是说明第一实施例的半导体存储装置的刷新时间的波形图。

图5是表示本发明第二实施例的半导体存储装置的存储阵列部分的结构略图。

图6是表示第二实施例的半导体存储装置的存储阵列部分的布局略图。

图7是表示本发明第三实施例的半导体存储装置的存储阵列部分的结构略图。

图8是表示第三实施例的半导体存储装置的存储阵列部分的布局略图。

图9是表示第三实施例的半导体存储装置的存储单元结构的图8的截面图。

图10是表示第三实施例之第一变更例的半导体存储装置的存储阵列部分的布局略图。

图11是表示第三实施例之第一变更例的半导体存储装置的存储单元结构的图10的截面图。

图12是表示第三实施例之第二变更例的半导体存储装置的存储阵列部分的布局略图。

图13是表示在多个双单元中的每一个上设置孤立单元极板时的布局例的略图。

图14是表示本发明第四实施例的半导体存储装置的存储阵列部

分的结构的略图。

图15是表示第四实施例的半导体存储装置的存储阵列部分的布局的略图。

图16是表示第四实施例的半导体存储装置的存储单元结构的图15的截面图。

图17是传统的双单元DRAM阵列结构的说明图。

图18是表示在图17所示的双单元DRAM中用位线预充电电压作为电源电压Vdd时的位线对电压变动的动作波形图。

图19是说明传统的双单元DRAM的刷新时间的波形图。

具体实施方式

第一实施例

以下，参照附图就改善了刷新特性的本发明实施例的双单元DRAM的存储单元结构进行详细说明。

参照图1，与图17所示的传统的双单元101相同，第一实施例的双单元101 # 由分别与成对的互补位线BL和/ $\overline{BL}$ 连接的两个DRAM单元100构成。与用图17所作的说明相同，各DRAM单元100包含存取晶体管110和电容器120。构成双单元101 # 的两个DRAM单元100的存取晶体管110含有：分别与构成字线对WLP的两条字线（例如WL0和WL1）连接的栅极。

另外，在第一实施例的双单元DRAM中，单元极板作为对应各双单元101 # 分割的孤立单元极板130 # 加以设置。各孤立单元极板130 # 至少在电气上相互分离。代表性的做法是，通过制作图案将单元极板每个双单元101 # 分割，使各孤立单元极板130 # 在物理上分离。

图2是表示第一实施例的半导体存储装置的存储阵列部分的布局的略图。

参照图2，沿着位线的延伸方向（以下称为“列方向”）形成，

且在字线的延伸方向（以下称为“行方向”）设有突出部的倒T字形的活性区（场效应区域）200，在行方向和列方向上排列。各场效应区域200构成配置两个DRAM单元100的一个布局单位。也就是说，各场效应区域200在列方向上邻接的每两个DRAM单元间连续延伸而形成。另外，场效应区域200规定了图1中所示的存取晶体管110的形成区域。

场效应区域200在邻接的列中错开两行配置。对应于场效应区域200的列，位线BL或/BL间隔一个地配置。图2中，代表性地表示了位线BL0、/BL0和BL1、/BL1。

位线BL0、/BL0和BL1、/BL1分别形成一对，位线BL0和/BL0的位线对与读出放大器105a连接，位线BL1和/BL1的位线对与读出放大器105b连接。各位线BL0、/BL0、BL1、/BL1，经由位线接触孔160与对应的存储单元列的场效应区域200的突出部分电连接。

在各场效应区域200中，分别与两个DRAM单元100对应的两个存储节点140关于位线接触孔160相对地配置。存储节点140在行方向和列方向上排列地配置。存储节点140经由存储节点接触孔170与场效应区域200电连接。与存储节点140相同，存储节点接触孔170也在行方向和列方向上排列地配置。

存储节点接触孔170在列方向上间隔两行地形成，而在行方向上在各列上形成（最边上的行除外）。位线接触孔160排列的行和存储节点接触孔170排列的行，相互交替地设置。字线WL配置在位线接触孔160和存储节点接触孔170之间，与场效应区域200交叉。图2中，代表性地表示了字线WL0~WL7。在整个存储单元阵列中，图2所示的布局在行方向和列方向上重复配置。另外，图中的“F”表示最小设计单位，字线的宽度、位线的宽度以及各自的节距，均设为F。

在各DRAM单元100中，对应的存储节点140和孤立单元极板130#之间形成如图1所示的电容器120，按照存储数据来保持电荷。

这样，在第一实施例的结构中，由行方向上邻接的每两个DRAM

单元100构成一个双单元，而且，在每个双单元上配置了被分离的孤立单元极板130 #。也就是说，在传统技术中覆盖整个存储单元阵列作为共同电极设置的单元极板，在第一实施例的结构中分别被分离到构成同一双单元的两个DRAM单元100。各孤立单元极板130 # 不接受特定电压的供给，电气上处在浮置状态。

另外，其间夹着存储节点接触孔170的两条字线，构成字线对WLP，同时被选择。因此，字线WL1和WL2，字线WL3和WL4，以及字线WL5和WL6分别构成字线对WLP。

在如图2所示的双单元结构中，两侧的字线WL0和WL7被表示为伪字线，图2中所示的配置在行方向和列方向上被重复配置。

图3表示图2中III - III处的截面图。

参照图3，设定于负电压VBB的P阱210上，设置了被分离绝缘膜220相互分离的场效应区域200。场效应区域200上设置了作为存取晶体管110的源极/漏极起作用掺杂区231 ~ 233。在掺杂区231和232之间的活性区的正上方，隔着绝缘膜用多晶硅层形成字线WL4。与此相同地，在掺杂区232和233之间的活性区的正上方，隔着绝缘膜用多晶硅层形成字线WL5。

另外，由邻接的两个DRAM单元的各存取晶体管110所共有的掺杂区232，在图2所示的场效应区域的突出部中，经由位线接触孔160与形成在第一金属布线层的位线/BL0电连接。

另外，在每个DRAM单元上设置的存储节点140，经由存储节点接触孔170与掺杂区231和233电连接。孤立单元极板130 # 与存储节点140相对地设置。

如图3所示，孤立单元极板130 # 在双单元101 # 之间被分离。例如，在形成孤立单元极板130 # 的金属膜的制膜工序之后，通过除去孤立单元极板之间的分离区150的该金属膜，就能获得如上述的孤立单元极板130 #，而无需使用特殊的制造方法。

另外，在各双单元101 # 中，在孤立单元极板130 # 和存储节点140

之间的间隙部240，形成用于确保电容器120的电容值的电容膜。

还有，图3中例示了在位线BL上层形成存储节点140和孤立单元极板130#的COB（Capacitor over Bit line：电容器高于位线）结构，但也可以采用在位线BL下层形成存储节点140和孤立单元极板130#的CUB（Capacitor under Bit line：电容器低于位线）结构。

图4表示用以说明第一实施例的双单元中的刷新时间的存储节点电压波形。

图4中，在图19中表示的传统双单元中的H电平存储时的存储节点电压VR2变化的曲线之外，又表示了第一实施例的双单元中的存储H电平的存储节点（以下，称为“H侧存储节点”）和存储L电平的存储节点（以下，称为“L侧存储节点”）的各存储节点电压VRH和VRL变化的曲线。

如背景技术部分说明的，在传统结构的双单元DRAM中，刷新时间 t_{REF2} 由存储节点电压VR2从电源电压Vdd下降到接地电压GND所需时间定义。

另一方面，在第一实施例的双单元中，在同一双单元所包含并写入互补数据（H电平和L电平）的存储节点之间，通过孤立单元极板130#串联连接，因此，如H侧的存储节点电压VRH下降，则由于电容耦合L侧的存储节点电压VRL也同样下降。

因此，L侧的存储节点电压VRL将下降到接地电压GND以下，但不低于衬底电压即负电压VBB，电平固定在VBB。这是因为，如果存储节点电压达到衬底电压VBB，在图3所示的P阱210和与存储节点140电连接的掺杂区231、233（N型区域）之间形成的PN结成为正向偏置。

而且，如果L侧的存储节点电压VRL下降而达到负电压时，就有可能使将与L侧存储节点电连接的掺杂区作为源极，将非选择状态（接地电压GND）的字线作为栅极的选择晶体管导通。也就是说，在L侧的存储节点电压VRL下降到负电压（衬底电压）VBB之前，就有可能使存取晶体管导通。这时，L侧的存储节点电压VRL被箝位到不以

衬底电压 V_{BB} 表示而以存取晶体管的阈值电压 V_{th} 表示的($GND - V_{th}$)负电压上。总之, L侧的存储节点电压 V_{RL} 被箝位至衬底电压 V_{BB} 或($GND - V_{th}$)中的任一负电压上。

与此形成对比, 在L侧的存储节点电压 V_{RL} 被箝位后, H侧的存储节点电压 V_{RH} 继续下降, 最终下降到与L侧的存储节点电压 V_{RL} 相同的电平上。这时, 双单元中的存储数据被丢失。

在传统的双单元和第一实施例的双单元之间, 如果结漏泄电流在相同电平上, 那么第一实施例的双单元的H侧的存储节点电压 V_{RH} 的下降速度, 要大于传统双单元的H侧的存储节点电压的下降速度。这是因为, 在第一实施例的双单元中, 电容值为 C_s 的两个电容器串联连接, 因此, 对孤立单元极板的保持电容值就变成 $C_s/2$, 即成为传统双单元的一半。

这样, 在第一实施例的双单元中, H侧的存储节点电压 V_{RH} 的下降速度大于传统的双单元, 但是刷新时间 $t_{REF\#}$ 是由从电源电压 V_{dd} 下降到负电压 V_{BB} (或 $GND - V_{th}$)所需时间来定义的。因此, 假设单元电容 $C_s = 25\text{fF}$ 、位线电容 $C_b = 100\text{fF}$ 、电源电压 $V_{dd} = 2\text{V}$ 、衬底电压 $V_{BB} = -1\text{V}$ 进行仿真, 由结果知: 可确保第一实施例的双单元的刷新时间 $t_{REF\#}$ 为传统双单元的刷新时间 t_{REF2} 的两倍左右。

这样, 在第一实施例的双单元DRAM中, 通过将单元极板对应于双单元加以分离, 能够设计成分别存储互补电平的数据的存储节点电压通过电容耦合而相同地变动, 从而能够延长刷新时间。

并且, 通过这样的孤立单元极板结构, 也能够得到以下的效果。

在第一实施例的双单元中, 即使在制造时存储节点和其它节点(一般为字线)之间形成短路, 与H侧存储节点的电压从电源电压 V_{dd} 下降到接地电压 GND 的同时, 构成同一个双单元的L侧存储节点的电压也通过电容耦合从接地电压 GND 下降到负电压。因此, 在构成双单元的两个DRAM单元中的一方, 即使存储节点发生短路, 在H侧存储节点和L侧存储节点之间依然保持着某种程度的电压差。其结果,

能够避免发生这样短路的DRAM单元变成不良存储单元的情况。

再有，不仅在存储节点和字线之间发生短路的场合，在存储节点和位线之间发生短路，在存储节点和单元极板之间发生短路等场合也能得到同样的效果。这样，与传统的双单元DRAM相比，第一实施例的双单元DRAM能提高制造成品率。

另外，其优点还在于，将图2中所示的单元极板130 # 从孤立图案变成连续图案，就能够容易地变成通常的一单元DRAM的存储单元。

第二实施例

如已所说明，在双单元DRAM中，为了使布局面积变小，高度集成地配置DRAM单元就变得很重要。因此，在以下的第二实施例和第三实施例中，就用以高效地配置第一实施例中所述的双单元的布局进行说明。

参照图5，在第二实施例的结构中，由共同的字线WL选择构成同一双单元101 # 的两个DRAM单元100。而其它的结构与图1中所示的第一实施例的结构相同，对应的部分用相同的参照符号表示，不再重复其详细说明。

图6是表示第二实施例的半导体存储装置的存储阵列部分的布局的略图。

在图6中，字线WL0 ~ WL5在行方向上延伸地设置，位线BL0、/BL0 ~ BL4、/BL4在列方向上延伸地设置。这些字线WL0 ~ WL5和位线BL0、/BL0 ~ BL4、/BL4相互交叉（一般为相互垂直）地设置。与在图3所说明的相同，这些字线WL0 ~ WL5例如用多晶硅布线形成，位线BL0、/BL0 ~ BL4、/BL4分别由上层的例如第一金属布线层形成。

在与这些字线WL0 ~ WL5和位线BL0、/BL0 ~ BL4、/BL4交叉的方向上，配置场效应区域200。也就是说，在第二实施例的结构中，场效应区域200在字线WL的延伸方向和位线BL、/BL的延伸方向之间

的方向上延伸地设置。与第一实施例的布局相同，每个场效应区域200中形成两个DRAM单元100。

在场效应区域200和位线BL0、/BL0 ~ BL4、/BL4的交叉部分，分别形成位线接触孔160。另外，在场效应区域200中，在关于字线WL（总体表示WL0 ~ WL5）与位线接触孔160相对的端部上设有存储节点接触孔170。

经由配置在场效应区域200两端的存储节点接触孔170，存储节点140与场效应区域200被电连接。存储节点140对应于各DRAM单元100，在场效应区域200的上部区域形成。

这样，在第二实施例的结构中，与第一实施例相同，与存储节点140相对的单元极板，对应于各双单元用分离的孤立单元极板130#设置。从而，在第二实施例的结构中，与第一实施例相同，各双单元具有改善刷新特性且即使存储节点与其它节点之间发生了短路也很难形成不良单元的优点。也就是说，第一实施例和第二实施例之间，只是双单元的布局配置不同。在存储阵列中，图6中所示的配置在行方向和列方向上被重复配置。

在第二实施例的布局中，字线WL的节距有两种。也就是说，在中间夹着位线接触孔160的字线（例如WL0和WL1）的节距为 $2 \cdot F$ 。另一方面，在中间夹着存储节点接触孔170的字线（例如WL1和WL2）的节距为 $4 \cdot F$ 。因此，字线WL以 $2 \cdot F$ 和 $4 \cdot F$ 的节距交替配置。

位线接触孔160在行方向上排列，与各位线BL、/BL对应地配置。另外，存储节点接触孔170也在行方向上排列，与各存储单元列对应地配置。位线BL、/BL之间的节距为 $2 \cdot F$ 。位线接触孔160在列方向上以 $6 \cdot F$ 的节距配置。

因此，形成DRAM单元100的基本单元区域，由包括一个位线接触孔160和存储节点接触孔170的矩形区域规定。该基本单元区域在行方向上的长度为 $2 \cdot F$ ，在列方向上的长度为 $3 \cdot F$ ，其面积为 $6 \cdot F^2$ 。

与此形成对照，在图2所示的第一实施例的布局中，形成DRAM

单元100的基本单元区域，在行方向上的长度为 $2 \cdot F$ ，在列方向上的长度为 $4 \cdot F$ 。因此，基本单元区域的面积为 $8 \cdot F^2$ 。因此，与第一实施例的布局相比，在第二实施例的布局中，能够降低用于形成一个DRAM单元的基本单元区域的占用面积，由此能较高密度地配置DRAM单元。其结果，能够实现第一实施例的双单元DRAM的较高集成度。

第三实施例

图7是表示本发明第三实施例的半导体存储装置的存储阵列部分的结构略图。

参照图7，在第三实施例的结构中，在图5所示的第二实施例的结构之外，进一步配置了沿着与字线WL相同方向形成的伪字线DWL。其它的结构与图5所示的第二实施例的结构相同，对应的部分用相同的参照符号表示，因此，不再重复其详细的说明。

图8是表示第三实施例的半导体存储装置的存储阵列部分的布局的略图。

参照图8，第三实施例的布局，与图6所示的第二实施例的布局相比存在如下不同之处。也就是说，在列方向上形成在邻接的场效应区域200的存储节点接触孔170之间区域配置了伪字线DWL。也就是说，在节距为 $4 \cdot F$ 的字线WL之间配置了伪字线DWL。另外，也可如图8所示，在最端侧的字线WL的外侧上设置伪字线DWL，以确保形状的连续性。而其它部分的布局与图6相同，对应的部分用相同的参照符号表示，因此，不再重复其详细说明。

这些伪字线DWL在与字线WL相同的布线层上形成，而且，在与字线WL相同的制造工序中制造。因此，不需要另设用于配置伪字线DWL的制造工序和掩模。

字线WL (WL0 ~ WL5) 和伪字线DWL之间的节距为 $2 \cdot F$ 。因此，包括字线WL和伪字线DWL在内的字线的节距相同，均为 $2 \cdot F$ ，从而能够有规则地配置字线WL和伪字线DWL。因而，能够重复配置

相同的图案，并且，能够抑制在因图案的规律性上的偏差产生的台阶部分对曝光光束的乱反射等的影响，从而能制作准确的布线图案。在进行微加工时，也能够对存储节点等制作准确的图案。

图9表示图8的IX-IX处的截面图。

参照图9，夹着伪字线DWL并位于其两侧的场效应区域200之间通过分离绝缘膜220在电气上被分离。分离绝缘膜220的表面例如通过CMP（Chemical Mechanical Polishing：化学机械抛光）被平坦化。通常，通过这种方式减少形成伪字线DWL时的基底上的台阶部分，从而字线WL和伪字线DWL可在同一制造工序中形成。

在各场效应区域200中，形成构成不同双单元101#的DRAM单元。因此，在这些DRAM单元中孤立单元极板130#之间被互相分离。而且，各DRAM单元的结构与图3中所说明的相同，对应部分用相同符号表示，因此，不再重复其详细说明。

另外，通过将各伪字线DWL始终固定在接地电压GND或比该接地电压GND低的负电压上，因此，在场效应区域200之间的厚分离绝缘膜220下部，吸引正电荷并形成相对场效应区域200的电子的势垒。因此，能够提高由分离绝缘膜220在电气上分离的两个场效应区域200之间的绝缘性，也能够提高构成不同双单元101#的存储节点之间的绝缘性。其结果，通过分离绝缘膜220被分离的各DRAM单元，能够更稳定地存储数据。

如上所述，第三实施例的双单元DRAM，在列方向邻接的存储节点之间的区域上，配置了字线和同一布线层的伪字线，而且，能够使所有的字线的节距相等。其结果，能够在除了具有第二实施例的双单元DRAM的效果之外，还使微加工时的尺寸精度得到提高。

另外，通过在伪字线上施加预定的电压，在该伪字线的下层区域，能够形成将属于不同双单元的存储节点之间在电气上分离的势垒。因此，能够使各DRAM单元的数据存储更稳定化。

第三实施例之第一变更例

图10是表示第三实施例之第一变更例的半导体存储装置的存储阵列部分的布局的略图。

在图10所示的布局中，各伪字线DWL的下层区域也形成场效应区域，因此，场效应区域200连续地形成。在该场效应区域200中，邻接行且邻接列的DRAM单元之间连续连接，并沿着一定方向延伸配置。在各伪字线DWL下的区域被形成的场效应区域，沿着列方向直接延伸，并使关于伪字线DWL相对配置的存储节点140设置的场效应区域200之间物理连接。与第三实施例中所说明的相同，对各伪字线DWL提供接地电压GND或负电压。

图11是图10XI - XI处的截面图。参照图11，场效应区域200在伪字线DWL下的区域连续延伸而形成。在夹着伪字线DWL而相对的各区域中，形成与图3和图9中所示的结构相同的DRAM单元。

在伪字线DWL上，提供接地电压GND或负电压的预定电压电平。由于按照该预定电压夹着伪字线DWL而相对的掺杂区231和232之间形成的晶体管成为截止状态，因此，夹着伪字线DWL而相对的两个区域在电气上被分离。

因此，即使在P阱210表面上连续形成场效应区域200，也能够通过伪字线DWL，使分别与不同的DRAM单元对应的存储节点之间可靠地在电气上分离。

如上所述，依据第三实施例之第一变更例，在伪字线下部也能形成场效应区域，该场效应区域连续地条纹状地形成。因此，在邻接的存储节点之间不需要用于分离场效应区域的厚分离绝缘膜，从而，除了获得第三实施例的效果之外，还使场效应区域的图案制作变得容易。另外，由于不需要分离该电场用的绝缘膜，因此，能够减少形成DRAM单元的基本单元区域的布局面积，从而能够实现微细的存储单元。

另外，通过在伪字线上施加预定电压，使该场效应区域内的晶体管处于截止状态，能够正确地使存储单元的存储节点之间分离，

进行正确的数据存储。

第三实施例之第二变更例

图12是表示第三实施例之第二变更例的半导体存储装置的存储阵列部分的布局的略图。图12中，代表性地表示了字线WL0~WL5和伪字线DWL，以及位线BL0、/BL0~BL4、/BL4。

在图12表示的布局中，场效应区域200关于伪字线DWL对称地配置，而且，在列方向上其倾斜方向即朝上方向和朝下方向相互交替。与图10的布局相同，场效应区域200在伪字线DWL的下部，场效应区域在列方向连续形成。因此，对于同一列的存储单元，场效应区域200连续地形成。

在邻接字线之间的区域，位线接触孔160对应于各位线配置。存储节点接触孔170在伪字线DWL和字线WL（字线WL0~WL5的总称）之间的区域，对应于各DRAM单元100配置。也就是说，存储节点接触孔170关于伪字线DWL相对而配置。

在图12所示的布局中，DRAM单元100所形成的基本单元区域的占用面积为 $6 \cdot F^2$ 。在图12中所示的布局中，场效应区域200的条纹形状与第三实施例之第一变更例（图10）中所示的向右上方一个方向上升的条纹形状不同，在列方向上以锯齿形状连续地配置，而其余的结构都相同。

在第三实施例之第二变更例的布局中，场效应区域200由在各伪字线DWL下的区域形成的场效应区域连续形成，不需要用于电场分离的厚分离绝缘膜等。

与第三实施例之第一变更例相同，各伪字线DWL上被提供接地电压GND或比其低的负电压。由此，各伪字线DWL下部的场效应区域，就成为与图9中的分离绝缘膜220同样起作用的场效应分离区。

因此，不需要设置用于电场绝缘的分离绝缘膜，能够连续形成场效应区域200。其结果，除了获得第三实施例的效果之外，还使制作场效应区域的图案变得更容易，这与第三实施例之第一变更例相

同。

再有，在第一实施例至第三实施例和其变更例中，就对应于各双单元配置孤立单元极板的结构作了说明，但即使是在预定分区的多个双单元上设置孤立单元极板的结构，也能够改善刷新特性并提高制造成品率。

例如，可以采用图13所示的结构，就是将图2所示的第一实施例的布局中孤立单元极板130#设置在各存储单元行上。这时，各孤立单元极板130#可以被属于同一存储单元行的多个（在图13中为两个）双单元所共有。但是，为了进行这样的布置，就要满足在各双单元内分别存储互补电平的数据的存储节点电压因电容耦合而同样变动的范围内的条件。另外，由于这样的电压变动是通过抑制各孤立单元极板的电容值得以产生，因此，通过对每个双单元分离单元极板，能够达到本发明最显著的效果。

第四实施例

在第四实施例中，就进一步改善刷新特性的双单元的结构进行说明。

图14是表示本发明第四实施例的半导体存储装置的存储阵列部分的结构略图。

参照图14，在第四实施例的结构中，各双单元101#由DRAM单元100和从DRAM单元100省略了电容器120的DRAM单元100#构成。

图14中，与第一实施例至第三实施例的结构相同，构成同一双单元101#的两个DRAM单元100和100#，分别与成对的互补位线BL和/BL中的一方连接。与图1相同，孤立单元极板130#与各双单元对应地被分离。

另外，与图7所示的第三实施例的结构相同，同一双单元101#内的存取晶体管110的各栅极，与共同的字线WL连接，而且，在字线WL之外以预定间隔配置了伪字线DWL。其它的结构，与图7所示

的第三实施例的结构相同，对应的部分用相同的参照符号表示，因此不重复其详细说明。

图15是表示第四实施例的半导体存储装置的存储阵列部分的布局的略图。图15中表示了，以与图10所示的第三实施例之第一变更例相同的方式配置第四实施例的双单元101#时的布局。

参照图15，在第四实施例中，只在构成双单元的两个DRAM单元中的一方设存储节点140。如图15所示，在各存储单元行中，通过每隔1列设置存储节点140，且由在行方向上邻接的每两个DRAM单元构成双单元，由此，能够使各双单元由DRAM单元100和100#构成。

各存储节点140通过存储节点接触孔170，与对应的场效应区域200电连接。另一方面，在构成双单元的另一方单元的场效应区域设有单元极板接触孔180。各单元极板接触孔180将对应的场效应区域200和对应的孤立单元极板130#，不经由电容器地进行电连接。

由于包括孤立单元极板在内的其它部分的布局，与图10所示的第三实施例之第一变更例结构相同，对应的部分用相同的参照符号表示，因此，不重复其详细说明。

图16是图15的XVI-XVI处的截面图。

参照图16，在同一场效应区域200上夹着位线接触孔160而形成的两个DRAM单元中，一方的DRAM单元100的结构与至此说明的结构相同。也就是说，DRAM单元100中含有：由掺杂区232、233形成的存取晶体管110和存储节点140，以及使用孤立单元极板130#和存储节点140及它们之间的间隙部240形成的电容器120。

与此形成对比，另一方的DRAM单元100#中含有由掺杂区231、232形成的存取晶体管110，但是，由于掺杂区231通过单元极板接触孔180与孤立单元极板130#电连接，因此，在孤立单元极板130#和存取晶体管110之间不会形成电容器。掺杂区232为两个DRAM单元100、100#所共有，而且，通过共同的位线接触孔160与对应的位线

BL0电连接。

由于伪字线DWL和孤立单元极板130#等的配置与图11相同，因此，不重复其详细说明。另外，在图16中例示了，与DRAM单元100中的存储节点140和存储节点接触孔170相同形状的，DRAM单元100#中的单元极板接触孔180。通过这样的结构，能够确保DRAM单元100和100#之间形状连续性，而且，提高了制造时的尺寸精度。

也就是说，在第四实施例的双单元中，各双单元上也设置了被分离的孤立单元极板，因此，与第一实施例至第三实施例相同，也能够改善刷新特性和提高制造成品率。另外，在第四实施例的结构中，通过只有在构成同一双单元的DRAM单元中的一方设置存储节点（电容器），能够得到以下所述的效果。

如已说明，在第一实施例～第三实施例中，由于对存储节点串联连接了电容值为 C_s 的两个电容器，因此，对存储节点的电荷保持电容为 $C_s/2$ 。相对地，在第四实施例的双单元中，对存储节点的电荷保持电容为一个电容器的电容值 C_s ，比第一实施例～第三实施例的大。

或者，与图16的结构例不同地，可以在确保电连接的情况下使单元极板接触孔180小型化到最小限度的形状，并利用减少了的空间，使电容器120的电容值增大地进行布局设计。这时，可确保对存储节点的电荷保持电容的进一步增大。

因此，在第四实施例的双单元中，如图4所示的动作波形图，由于能够将H侧的存储节点电压 VR_H 的下降速度，改善至传统的双单元的H侧的存储节点电压 VR_2 的下降速度电平，或者比其更慢速度，因此，能够使刷新时间进一步变长。也就是说，能够进一步改善刷新特性。

另外，图15和图16中例示了，将第四实施例的双单元以与第三实施例之第一变更例相同的布局来配置。但是，第四实施例的双单元的配置布局，不局限于此，也可以按照第一实施例（图2）、第

二实施例（图 6）、第三实施例（图 8）以及第三实施例之第二变更例（图 12）中的任一例。

图 1

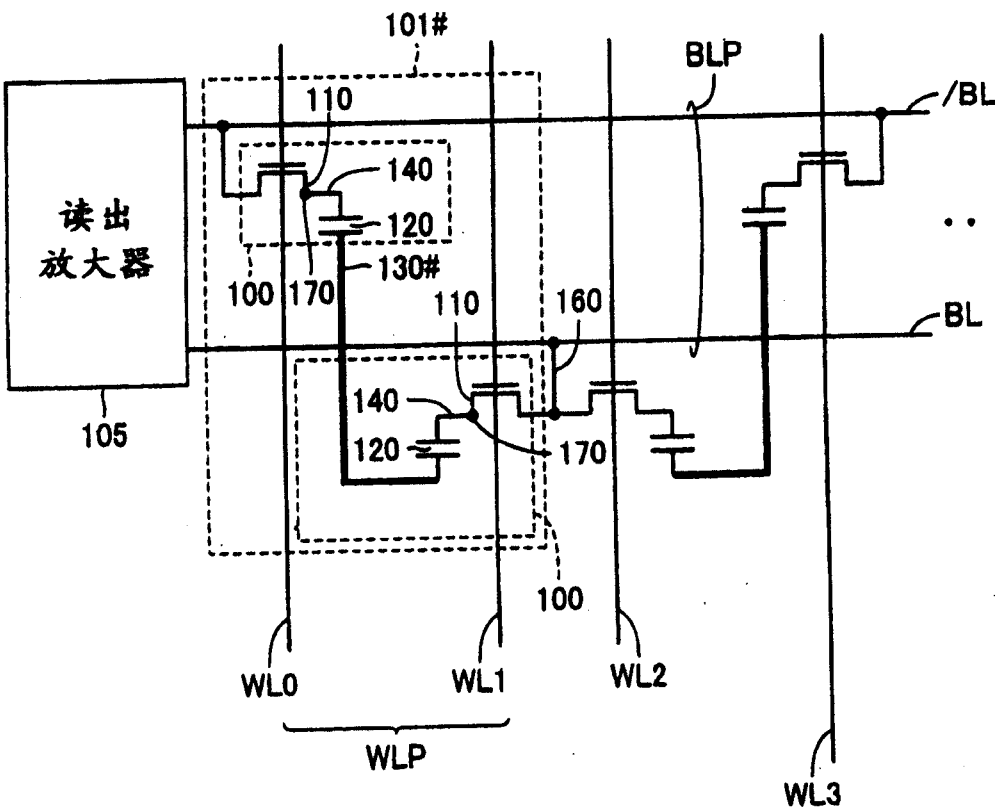


图 3

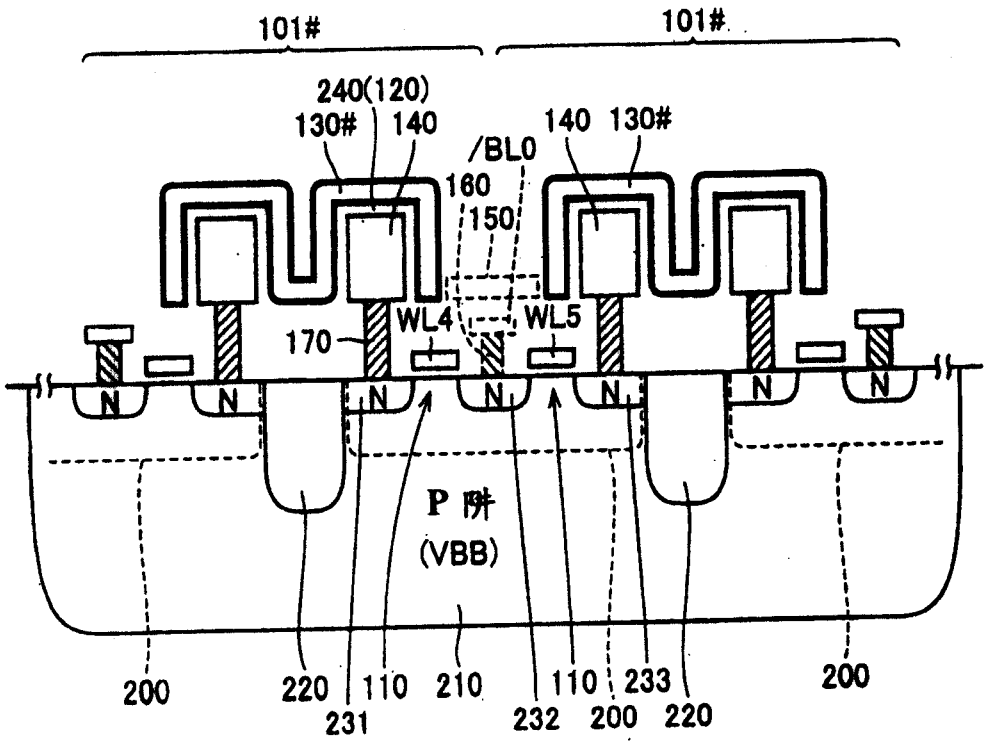


图 4

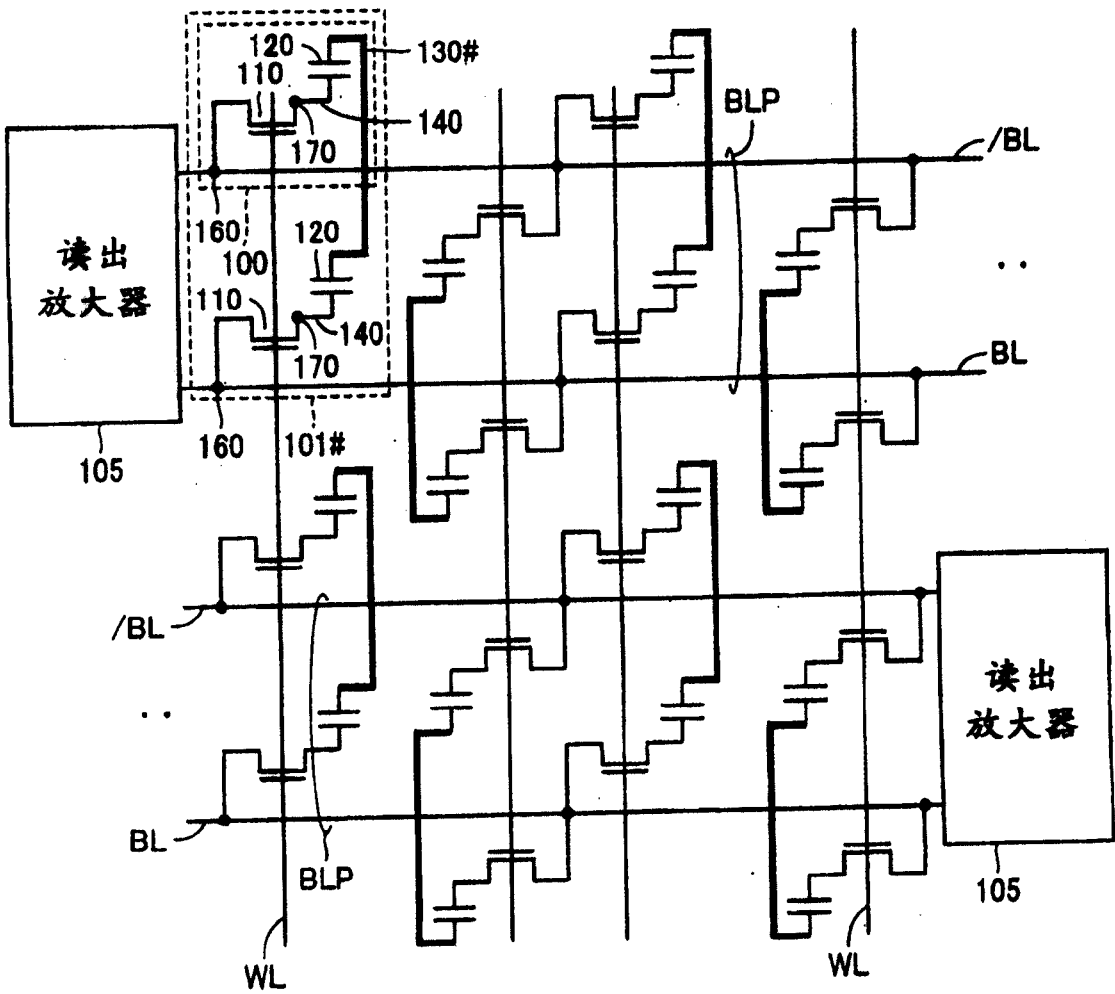
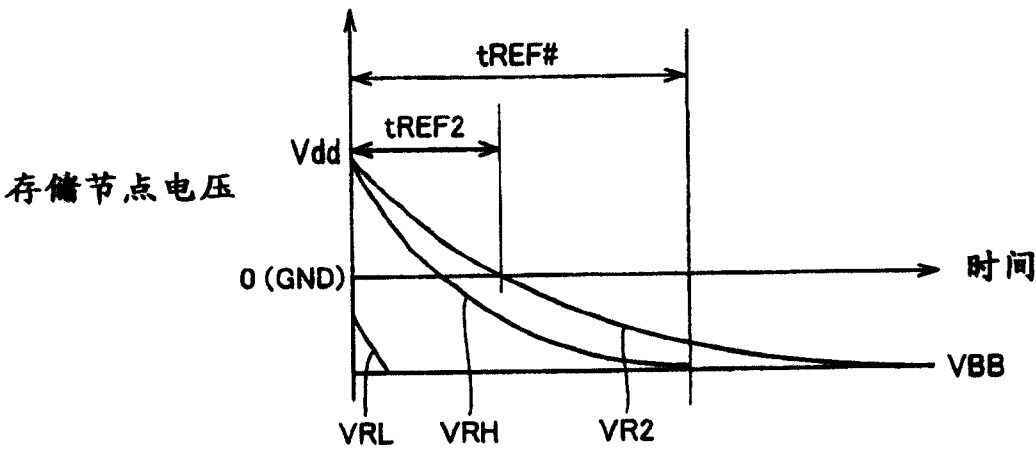


图 5

图 6

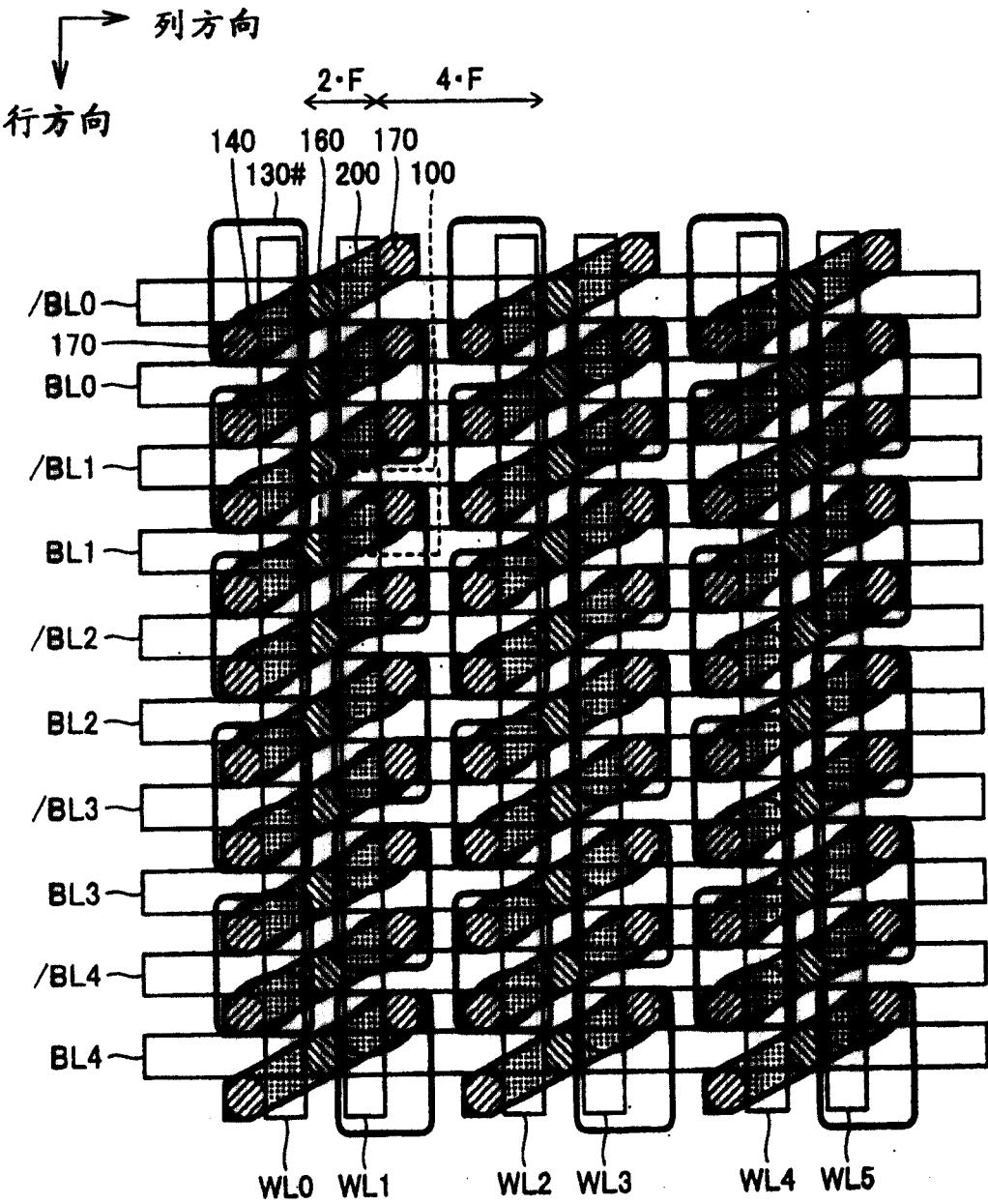


图 7

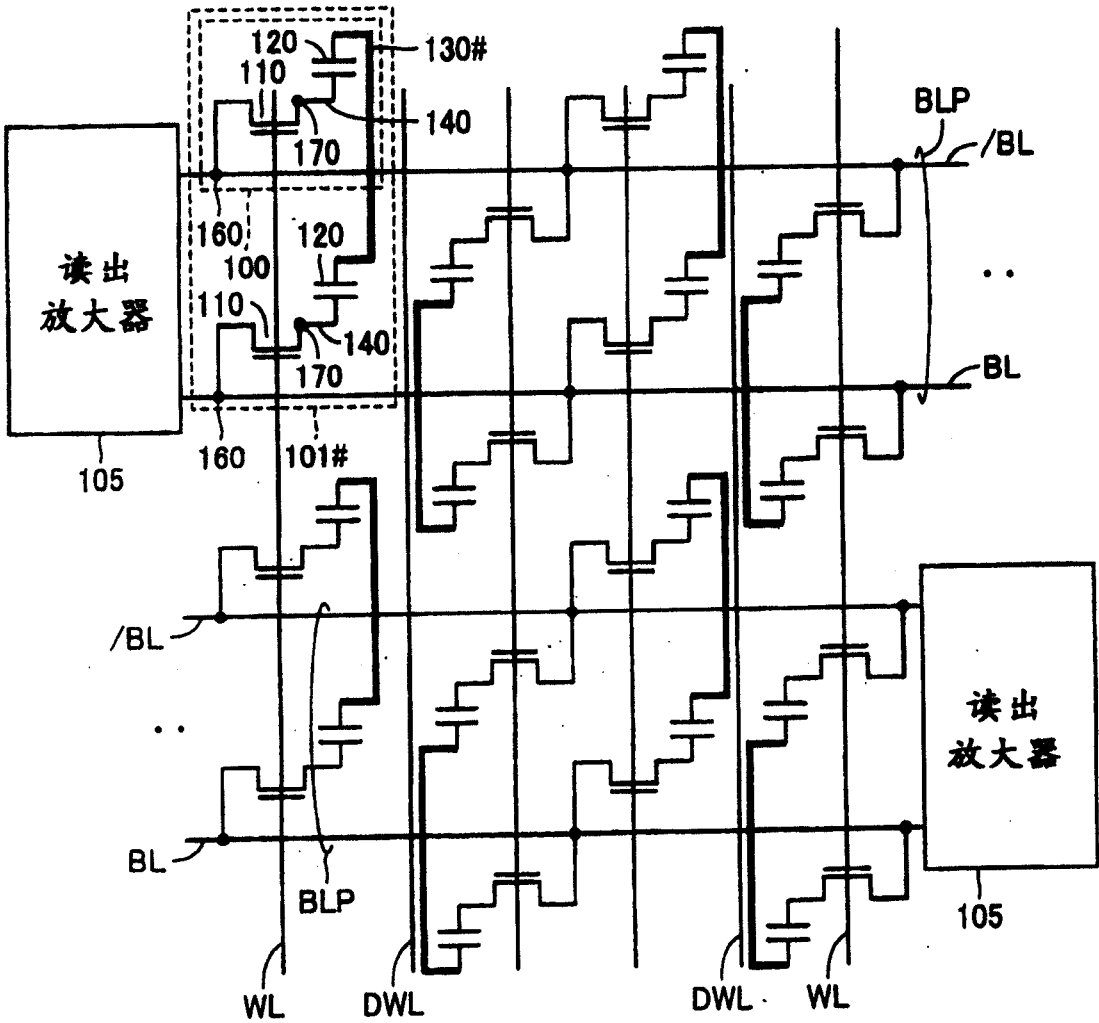


图 8

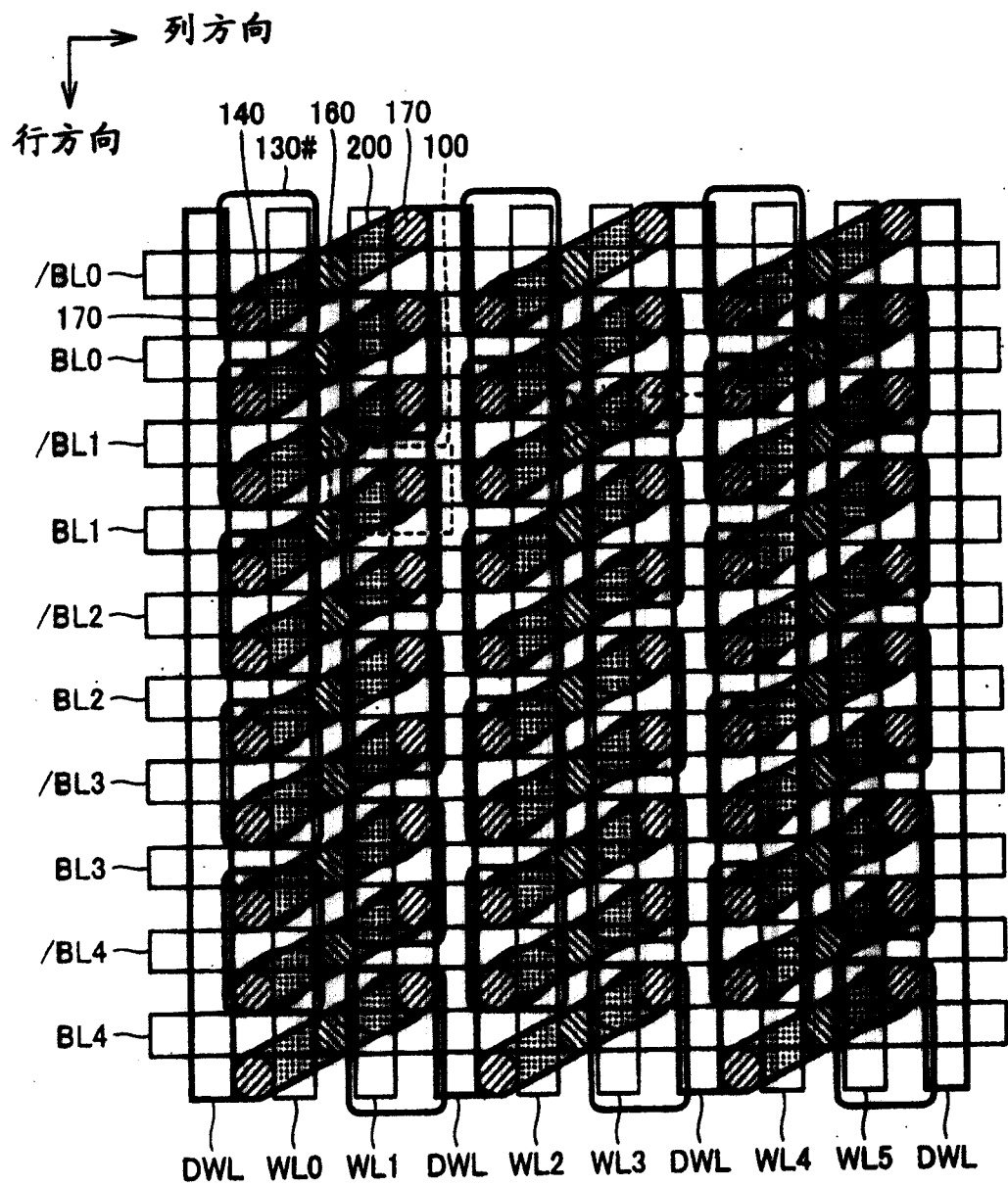


图 9

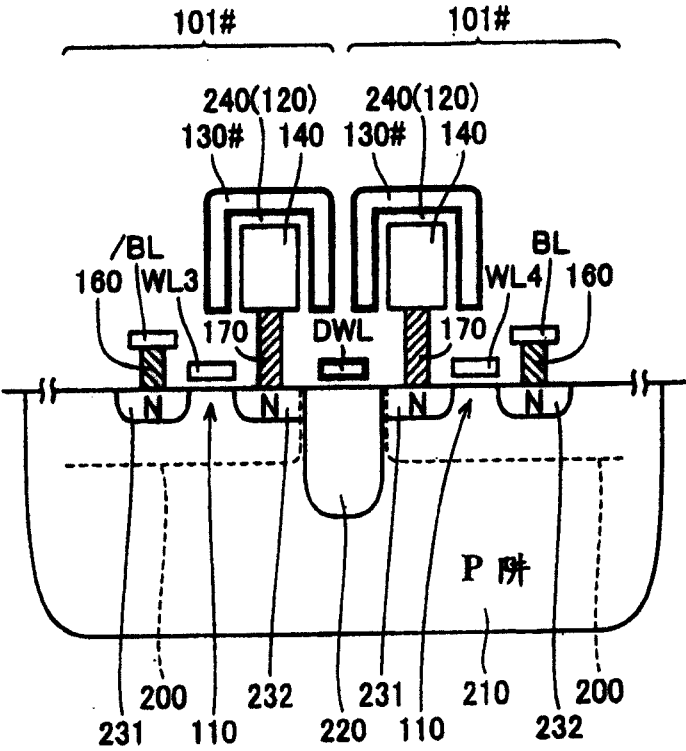


图 10

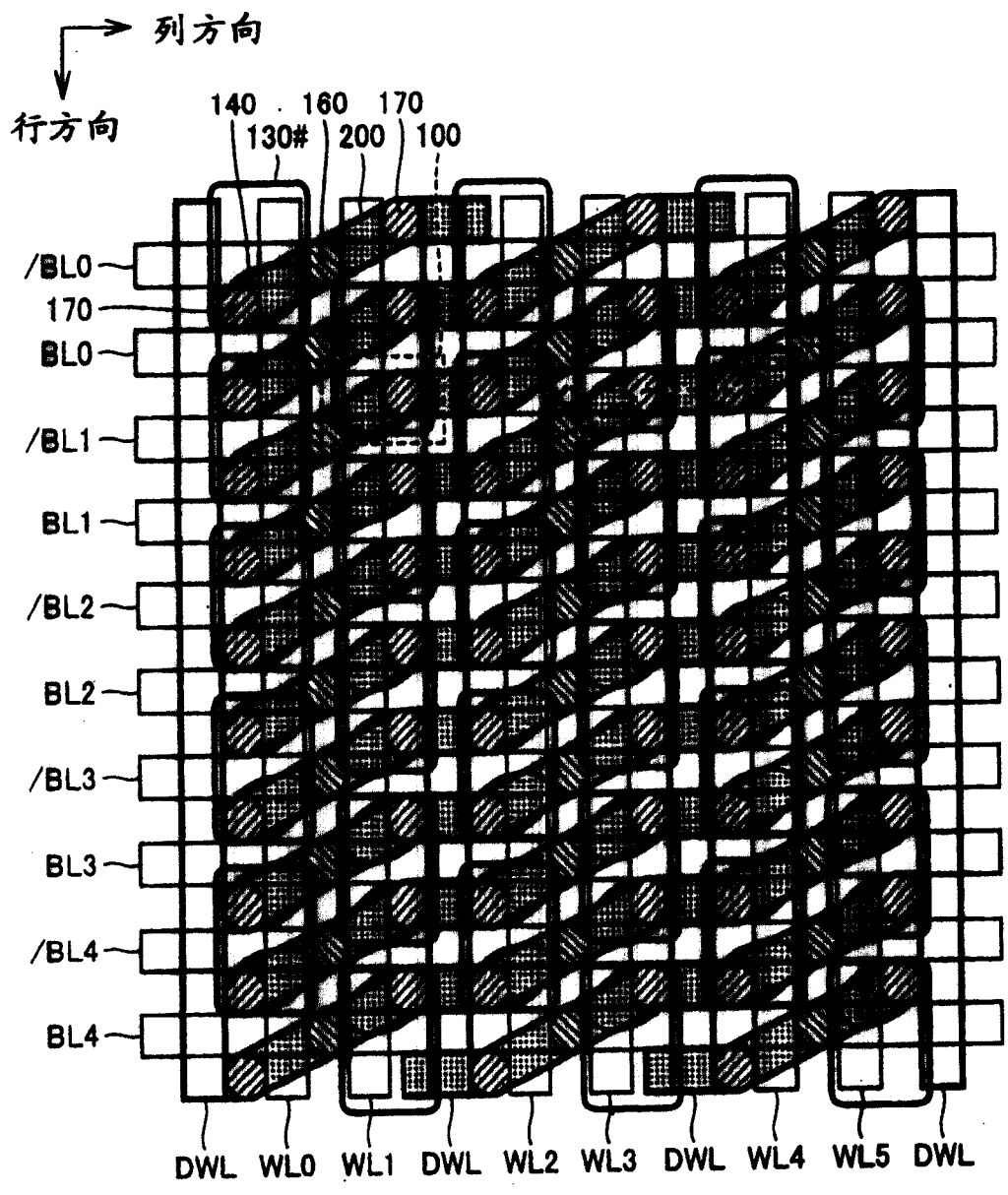


图 11

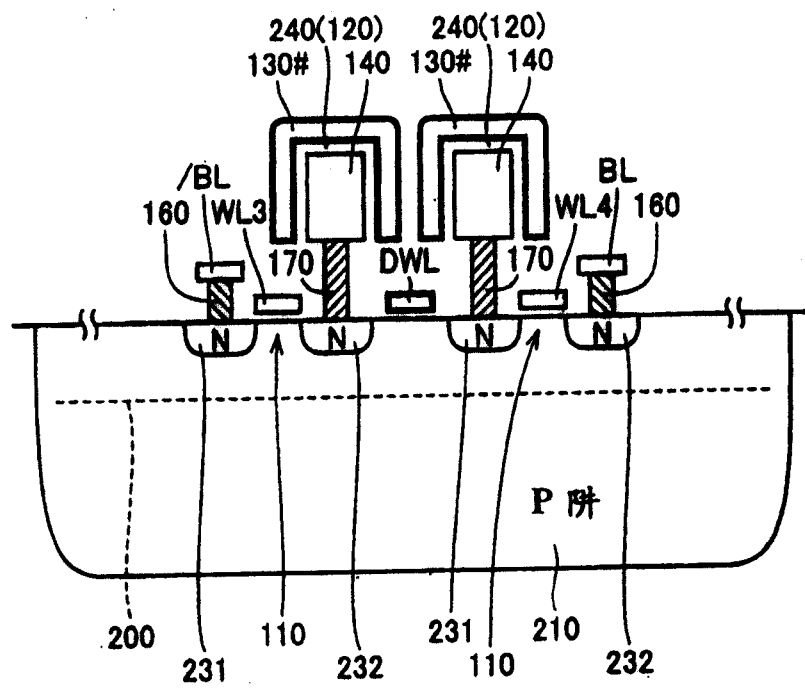


图 12

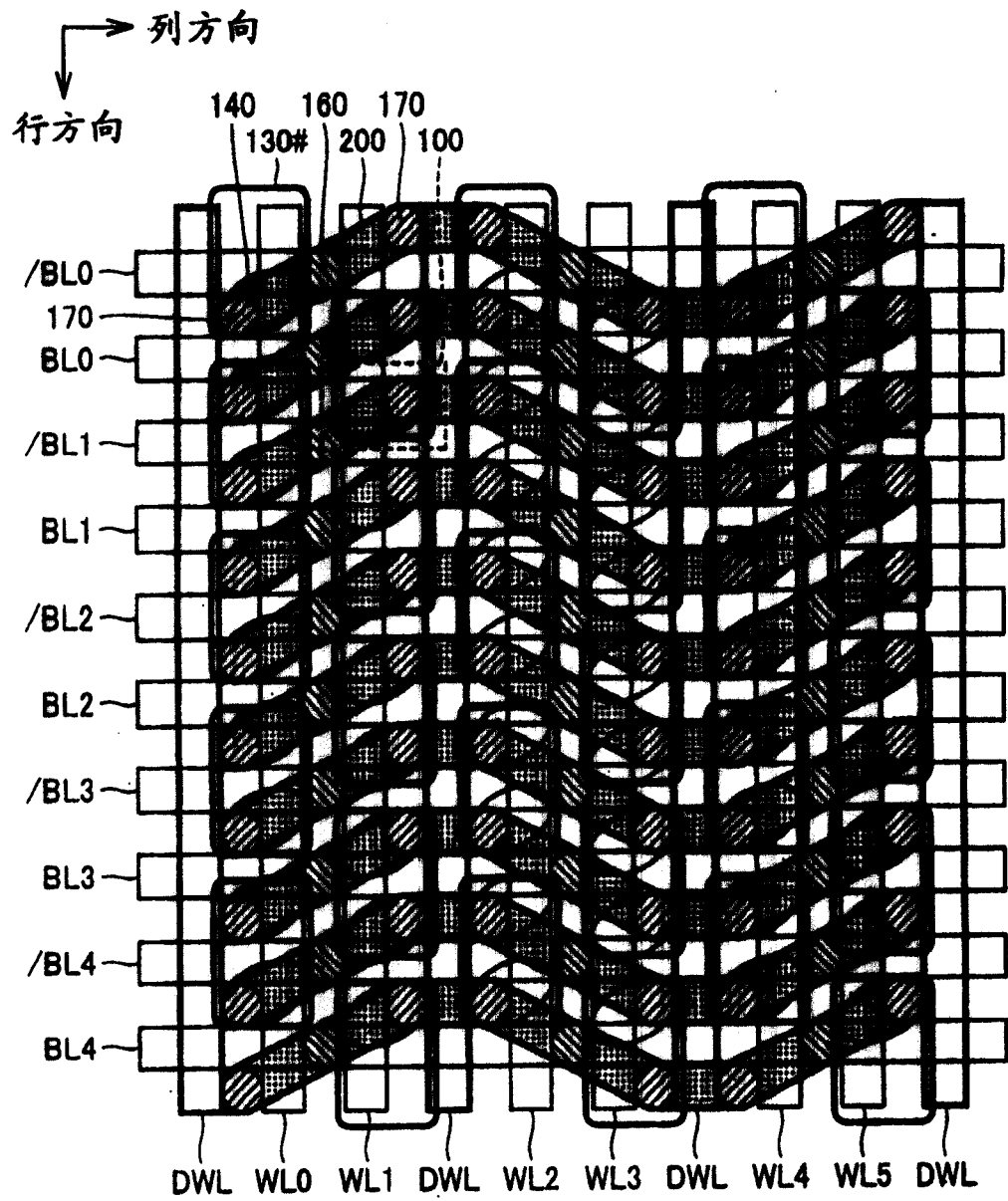


图 14

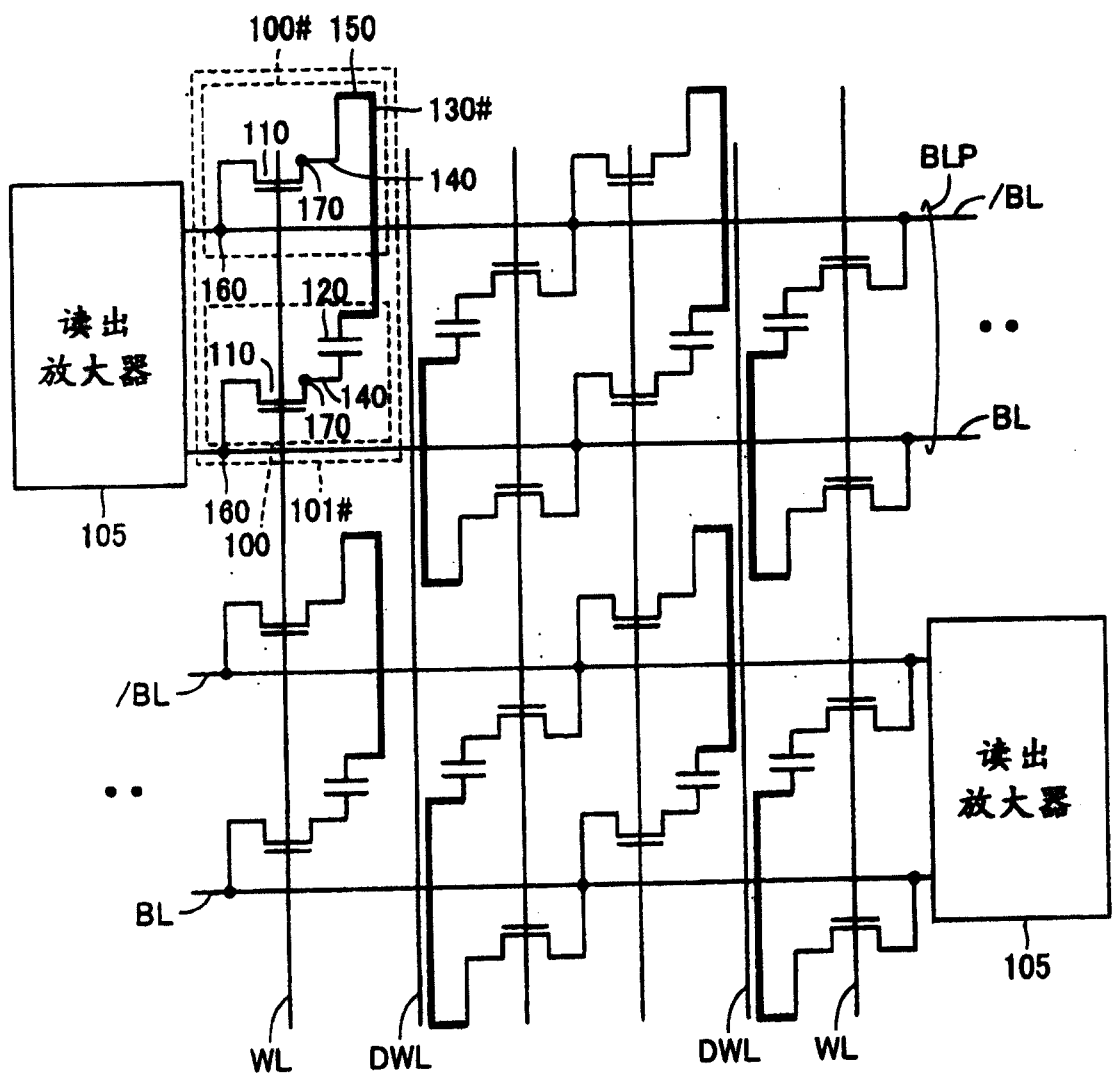


图 15

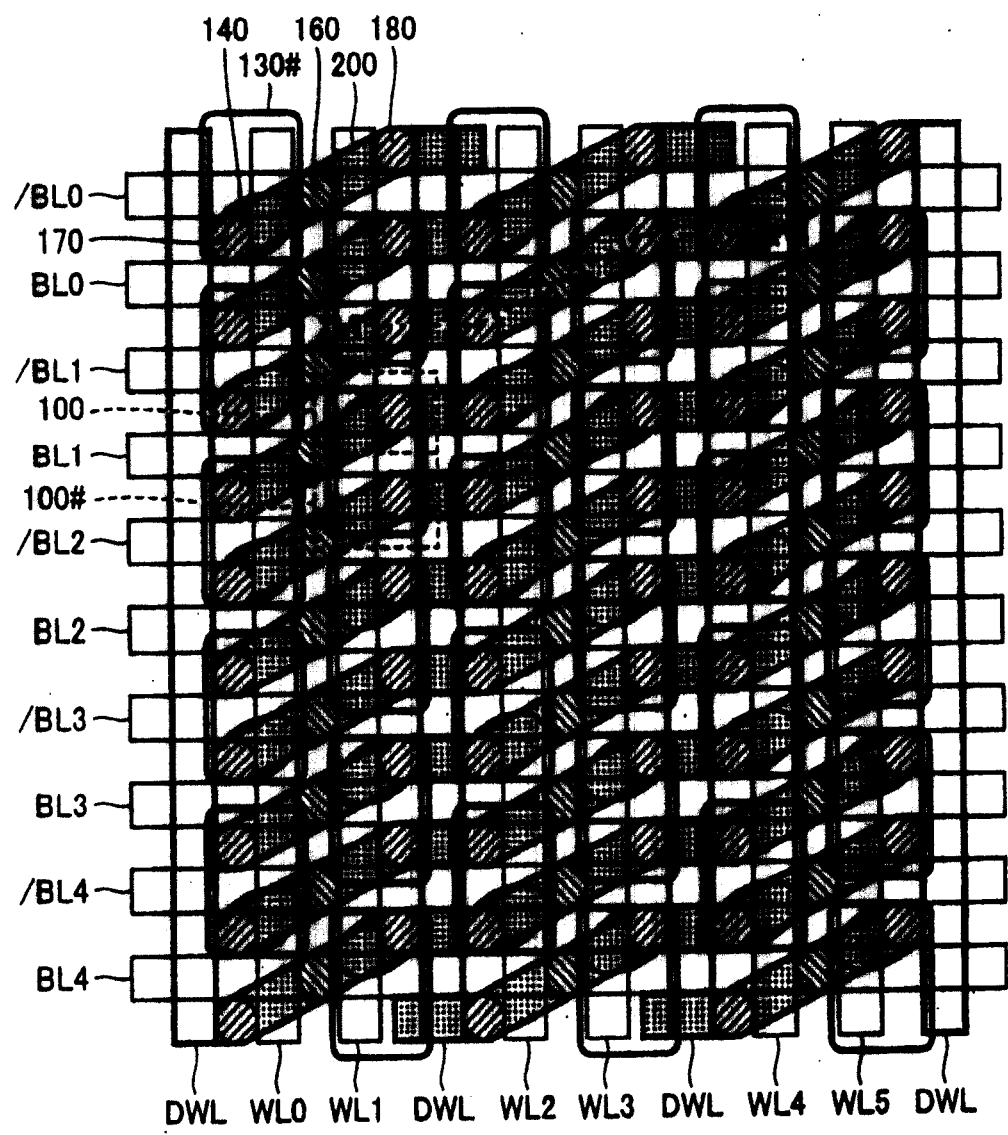


图 17 现有技术

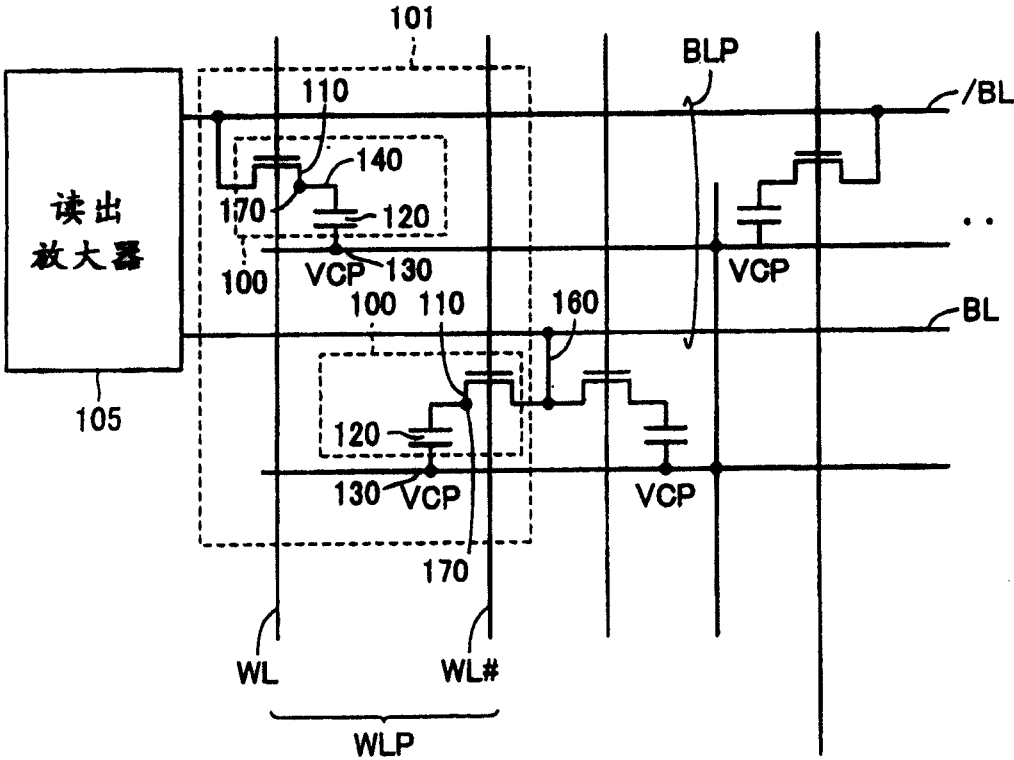


图 18 先有技术

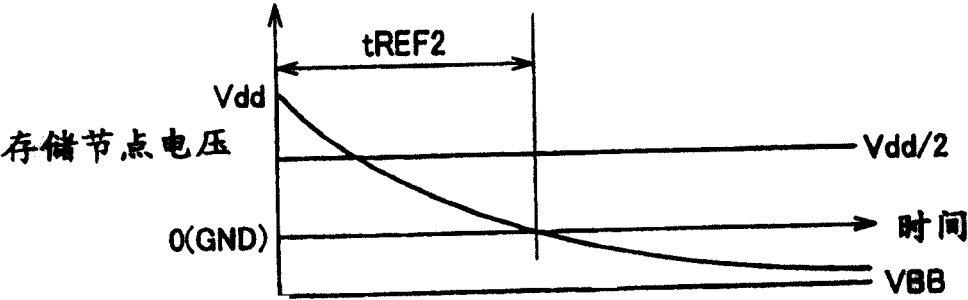
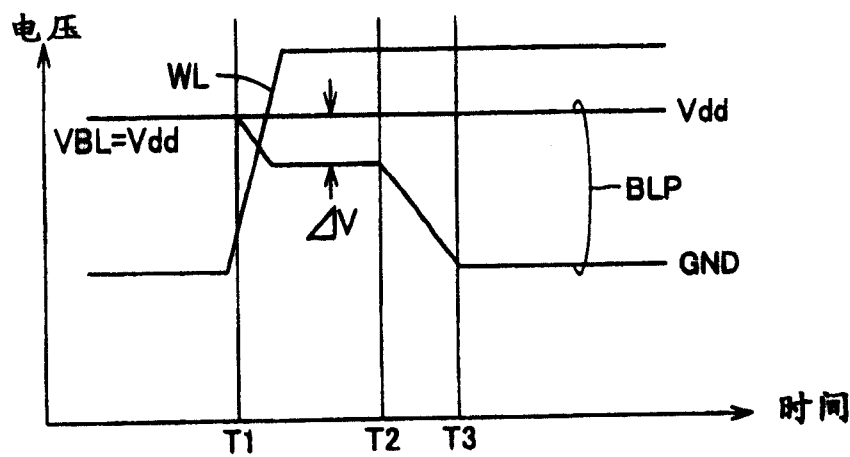


图 19 先有技术