



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 04.05.78 (21) 2610714/18-24

с присоединением заявки № —

(23) Приоритет —

Опубликовано 30.08.80. Бюллетень № 32

Дата опубликования описания 30.08.80

(11) 760123

(51) М. Кл.³

G 06 G 7/18

(53) УДК 681.335
(088.8)

(72) Автор
изобретения

Н. Т. Харин

(71) Заявитель

(54) ИНТЕГРАТОР

1

Изобретение относится к дискретным системам управления, к измерительной технике и предназначено для интегрирования дискретных сигналов.

Известны дискретные интеграторы, реализующие интегрирование, например, по методам прямоугольника, трапеции Симпсона $1/3$ и $3/8$ Уэддлса, выполненные на сумматорах, усилителях и блоках памяти [1].

Существенный недостаток этих интеграторов заключается в малой точности при увеличении спектра частот входных сигналов.

Наиболее близким по технической сущности к предложенному является интегратор, содержащий первый сумматор, первый вход которого через первый усилитель соединен с выходом ключа, вход которого является входом интегратора, три блока памяти, соединенные последовательно, вход первого блока памяти подключен к выходу первого сумматора, соединенному с первым входом второго сумматора, второй вход которого через второй усилитель подключен к выходу первого блока памяти, соединенному через третий усилитель со вторым входом первого сумматора, выход второго блока памяти

2

через четвертый усилитель подключен к третьему входу второго сумматора [2].

Недостатком такого интегратора является снижение точности интегрирования при дальнейшем повышении частоты входных сигналов.

Цель предлагаемого изобретения — повышение точности интегрирования.

Эта цель достигается тем, что в интегратор введены дополнительно блок памяти, усилители и два инвертора, причем дополнительный блок памяти включен между выходом третьего блока памяти и четвертым входом второго сумматора, выход третьего блока памяти через первый дополнительный усилитель подключен к пятому входу второго сумматора и через последовательно соединенные первый инвертор и второй дополнительный усилитель соединен с третьим входом первого сумматора, четвертый вход которого через второй инвертор подключен к выходу дополнительного блока памяти.

Интегратор имеет передаточную функцию

$$W(z) = \frac{T}{5} \cdot \frac{1 + 26z^{-1} + 66z^{-2} + 26z^{-3} + z^{-4}}{1 + 10z^{-1} + 10z^{-2} + z^{-4}}$$

На фиг. 1 представлена функциональная схема интегратора; на фиг. 2 - сравнительные амплитудно-частотные характеристики различных интеграторов.

Интегратор содержит ключ 1, усилитель 2 с коэффициентом усиления $\frac{1}{5}$, первый сумматор 3 с четырьмя входами, последовательно соединенные блоки 4, 5, 6 памяти на T с каждым, дополнительный блок 7 памяти, инверторы 8, 9, усилители 10, 11, 12, 13, 14 соответственно с коэффициентами усиления, равными 26, 66, 26, 10, 10, и второй сумматор 15 на пять входов.

Выход блока 6 памяти через инвертор 8, усилитель 13 соединен со входом сумматора 3 и через усилитель 12 со входом сумматора 15; выход сумматора 3 соединен со входом сумматора 15 через четыре последовательно соединенные блоки 4 - 7 памяти, последний из которых является дополнительным.

Работает устройство следующим образом.

Дискретный сигнал $x(kT)$ с ключа 1 через усилитель 2 поступает на сумматор 3, где суммируется с задержанными в блоках 4 - 7 памяти, усиленными в усилителях 13, 14 и инвертированными в инверторах 8, 9 выходными сигналами блоков памяти. Результирующий сигнал с сумматора 3 непосредственно и через те же последовательно соединенные блоки памяти поступает на второй сумматор 15, где происходит их сложение с сигналами усилителей 10, 11, 12, на входы которых соответственно поступают сигналы с блоков 4, 5, 6 памяти. Выходной сигнал $x(kT)$ в виде интеграла от входного сигнала $x(kT)$ снимается с сумматора 15. О точности интегратора можно судить по близости его частотной характеристики к характеристике идеального интегратора.

По передаточной функции определена частотная характеристика интегратора

$$W(j\omega T)/z = e^{j\omega T} \cdot \frac{T}{5} \frac{\cos^2 \cos T + 13 \cos \omega T + 16}{\sin \omega T (\cos \omega T + 5)}$$

На фиг. 2 представлены амплитудные характеристики (АЧХ) известных и предлагаемого интеграторов. Из графиков видно, что АЧХ предлагаемого интегратора ближе всех и в большем диапазоне частот расположена к АЧХ идеального интегратора и, следовательно, его точ-

ность выше остальных дискретных интеграторов.

Например, при псевдочастоте $\omega T = \frac{\pi}{2}$ относительные погрешности дискретных интеграторов имеют следующие значения: интегратор-прототип - 2%, предлагаемый интегратор - 0,531%.

Из этих данных видно, что предлагаемый интегратор значительно точнее известных, а по сравнению с прототипом почти в четыре раза. Одновременно существенно расширен диапазон частот, в котором обеспечивается высокая точность интегрирования.

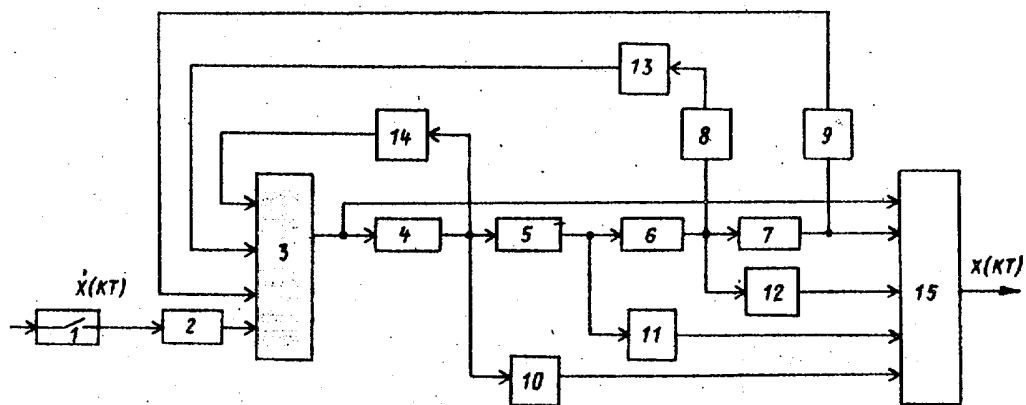
Формула изобретения

Интегратор, содержащий первый сумматор, первый вход которого через первый усилитель соединен с выходом ключа, вход которого является входом интегратора, три блока памяти, соединенные последовательно, вход первого блока памяти подключен к выходу первого сумматора, соединенному с первым входом второго сумматора, второй вход которого через второй усилитель подключен к выходу первого блока памяти, соединенному через третий усилитель со вторым входом первого сумматора, выход второго блока памяти через четвертый усилитель подключен к третьему входу второго сумматора, отличающийся тем, что, с целью повышения точности интегрирования, в него введены дополнительный блок памяти, дополнительные усилители и два инвертора, причем дополнительный блок памяти включен между выходом третьего блока памяти и четвертым входом второго сумматора, выход третьего блока памяти через первый дополнительный усилитель подключен к пятому входу второго сумматора и через последовательно соединенные первый инвертор и второй дополнительный усилитель соединен с третьим входом первого сумматора, четвертый вход которого через второй инвертор подключен к выходу дополнительного блока памяти.

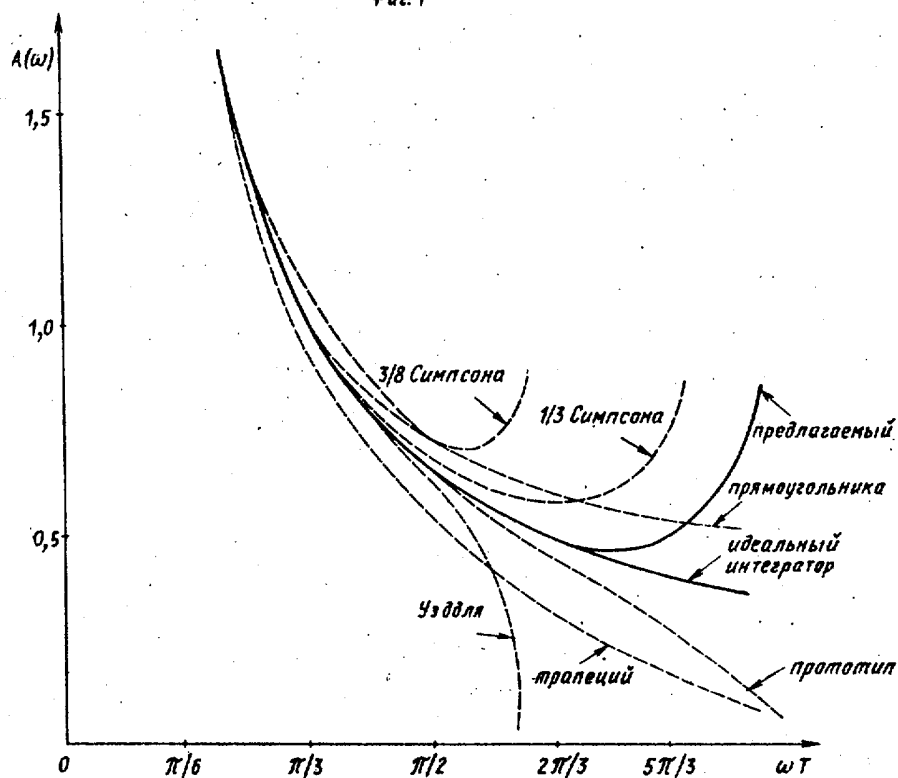
Источники информации,

50 принятые во внимание при экспертизе
1. Кузин Л.Г. Расчет и проектирование дискретных систем управления. М., "Машиностроение", 1962, с. 121-125.

55 2. Авторское свидетельство по заявке №2427566/18-24, кл. G 06 G 7/18, 1976 (прототип).



Фиг. 1



Фиг. 2

Составитель С.Белан
 Редактор И.Грузова Техред Н. Ковалева Корректор Е.Папп

Заказ 5880/39

Тираж 751

Подписное

ЦНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная 4