



## (12)发明专利

(10)授权公告号 CN 104737143 B

(45)授权公告日 2018.07.10

(21)申请号 201380052806.9

(22)申请日 2013.10.08

(65)同一申请的已公布的文献号

申请公布号 CN 104737143 A

(43)申请公布日 2015.06.24

(30)优先权数据

13/647,971 2012.10.09 US

(85)PCT国际申请进入国家阶段日

2015.04.09

(86)PCT国际申请的申请数据

PCT/US2013/063944 2013.10.08

(87)PCT国际申请的公布数据

W02014/058923 EN 2014.04.17

(73)专利权人 桑迪士克科技有限责任公司

地址 美国得克萨斯州

(72)发明人 B.刘 M.达维德森 A.古塔

(74)专利代理机构 北京市柳沈律师事务所  
11105

代理人 万里晴

(51)Int.Cl.

G06F 13/16(2006.01)

(56)对比文件

US 2004/0019748 A1, 2004.01.29,

CN 101923523 A, 2010.12.22,

US 2006/0277424 A1, 2006.12.07,

审查员 张立丽

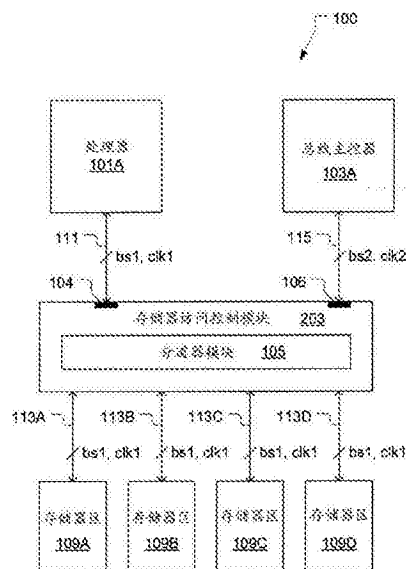
权利要求书3页 说明书10页 附图5页

### (54)发明名称

存储器访问控制模块以及相关方法

### (57)摘要

第一(104)和第二(106)数据接口提供去往多个存储器区(109A-109D)和来自多个存储器区(109A-109D)的数据传输。第一数据接口(104)使用第一总线大小(bs1)和第一时钟频率(clk1)。第二数据接口(106)使用第二总线大小(bs2)和第二时钟频率(clk2)。第二总线大小(bs2)是第一总线大小(bs1)的整数倍。第一时钟频率(clk1)是第二时钟频率(clk2)的整数倍。分道器模块(105)将来自第二数据接口(106)的数据分割为第一总线大小(bs1)的数据段并使用第一时钟频率(clk1)将它们发送所述多个存储器区中的寻址的那些存储器区(109A-109D)。分道器模块(105)根据第一总线大小(bs1)和第一时钟频率(clk1)从多个存储器区(109A-109D)接收数据,将所述数据组合为第二总线大小(bs2),并使用第二时钟频率(clk2)将所述数据发送到第二数据接口(106)。



1. 一种存储器访问控制模块,包括:

第一数据接口,用于根据第一数据总线位大小和第一时钟频率向第一数据通信总线和从第一数据通信总线进行数据传输;

多个仲裁模块,被连接以根据所述第一数据总线位大小和所述第一时钟频率与所述第一数据接口进行数据通信;

多个存储器区,被连接以根据所述第一数据总线位大小和所述第一时钟频率与所述多个仲裁模块进行数据通信,使得所述多个存储器区的每一个被连接以与所述多个仲裁模块中的不同的一个仲裁模块进行数据通信;

第二数据接口,用于根据第二数据总线位大小和第二时钟频率向第二数据通信总线和从第二数据通信总线进行数据传输,所述第二数据总线位大小是所述第一数据总线位大小的整数倍,所述第一时钟频率是所述第二时钟频率的整数倍;

分道器模块,被连接以根据所述第二数据总线位大小和所述第二时钟频率与所述第二数据接口进行数据通信,所述分道器模块还被连接以根据所述第一数据总线位大小和第一时钟频率与所述多个仲裁模块进行数据通信,其中所述分道器模块包括数据缓冲器、数据传输控制器、数据先进先出、第一加载/储存MUX、以及第二加载/储存DEMUX,所述分道器模块被配置为:

a) 在储存操作期间,将从所述第二数据接口接收的数据从所述第二数据总线位大小分割为所述第一数据总线位大小的多个数据段,

b) 在所述储存操作期间,根据所述第一时钟频率将所述第一数据总线位大小的数据段经由所述多个仲裁模块中的相应的那些沿各自的数据通道发送到所述多个存储器区中的寻址的那些存储器区,

c) 在加载操作期间根据所述第一数据总线位大小和第一时钟频率从所述多个存储器区中的寻址的那些存储器区经由所述多个仲裁模块中的相应的那些接收数据,以及

d) 根据所述第一数据总线位大小和所述第一时钟频率通过所述数据缓冲器将所接收到的数据发送到所述数据传输控制器,通过使用所述数据传输控制器将所接收的数据组合成第二数据总线位大小,并且根据所述第二时钟频率将所组合的数据发送到所述第一加载/储存MUX,根据所述第二数据总线位大小和所述第二时钟频率,将所组合的数据通过所述数据先进先出发送并且从所述第二加载/储存DEMUX输出。

2. 如权利要求1所述的存储器访问控制模块,其中,所述第一数据通信总线被连接以与计算机处理器进行数据通信,并且所述第二数据通信总线被连接以与系统总线主控器进行数据通信。

3. 如权利要求1所述的存储器访问控制模块,其中,所述第一数据总线位大小是32位,并且所述第二数据总线位大小是64位。

4. 如权利要求1所述的存储器访问控制模块,其中,所述第二数据总线位大小是所述第一数据总线位大小的2倍。

5. 如权利要求4所述的存储器访问控制模块,其中,所述第一时钟频率是所述第二时钟频率的2倍。

6. 如权利要求1所述的存储器访问控制模块,还包括:

第一译码器,连接在所述第一数据接口和所述多个仲裁模块之间,所述第一译码器被

定义为确定存储器访问请求被引导到的存储器地址,所述第一译码器被定义为将所述存储器访问请求引导到所述多个仲裁模块之一,所述多个仲裁模块之一连接到所述多个存储器区中的包括所述确定的存储器地址的一个存储器区。

7.如权利要求1所述的存储器访问控制模块,其中,所述第一数据总线位大小的数据段的数量等于所述第二数据总线位大小大于所述第一数据总线位大小的整数倍,且数据通道的数量等于所述第二数据总线位大小大于所述第一数据总线位大小的整数倍。

8.如权利要求7所述的存储器访问控制模块,其中,每一个数据通道被连接以访问所述多个存储器区的一部分,使得所述多个存储器区的每一个能够被所述数据通道之一访问。

9.如权利要求8所述的存储器访问控制模块,其中,每一个数据通道包括被定义为确定存储器访问请求被引导到的存储器地址的通道译码器,所述通道译码器被定义为将所述存储器访问请求引导到所述多个仲裁模块之一,所述多个仲裁模块之一连接到所述多个存储器区中的包括所述确定的存储器地址的一个存储器区。

10.如权利要求1所述的存储器访问控制模块,其中,所述多个仲裁模块的数量是4,所述多个存储器区的数量是4,所述数据通道的数量是2,所述第二数据总线位大小是所述第一数据总线位大小的2倍,并且所述第一时钟频率是所述第二时钟频率的2倍。

11.一种用于控制对存储器的访问的方法,包括:

根据第一数据总线位大小和第一时钟频率从第一数据接口接收第一存储器访问请求;

根据所述第一数据总线位大小和所述第一时钟频率将所述第一存储器访问请求发送到对由所述第一存储器访问请求寻址的存储器区负责的仲裁模块;

根据第二数据总线位大小和第二时钟频率从第二数据接口接收第二存储器访问请求,其中,所述第二存储器访问请求是数据储存请求,所述第二数据总线位大小是所述第一数据总线位大小的整数倍,所述第一时钟频率是所述第二时钟频率的整数倍;

将所述第二数据总线位大小的第二存储器访问请求分割为所述第一数据总线位大小的数据段;

根据第一时钟频率将所述第一数据总线位大小的每一个数据段发送到对由所述第一数据总线位大小的数据段寻址的存储器区负责的仲裁模块;

根据所述第二数据总线位大小和所述第二时钟频率从所述第二数据接口接收第三存储器访问请求,其中所述第三存储器访问请求是数据加载请求;

根据所述第一数据总线位大小和第一时钟频率从多个存储器区经由相应的多个仲裁模块取回由所述第三存储器访问请求寻址的数据;

根据所述第一数据总线位大小和所述第一时钟频率,经由数据缓冲器将所取回的数据发送到数据传输控制器;

通过使用所述数据传输控制器将所取回的数据组合成所述第二数据总线位大小;

根据所述第二时钟频率将所述组合的数据发送到第一加载/储存MUX,所组合的数据通过数据先进先出被传递到第二加载/储存DEMUX;并且

根据所述第二数据总线位大小和所述第二时钟频率将所组合的数据从第二加载/储存DEMUX输出到所述第二数据接口。

12.如权利要求11所述的用于控制对存储器的访问的方法,还包括:

操作每个仲裁模块以相对于所述第二存储器访问请求的数据段给所述第一存储器访

问请求更高的访问优先权。

13. 如权利要求11所述的用于控制对存储器的访问的方法,其中,所述第一数据接口被连接到计算机处理器,并且所述第二数据接口被连接到系统总线主控制器。

14. 如权利要求11所述的用于控制对存储器的访问的方法,其中,所述第一数据总线位大小是32位,并且所述第二数据总线位大小是64位。

15. 如权利要求11所述的用于控制对存储器的访问的方法,其中,所述第二数据总线位大小是所述第一数据总线位大小的2倍。

16. 如权利要求11所述的用于控制对存储器的访问的方法,其中,所述第一时钟频率是所述第二时钟频率的2倍。

17. 如权利要求11所述的用于控制对存储器的访问的方法,其中,所述第一数据总线位大小的每一个数据段通过单独的数据通道被发送到对其寻址的存储器区负责的仲裁模块。

18. 如权利要求17所述的用于控制对存储器的访问的方法,其中,每一个数据通道与存储器区的单独的组通信。

19. 如权利要求17所述的用于控制对存储器的访问的方法,其中,所述存储器包括4个仲裁模块和4个存储器区,并且其中,所述数据通道的数量是2,并且其中,所述第二数据总线位大小是所述第一数据总线位大小的2倍,并且其中,所述第一时钟频率是所述第二时钟频率的2倍。

## 存储器访问控制模块以及相关方法

### 技术领域

[0001] 许多计算系统可以包括操作在不同的时钟频率上并且具有不同的数据总线位大小的组件和/或子系统。例如,计算系统可以包括操作在比系统总线主控器(master)更高的时钟频率处的处理器。并且,相同的计算系统可以具有如下系统总线,该系统总线具有比其处理器总线更大的位大小。在该示例计算系统中,连接到系统总线的处理器和组件两者将需要访问一定量的计算机存储器(memory,或内存)。由于在时钟频率和总线大小上的差异,处理器和系统总线主控器可能需要根据其各自的时钟频率和总线大小而操作的不同的计算机存储器。但是,使用根据不同的时钟频率和总线大小而操作的多存储器器件对计算系统增加费用和复杂性。因此,所感兴趣的是,处理器和系统总线主控器两者不论其在时钟频率和总线大小上的差异,都能够使用共同共享的存储器器件。在该上下文中产生本发明。

### 发明内容

[0002] 在一实施例中,公开了存储器访问控制模块。该存储器访问控制模块包括:第一数据接口,用于根据第一数据总线位大小和第一时钟频率向第一数据通信总线和从第一数据通信总线进行数据传输。该存储器访问控制模块还包括多个仲裁模块,被连接以根据该第一数据总线位大小和该第一时钟频率与该第一数据接口进行数据通信。存储器访问控制模块还包括:多个存储器区(bank),被连接以根据该第一数据总线位大小和该第一时钟频率与该多个仲裁模块进行数据通信,使得该多个存储器区的每一个被连接以与该多个仲裁模块中的不同的一个仲裁模块进行数据通信。存储器访问控制模块还包括,第二数据接口,用于根据第二数据总线位大小和第二时钟频率向第二数据通信总线和从第二数据通信总线进行数据传输。该第二数据总线位大小是该第一数据总线位大小的整数倍。该第一时钟频率是该第二时钟频率的整数倍。存储器访问控制模块还包括:分道器(channelizer)模块,被连接以根据该第二数据总线位大小和该第二时钟频率与该第二数据接口进行数据通信。该分道器模块还被连接以根据该第一数据总线位大小和第一时钟频率与该多个仲裁模块进行数据通信。该分道器模块定义为,在储存操作期间将从该第二数据接口接收的数据从该第二数据总线位大小分割为该第一数据总线位大小的多个数据段。分道器模块还被定义为,在该储存操作期间根据该第一时钟频率将该第一数据总线位大小的数据段经由该多个仲裁模块中的相应的那些沿各自的数据通道发送到该多个存储器区中的寻址的那些存储器区。分道器模块还被定义为,在加载操作期间根据该第一数据总线位大小和第一时钟频率从该多个存储器区中的寻址的那些存储器区经由该多个仲裁模块中的相应的那些接收数据。分道器模块还被定义为,将在该加载操作期间从该多个存储器区接收的数据组合为该第二数据总线位大小并根据该第二时钟频率将该第二数据总线位大小的组合的数据发送到该第二数据接口。

[0003] 在另一实施例中,公开了一种用于控制对存储器的访问的方法。该方法包括:根据第一数据总线位大小和第一时钟频率从第一数据接口接收第一存储器访问请求。该方法还包括:根据该第一数据总线位大小和该第一时钟频率将该第一存储器访问请求发送到对由

该第一存储器访问请求寻址的存储器区负责的仲裁模块。该方法还包括：根据第二数据总线位大小和第二时钟频率从第二数据接口接收第二存储器访问请求。该第二存储器访问请求是数据储存请求。该第二数据总线位大小是该第一数据总线位大小的整数倍。该第一时钟频率是该第二时钟频率的整数倍。该方法还包括，将该第二数据总线位大小的第二存储器访问请求分割为该第一数据总线位大小的数据段。该方法还包括：根据第一时钟频率将该第一数据总线位大小的每一个数据段发送到对由该第一数据总线位大小的数据段寻址的存储器区负责的仲裁模块。

[0004] 本发明的其它方面和优点将从结合附图的下述具体的描述中变得更加清晰，该附图以示例的方式描述本发明。

## 附图说明

[0005] 图1示出了根据本发明的一个实施例的计算系统。

[0006] 图2示出了根据本发明的一个实施例的计算系统，其中实现存储器访问控制模块以控制由作为第一存储器访问器的计算机处理器并且由作为第二存储器访问器的系统总线主控器对多个存储器区的访问。

[0007] 图3示出了根据本发明的一个实施例的具有更详细的存储器访问控制模块的示意图的图1和2的计算系统。

[0008] 图4A示出了根据本发明的一个实施例的用于在储存操作期间操作存储器访问控制模块以控制对存储器的访问的方法的流程图。

[0009] 图4B示出了根据本发明的一个实施例的接续图4A的用于在加载操作期间操作存储器访问控制模块的方法的流程图。

## 具体实施方式

[0010] 在下述说明中，列出多个具体的细节以便提供对本发明透彻的理解。但是，对本领域的技术人员来说应当清楚，可以不需要这些具体的细节中的一些或者全部而实施本发明。在其它情况中，没有详细地描述了已知的处理操作从而不会与本发明不必要地混淆。

[0011] 图1示出了根据本发明的一个实施例的计算系统100。计算系统100包括多个存储器区109A-109D和多个存储器访问器101、103。存储器访问器101、103可以是任何类型的计算组件，诸如而不限于，计算机处理器、系统总线主控器、或者需要访问计算机存储器的另外的计算组件。在一实施例中，第一存储器访问器101被定义为计算机处理器，并且第二存储器访问器103被定义为系统总线主控器103，通过该总线主控103，其它计算组件可以访问多个存储器区109A-109D。尽管图1以示例的方式示出了四个存储器区109A-109D，但应理解的是，其它实施例本质上可以实现任何数量的存储器区。在一实施例中，存储器区109A-109D的每一个被定义为静态随机访问存储器(SRAM)。但是，应理解的是，在其它实施例中，存储器区109A-109D可以被定义为任何类型的计算机存储、或者计算机存储器类型的任何组合。此外，通过多个存储器区109A-109D，每一个存储器区109A-109D被配置为包括整体可寻址的存储器空间的不同的部分。

[0012] 对多个存储器区109A-109D的每一个的访问由多个仲裁模块107A-107D的相应的一个来控制。如图1所示，每一个仲裁模块107A-107D与存储器区109A-109D的相应的一个进

行双向数据通信,如箭头113A-113D所表示。在数据储存操作、即数据写入操作期间,仲裁模块107A-107D将传送(communicate)数据储存指令(data store instruction)以及将要储存到其存储器区109A-109D的数据。在数据加载操作、即数据读取操作期间,仲裁模块107A-107D将会将数据加载指令传送到其存储器区109A-109D并接收所请求的数据。

[0013] 每一个仲裁模块107A-107D被定义为分别控制对其存储器区109A-109D的访问,使得在给定时间时对其存储器区的多个访问请求被保持在对特定的存储器区的可允许的规格内。例如,如果存储器区109A-109D被定义为一次处理一个访问请求,则用于存储器区109A-109D的仲裁模块107A-107D将操作以确保存储器区109A-109D一次仅被分派一个访问请求的任务。在存储器区109A-109D繁忙时到达仲裁模块107A-107D处的任何额外的访问请求将被仲裁模块107A-107D保留直到存储器区109A-109D可用以处理下一个存储器访问请求。

[0014] 第一存储器访问器101被连接以与仲裁模块107A-107D的每一个通信,如箭头111所示。箭头111对应于第一数据通信总线111。以此方式,第一存储器访问器101能够将存储器访问请求发送到特定的仲裁模块107A-107D,该特定的仲裁模块107A-107D对包括目标存储器地址的存储器区109A-109D负责。在图1的示例实施例中,第一存储器访问器101、仲裁模块107A-107D的每一个以及存储器区109A-109D的每一个被定义为根据具有第一时钟频率clk1的第一时钟并根据第一数据总线位大小bs1而相互通信数据。

[0015] 第二存储器访问器103被定义为根据具有第二时钟频率clk2的第二时钟并根据第二数据总线位大小bs2操作。因此,在时钟频率和数据总线位大小的方面,第二存储器访问器103具有不同于多个仲裁模块107A-107D的数据接口规格。因此,第二存储器访问器103不能够直接地与仲裁模块107A-107D通信。为调解这种情况,分道器模块105(channelizer module)被连接在第二存储器访问器103和多个仲裁模块107A-107D之间。

[0016] 具体地,第二存储器访问器103根据第二时钟频率clk2和第二数据总线位大小bs2将数据发送到分道器模块105并从分道器模块105接收数据,如箭头115所示。箭头115指的是第二数据通信总线115。并且,分道器模块105根据第一时钟频率clk1和第一数据总线位大小bs1将数据发送到多个仲裁模块107A-107D并从多个仲裁模块107A-107D接收数据,如箭头117A和117B所示。具体地,分道器模块105被连接以通过分别由箭头117A和117B表示飞两个单独的数据通信通道与多个仲裁模块107A-107D通信。以此方式,分道器模块105可以利用第一数据通信通道将数据发送到仲裁模块107A和107B并从仲裁模块107A和107B接收数据,如箭头117A所示。并且,分道器模块105可以利用第二数据通信通道将数据发送到仲裁模块107C和107D并从仲裁模块107C和107D接收数据,如箭头117B所示。

[0017] 分道器模块105被定义为根据第一时钟频率clk1和第一数据总线位大小bs1通过数据通信通道117A、117B的每一个来传送数据,从而与仲裁模块107A-107D的数据接口兼容。应理解的是,分道器模块105被定义为以独立的方式将数据发送通过两个通信通道117A、117B的每一个并从两个通信通道117A、117B的每一个接收数据。因此,在第一时钟的给定周期中,即,根据第一时钟频率clk1的给定周期,数据可以被独立地发送通过通信通道117A、117B的每一个。因此,通信通道117A、117B的每一个被连接以经由仲裁模块107A-107D与存储器区109A-109D的不同的部分通信数据。

[0018] 图2示出了根据本发明的一个实施例的计算系统100,其中实现存储器访问控制模

块203以控制由作为第一存储器访问器101的计算机处理器101A和由作为第二存储器访问器103的系统总线主控器103A对多个存储器区109A-109D的访问。存储器访问控制模块203也可以被称为直接存储访问桥203。存储器访问控制模块203包括用于根据第一数据总线位大小bs1和第一时钟频率clk1将数据传输到第一数据通信总线111并将数据从第一数据通信总线111传输的第一数据接口104。存储器访问控制模块203还包括用于根据第二数据总线位大小bs2和第二时钟频率clk2将数据传输到第二数据通信总线115并将数据从第二数据通信总线115传输的第二数据接口106。

[0019] 在一实施例中,第二数据总线位大小bs2是第一数据总线位大小bs1的整数倍。在一实施例中,第二数据总线位大小bs2是第一数据总线位大小bs1的2倍。例如,在一实施例中,第一数据总线位大小bs1是32位,并且第二数据总线位大小bs2是64位。此外,在一实施例中,第一时钟频率clk1是第二时钟频率clk2的整数倍。例如,在一实施例中,第一时钟频率clk1是第二时钟频率clk2的2倍。因此,以示例的方式,在该实施例中,如果第一时钟频率clk1是400MHz,第二时钟频率clk2是200MHz。应理解的是,这些时钟频率被用于说明第一时钟频率clk1和第二时钟频率clk2之间的整数倍关系,并且决不表示对可以与这里所公开的存储器访问控制模块203使用的时钟频率的任何限制。

[0020] 存储器访问控制模块203还包括连接以根据第一数据总线位大小bs1和第一时钟频率clk1与第一数据接口104进行数据通信的多个仲裁模块107A-107D。如参考图1所讨论的,多个存储器区109A-109D被连接以根据第一数据总线位大小bs1和第一时钟频率clk1与多个仲裁模块107A-107D进行数据通信,使得多个存储器区109A-109D的每一个被连接以与多个仲裁模块107A-107D中的不同的一个进行数据通信。

[0021] 存储器访问控制模块203如前述参考图1所讨论的包括分道器模块105。分道器模块105被连接以根据第二数据总线位大小bs2和第二时钟频率clk2与第二数据接口106进行数据通信。分道器模块105进一步被连接以根据第一数据总线位大小bs1和第一时钟频率clk1与多个仲裁模块107A-107D进行数据通信。

[0022] 分道器模块105被定义为在储存操作期间将从第二数据接口106接收的数据从第二数据总线位大小bs2分割为第一数据总线位大小bs1的多个数据段。分道器模块105还被定义为在储存操作期间根据第一时钟频率clk1沿各自的数据通道117A、117B将第一数据总线位大小bs1的数据段经由多个仲裁模块107A-107D的相应的那些发送到多个存储器区109A-109D的寻址的那些。

[0023] 分道器模块105还被定义为在加载操作期间根据第一数据总线位大小bs1和第一时钟频率clk1从多个存储器区109A-109D中的寻址的那些经由多个仲裁模块107A-107D的相应的那些接收数据。分道器模块105还被定义为将在加载操作期间从多个存储器区109A-109D接收的数据组合为第二数据总线位大小bs2,并根据第二时钟频率clk2将第二数据总线位大小bs2的组的数据发送到第二数据接口106。

[0024] 图3示出了根据本发明的一个实施例的具有存储器访问控制模块203的更详细的示意图的图1和2的计算系统100。通过第一数据接口104的数据通信在译码器301处被接收。译码器301被定义为处理从第一存储器访问器101接收的数据通信以确定数据通信的目标的存储器地址。译码器301还被定义为将从第一存储器访问器101接收的数据通信经由其仲裁模块107A-107D指引到包括目标的存储器地址的存储器区109A-109D。以此方式,译码器

301连接在第一数据接口104和多个仲裁模块107A-107D之间。译码器301被定义为确定来自第一存储器访问器101的存储器访问请求被指引到的存储器地址。译码器301被定义为将来自第一存储器访问器的存储器访问请求指引到多个仲裁模块107A-107D中被连接到包括确定的存储器地址的多个存储器区109A-109D之一的一个仲裁模块。应理解的是,根据第一数据总线位大小bs1并根据第一时钟频率clk1经由译码器301和多个仲裁模块107A-107D进行第一存储器访问器101和多个存储器区109A-109D之间的数据通信。

[0025] 图3还示出了通过第二数据接口106经由第二数据通信总线115接收的来自第二存储器访问器103的数据通信,并且被发送到分道器模块105。应理解的是,分道器模块105被定义为根据第二数据总线位大小bs2并根据第二时钟频率clk2接收来自第二数据接口106的数据并将数据发送到第二数据接口106。在分道器模块105中,数据通信由总线控制器303接收。总线控制器303被定义为解析进入的数据通信以提取存储访问命令和数据。总线控制器303被定义为根据第二时钟频率clk2将提取的存储访问命令发送到命令FIFO(先进先出缓冲器)305,如箭头337所示。然后,提取的存储访问命令根据第二时钟频率clk2从命令FIFO 305被发送到数据传输控制器309,如箭头339所示。

[0026] 此外,总线控制器303被定义为根据第二数据总线位大小bs2并根据第二时钟频率clk2将来自进入的数据通信的数据发送到第一加载/储存MUX(多工器)311,如箭头341所示。在数据储存操作期间,来自进入的数据通信的数据从第一加载/储存MUX 311被发送到数据FIFO 307,如箭头343所示。此外,来自数据FIFO 307的数据被发送到第二加载/储存DEMUX 313,如箭头345所示。在数据储存操作期间,根据第二数据总线大小bs2并根据第二时钟频率clk2,数据从数据FIFO 307经由第二加载/储存DEMUX 313被发送到数据传输控制器309,如箭头349所示。

[0027] 数据传输控制器309被定义为解析从命令FIFO 305接收的存储访问命令,将存储访问命令与从数据FIFO 307接收的对应的数据对齐。在储存操作期间,数据传输控制器309将进入的数据分道为第一数据总线位大小bs1的多个数据段。第一数据总线位大小bs1的数据段的数量等于第二数据总线位大小bs2大于第一数据总线位大小bs1的整数倍。例如,如果第二数据总线位大小bs2是第一数据总线位大小bs1的2倍,则分道器将进入的数据分道为每个为第一数据总线位大小bs1的2个数据段。作为另一示例,如果第二数据总线位大小bs2是第一数据总线位大小bs1的4倍,则分道器将进入的数据分道为每个为第一数据总线位大小bs1的4个数据段,等等。

[0028] 在储存操作期间,数据传输控制器309根据第一数据总线位大小bs1并根据第一时钟频率clk1通过各自的数据通道335A、335B将第一数据总线位大小bs1的数据段发送到各自的通道控制器模块315A、315B。在图3的示例中,第二数据总线位大小bs2是第一数据总线位大小bs1的2倍。因此,数据传输控制器309将数据分道为第一数据总线位大小bs1的2个数据段。根据第一数据总线位大小bs1并根据第一时钟频率clk1,这些数据段的第一个从数据传输控制器309被发送到第一通道控制器模块315A,如箭头335A和333A所示。根据第一数据总线位大小bs1并根据第一时钟频率clk1,这些数据段的第二个从数据传输控制器309被发送到第二通道控制器模块315B,如箭头335B和333B所示。应理解的是,数据传输控制器309使用的数据通道的数量等于第二数据总线位大小bs2大于第一数据总线位大小bs1的整数倍。

[0029] 通道控制器模块315A和315B的每一个以相同的方式被定义。但是,通道控制器模块315A和315B的每一个被连接以访问多个存储器区109A-109D的不同的部分。在一实施例中,对多个存储器区109A-109D的访问在多个通道控制器模块315A、315B中被平均地划分。例如,在图3的示例中,因为有2个通道控制器模块315A、315B,因此每一个通道控制器模块315A、315B被连接以访问多个存储器区109A-109D的不同的一半。在其它实施例中可能的是,一个或多个通道控制器模块(例如,315A、315B)相对于其它通道控制器模块可以访问更多或更少的存储器区、例如109A-109D。但是,应理解的是,多个存储器区109A-109D的每一个是可以被数据通道之一访问的、即可以被通道控制器模块315A、315B之一访问的。这避免了在多个通道控制器模块315A、315B之中在同一时间对于相同的存储器区109A-109D的访问的竞争。因此,大多数时候,仲裁模块107A-107D的每一个会处理第一存储器访问器101和多个通道控制器模块315A、315B之一之间的在同一时间对于相同的存储器区109A-109D的访问的潜在竞争。

[0030] 通道控制器模块315A、315B的每一个分别包括通道译码器317A、317B,该通道译码器317A、317B被定义为确定存储器访问请求被引导到的存储器地址。通道译码器317A、317B还被定义为将存储器访问请求引导到连接到多个存储器区109A-109D中的一个的多个仲裁模块107A-107D之一,该多个存储器区109A-109D包括确定的存储器地址,如箭头117A1、117A2、117B1、117B2所示。

[0031] 在图3的示例中,如果存储器访问请求被引导到第一存储器区109A中的存储器地址,则第一通道控制器模块315A中的通道译码器317A会将存储器访问请求引导到第一仲裁模块107A,如箭头117A1所示。如果存储器访问请求被引导到第二存储器区109B中的存储器地址,则第一通道控制器模块315A中的通道译码器317A会将存储器访问请求引导到第二仲裁模块107B,如箭头117A2所示。如果存储器访问请求被引导到第三存储器区109C中的存储器地址,第二通道控制器模块315B中的通道译码器317B会将存储器访问请求引导到第三仲裁模块107C,如箭头117B1所示。并且,如果存储器访问请求被引导到第四存储器区109D中的存储器地址,第二通道控制器模块315B中的通道译码器317B会将存储器访问请求引导到第四仲裁模块107D,如箭头117B2所示。

[0032] 应理解的是,根据第一数据总线位大小bs1并根据第一时钟频率clk1进行通道译码器317A、317B和其所连接到的仲裁模块107A-107D之间的数据通信。因此,应理解的是,分道器模块105操作作为数据总线大小和时钟频率适配器,以允许操作在给定的数据总线大小和在给定的时钟频率处的存储系统可以被操作在不同的数据总线大小和在不同的时钟频率处的计算设备访问。每一个仲裁模块107A-107D被定义为控制对其连接的存储器区109A-109D的访问以避免存储器访问冲突。在一实施例中,每一个存储器区109A-109D被定义为一次处理一个访问操作。在该实施例中,每一个仲裁模块107A-107D将操作以确保其连接的存储器区109A-109D一次仅被一个计算资源访问,无论该访问的资源是经由数据总线111的第一存储器访问器101,还是经由分道器模块105的第二存储器访问器103。

[0033] 前述说明已经解决了用于进行数据储存、即写入操作的存储器访问控制模块203。在加载操作期间、即读取操作期间,存储器访问控制模块203操作以从第一存储器访问器101或第二存储器访问器103接收进入的存储器访问请求,确定将要被加载的目标的数据的存储器地址,并且取回并返回请求的数据。具体地,如果第一存储器访问器101向存储器访

问控制模块203提交数据加载请求,译码器301确定数据从什么地址被加载并且将数据加载请求发送到对相应的存储器区109A-109D负责的仲裁模块107A-107D。然后,仲裁模块107A-107D指示其存储器区109A-109D返回请求的数据,然后,该请求的数据被发送回第一存储器访问器101。

[0034] 在存储器访问控制模块203的分道器模块105侧,在加载操作期间,合适的仲裁模块107A-107D将指示其存储器区109A-109D返回请求的数据。然后,在对与目标的仲裁模块107A-107D和存储器区109A-109D相关的数据通道负责的通道控制器模块315A、315B中,请求的数据经由加载MUX 321A、321B被发送到数据缓冲器319A、319B,如箭头329A、329B所示。从数据缓冲器319A、319B,请求的数据被发送到数据传输控制器309,如箭头331A/335A、331B/335B所示。

[0035] 应理解的是,从存储器区109A-109D加载的数据根据第一数据总线位大小bs1并根据第一时钟频率clk1被从存储器区109A-109D发送到数据传输控制器309。数据传输控制器309被定义为将从存储器区109A-109D加载的数据组合为第二数据总线位大小bs2并根据第二时钟频率clk2将该组合的数据向上发送到第二数据接口106。如在图3的示例中所示,组合的数据从数据传输控制器309被发送到第一加载/储存MUX 311,如箭头351所示。从第一加载/储存MUX 311,组合的数据通过数据FIFO 307被发送到第二加载/储存DEMUX 313,如箭头343和345所示。然后,从第二加载/储存DEMUX 313,组合的数据根据第二数据总线位大小bs2并根据第二时钟频率clk2被发送到总线控制器303,如箭头347所示。然后,总线控制器303根据第二数据总线位大小bs2并根据第二时钟频率clk2经由第二数据接口106将组合的数据发送到第二存储器访问器103。

[0036] 在一实施例中,诸如图3中所示的,多个仲裁模块107A-107D的数量是4,多个存储器区109A-109D的数量是4,数据通道的数量是2,即,通道控制器模块315A、315B的数量是2,第二数据总线位大小bs2是第一数据总线位大小bs1的2倍,并且第一时钟频率clk1是第二时钟频率clk2的2倍。在该实施例的一情况中,第二数据总线位大小bs2是64位,并且第一数据总线位大小bs1是32位。但是应理解的是,存储器访问控制模块203的其它实施例可以本质上包括任何数量的仲裁模块和存储器区,并且可以包括对应于第一和第二数据总线位大小之间的整数倍的任何数量的通道控制器模块。

[0037] 图4A示出了根据本发明的一个实施例的用于在储存操作期间操作存储器访问控制模块203以控制对存储器的访问的方法的流程图。该方法包括:用于根据第一数据总线位大小(bs1)和第一时钟频率(clk1)从第一数据接口(104)接收第一存储器访问请求的操作401。该方法还包括:用于根据第一数据总线位大小(bs1)和第一时钟频率(clk1)将第一存储器访问请求发送到对由第一存储器访问请求寻址的存储器区(109A-109D)负责的仲裁模块(107A-107D)的操作403。该方法还包括:用于根据第二数据总线位大小(bs2)和第二时钟频率(clk2)从第二数据接口(106)接收第二存储器访问请求的操作405。第二存储器访问请求是数据储存请求。第二数据总线位大小(bs2)是第一数据总线位大小(bs1)的整数倍。第一时钟频率(clk1)是第二时钟频率(clk2)的整数倍。

[0038] 该方法还包括:用于将第二数据总线位大小(bs2)的第二存储器访问请求分割为第一数据总线位大小(bs1)的数据段的操作407。该方法还包括:用于根据第一时钟频率(clk1)将第一数据总线位大小(bs1)的每个数据段发送到对由第一数据总线位大小(bs1)

的数据段寻址的存储器区 (109A-109D) 负责的仲裁模块 (107A-107D) 的操作 409。第一数据总线位大小 (bs1) 的每一个数据段通过单独的数据通道被发送到对其寻址的存储器区 (109A-109D) 负责的仲裁模块 (107A-107D)。此外,每个数据通道与存储器区 (109A-109D) 的单独组通信。

[0039] 在一示例实施例中,第一数据接口 (104) 连接到计算机处理器,并且第二数据接口 (106) 连接到系统总线主控器。此外,在一示例实施例中,第二数据总线位大小 (bs2) 是第一数据总线位大小 (bs1) 的2倍。在该示例实施例的情况中,第一数据总线位大小是32位,并且第二数据总线位大小是64位。此外,在一示例实施例中,第一时钟频率 (clk1) 是第二时钟频率 (clk2) 的2倍。在一示例实施例中,存储器包括4个仲裁模块 (107A-107D) 和4个存储器区 (109A-109D),并且数据通道的数量是2,并且第二数据总线位大小 (bs2) 是第一数据总线位大小 (bs1) 的2倍,并且第一时钟频率 (clk1) 是第二时钟频率 (clk2) 的2倍。此外,在一示例实施例中,该方法包括,操作仲裁模块 (107A-107D) 从而相对于来自第二存储器访问器 (103) 的第二存储器访问请求的数据段给来自第一存储器访问器 (101) 的第一存储器访问请求更高的访问优先权。

[0040] 图4B示出了根据本发明的一个实施例的接续图4A的用于在加载操作期间操作存储器访问控制模块203的方法的流程图。该方法包括,用于根据第二数据总线位大小 (bs2) 和第二时钟频率 (clk2) 从第二数据接口 (106) 接收第三存储器访问请求的操作411。第三存储器访问请求是数据加载请求,即,数据读取请求。该方法还包括,用于根据第一数据总线位大小 (bs1) 和第一时钟频率 (clk1) 经由相应的多个仲裁模块 (107A-107D) 从多个存储器区 (109A-109D) 取回由第三存储器访问请求寻址的数据的操作413。该方法还包括,用于将从多个存储器区 (109A-109D) 接收的数据组合成第二数据总线位大小 (bs2) 的操作415。该方法还包括,用于根据第二时钟频率 (clk2) 将第二数据总线位大小 (bs2) 的组合的数据发送到第二数据接口 (106) 的操作417。

[0041] 基于前述,应理解的是,这里所公开的存储器访问控制模块203提供通过外部直接存储器访问 (DMA) 引擎使能对直接紧凑耦合的存储器的访问而不干扰处理器存储器访问操作的系统和方法。下文中,这里所公开的存储器访问控制模块203提供更方便的电路定时关闭和更高性能的存储器访问。此外,存储器访问控制模块203是固件透明的,即固件友好的。

[0042] 鉴于前述,应理解的是,存储器访问控制模块203可以在多个存储器区109A-109D中起交织数据储存的作用。例如,在一实施例中,存储器区109A和109C可以覆盖可寻址的存储器范围的下一半,并且存储器区109B和109D可以覆盖可寻址的存储器范围的上半。第二数据总线位大小bs2的每一个数据通信被分割为第一数据总线位大小bs1的两个数据段。然后,第一数据总线位大小bs1的第一数据段通过第一通道控制模块315A被发送到第一存储器区109A或者第三存储器区109C。并且,第一数据总线位大小bs1的第二数据段通过第二通道控制模块315B被发送到第二存储器区109B或者第四存储器区109D。以此方式,进入通过第二数据接口106的数据在存储器区109A、109C的第一半和存储器区109B、109D的第二半之间交织。此外,以此方式,来自访问器2103的一个bs2访问(下一半或者上半)可以并行地进行。

[0043] 存储器访问控制模块203还提供读预取和写入缓冲能力。更具体地,因为第一时钟频率clk1是第二时钟频率clk2的整数倍、例如两倍,对于第二时钟频率clk2的每个周期,根

据第一时钟频率clk1可以有整数倍的尝试以预取读取数据。此外,因为由数据传输控制器309和多个通道控制器模块315A、315B提供的多个数据通道,可以通过每一个数据通道独立地预取读取请求的一部分。

[0044] 应理解的是,存储器访问控制模块203提供由多个存储器访问器、例如101、103对共享的存储的不同的部分、即不同的存储器区109A-109D的同时访问。因此,存储器访问控制模块203被定义为管理:1)由多个计算资源对共享的存储的同时请求;2)共享的存储器和访问共享的存储器的多个计算资源之间的时钟同步问题;3)共享的存储器和访问共享的存储器的多个计算资源之间的数据总线位大小的区别;以及4)由多个计算资源对共享的存储器的不同部分的同时访问。

[0045] 这里该的本发明可以实现为计算机可读介质上的计算机可读的代码。例如,计算机可读的代码可以包括配置数据文件,在该配置数据文件中储存对应于的存储器访问控制模块203的一个或多个配置。这里所提及的计算机可读介质是可以储存在之后能够被计算机系统读取的数据的任何数据储存器件。计算机可读介质的示例包括硬盘、网络附加储存(NAS)、只读存储器、随机访问存储器、CD-ROM、CD-R、CD-RW、磁带以及其它光学的和非光学的数据储存器件。计算机可读介质还可以分布在耦合的计算机系统的网络之上,使得计算机可读的代码以分布式的方式被储存和执行。

[0046] 这里该的形成本发明的部分的任何操作是有用的机器操作。本发明还涉及用于进行这些操作的设备或装置。装置可以是根据所需要的目的特别构造的,诸如特殊用途计算机。当被定义为特殊用途计算机时,计算机也可以进行不是特殊用途的一部分的其它处理、程序执行或者例程,而同时仍然能够用于特殊用途而操作。可替换地,操作可以通过一般用途计算机处理,该一般用途计算机被选择性地激活或者通过储存在计算机存储器、缓存、或通过网络获得的一个或多个计算机程序配置。当从网络数据时,数据可以通过网络上的其它计算机、例如计算资源的云处理。

[0047] 本发明的实施例还可以被定义为将数据从一个状态转换为另一状态的机器。数据可以表示产品,该产品可以被表示为电子信号并且电子地操纵(manipulation)数据。转换的数据在一些情况中可以在显示器上被形象化地描述,表示由数据的转换而产生的物理对象。转换的数据可以以使能对物理的且有形的对象的构造或描述的一般或具体的格式被保存到储存。在一些实施例中,该操纵(manipulation)可以通过处理器进行。在这样的示例中,处理器从而将数据从一种事物转换为另一种。更进一步,方法可以通过能够连接到网络之上的一个或多个机器或处理器处理。每个机器可以将数据从一状态转换为另一状态,并且也可以处理数据、将数据保存到储存、在网络上发送数据、显示结果或者与另外的机器通信结果。

[0048] 还应理解的是,这里所公开的存储器访问控制模块203可以被制造为半导体器件或芯片的一部分。在制造诸如集成电路、存储单元及其类似者的半导体器件中,进行一系列制造操作以定义半导体晶片上的特征。晶片包括定义在硅基板上的多层结构形式的集成电路器件。在基板层处,形成具有扩散区域的晶体管器件。在接下来的层中,互连金属化的线被图案化并且电气连接到晶体管器件以定义期望的集成电路器件。此外,图案化的导电层通过介电材料与其它导电层隔离。

[0049] 尽管本发明以若干实施例的方式被描述,应理解的是,本领域技术人员在阅读前

述说明书并研究附图后将会实现各种变化、增加、置换以及其等效物。因此,所意欲的是,本发明包括落入本发明的准确精神和范围内的所有这样的变化、增加、置换以及其等效物。

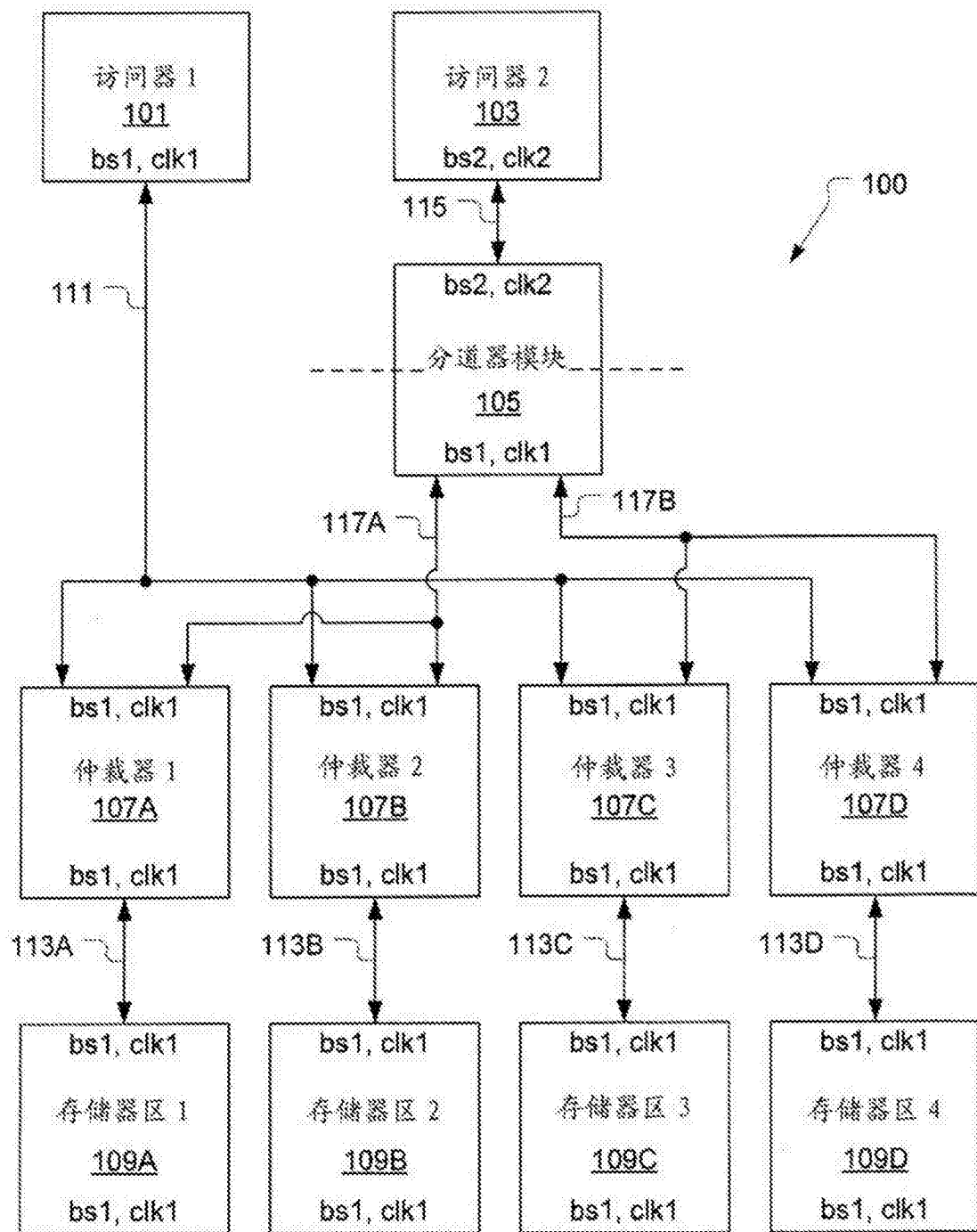


图1

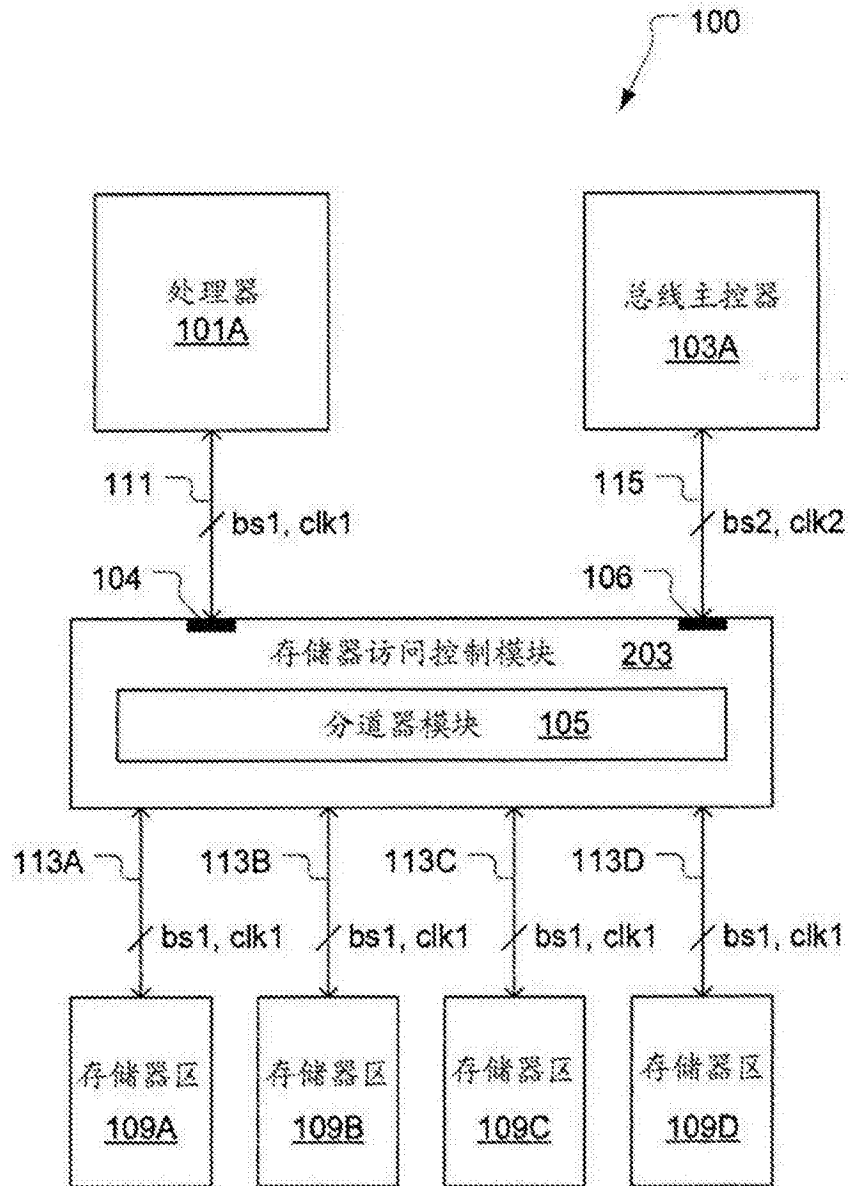


图2

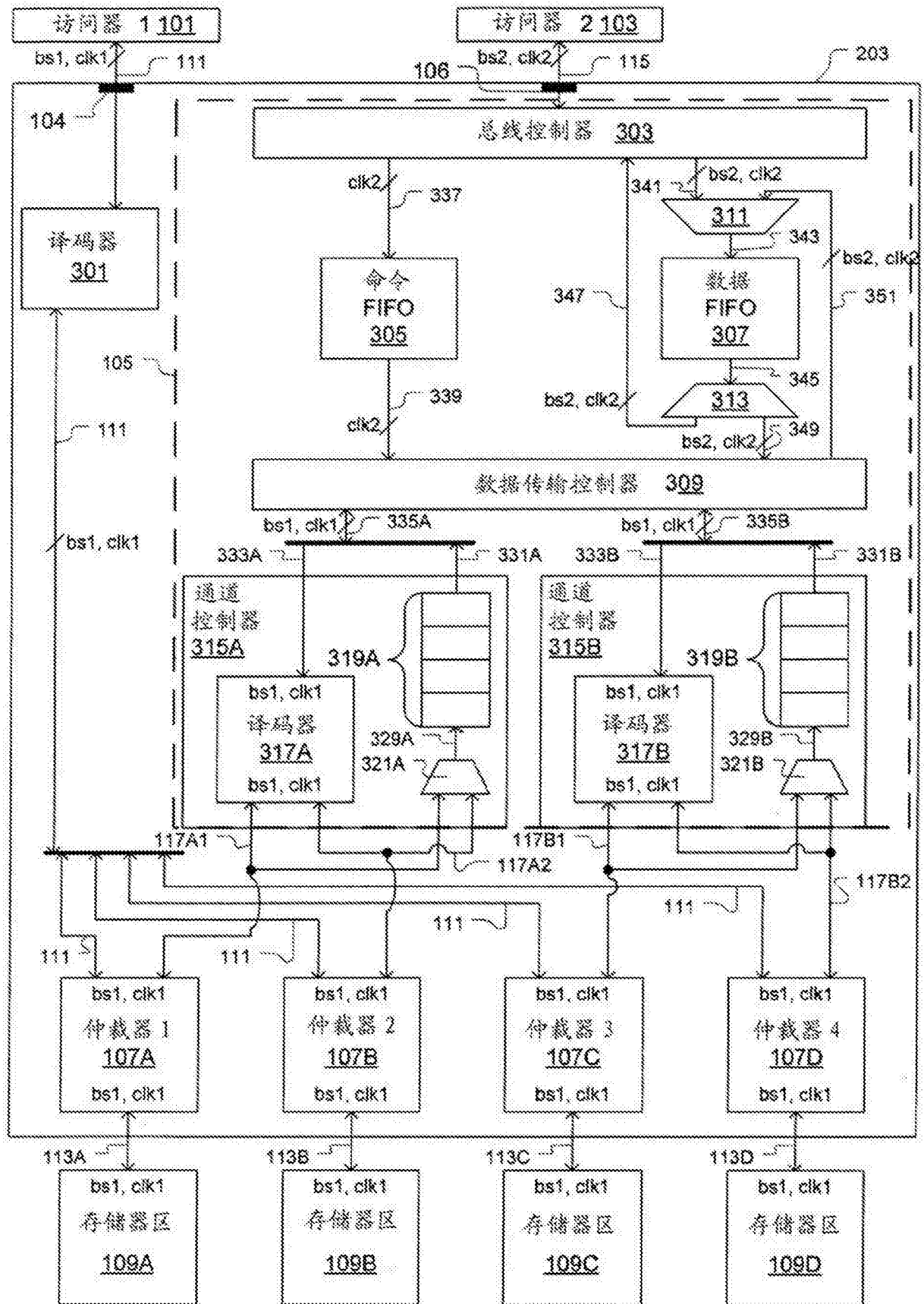


图3

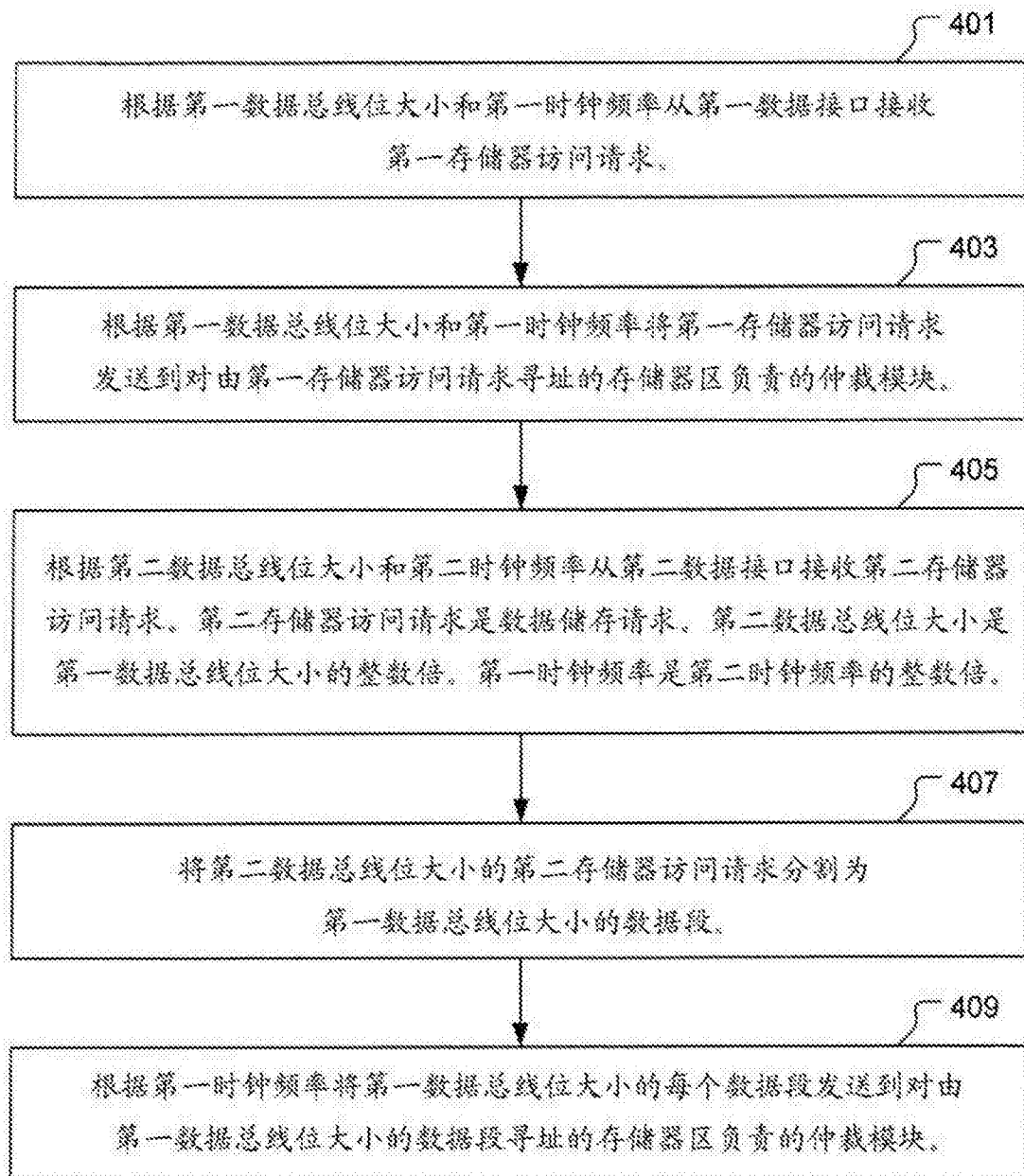


图4A

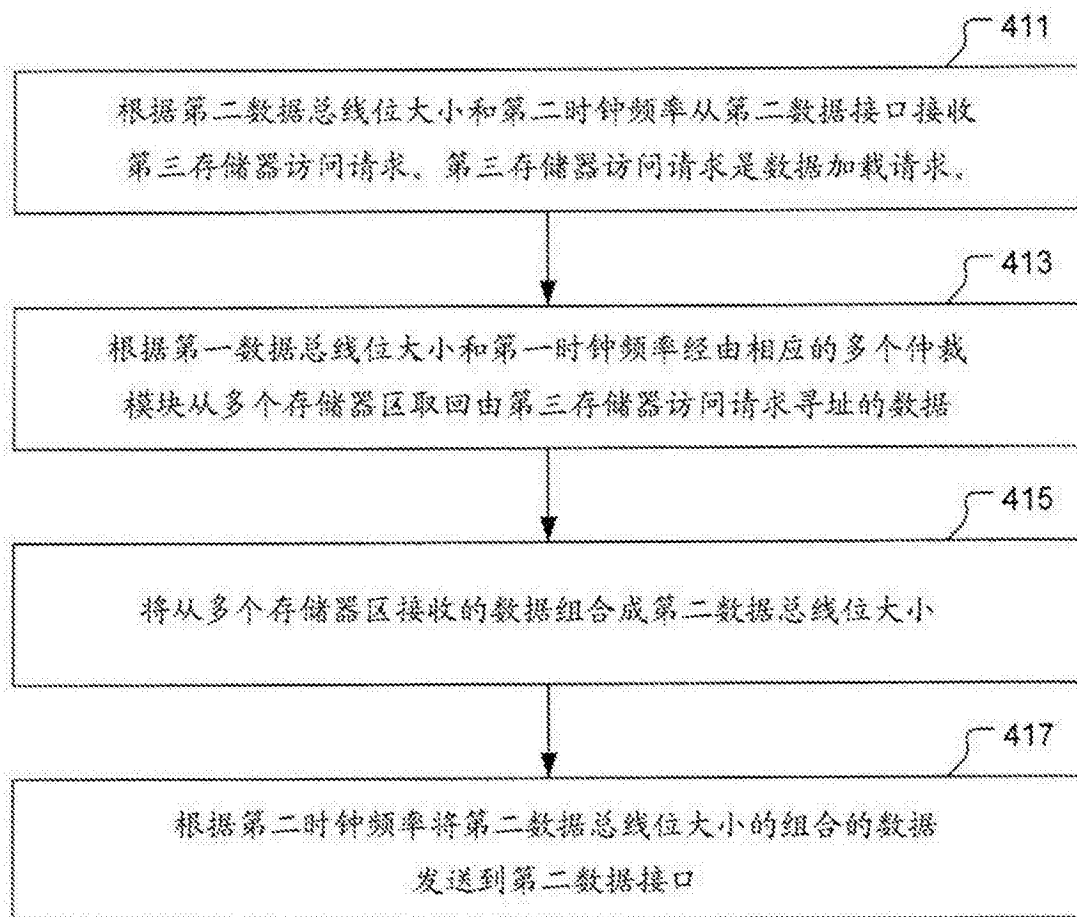


图4B