



1. 一种扇出封装结构,包括:

触点层,其包括导电互连层,所述导电互连层包括多个导电部分,所述多个导电部分中的每一个导电部分具有面向有源管芯的第一表面、面向重分布层的第二表面、以及至少一个侧壁;

所述导电互连层包括在所述导电互连层的所述多个导电部分中的每一个导电部分的所述至少一个侧壁和所述第一表面上的第一阻挡内衬,所述第一阻挡内衬直接接触所述导电互连层的所述多个导电部分中的每一个导电部分,并且所述第一阻挡内衬具有与所述导电互连层的所述多个导电部分中的每一个导电部分的所述第二表面齐平的表面;

所述重分布层包括配置成将第一导电互连耦合至所述导电互连层的多个导电路由层,所述多个导电路由层中的第一导电路由层包括多个导电部,每个导电部具有面向所述有源管芯的第三表面以及所述导电部的所述第三表面上的第二阻挡内衬,所述多个导电部中的每个导电部的所述第三表面上的所述第二阻挡内衬与所述触点层直接接触;以及

耦合至所述第一阻挡内衬的第一通孔,所述第一通孔被配置成通过第二导电互连将所述第一阻挡内衬耦合至所述有源管芯。

2. 如权利要求1所述的扇出封装结构,其中所述第一导电互连是球栅阵列(BGA)。

3. 如权利要求1所述的扇出封装结构,其中所述第一和第二阻挡内衬包括钽。

4. 如权利要求1所述的扇出封装结构,其中所述第一通孔包括在所述第一阻挡内衬上的凸块下导电层和在所述凸块下导电层上且耦合至所述第二导电互连的导电材料。

5. 如权利要求1所述的扇出封装结构,其中所述导电互连层包括第一后端制程(BEOL)导电互连层(M1)。

6. 如权利要求1所述的扇出封装结构,其中所述第二导电互连包括导电柱或导电凸块。

7. 如权利要求1所述的扇出封装结构,其中所述第二导电互连耦合至所述有源管芯的触点焊盘。

8. 如权利要求1所述的扇出封装结构,其中所述导电互连层的所述多个导电部分中的至少一个导电部分通过第二通孔耦合至所述重分布层的所述多个导电路由层中的一个导电路由层或通过所述导电路由层上的导电迹线耦合至所述导电路由层。

9. 如权利要求8所述的扇出封装结构,其中所述第一通孔包括中部制程零通孔(V0)且所述第二通孔包括后端制程(BEOL)第一通孔(V1)。

10. 如权利要求1所述的扇出封装结构,其中所述扇出封装结构被纳入到以下至少一者中:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、个人数字助理(PDA)、固定位数据单元、以及计算机。

11. 一种用于扇出封装结构的方法,包括:

在载体基板上制造触点层,所述触点层包括导电互连层,所述导电互连层包括多个导电部分,所述多个导电部分中的每一个导电部分具有在所述导电互连层的所述多个导电部分中的每一个导电部分的至少一个侧壁和第一表面上的第一阻挡内衬,所述第一阻挡内衬直接接触所述导电互连层的所述多个导电部分中的每一个导电部分;

制造重分布层(RDL),所述重分布层包括多个导电路由层,所述多个导电路由层被配置成将第一导电互连耦合至所述导电互连层,所述多个导电路由层中的第一导电路由层包括多个导电部,每个导电部具有面向有源管芯的第三表面以及所述导电部的所述第三表面上

的第二阻挡内衬,所述多个导电部中的每个导电部的所述第三表面上的所述第二阻挡内衬与所述触点层直接接触;

在移除所述载体基板之后在所述触点层中的开口内沉积导电材料以形成布置在所述第一阻挡内衬上的第一通孔;以及随后

使用第二导电互连来将有源管芯附连至所述第一通孔,其中在所述导电互连层的所述第一表面上的所述第一阻挡内衬面向所述有源管芯,并且所述第一阻挡内衬具有与所述导电互连层的所述多个导电部分中的每一个导电部分的第二表面齐平的表面,其中所述第二表面面向所述重分布层。

12. 如权利要求11所述的用于扇出封装结构的方法,其中沉积所述导电材料进一步包括:

在所述第一阻挡内衬上沉积凸块下导电层;以及

在所述凸块下导电层上沉积所述导电材料,所述导电材料耦合至所述第二导电互连。

13. 如权利要求11所述的用于扇出封装结构的方法,进一步包括在所述导电互连层面向所述有源管芯的所述第一表面上沉积钽作为所述第一阻挡内衬。

14. 如权利要求11所述的用于扇出封装结构的方法,其中制造所述触点层进一步包括:

在所述载体基板上沉积绝缘层;

在所述绝缘层上沉积介电层;以及

使用第一后端制程(BEOL)导电互连层(M1)来制造所述导电互连层的导电部分。

15. 如权利要求11所述的用于扇出封装结构的方法,进一步包括将所述扇出封装结构纳入到以下至少一者中:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、个人数字助理(PDA)、固定位置数据单元、以及计算机。

16. 一种扇出封装结构,包括:

触点层,其包括导电互连层,所述导电互连层包括多个导电部分,所述多个导电部分中的每一个导电部分具有面向有源管芯的第一表面、与所述第一表面相对的第二表面、以及至少一个侧壁;

所述导电互连层包括在所述导电互连层的所述多个导电部分中的每一个导电部分的所述至少一个侧壁和所述第一表面上的第一阻挡内衬,所述第一阻挡内衬直接接触所述导电互连层的所述多个导电部分中的每一个导电部分,并且所述第一阻挡内衬具有与所述导电互连层的所述多个导电部分中的每一个导电部分的所述第二表面齐平的表面;

用于将第一导电互连耦合至所述导电互连层的装置,其中所述第二表面面向所述耦合装置,所述多个导电路由层中的第一导电路由层包括多个导电部,每个导电部具有面向所述有源管芯的第三表面以及所述导电部的所述第三表面上的第二阻挡内衬,所述多个导电部中的每个导电部的所述第三表面上的所述第二阻挡内衬与所述触点层直接接触;以及

耦合至所述第一阻挡内衬的第一通孔,所述第一通孔被配置成通过第二导电互连将所述第一阻挡内衬耦合至所述有源管芯。

17. 如权利要求16所述的扇出封装结构,其中所述第一导电互连是球栅阵列(BGA)。

18. 如权利要求16所述的扇出封装结构,其中所述第一和第二阻挡内衬包括钽。

19. 如权利要求16所述的扇出封装结构,其中所述第一通孔包括在所述第一阻挡内衬上的凸块下导电层和在所述凸块下导电层上且耦合至所述第二导电互连的导电材料。

20. 如权利要求16所述的扇出封装结构,所述扇出封装结构被纳入到以下至少一者中:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、个人数字助理(PDA)、固定位置数据单元、以及计算机。

21. 一种用于扇出封装结构的方法,包括:

用于在载体基板上制造触点层的步骤,所述触点层包括导电互连层,所述导电互连层包括多个导电部分,所述多个导电部分中的每一个导电部分具有在所述导电互连层的所述多个导电部分中的每一个导电部分的至少一个侧壁和第一表面上的第一阻挡内衬,所述第一阻挡内衬直接接触所述导电互连层的所述多个导电部分中的每一个导电部分;

用于制造重分布层(RDL)的步骤,所述重分布层包括多个导电路由层,所述多个导电路由层被配置成将第一导电互连耦合至所述导电互连层,所述多个导电路由层中的第一导电路由层包括多个导电部,每个导电部具有面向有源管芯的第三表面以及所述导电部的所述第三表面上的第二阻挡内衬,所述多个导电部中的每个导电部的所述第三表面上的所述第二阻挡内衬与所述触点层直接接触;

用于在移除所述载体基板之后在所述触点层中的开口内沉积导电材料以形成布置在所述第一阻挡内衬上的第一通孔的步骤;以及随后

用于使用第二导电互连来将有源管芯附连至所述第一通孔的步骤,其中在所述导电互连层的所述第一表面上的所述第一阻挡内衬面向所述有源管芯,并且所述第一阻挡内衬具有与所述导电互连层的所述多个导电部分中的每一个导电部分的第二表面齐平的表面,其中所述第二表面面向所述重分布层。

22. 如权利要求21所述的用于扇出封装结构的方法,进一步包括用于将所述扇出封装结构纳入到以下至少一者中的步骤:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、个人数字助理(PDA)、固定位置数据单元、以及计算机。

## 高密度扇出封装结构

[0001] 相关申请的交叉引用

[0002] 本申请依据35U.S.C. §119(e)要求于2014年10月31日提交的题为“HIGH DENSITY FAN OUT PACKAGE STRUCTURE(高密度扇出封装结构)”的美国临时专利申请No.62/073,804的权益,其公开内容通过援引全部明确纳入于此。

[0003] 背景

[0004] 领域

[0005] 本公开的诸方面涉及半导体器件,尤其涉及用于制造高密度扇出结构的高密度扇出(HDFO)技术。

### 背景技术

[0006] 用于集成电路(IC)的半导体制造的工艺流程可包括前端制程(FEOL)、中部制程(MOL)和后端制程(BEOL)工艺。前端制程工艺可包括晶片制备、隔离、阱形成、栅极图案化、分隔件、扩展和源极/漏极注入、硅化物形成、以及双应力内衬形成。中部制程工艺可包括栅极触点形成。中部制程层可包括但不限于:中部制程触点、通孔或者非常靠近半导体器件晶体管或其他类似有源器件的其他层。后端制程工艺可包括用于互连在前端制程和中部制程工艺期间创建的半导体器件的一系列晶片处理步骤。现代半导体芯片产品的成功制造涉及所采用的材料和工艺之间的相互作用。

[0007] 中介体是其中该中介体用作基底且片上系统(SoC)的半导体管芯被安装在该基底上的管芯安装技术。中介体是扇出晶片级封装结构的示例。中介体可包括导电迹线和导电通孔的布线层,该布线层用于路由半导体管芯(例如,存储器模块和处理器)与系统板之间的电连接。中介体可包括重分布层(RDL),其将半导体器件(例如,管芯或芯片)的有效表面上的接合焊盘连接模式提供成更适合于连接到系统板的经重分布连接模式。在大多数应用中,中介体不包括有源器件(诸如二极管和晶体管)。

[0008] 晶片级封装结构的制造可包括在形成重分布层之前根据芯片首先附连工艺将半导体器件(例如,管芯或芯片)附连至晶片级封装结构。然而,芯片首先附连工艺可能由于在形成重分布层期间在半导体器件上的应力和/或由于与重分布层相关联的缺陷而使半导体器件有缺陷。

[0009] 概览

[0010] 一种高密度扇出封装结构可包括触点层。该触点层包括具有面向有源管芯的第一表面和面向重分布层的第二表面的导电互连层。该高密度扇出封装结构具有在该导电互连层的第一表面上的阻挡层。该高密度扇出封装结构还可包括具有导电路由层的重分布层。该导电路由层可被配置成将第一导电互连耦合至该导电互连层。该高密度扇出封装结构可进一步包括第一通孔,其耦合至该阻挡内衬并且被配置成与至该有源管芯的第二导电互连相耦合。

[0011] 一种制造高密度扇出封装结构的方法可包括在载体基板上制造触点层。该触点层可包括具有在第一表面上的阻挡内衬的导电互连层。该方法还可包括制造重分布层(RDL)。

该重分布层可包括配置成将第一导电互连耦合至该导电互连层的导电路由层。该方法可进一步包括在移除该载体基板之后在该触点层中的开口内沉积导电材料以形成布置在该阻挡内衬上的第一通孔。该方法还可包括使用第二导电互连来将有源管芯附连至该通孔。在该导电互连层的第一表面上的该阻挡内衬可面向该有源管芯。

[0012] 一种高密度扇出封装结构可包括触点层。该触点层包括具有面向有源管芯的第一表面的导电互连层。该高密度扇出封装结构具有在该导电互连层的第一表面上的阻挡层。该高密度扇出封装结构还可包括用于将第一导电互连耦合至该导电互连层的装置。该导电互连层的第二表面可面向该耦合装置。该高密度扇出封装结构可进一步包括第一通孔，其耦合至该阻挡内衬并且被配置成与至该有源管芯的第二导电互连相耦合。

[0013] 这已较宽泛地勾勒出本公开的特征和技术优势以便下面的详细描述可以被更好地理解。本公开的附加特征和优点将在下文描述。本领域技术人员应该领会，本公开可容易地被用作修改或设计用于实施与本公开相同的目的的其他结构的基础。本领域技术人员还应认识到，这样的等效构造并不脱离所附权利要求中所阐述的本公开的教导。被认为是本公开的特性的新颖特征在其组织和操作方法两方面连同进一步的目的和优点在结合附图来考虑以下描述时将被更好地理解。然而，要清楚理解的是，提供每一幅附图均仅用于解说和描述目的，且无意作为对本公开的限定的定义。

[0014] 附图简述

[0015] 为了更全面地理解本公开，现在结合附图参阅以下描述。

[0016] 图1解说了本公开的一方面中的半导体晶片的立体视图。

[0017] 图2解说了根据本公开的一方面的管芯的横截面视图。

[0018] 图3解说了根据本公开的一个方面的高密度扇出封装结构。

[0019] 图4A-4M解说了根据本公开的一个方面的处于各个制造阶段的高密度扇出封装结构。

[0020] 图5A-5F解说了根据本公开的一个方面的处于各个制造阶段的高密度扇出封装结构。

[0021] 图6是解说根据本公开的一方面的用于制造高密度扇出封装结构的方法的过程流图。

[0022] 图7是示出其中可有利地采用本公开的配置的示例性无线通信系统的框图。

[0023] 图8是解说根据一种配置的用于半导体组件的电路、布局、以及逻辑设计的设计工作站的框图。

[0024] 详细描述

[0025] 以下结合附图阐述的详细描述旨在作为各种配置的描述，而无意表示可实践本文中所描述的概念的仅有的配置。本详细描述包括具体细节以便提供对各种概念的透彻理解。然而，对于本领域技术人员将显而易见的是，没有这些具体细节也可实践这些概念。在一些实例中，以框图形式示出众所周知的结构和组件以避免湮没此类概念。如本文中所述的，术语“和/或”的使用旨在表示“可兼性或”，而术语“或”的使用旨在表示“排他性或”。

[0026] 所描述的一些实现涉及晶片级封装结构，诸如中介体技术。中介体一般用作可被用于一个组件或基板与第二组件或基板之间的直接电互连的中间层，其中该中介体被置于其间。例如，中介体可在一侧具有能与第一组件（例如，管芯）上的对应焊盘对准的焊盘配

置，并且在第二侧具有与第二组件(例如，封装基板、系统板等)上的焊盘相对应的不同焊盘配置。中介体被广泛用于在单个封装上集成多个芯片。另外，中介体基板可由玻璃和石英、有机材料、或其他类似材料构成且通常包含少数互连层。

[0027] 晶片级封装结构(诸如中介体)的制造可包括形成重分布层(RDL)。重分布层可使得能够将有源器件(例如，管芯或芯片)的有效表面上的接合焊盘连接模式扩展到更适合于连接到基板(例如，系统板、封装基板、印刷电路板等)的经重分布连接模式。常规制造技术包括根据芯片首先附连工艺来在形成重分布层之前附连有源器件。然而，芯片首先附连工艺假定不存在与重分布层相关联的缺陷。遗憾的是，重分布层中的缺陷可导致有源器件损耗。另外，在形成重分布层期间在有源器件上的应力可使该有源器件有缺陷。

[0028] 本公开的各个方面提供用于制造高密度扇出(HDFO)封装结构的技术。用于HDFO封装结构的半导体制造的工艺流程可包括前端制程(FEOL)工艺、中部制程(MOL)工艺和后端制程(BEOL)工艺。将理解，术语“层”包括膜且不应被解读为指示纵向或横向厚度，除非另外声明。如本文中所描述的，术语“基板”可指代已切割晶片的基板或可指代尚未切割的晶片的基板。类似地，术语晶片和管芯可被可互换地使用，除非这种互换将难以置信。

[0029] 如本文中所描述的，中部制程互连层可指代用于将后端制程的第一导电层(例如，金属1(M1))连接至集成电路的氧化物扩散(OD)层以及还用于将M1连接至该集成电路的有源器件的导电互连。用于将M1连接至集成电路的OD层的中部制程互连层可被称为“MD1”和“MD2”。用于将集成电路的M1连接至集成电路的多晶栅极的中部制程互连层可被称为“MP”。中部制程零通孔(V0)可将M1连接至中部制程互连层。

[0030] 根据本公开的诸方面，HDFO封装结构包括多个有源管芯或单个芯片结构。HDFO封装结构可根据芯片最后附连工艺来制造。芯片最后附连工艺包括在形成重分布层之后将有源管芯附连至HDFO封装结构。例如，可在附连有源管芯之前通过测试来验证重分布层，以避免附连至有缺陷的重分布层。

[0031] 在本公开的一个方面，HDFO封装结构包括触点层，该触点层包括导电互连层。导电互连层可包括面向有源管芯的第一表面和面向重分布层的第二表面。第一导电互连(例如，球栅阵列(BGA))可将该HDFO封装结构耦合至外部设备。导电内衬可被布置在该导电互连层的第一表面上。导电内衬可以是由钽制成的阻挡或晶种内衬。阻挡内衬可在形成(例如，电镀)至有源管芯的互连期间提供对导电互连层的保护。

[0032] 重分布层(RDL)耦合至触点层的导电互连层。重分布层可以是扇出路由层。重分布层包括配置成将第一导电互连耦合至导电互连层的导电路由层。如所提及的，在附连有源管芯之前形成重分布层，以避免在形成重分布层期间损坏有源管芯。重分布层可以是形成在全厚度晶片上的背侧重分布层(BRDL)。在背侧重分布层上实现HDFO封装结构提高了有源管芯的成品率并减少了HDFO封装结构的翘曲。

[0033] 通孔可被耦合至阻挡内衬，以互连该有源管芯的第二导电互连。导电材料可包括一个或多个导电互连。例如，第二导电材料包括凸块下导电互连、焊料材料和/或导电柱。凸块下导电互连可布置在导电层内的开口中，该开口暴露阻挡内衬的表面。导电柱可耦合至该管芯的触点焊盘。焊料材料在凸块下导电互连与导电柱之间。凸块下导电互连和导电柱可以是铜。

[0034] 图1解说了本公开的一方面中的半导体晶片的立体视图。晶片100可以是半导体晶

片,或者可以是在晶片100的表面上具有一层或多层半导体材料的基板材料。当晶片100是半导体材料时,其可使用切克劳斯基(Czochralski)工艺从籽晶生长,其中籽晶被浸入到半导体材料的熔池中,并且缓慢旋转并从池中被移除。熔融材料随后在晶体的取向上结晶到籽晶上。

[0035] 晶片100可以是复合材料,诸如砷化镓(GaAs)或氮化镓(GaN)、三元材料(诸如砷化铟镓(InGaAs))、四元材料、或者可以是用于其他半导体材料的基板材料的任何材料。虽然许多材料本质上可以是晶体,但是多晶或非晶材料也可用于晶片100。

[0036] 可向晶片100或耦合至晶片100的各层提供使晶片100更具导电性的材料。作为示例而非限定,硅晶片可以具有添加到晶片100的磷或硼,以允许电荷在晶片100中流动。这些添加剂被称为掺杂剂,并且在晶片100或晶片100的各部分内提供额外的电荷载流子(电子或空穴)。通过选择提供额外的电荷载流子的区域、提供哪种类型的电荷载流子、以及晶片100中附加的电荷载流子的量(密度),可在晶片100中或晶片100上形成不同类型的电子器件。

[0037] 晶片100具有指示该晶片100的晶向的取向102。取向102可以是如图1中所示的晶片100的平坦边缘,或者可以是槽口或其他标记以解说晶片100的晶向。取向102可指示晶片100中晶格平面的米勒(Miller)指数。

[0038] 米勒指数形成晶格中结晶平面的注释系统。晶格平面可由三个整数 $h$ 、 $k$ 和 $\ell$ 指示,这些整数是晶体中平面( $hkl$ )的米勒指数。每个指数表示基于倒易晶格矢量与方向( $h$ , $k$ , $\ell$ )正交的平面。这些整数通常以最低项写出(例如,它们的最大公约数应为1)。米勒指数100表示与方向 $h$ 正交的平面;指数010表示与方向 $k$ 正交的平面,并且指数001表示与 $\ell$ 正交的平面。对于一些晶体,使用负数(被写为指数上方的横条),并且对于一些晶体(诸如氮化镓),可采用三个以上数字来充分描述不同的结晶平面。

[0039] 一旦按期望处理了晶片100,就沿切割线104分割晶片100。切割线104指示晶片100将在何处被分离或分开成多片。切割线104可限定已在晶片100上制造的各种集成电路的轮廓。

[0040] 一旦定义了切割线104,晶片100就可被锯成或者以其他方式分成多片以形成管芯106。每个管芯106可以是具有许多器件的集成电路或者可以是单个电子器件。管芯106(其也可被称为芯片或半导体芯片)的物理尺寸至少部分地取决于将晶片100分成特定大小的能力、以及管芯106被设计成包含个体器件的数量。

[0041] 一旦晶片100已被分成一个或多个管芯106,管芯106就可被安装到封装中,以允许访问在管芯106上制造的器件和/或集成电路。封装可包括单列直插封装、双列直插封装、母板封装、倒装芯片封装、键点/凸点封装、或提供对管芯106的访问的其他类型的器件。还可通过线焊、探针、或其他连接来直接访问管芯106,而无需将管芯106安装到分开的封装中。

[0042] 图2解说了根据本公开的一方面的管芯106的横截面视图。在管芯106中可存在基板200,基板200可以是半导体材料和/或可充当对电子器件的机械支持。基板200可以是掺杂半导体基板,其具有存在于基板200各处的电子(指定为N沟道)或空穴(指定为P沟道)电荷载流子。用电荷载流子离子/原子对基板200的后续掺杂可改变基板200的电荷携带能力。

[0043] 在基板200(例如,半导体基板)内可存在阱202和204,这些阱可以是场效应晶体管(FET)的源极和/或漏极,或者阱202和/或204可以是鳍式结构化FET(FinFET)的鳍结构。取

决于阱202和/或204的结构和其他特性以及基板200的外围结构,阱202和/或204也可以是其他器件(例如,电阻器、电容器、二极管、或其他电子器件)。

[0044] 半导体基板还可具有阱206和阱208。阱208可完全在阱206内,并且在一些情形中可形成双极结型晶体管(BJT)。阱206还可被用作隔离阱,以将阱208与管芯106内的电场和/或磁场隔离。

[0045] 层(例如,210到214)可被添加到管芯106。层210可以是例如氧化物或绝缘层,其可将阱(例如,202-208)彼此隔离或者与管芯106上的其他器件隔离。在此类情形中,层210可以是二氧化硅、聚合物、电介质、或另一电绝缘层。层210也可以是互连层,在该情形中其可包括导电材料,诸如铜、钨、铝、合金、或者其他导电或金属材料。

[0046] 取决于期望器件特性和/或层(例如,210和214)的材料,层212也可以是电介质或导电层。层214可以是封装层,其可保护层(例如,210和212)、以及阱202-208和基板200免受外力。作为示例而非限定,层214可以是保护管芯106免受机械损害的层,或者层214可以是保护管芯106免受电磁或辐射损害的材料层。

[0047] 在管芯106上设计的电子器件可包括许多特征或结构组件。例如,管芯106可受任何数量的方法作用以将掺杂剂施加到基板200、阱202-208中,并且若期望,施加到层(例如,210-214)中。作为示例而非限定,管芯106可受离子注入、掺杂剂原子沉积的作用,这些掺杂剂原子通过扩散工艺、化学气相沉积、外延生长、或其他方法被驱入晶格中。通过层(例如,210-214)的诸部分的选择性生长、材料选择以及移除,并且通过基板200和阱202-208的选择性移除、材料选择以及掺杂剂浓度,可在本公开的范围内形成许多不同的结构和电子器件。

[0048] 此外,基板200、阱202-208、以及层(例如,210-214)可通过各种工艺被选择性地移除或添加。化学湿法蚀刻、化学机械平坦化(CMP)、等离子体蚀刻、光致抗蚀剂掩模、镶嵌工艺、以及其他方法可创建本公开的结构和器件。

[0049] 图3解说了根据本公开的一个方面的高密度扇出(HDFO)封装结构300。HDFO封装结构300可通过第二导电互连310(例如,前侧)来将第一导电互连350(例如,背侧)耦合至有源管芯302。在这一安排中,第二导电互连310具有柱形且包括第一导电部分304(例如,导电迹线或触点焊盘)、第二导电部分306(例如,焊料材料)和第三导电部分308(例如,有源管芯302的导电柱)。在另一配置中,第二导电互连可使用导电凸块(例如,焊料材料)来制造。HDFO封装结构300还包括触点层320,其具有形成在一个或多个介电层(例如,氮化物)之间的导电互连层330(330a、330b、330c)。HDFO封装结构300还包括重分布层340,重分布层340包括通过例如底部填充互连层348耦合至第一导电互连350的导电路由层(例如,342、344、346)。

[0050] 重分布层340的导电路由层(例如,342、344、346)结合触点层320的导电互连层330(例如,330a、330b、330c)促成有源管芯302与第一导电互连350(例如,球栅阵列(BGA))之间的通信。例如,导电互连层330是使用第一后端制程(BEOL)导电互连层(例如,金属1(M1))来形成的。导电互连层330可被触点层320的介电层围绕,并且通过第一通孔322(例如,中部制程(MOL)零通孔(V0))耦合至第二导电互连310。

[0051] 在这一安排中,导电互连层330(例如,330b)通过第二通孔324(例如,BEOL第一通孔(V1)或导电迹线)耦合至重分布层340,并且通过第一通孔322耦合至有源管芯302。第一

通孔322可通过镶嵌工艺、添加剂蚀刻和填充工艺、激光通孔和填充工艺、或者其他类似的通孔形成工艺来形成。第二通孔324可以是重分布层340的导电路由层。可在重分布层340的聚合物介电材料内形成导电路由层(例如,342、344、346)。导电互连层330和导电路由层(例如,342、344、346)可由铜或其他合适的导电材料构成。

[0052] 在本公开的一个方面,导电互连层330的诸部分(例如,330a、330b、330c)被阻挡内衬332(例如,332a、332b、332c)部分地围绕。例如,阻挡内衬332可被布置在导电互连层330的侧壁和面向有源管芯302的第一表面上。然而,阻挡内衬332不在导电互连层330面向重分布层340且背向有源管芯302的第二表面上。阻挡内衬332可由制造厂在导电互连层330的制造过程期间提供。虽然阻挡内衬332可在HDF0封装结构300的制造期间形成,但是可在制造HDF0封装结构300之前形成阻挡内衬332。阻挡内衬332可由阻挡材料(诸如钽或其他合适的阻挡材料)构成。

[0053] 重分布层340包括耦合至第二通孔324的第一导电路由层342。在这一安排中,阻挡内衬332的一部分(例如,332d)被布置在第二通孔324的侧壁以及第一导电路由层342面向有源管芯302的表面上。第一导电路由层326是使用例如第二BEOL互连层(例如,金属2(M2))来形成的。第二导电路由层346通过第三通孔344(例如,第二BEOL通孔(V2))耦合至第一导电路由层326。第二导电路由层346是使用例如第三BEOL导电互连层(例如,金属3(M3))来形成的。第二导电路由层346还通过例如底部填充互连层348耦合至第一导电互连350。第一导电互连350可耦合至系统板、封装基板或其他合适的载体基板(未示出)。第一导电互连350可根据球栅阵列(BGA)互连结构来配置。

[0054] 图4A-4M解说了根据本公开的诸方面的处于各种制造阶段的HDF0封装结构400。例如,图4A-4L解说了图4M中所示的HDF0封装结构400的顺序制造办法。

[0055] 以图4A开始,提供载体基板(例如,半导体晶片)460。载体基板460可以是例如基于硅的基板、基于玻璃的基板或其他材料,诸如那些实现成半导体晶片块状基板的材料。绝缘层462可被沉积在载体基板460的有效表面上。绝缘层462可以是氧化物或其他合适的绝缘体材料。触点层420的第一介电层可沉积在绝缘层462上。触点层420可以是包括氧化物、氮化物或其他类似的绝缘体材料的钝化层并且可将信号绝缘以及保护各种电路和导电元件。

[0056] 在图4B中,通过在触点层420的第一介电层上沉积导电材料(例如,铜)来形成用于在重分布层440与有源管芯402之间路由信号的导电互连层430。导电互连层430可包括导电部分430a、430b和420c。导电部分430a、430b和420c可使用第一BEOL互连层(例如,M1)来形成。在这一安排中,导电部分430a、430b和430c被阻挡内衬432(例如,432a、432b、432c)部分地围绕。阻挡内衬432被布置在导电部分430a、430b和430c的侧壁及面向载体基板460的第一表面上。然而,阻挡内衬432未被布置在导电部分430a、430b和430c背向载体基板460的第二表面上。阻挡内衬432(例如,钽)由制造厂在导电互连层430的制造过程期间提供。

[0057] 在图4C中,沉积触点层420的附加介电层。触点层420的介电层可由氮化物层(例如,氮化硅(SiN))构成。在触点层420的介电材料内形成一个或多个开口426a、426b、426c,以暴露导电部分430a、430b和430c未被阻挡内衬432覆盖的第二表面。例如,导电部分430a、430b和430c的暴露部分可限定用于耦合到重分布层的导电路由层的触点区域。

[0058] 在图4D-4I中,在触点层420上形成重分布层(例如,在图4L和4M中解说了440)的第一导电路由层442。重分布层可以是形成在全厚度晶片(例如,载体基板460)上的背侧重分

布层(BRDL)。根据本公开的一个方面,在将一个或多个有源管芯附连至HDF0封装结构400之前形成重分布层。重分布层可形成在触点层420的介电层上。形成重分布层包括形成导电路由层并藉由通孔或其他互连(例如,导电焊盘、导电迹线等)来互连导电路由层。

[0059] 在图4D中,在触点层420上形成第一导电路由层442。第一导电路由层442可使用第二BEOL互连(例如,M2)来形成。形成第一导电路由层442包括形成至导电互连层430的触点。例如,可通过在开口之一426b中以及在导电部分之一430b的第二表面上沉积导电材料来形成第二通孔424。第二通孔424可使用第一BEOL通孔(V1)来形成。第二通孔424是通过在触点层420内的开口450b中沉积导电材料来形成的,而不是使用用于形成复杂的穿硅通孔的工艺。第一导电路由层442形成在第二通孔424以及触点层420的表面上的阻挡内衬432d上。

[0060] 在图4E中,在触点层420上以及在第一导电路由层442的诸部分中的每一者上沉积重分布层440的第一材料层(例如,聚合物介电材料)。例如,在第一导电路由层442的诸部分上沉积第一层聚合物电介质。

[0061] 在图4F中,在重分布层440的第一材料层内形成开口,以暴露第一导电路由层442的表面。在这一示例中,重分布层440的第一材料层包括暴露第一导电路由层442的触点区域的开口441。第一导电路由层442的触点区域背向载体基板460。

[0062] 在图4G中,在重分布层440的第一材料层上形成重分布层440的第二导电路由层446。第二导电路由层446可使用包括导电部分的第二BEOL互连(例如,M2)来形成。形成第二导电路由层446包括在重分布层440的第一材料层上形成重分布导电部分。例如,第二导电路由层446的触点区域通过第三通孔444耦合至第一导电路由层442的触点区域。第三通孔444形成在重分布层440的第一材料层内的开口441中。第三通孔444可被形成为第二BEOL通孔(例如,V2)。

[0063] 在图4H中,在重分布层440的第一材料层上沉积重分布层440的第二材料层。重分布层440的第二材料层被沉积在第二导电路由层446的诸部分中的每一者上。例如,第二层聚合物介电材料被沉积在第二导电路由层446的每个导电部分以及重分布层440的第一层聚合物介电材料上。

[0064] 在图4I中,在重分布层440的第二材料层内形成开口443,以暴露第二导电路由层446的表面。在这一示例中,开口443暴露第二导电路由层446的触点区域。可准备好第二导电路由层446的暴露触点区域以用来连接至外部器件。在本公开的一个方面,第二导电路由层446的触点区域可根据球栅阵列(BGA)互连结构来配置。例如,第二导电路由层446的触点区域可被配置成接纳用于将球栅阵列(BGA)互连结构连接到外部器件的底部填充互连层。

[0065] 在图4J中,可在开口443中沉积导电材料,以实现HDF0封装结构400至外部器件的连接。在这一安排中,底部填充互连层448(例如,凸块下金属化(UBM)层、晶种层等)被沉积在开口443中以及第二导电路由层446的触点区域470b上。底部填充互连层448可被配置成接纳用于连接至外部器件的第一导电互连(例如,图4M的450)。

[0066] 在图4K中,可通过移除载体基板460来将HDF0封装结构400打薄成期望厚度。例如,可以移除载体基板460和其他层(例如,绝缘层462和/或触点层420的介电层的一部分)。这些层可通过平坦化工艺或其他工艺(例如,研磨、抛光或蚀刻)来移除。移除载体基板460和绝缘层462使触点层420的表面暴露。在触点层420的介电层内形成开口425,以暴露导电互连层430的导电部分之一430b上的阻挡内衬部分432b。开口445暴露阻挡内衬432的阻挡内

衬部分432b背向重分布层440的触点区域。这一暴露触点区域可被配置成与用于将有源管芯耦合至HDF0封装结构400的互连相接合。

[0067] 在图4L中,通过在开口425中沉积导电材料(例如,铜)来形成第一通孔422。第二导电互连(例如,图4M的第二导电互连410)的第一导电部分404(例如,导电迹线或触点焊盘)形成在第一通孔422和触点层420上。第一通孔422和第一导电部分404可通过双镶嵌工艺来形成。第一通孔422和第一导电部分304可以是底部填充互连层(例如,UBM层)。第一导电部分404可被配置成与用于将有源管芯耦合至HDF0封装结构400的导电柱或其他类似互连相耦合,如图4M所示。

[0068] 在图4M中,将有源管芯402经由第二导电互连410(例如,前侧)耦合至HDF0封装结构400。在本公开的一个方面,第二导电互连410具有柱形且包括第一导电部分304(例如,导电迹线或触点焊盘)、第二导电部分306(例如,焊料材料)和第三导电部分308(例如,有源管芯302的导电柱)。在这一安排中,第一导电部分404、第二导电部分406和第三导电部分408的组合形成有源管芯402与HDF0封装结构400之间的导电柱互连。

[0069] 图5A-5F解说了根据本公开的诸方面的处于各种制造阶段的另一HDF0封装结构500。类似于图4A-4M,图5A-5F解说了用于制造HDF0封装结构500的顺序过程。

[0070] 以图5A开始,提供第一载体基板(例如,半导体晶片)560。绝缘层562可被沉积在第一载体基板560的表面544上。触点层520的第一介电层可被沉积在绝缘层562上。触点层520的第一介电层可以是包括氧化物、氮化物或其他类似的绝缘体材料的钝化层并且可将信号绝缘以及保护各种电路和导电元件。

[0071] 在图5B中,在触点层520的第一介电层上沉积用于在重分布层与有源管芯之间路由信号的导电互连层530。例如,导电互连层530可以是包括导电部分的第一BEOL互连层(例如,M1)。触点层520的第二介电层被沉积在第一介电层和导电互连层530上。类似于导电部分420a、420b和420c,导电部分520a、520b、520c可被阻挡内衬532(532a、532b、532c)部分地围绕。阻挡内衬532(例如,来自制造厂)可以是钽或其他合适的阻挡材料。

[0072] 类似于图4D-4I,图5C解说了重分布层540,其形成在触点层520上且耦合至导电互连层530的导电部分530b。如所提及的,在将一个或多个有源管芯附连至HDF0封装结构500之前形成重分布层540。形成重分布层540包括形成导电路由层(例如,542、546)并藉由通孔(例如,524、544)或其他类似互连来互连导电路由层(例如,542、546)。

[0073] 例如,在触点层520上形成第一导电路由层542(例如,M2)并使用第二通孔524(例如,V1)来将其耦合至导电互连层530的导电部分530b。在第一聚合物介电层上形成第二导电路由层546(例如,M3)并使用第三通孔524(例如,V2)来将其耦合至第一导电路由层526。

[0074] 第二导电路由层546的触点区域可耦合至用于将HDF0封装结构500连接到一个或多个外部器件的导电互连。在本公开的一个方面,第二导电路由层546的触点区域可根据球栅阵列(BGA)互连结构来配置。例如,第二导电路由层546的触点区域可被配置成接纳用于将球栅阵列(BGA)互连结构连接到一个或多个外部器件的焊料互连。在本公开的一个方面,在第二导电路由层546的触点区域上沉积底部填充互连层548(例如,背侧UBM层)。例如,底部填充互连层548可沉积在第二导电路由层546的触点区域上。

[0075] 在本公开的一些方面,可将第二载体基板570附连至HDF0封装结构500(如图5D所示)以执行其余过程。

[0076] 在图5D中,移除HDF0封装结构500的层以使HDF0封装结构500达到期望厚度。HDF0封装结构500的层在第二载体基板570的支持下被移除。如所提及的,在移除这些层时,第二载体基板570提供对HDF0封装结构500的支持。第二载体基板570可被附连至HDF0封装结构500的暴露表面,该暴露表面与被移除的第一载体基板560相对。例如,第二载体基板570可被配置成提供结构刚性或基底以移除第一载体基板560和其他层(例如,绝缘层562、以及触点层520的介电层)。这些层可通过平坦化工艺或其他类似工艺(例如,研磨、抛光或蚀刻)来移除。

[0077] 替换地,移除层可包括移除第一载体基板560和绝缘层562,以暴露触点层520的表面,如图5E所示。

[0078] 在图5E中,通过一个或多个互连将有源管芯502耦合至HDF0封装结构500。在这一安排中,第一通孔522(例如,V0)被形成在触点层520内。第一通孔522可以用晶种层或底部填充互连层504作衬里。第一通孔522与用于将有源管芯耦合至HDF0封装结构500的第二导电互连510对齐。例如,可在底部填充互连层504上沉积焊料材料以与用于将有源管芯502耦合至HDF0封装结构500的触点焊盘508耦合。

[0079] 在图5F中,模封材料580被耦合至有源管芯502的与重分布层540相对的表面。应当认识到,根据本公开的诸方面,HDF0封装结构不限于图4A-4M和5A到5F所示的层数。

[0080] 图6是解说根据本公开的一个方面的用于制造高密度扇出(HDF0)封装结构的方法600的流程图。在框602,在载体基板上制造触点层。该触点层包括具有在第一表面上的阻挡内衬的导电互连层(例如,如图3和4M所示)。在框604,制造重分布层(RDL)。RDL包括配置成将第一导电互连耦合至该导电互连层的导电路由层。在框606,在移除该载体基板之后在该触点层中的开口内沉积导电材料,以在该阻挡内衬上形成第一通孔。例如,如图4K和4L所示,在移除载体基板460之后形成第一通孔422。在框608,使用第二导电互连来将有源管芯附连至该通孔。在这一安排中,导电互连层430的第一表面上的阻挡内衬432面向有源管芯402(例如,如图4M所示)。

[0081] 在一个配置中,高密度扇出封装(HDF0)封装结构包括用于将第一导电互连耦合至导电互连层的装置。在这一配置中,该导电互连层的第二表面面向该耦合装置且该导电互连层的第一表面面向有源管芯。在本公开的一个方面,该耦合装置是图4M和5F的重分布层440/550,其被配置成执行由该耦合装置叙述的功能。在另一方面,前述装置可以是配置成执行由前述装置叙述的功能的器件或任何层。

[0082] 根据本公开的诸方面,HDF0封装结构包括多个有源管芯或单个芯片结构。HDF0封装结构可根据芯片最后附连工艺来制造。芯片最后附连工艺包括在形成重分布层之后将有源管芯附连至HDF0封装结构。例如,可在附连有源管芯之前通过测试来验证重分布层,以避免附连至有缺陷的重分布层。

[0083] 在本公开的一个方面,HDF0封装结构包括触点层,该触点层包括导电互连层。导电互连层可包括面向有源管芯的第一表面和面向重分布层的第二表面。第一导电互连(例如,球栅阵列(BGA))可将该HDF0封装结构耦合至外部器件。导电内衬可被布置在该导电互连层的第一表面上。导电内衬可以是由钽制成的阻挡或晶种内衬。阻挡内衬可在形成(例如,电镀)至有源管芯的互连期间提供对导电互连层的保护。

[0084] 重分布层(RDL)耦合至触点层的导电互连层。重分布层可以是扇出路由层。重分布

层包括配置成将第一导电互连耦合至导电互连层的导电路由层。如所提及的，在附连有源管芯之前形成重分布层，以避免在形成重分布层期间损坏有源管芯。重分布层可以是形成在全厚度晶片上的背侧重分布层(BRDL)。在背侧重分布层上实现HDF0封装结构提高了有源管芯的成品率并减少了HDF0封装结构的翘曲。

[0085] 通孔可被耦合至阻挡内衬，以互连该有源管芯的第二导电互连。该导电材料可包括一个或多个导电互连。例如，第二导电材料可包括凸块下导电互连、焊料材料和/或导电柱。凸块下导电互连可布置在导电层内的开口中，该开口暴露阻挡内衬的表面。导电柱可耦合至该管芯的触点焊盘。焊料材料在凸块下导电互连与导电柱之间。凸块下导电互连和导电柱可以是铜。

[0086] 图7是示出其中可有利地采用本公开的一方面的示例性无线通信系统700的框图。出于解说目的，图7示出了三个远程单元720、730和750以及两个基站740。将认识到，无线通信系统可具有多得多的远程单元和基站。远程单元720、730和750包括IC器件725A、725C和725B，这些IC器件包括所公开的HDF0封装结构。将认识到，其他设备也可包括所公开的HDF0封装结构，诸如基站、交换设备、和网络装备。图7示出了从基站740到远程单元720、730和750的前向链路信号780，以及从远程单元720、730和750到基站740的反向链路信号790。

[0087] 在图7中，远程单元720被示为移动电话，远程单元730被示为便携式计算机，并且远程单元750被示为无线本地环路系统中的固定位置远程单元。例如，远程单元720、730和750可以是移动电话、手持式个人通信系统(PCS)单元、通信设备、便携式数据单元(诸如个人数据助理(PDA))、启用GPS的设备、导航设备、机顶盒、音乐播放器、视频播放器、娱乐单元、固定位置数据单元(诸如仪表读数装备)、或者存储或检索数据或计算机指令的其他设备、或者其组合。尽管图7解说了根据本公开的诸方面的远程单元，但是本公开并不被限定于所解说了的这些示例性单元。本公开的诸方面可以合适地在包括所公开的器件的许多设备中使用。

[0088] 图8是解说用于半导体组件(诸如以上所公开的器件)的电路、布局和逻辑设计的设计工作站的框图。设计工作站800包括硬盘802，该硬盘802包含操作系统软件、支持文件、以及设计软件(诸如Cadence或OrCAD)。设计工作站800还包括显示器804以促成对电路806或半导体组件808(诸如HDF0封装结构)的设计。提供存储介质810以用于有形地存储电路806或半导体组件808的设计。电路806或半导体组件808的设计可以用文件格式(诸如GDSII或GERBER)存储在存储介质810上。存储介质810可以是CD-ROM、DVD、硬盘、闪存、或其他合适的设备。此外，设计工作站800包括用于从存储介质810接受输入或者将输出写到存储介质810的驱动装置812。

[0089] 存储介质810上记录的数据可指定逻辑电路配置、用于光刻掩模的图案数据、或用于串写工具(诸如电子束光刻)的掩模图案数据。该数据可进一步包括与逻辑仿真相关联的逻辑验证数据，诸如时序图或网电路。在存储介质810上提供数据通过减少用于设计半导体晶片的工艺数量来促成电路806或半导体组件808的设计。

[0090] 对于固件和/或软件实现，这些方法体系可以用执行本文中所描述的功能的模块(例如，规程、函数等等)来实现。有形地体现指令的机器可读介质可被用来实现本文中所描述的方法体系。例如，软件代码可被存储在存储器中并由处理器单元来执行。存储器可在处理器单元内或在处理器单元外部实现。如本文中所使用的，术语“存储器”是指长期、短期、

易失性、非易失性类型存储器、或其他存储器，而并不限于特定类型的存储器或存储器数量、或记忆存储在其上的介质的类型。

[0091] 如果以固件和/或软件实现，则功能可作为一条或多条指令或代码存储在计算机可读介质上。示例包括编码有数据结构的计算机可读介质和编码有计算机程序的计算机可读介质。计算机可读介质包括物理计算机存储介质。存储介质可以是能被计算机存取的可用介质。作为示例而非限定，此类计算机可读介质可包括RAM、ROM、EEPROM、CD-ROM或其他光盘存储、磁盘存储或其他磁存储设备、或能被用来存储指令或数据结构形式的期望程序代码且能被计算机访问的其他介质；如本文中所使用的盘(disk)和碟(disc)包括压缩碟(CD)、激光碟、光碟、数字多用碟(DVD)和蓝光碟，其中盘往往磁性地再现数据，而碟用激光光学地再现数据。上述的组合应当也被包括在计算机可读介质的范围内。

[0092] 除了存储在计算机可读介质上，指令和/或数据还可作为包括在通信装置中的传输介质上的信号来提供。例如，通信装置可包括具有指示指令和数据的信号的收发机。这些指令和数据被配置成使一个或多个处理器实现权利要求中叙述的功能。

[0093] 尽管已详细描述了本公开及其优势，但是应当理解，可在本文中作出各种改变、替代和变更而不会脱离如由所附权利要求所定义的本公开的技术。例如，诸如“上方”和“下方”之类的关系术语是关于基板或电子器件使用的。当然，如果该基板或电子器件被颠倒，则上方变成下方，反之亦然。此外，如果是侧面取向的，则上方和下方可指代基板或电子器件的侧面。而且，本申请的范围并非旨在被限定于说明书中所描述的过程、机器、制造、物质组成、装置、方法和步骤的特定配置。如本领域的普通技术人员将容易从本公开领会到的，根据本公开，可以利用现存或今后开发的与本文所描述的相应配置执行基本相同的功能或实现基本相同结果的过程、机器、制造、物质组成、装置、方法或步骤。因此，所附权利要求旨在将这样的过程、机器、制造、物质组成、装置、方法或步骤包括在其范围内。

[0094] 技术人员将进一步领会，结合本文的公开所描述的各种解说性逻辑框、模块、电路、和算法步骤可被实现为电子硬件、计算机软件、或两者的组合。为清楚地解说硬件与软件的这一可互换性，各种解说性组件、块、模块、电路、以及步骤在上面是以其功能性的形式作一般化描述的。此类功能性是被实现为硬件还是软件取决于具体应用和施加于整体系统的设计约束。技术人员可针对每种特定应用以不同方式来实现所描述的功能性，但此类实现决策不应被解读为致使脱离本公开的范围。

[0095] 结合本文的公开所描述的各种解说性逻辑框、模块、以及电路可用设计成执行本文中描述的功能的通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其他可编程逻辑器件、分立的门或晶体管逻辑、分立的硬件组件、或其任何组合来实现或执行。通用处理器可以是微处理器，但在替换方案中，处理器可以是任何常规的处理器、控制器、微控制器、或状态机。处理器还可被实现为计算设备的组合，例如，DSP与微处理器的组合、多个微处理器、与DSP核心协同的一个或多个微处理器、或者任何其他此类配置。

[0096] 结合本公开所描述的方法或算法的步骤可直接在硬件中、在由处理器执行的软件模块中、或在这两者的组合中体现。软件模块可驻留在RAM、闪存、ROM、EPROM、EEPROM、寄存器、硬盘、可移动盘、CD-ROM或本领域中所知的任何其他形式的存储介质中。示例性存储介质耦合至处理器以使得该处理器能从/向该存储介质读写信息。在替换方案中，存储介质可

以被整合到处理器。处理器和存储介质可驻留在ASIC中。ASIC可驻留在用户终端中。替换地，处理器和存储介质可作为分立组件驻留在用户终端中。

[0097] 在一个或多个示例性设计中，所描述的功能可以在硬件、软件、固件、或其任何组合中实现。如果在软件中实现，则各功能可以作为一条或多条指令或代码存储在计算机可读介质上或藉其进行传送。计算机可读介质包括计算机存储介质和通信介质两者，包括促成计算机程序从一地向另一地转移的任何介质。存储介质可以是可被通用或专用计算机访问的任何可用介质。作为示例而非限定，这样的计算机可读介质可以包括RAM、ROM、EEPROM、CD-ROM或其他光盘存储、磁盘存储或其他磁存储设备、或能被用来携带或存储指令或数据结构形式的指定程序代码手段且能被通用或专用计算机、或者通用或专用处理器访问的任何其他介质。任何连接也被正当地称为计算机可读介质。例如，如果软件是使用同轴电缆、光纤电缆、双绞线、数字订户线(DSL)、或诸如红外、无线电、以及微波之类的无线技术从web网站、服务器、或其他远程源传送而来，则该同轴电缆、光纤电缆、双绞线、DSL、或诸如红外、无线电、以及微波之类的无线技术就被包括在介质的定义之中。如本文中所使用的盘(disk)和碟(disc)包括压缩碟(CD)、激光碟、光碟、数字多用碟(DVD)和蓝光碟，其中盘(disk)往往以磁的方式再现数据而碟(disc)用激光以光学方式再现数据。上述的组合应当也被包括在计算机可读介质的范围内。

[0098] 提供对本公开的先前描述是为使得本领域任何技术人员皆能够制作或使用本公开。对本公开的各种修改对本领域技术人员而言将容易是显而易见的，并且本文中所定义的普适原理可被应用到其他变型而不会脱离本公开的精神或范围。因此，本公开并非旨在被限定于本文中所描述的示例和设计，而是应被授予与本文中所公开的原理和新颖性特征相一致的最广范围。

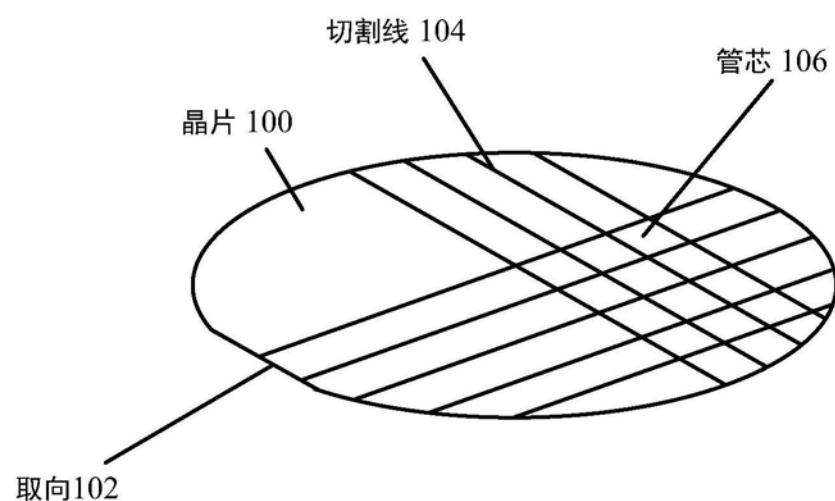


图1

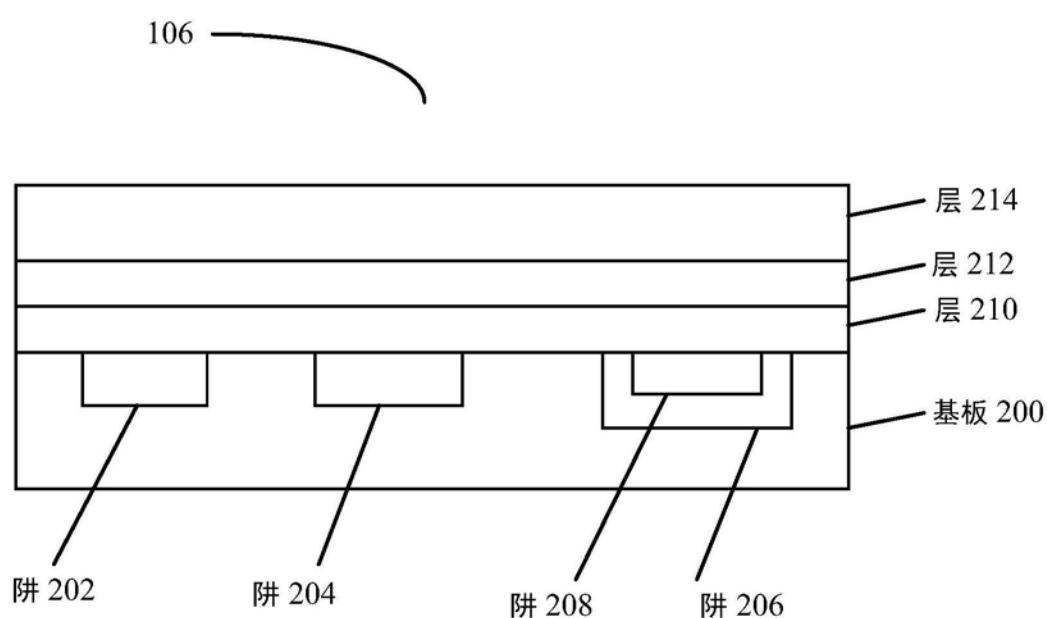


图2

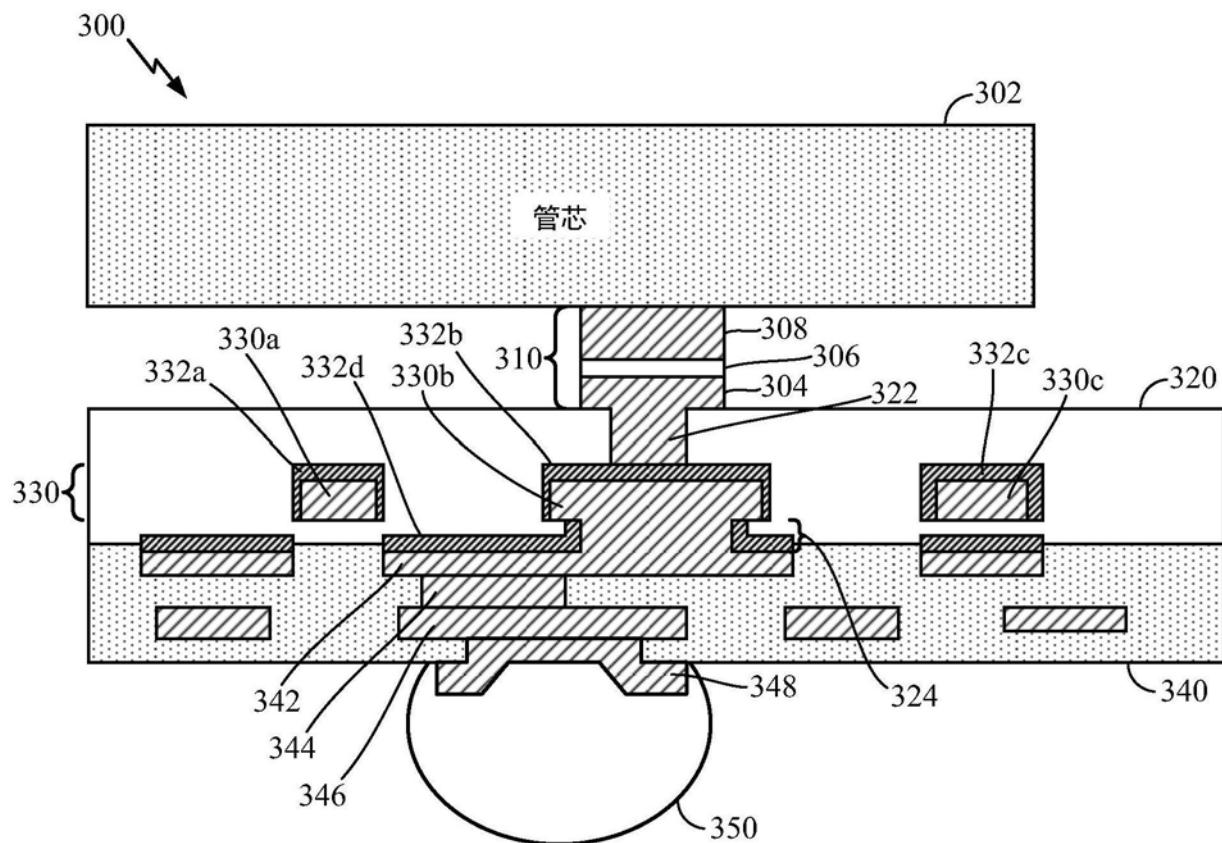


图3

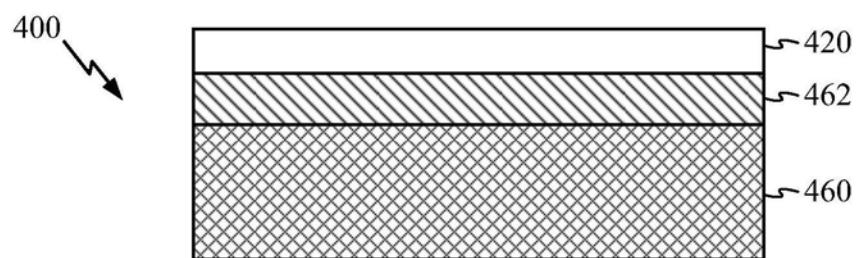


图4A

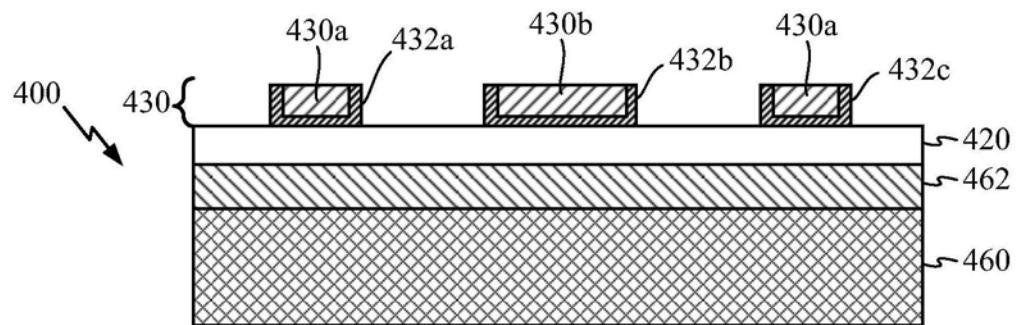


图4B

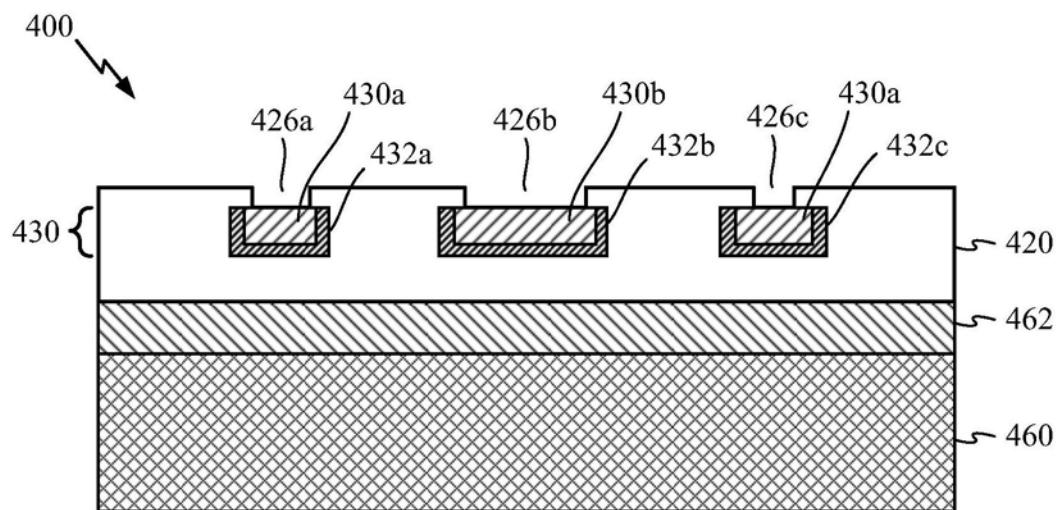


图4C

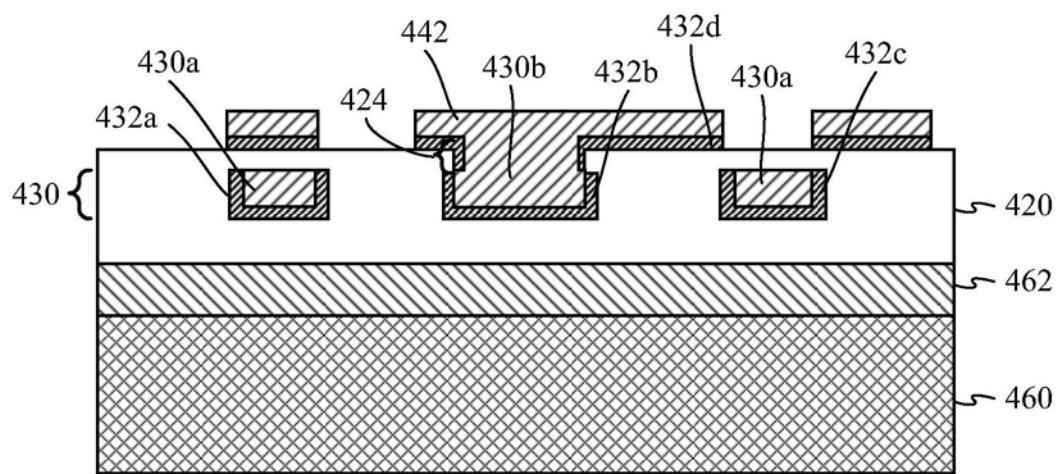


图4D

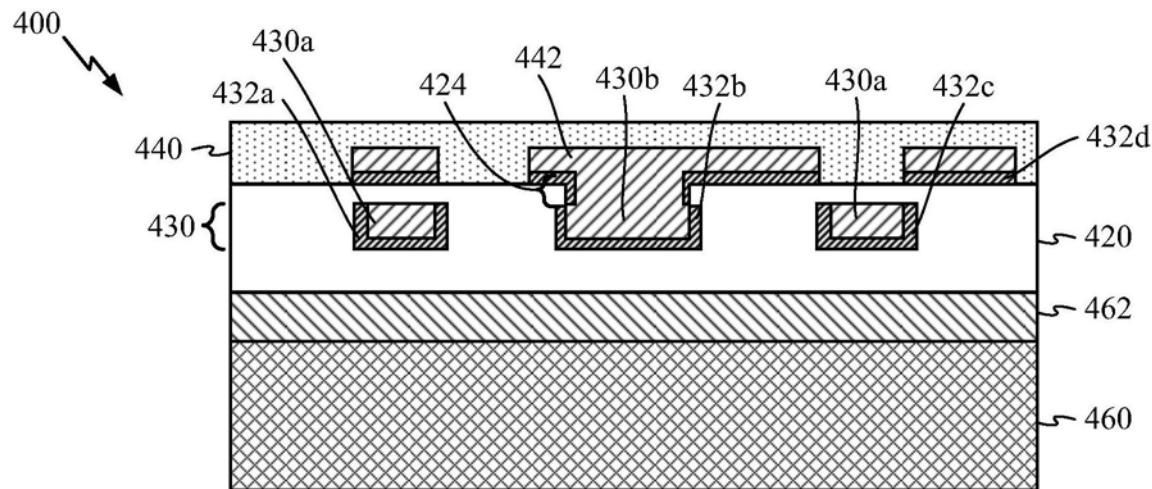


图4E

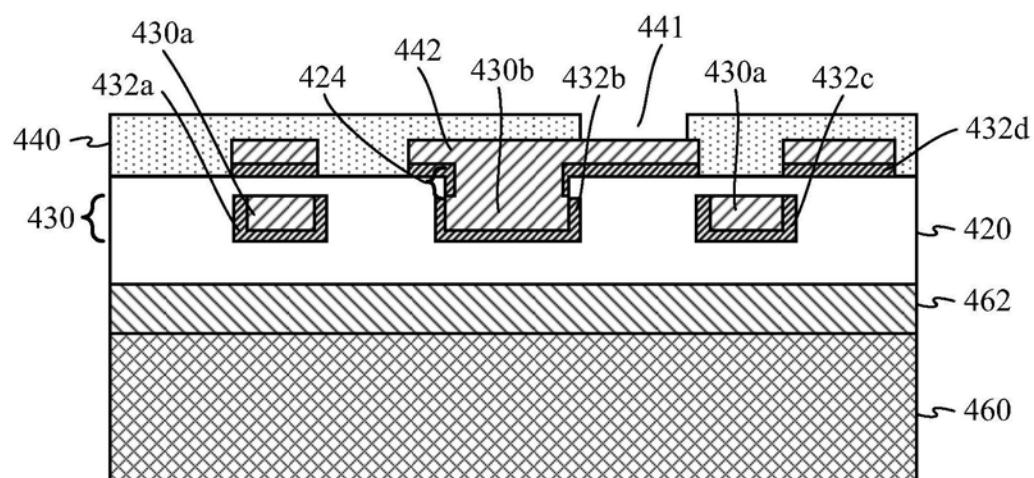


图4F

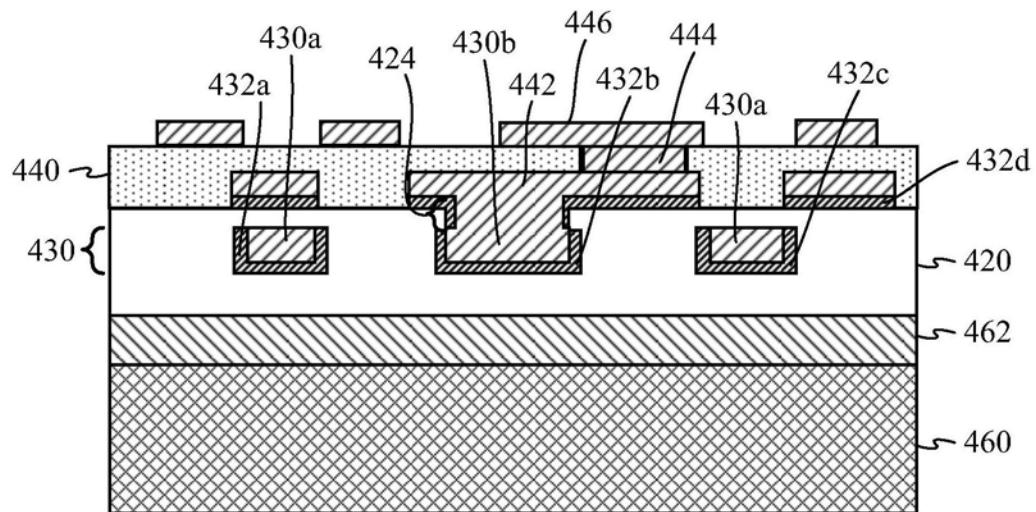


图4G

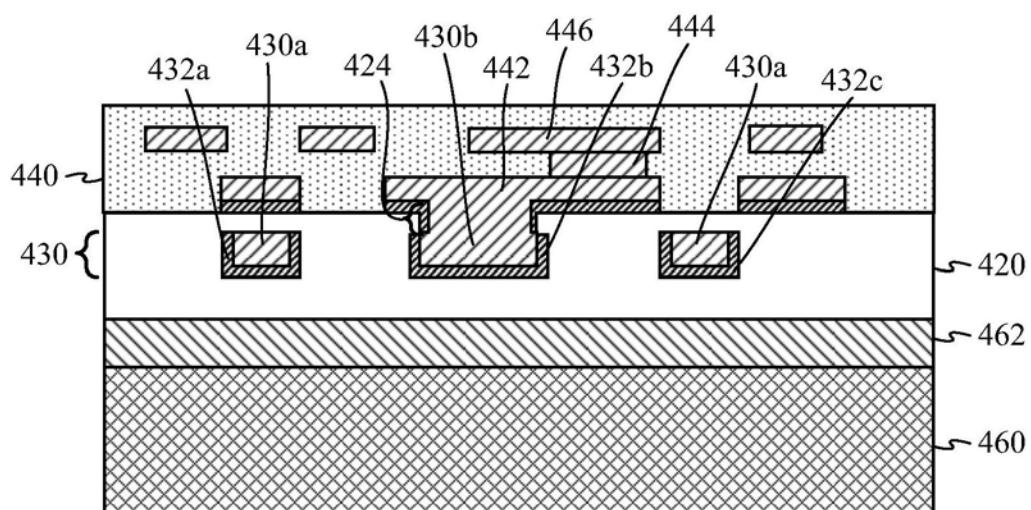


图4H

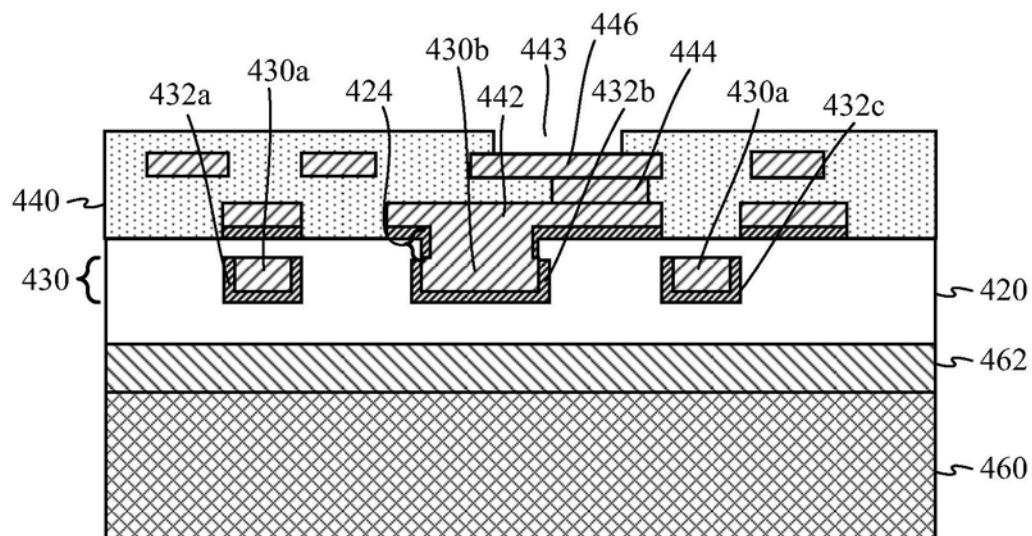


图4I

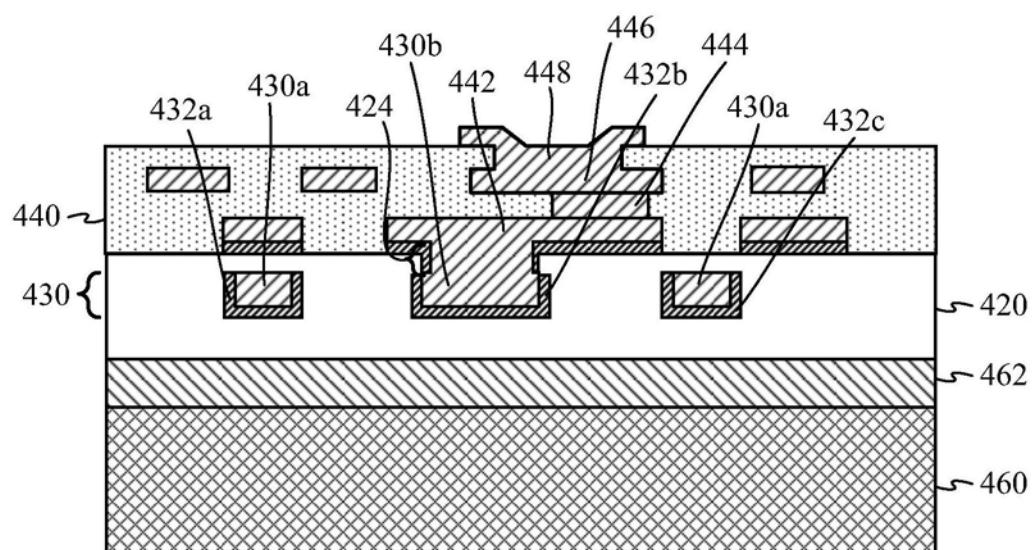


图4J

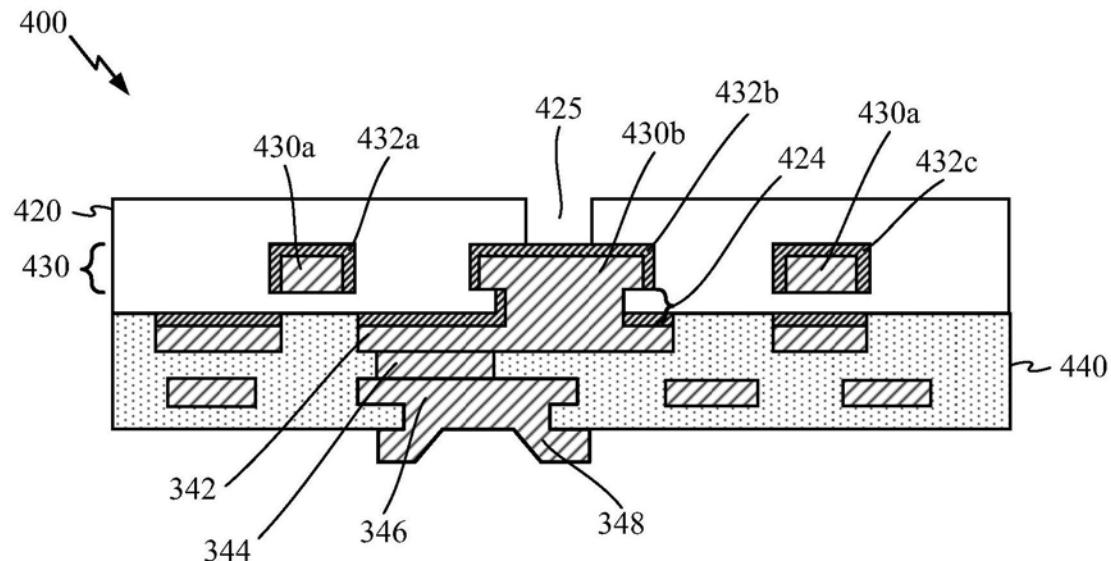


图4K

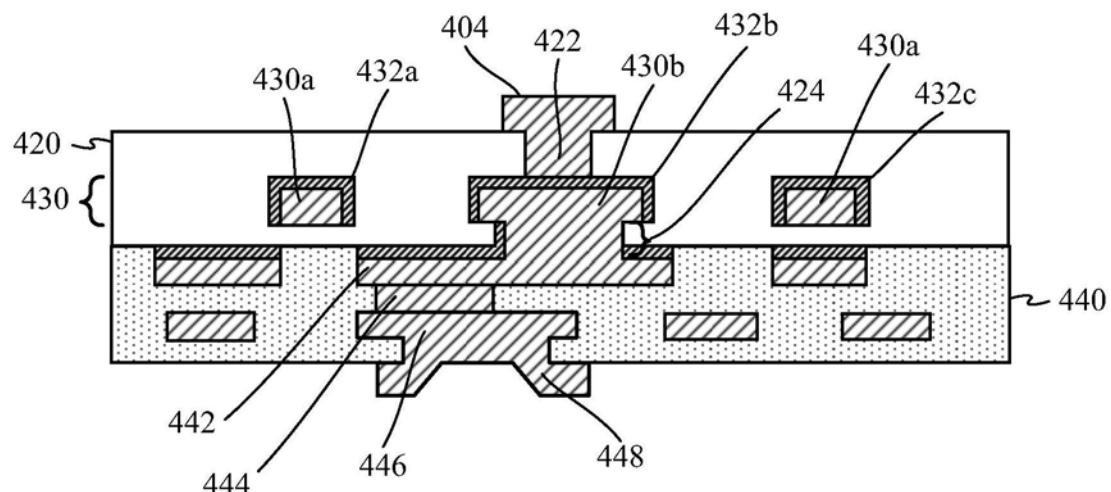


图4L

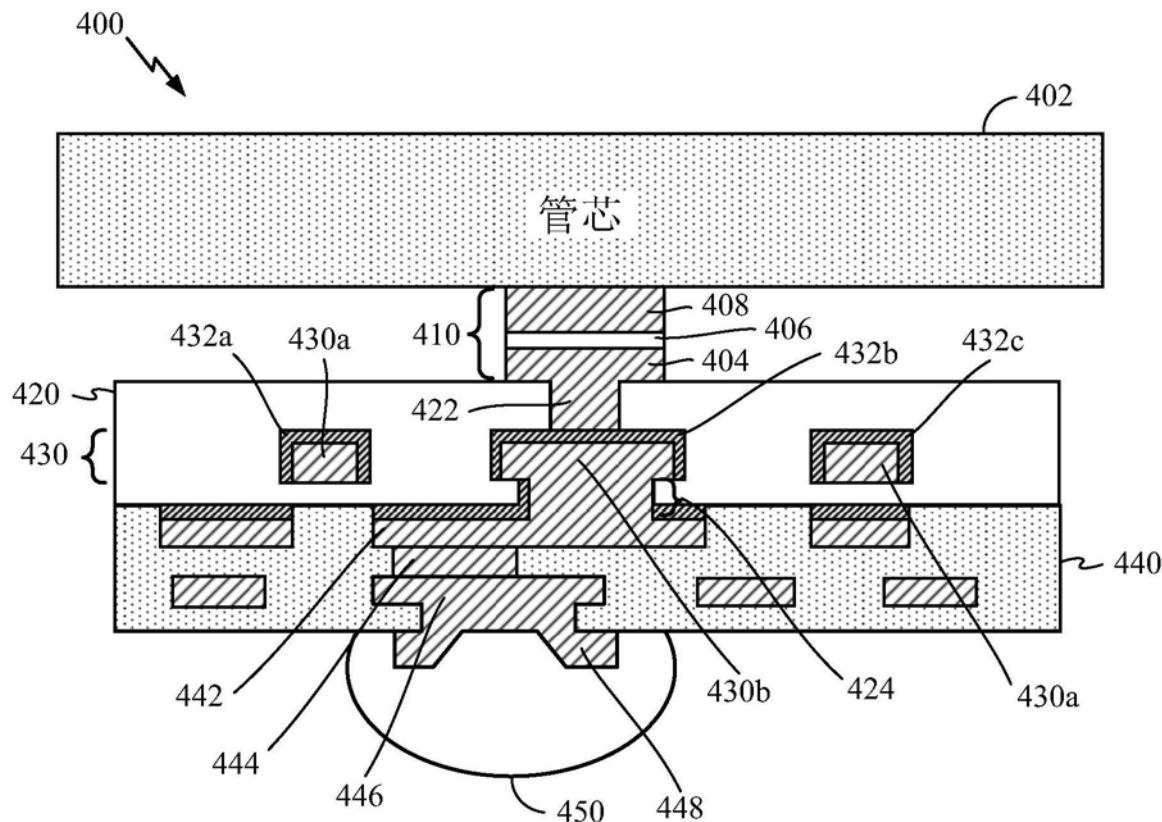


图4M

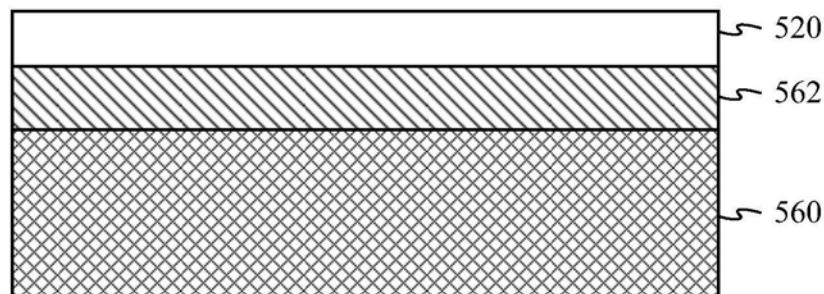


图5A

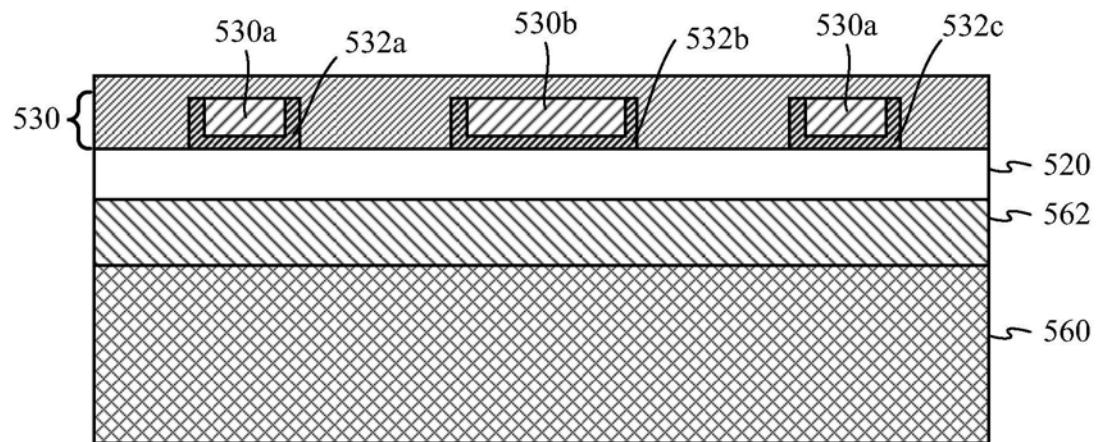


图5B

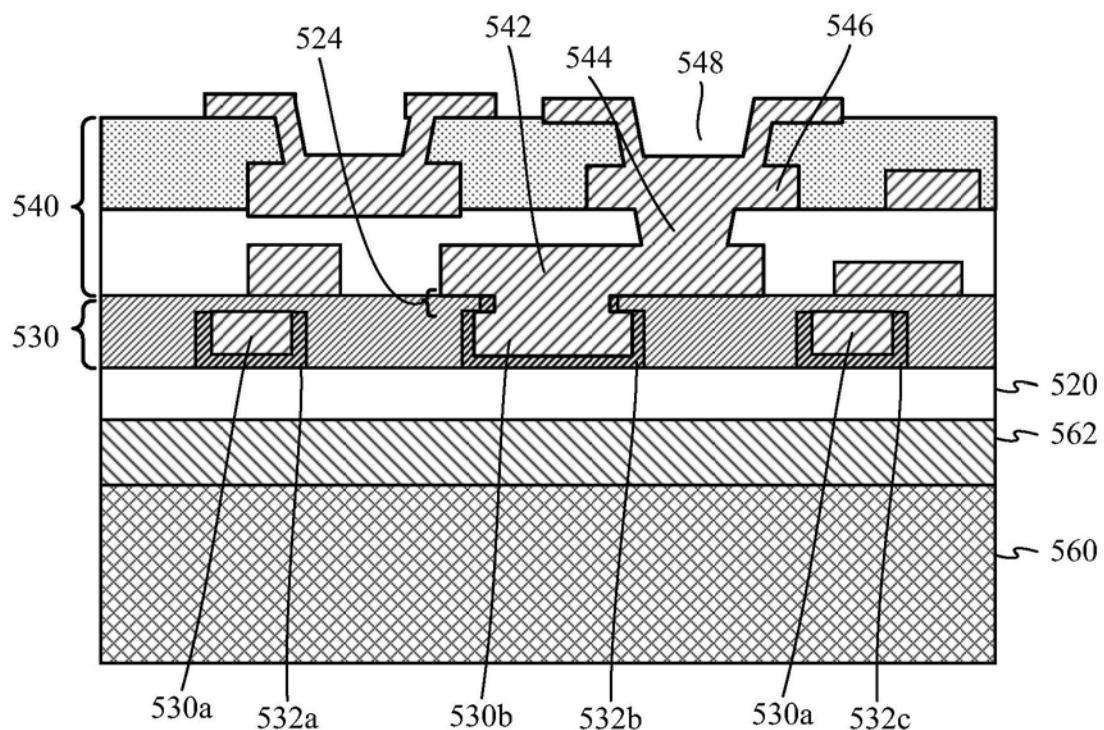


图5C

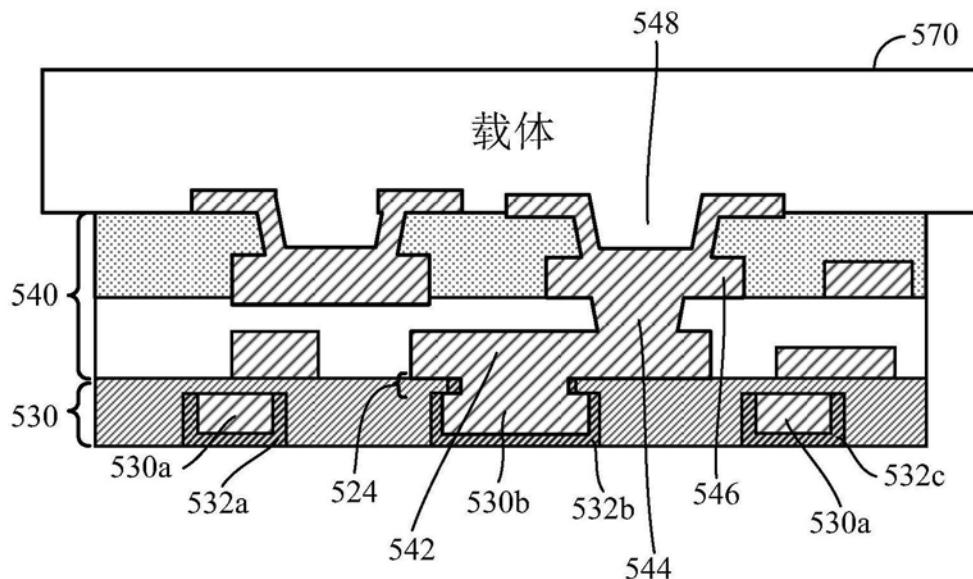


图5D

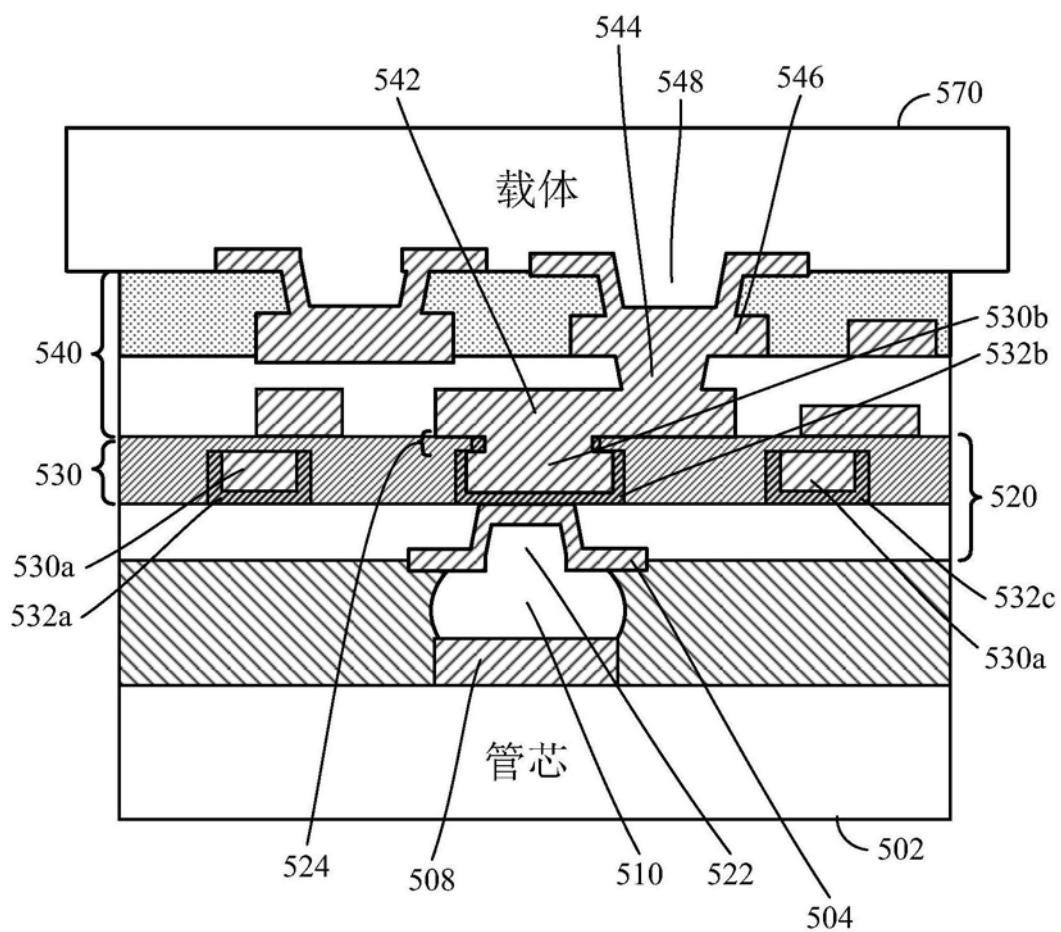


图5E

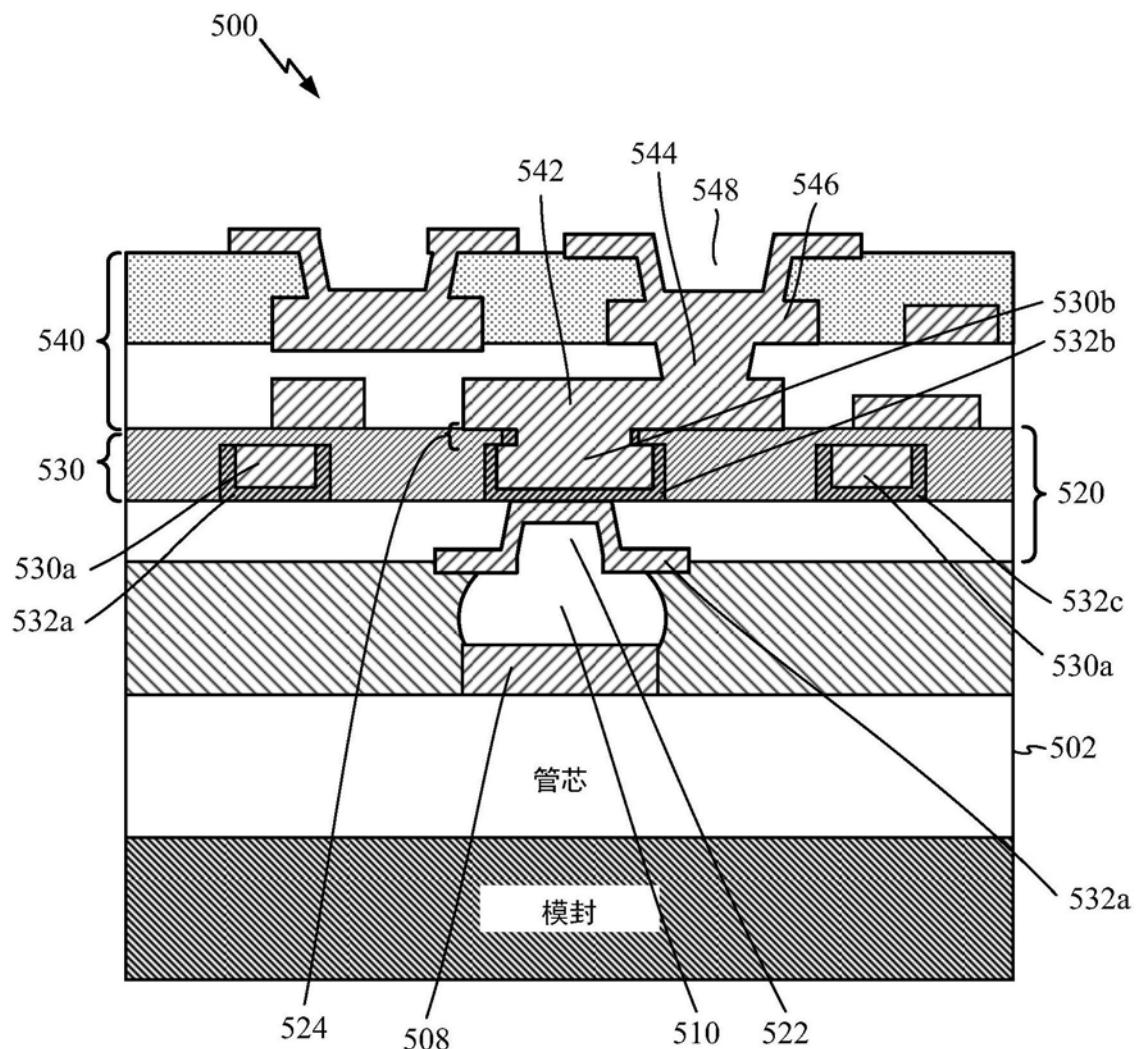


图5F

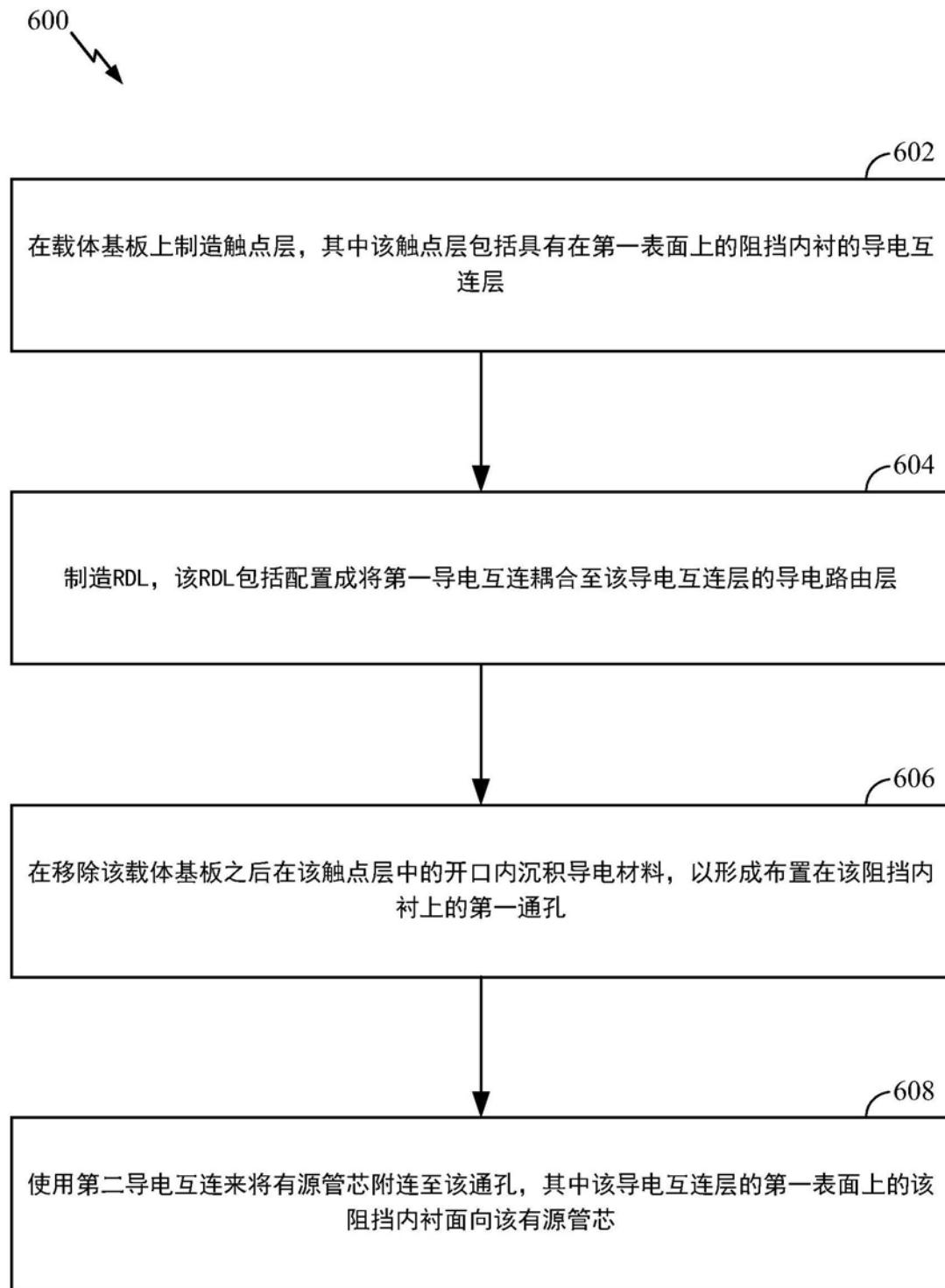


图6

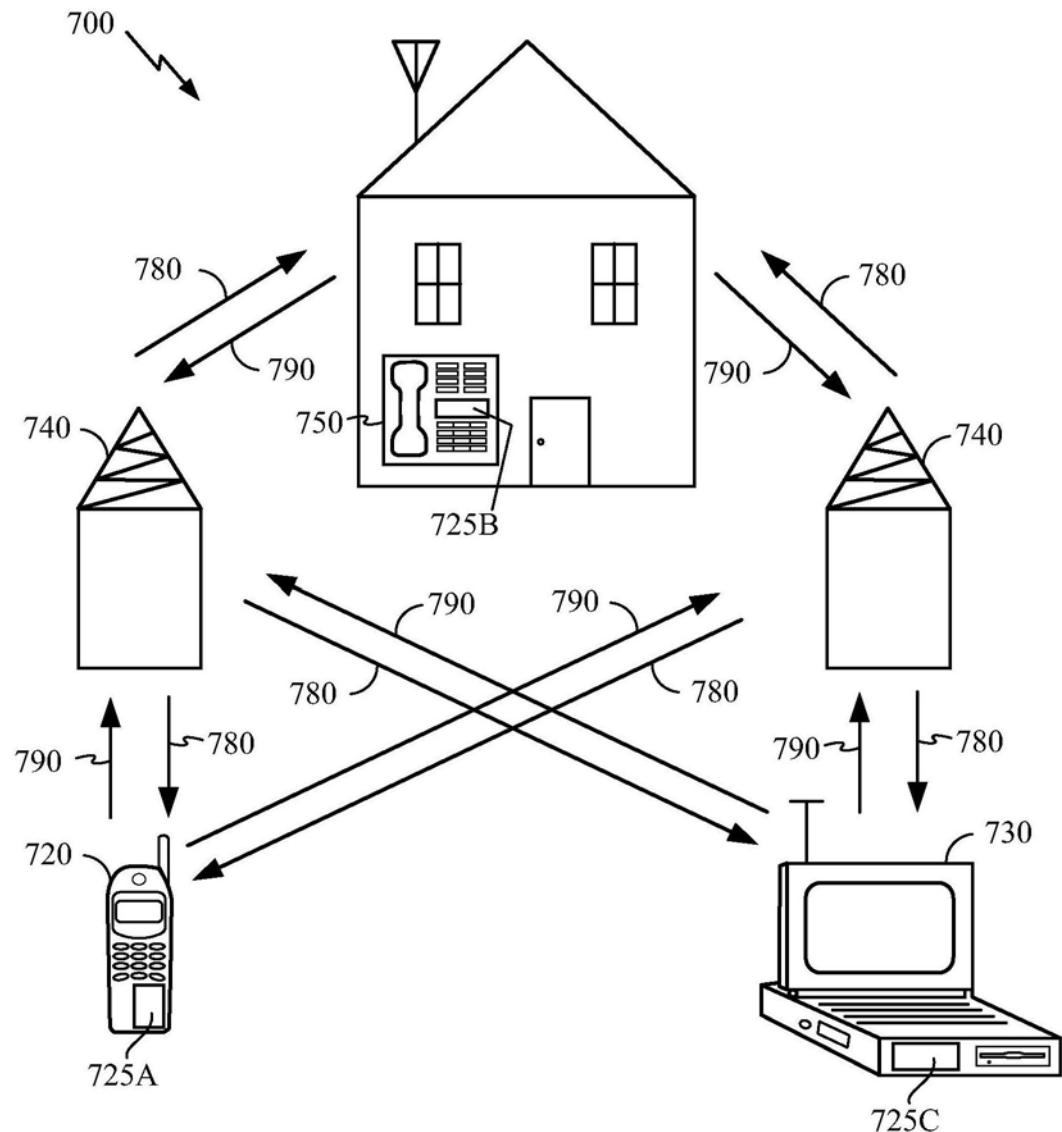


图7

设计工作站 800

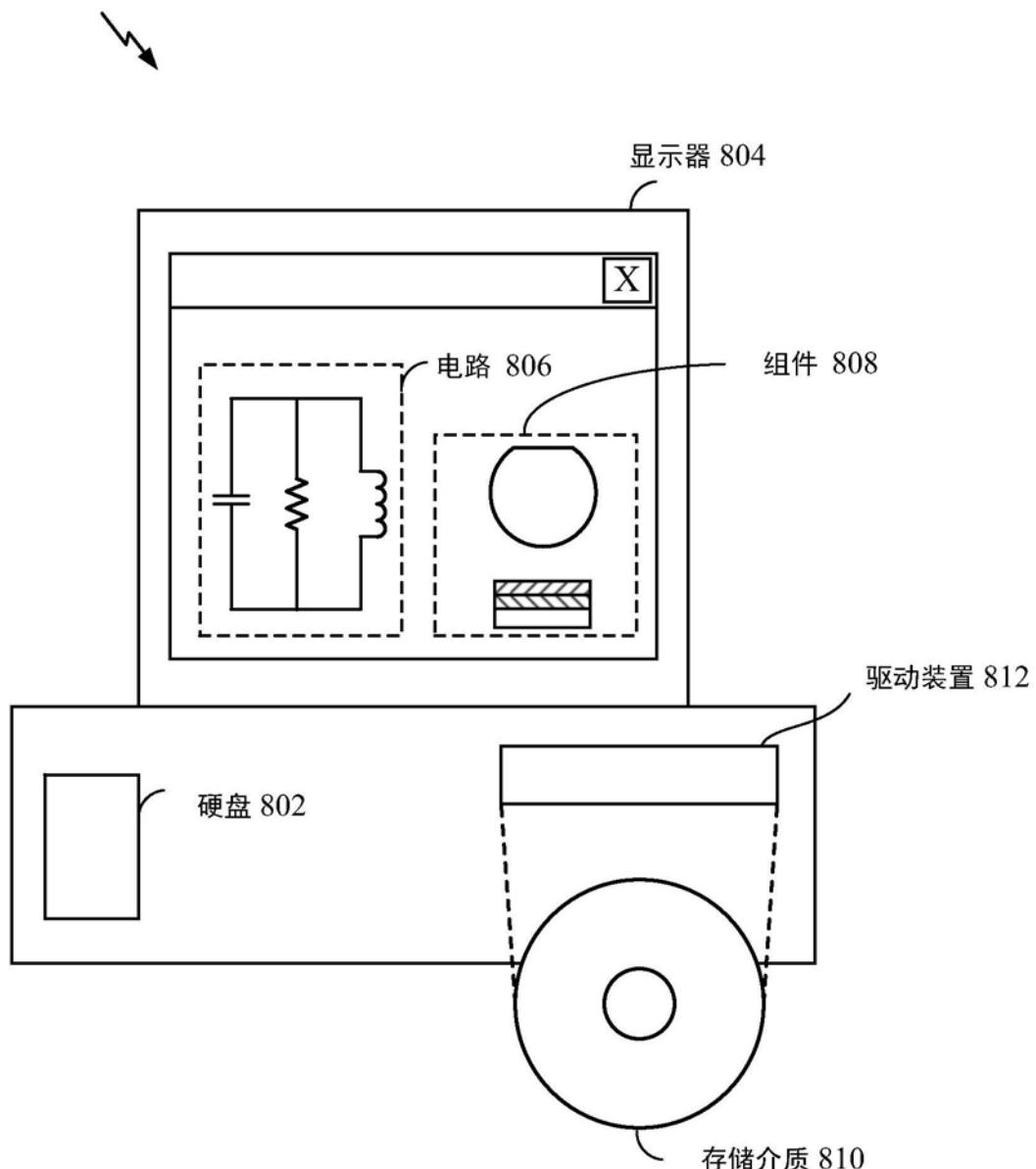


图8