

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 23 年 3 月 31 日 (2011.3.31)

【公開番号】特開 2008-295035 (P2008-295035A)
 【公開日】平成 20 年 12 月 4 日 (2008.12.4)
 【年通号数】公開・登録公報 2008-048
 【出願番号】特願 2008-111133 (P2008-111133)
 【国際特許分類】

H 0 4 L 7/02 (2006.01)

【F I】

H 0 4 L 7/02 Z

【手続補正書】

【提出日】平成 23 年 2 月 15 日 (2011.2.15)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

入力された信号における第 1 のエッジを検出する機能と、同期信号を出力する機能と、を有するエッジ検出回路と、

基準クロック信号を出力する機能を有する基準クロック信号生成回路、

前記基準クロック信号における第 2 のエッジをカウントする機能と、前記同期信号に従って前記カウントした値をリセットする機能と、前記カウントした値の第 1 のデータ信号を出力する機能と、を有するカウンタ回路と、

前記第 1 のデータ信号に従って第 1 のデューティ比及び第 2 のデューティ比を選択して第 2 のデータ信号を出力する機能を有するデューティ比選択回路と、

前記第 2 のデータ信号に従って前記基準クロック信号を分周することによって、前記第 1 のデューティ比を持つ第 1 のクロック信号及び前記第 2 のデューティ比を持つ第 2 のクロック信号を出力する機能を有する分周回路と、を有することを特徴とするクロック信号生成回路。

【請求項 2】

請求項 1 において、

前記デューティ比選択回路は、前記第 1 のデューティ比における一周期間の各ロウ期間の長さと、前記第 2 のデューティ比における一周期間の各ロウ期間の長さと、の差が最も小さくなるように、前記第 1 のデューティ比及び前記第 2 のデューティ比を選択することを特徴とするクロック信号生成回路。

【請求項 3】

請求項 1 又は請求項 2 において、

前記第 1 のデューティ比及び前記第 2 のデューティ比の設定ができない場合において再変換処理を行うことを特徴とするクロック信号生成回路。

【請求項 4】

入力された信号のエッジを検出するエッジ検出回路と、

基準クロック信号を生成する基準クロック信号生成回路と、

前記エッジ検出回路から出力された信号に従って前記基準クロック信号のエッジの数をカウントするカウンタ回路と、

前記カウンタ回路における前記基準クロック信号のカウント値に従って所定のデューテ

イー比を選択するデューティー比選択回路と、

前記基準クロック信号を分周し、前記デューティー比選択回路により選択された前記所定のデューティー比であるクロック信号を生成する分周回路と、を有することを特徴とするクロック信号生成回路。

【請求項 5】

入力された信号のエッジを検出するエッジ検出回路と、

基準クロック信号を生成する基準クロック信号生成回路と、

前記エッジ検出回路から出力された信号に従って前記基準クロック信号のエッジの数をカウントするカウンタ回路と、

前記カウンタ回路における前記基準クロック信号のカウント値に従って第 1 のデューティー比と第 2 のデューティー比とを選択するデューティー比選択回路と、

前記基準クロック信号を分周し、前記デューティー比選択回路により選択された前記第 1 のデューティー比を持つ第 1 のクロック信号及び前記デューティー比選択回路により選択された前記第 2 のデューティー比を持つ第 2 のクロック信号を生成する分周回路と、を有することを特徴とするクロック信号生成回路。

【請求項 6】

請求項 5において、

前記デューティー比選択回路は、前記第 1 のデューティー比における一周期間の各ロウ期間の長さと、前記第 2 のデューティー比における一周期間の各ロウ期間の長さと、の差が最も小さくなるように、前記第 1 のデューティー比及び前記第 2 のデューティー比を選択することを特徴とするクロック信号生成回路。

【請求項 7】

請求項 4 乃至請求項 6 のいずれか一項において、

前記デューティー比選択回路は、複数のデューティー比のデータが記憶された記憶部と、

前記カウンタ回路から入力された前記カウント値を判定し、前記カウント値に基づいて前記記憶部から一つのデューティー比のデータを選択し、前記分周回路に出力するデューティー比選択部と、を有することを特徴とするクロック信号生成回路。

【請求項 8】

請求項 4 乃至請求項 7 のいずれか一項において、

前記エッジ検出回路は、カウンタ回路、ラッチ回路、NOT 回路、AND 回路、OR 回路、NAND 回路、NOR 回路、EXOR 回路、又は EX-NOR 回路のいずれかを組み合わせたものであることを特徴とするクロック信号生成回路。

【請求項 9】

請求項 4 乃至請求項 8 のいずれか一項に記載のクロック信号生成回路と、RF 回路と、ロジック回路と、を有することを特徴とする半導体装置。