



(12) 发明专利

(10) 授权公告号 CN 101218683 B

(45) 授权公告日 2012. 11. 14

(21) 申请号 200680025128. 7

(22) 申请日 2006. 07. 11

(30) 优先权数据

60/698, 523 2005. 07. 11 US

11/484, 370 2006. 07. 10 US

(85) PCT申请进入国家阶段日

2008. 01. 09

(86) PCT申请的申请数据

PCT/US2006/026965 2006. 07. 11

(87) PCT申请的公布数据

W02007/008934 EN 2007. 01. 18

(73) 专利权人 派瑞格恩半导体有限公司

地址 美国加利福尼亚州

(72) 发明人 克里斯托弗·N·布林德尔

迈克尔·A·施图贝尔

迪伦·J·凯利 克林特·L·克默林

乔治·P·伊姆特恩

罗伯特·B·韦尔斯坦德

马克·L·伯格纳

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 李德山 高少蔚

(51) Int. Cl.

H01L 29/786 (2006. 01)

H01P 1/15 (2006. 01)

(56) 对比文件

US 6249027 B1, 2001. 06. 19, 第 3 栏第 60 行 - 第 4 栏第 16 行, 图 5.

CN 1256521 A, 2000. 06. 14, 说明书第 13 页第 20 行 - 第 14 页第 26 行, 图 8-9.

US 6804502 B2, 2004. 10. 12, 第 7 栏第 12- 第 9 栏第 43 行, 图 3.

US 2001/0015461 A, 2001. 08. 23, 第 6 页第 0150 段 - 第 7 页第 0153 段, 图 24、25.

US 2003/0205760 A1, 2003. 11. 06, 第 3 页第 0036 段 - 第 4 页第 0043 段, 图 7-9.

审查员 树奇

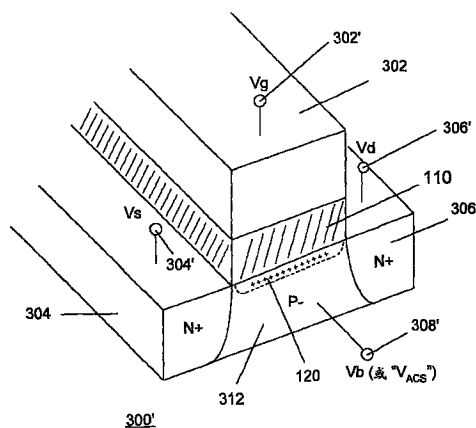
权利要求书 5 页 说明书 41 页 附图 30 页

(54) 发明名称

用累积电荷吸收器改进 MOSFET 的线性的方法和设备

(57) 摘要

公开了一种用于改进使用累积电荷吸收器 (ACS) 的 MOSFET 器件的线性特性的方法和设备。该方法和设备用于移除、减少或控制 SOIMOSFET 中的累积电荷, 从而产生 FET 性能特性的提高。在一个示例性实施例中, 具有至少一个 SOI MOSFET 的电路被配置成以累积电荷模式操作。当以累积电荷模式操作 FET 时, 实际连接到 SOI MOSFET 的体的累积电荷宿消除、移除或控制累积电荷, 从而减少 SOI MOSFET 的寄生关断源漏电容的非线性。在使用改进的 SOI MOSFET 器件实现的 RF 开关电路中, 当 SOI MOSFET 以累积电荷模式操作时, 通过移除或控制累积电荷来减少谐波和互调失真。



1. 一种累积电荷控制 (ACC) 浮体 MOSFET (ACC MOSFET), 用于在以累积电荷模式操作 MOSFET 时控制 MOSFET 的非线性响应, 包括:

a) 具有浮体的 MOSFET, 其中浮体 MOSFET 被偏置为有选择地以累积电荷模式操作, 并且其中当 MOSFET 以累积电荷模式操作时, 累积电荷出现在浮体 MOSFET 的体中; 和

b) 累积电荷吸收器 ACS, 工作时连接到 MOSFET 的体, 其中 ACS 控制 MOSFET 体中的累积电荷。

2. 如权利要求 1 所述的累积电荷控制浮体 MOSFET, 其中 MOSFET 包含栅极、漏极、源极和位于栅极和体之间的栅极氧化物层, 并且其中当 MOSFET 在关断状态 (非导电状态) 下操作时, MOSFET 被偏置为以累积电荷模式操作, 并且其中电荷在邻近栅极氧化物的区域中的体内累积。

3. 如权利要求 2 所述的累积电荷控制浮体 MOSFET, 其中 MOSFET 体包含沟道区, 该沟道区包含在源极和漏极之间的栅极调制导电沟道, 并且其中当 MOSFET 被偏置为在导通状态 (导电状态) 下操作时, 源极、漏极和沟道具有相同极性的载流子, 并且其中当 MOSFET 被偏置为在关断状态下操作并且当累积电荷具有的极性与源极、漏极和沟道载流子的极性相反时, MOSFET 被偏置为以累积电荷模式操作。

4. 如权利要求 1 所述的累积电荷控制浮体 MOSFET, 其中 ACS 通过从 MOSFET 体移除累积电荷来控制 MOSFET 体中的累积电荷。

5. 如权利要求 1 所述的累积电荷控制浮体 MOSFET, 其中通过接合和电附着单晶硅薄膜到基绝缘衬底上, 在直接硅接合衬底上制造 MOSFET。

6. 如任一前述权利要求所述的累积电荷控制浮体 MOSFET, 其中 ACS 具有大于 10^6 欧姆的阻抗。

7. 一种累积电荷控制浮体 MOSFET (ACC MOSFET), 适于当 MOSFET 被偏置为以累积电荷模式操作时控制 MOSFET 的体中的累积电荷, 包括:

a) 栅极、漏极、源极、浮体和位于栅极和浮体之间的栅极氧化物层, 其中当 MOSFET 在关断状态 (非导电状态) 下操作时, 累积电荷控制浮体 MOSFET 被偏置为以累积电荷模式操作, 并且电荷在邻近栅极氧化物层且处于栅极氧化物层下的区域中的体内累积; 和

b) 位置接近浮体的第一末端的第一累积电荷吸收器 ACS, 其中 ACS 与浮体电连接, 并且其中 ACS 控制累积电荷控制浮体 MOSFET 体中的累积电荷。

8. 如权利要求 7 所述的累积电荷控制浮体 MOSFET, 其中累积电荷控制浮体 MOSFET 为 NMOSFET, 并且还包括电接触区, 该电接触区位置接近第一 ACS 且与第一 ACS 电连接, 并且促进与第一 ACS 的电连接, 并且其中源极和漏极均包括 N+ 掺杂区, 浮体和第一 ACS 均包括 P- 掺杂区, 并且电接触区包括 N+ 掺杂区, 其充当到第一 ACS 的二极管连接, 从而在所选择的偏置电压条件下禁止正电流流入第一 ACS 和流入浮体。

9. 如权利要求 7 所述的累积电荷控制浮体 MOSFET, 其中 ACS 通过从 MOSFET 体移除累积电荷来控制 MOSFET 体中的累积电荷。

10. 如权利要求 7 所述的累积电荷控制浮体 MOSFET, 其中当累积电荷控制浮体 MOSFET 被偏置为以累积电荷模式操作时, 通过向 ACS 端子施加偏置电压 (V_{ACS}) 来控制累积电荷, 并且其中累积电荷控制浮体 MOSFET 包括耗尽模式 NMOSFET 器件, 其中偏置电压 (V_{ACS}) 被选定为等于或更负于源极偏置电压和漏极偏置电压中较低的一个。

11. 如权利要求 8 所述的累积电荷控制浮体 MOSFET, 其中当累积电荷控制浮体 MOSFET 被偏置为以累积电荷模式操作时, 通过向 ACS 端子施加偏置电压 (V_{ACS}) 来控制累积电荷, 并且其中累积电荷控制浮体 MOSFET 包括耗尽模式 NMOSFET 器件, 其中偏置电压 (V_{ACS}) 被选定为等于或更负于源极偏置电压和漏极偏置电压中较低的一个。

12. 如权利要求 11 所述的累积电荷控制浮体 MOSFET, 还包含在体的沟道区和栅极氧化物层上位置接近栅极的远侧边缘的接触区重叠区域, 其中该重叠区域保证所有栅极氧化物层完全被与用于形成该电接触区的掺杂剂材料相同的掺杂剂材料所覆盖。

13. 如权利要求 8 所述的累积电荷控制浮体 MOSFET, 还包含在体的沟道区和栅极氧化物层上位置接近栅极的远侧边缘的接触区重叠区域, 其中该重叠区域保证所有栅极氧化物层完全被与用于形成该电接触区的掺杂剂材料相同的掺杂剂材料所覆盖。

14. 如权利要求 10 所述的累积电荷控制浮体 MOSFET, 其中累积电荷控制浮体 MOSFET 为 NMOSFET, 并且还包括电接触区, 该电接触区位置接近第一 ACS 且与第一 ACS 电连接, 并且促进与第一 ACS 的电连接, 并且其中源极和漏极均包括 N+ 掺杂区, 浮体和第一 ACS 均包括 P- 掺杂区, 并且电接触区包括 N+ 掺杂区, 其充当到第一 ACS 的二极管连接, 从而在所选择的偏置电压条件下禁止正电流流入第一 ACS 和流入浮体, 所述累积电荷控制浮体 MOSFET 还包含在体的沟道区和栅极氧化物层上位置接近栅极的远侧边缘的接触区重叠区域, 其中该重叠区域保证所有栅极氧化物层完全被与用于形成该电接触区的掺杂剂材料相同的掺杂剂材料所覆盖。

15. 如权利要求 7 所述的累积电荷控制浮体 MOSFET, 其中累积电荷控制浮体 MOSFET 包括 "T- 栅极" 配置的累积电荷控制浮体 MOSFET, 并且其中浮体形成 "T- 栅极" 配置的 MOSFET 的支持构件, 并且第一 ACS 形成 "T- 栅极" 配置的 MOSFET 的支持构件, 并且其中第一 ACS 沿浮体的第一末端放置并且与浮体的至少某部分接触。

16. 如权利要求 7、8、10、11、12、13、14 或 15 所述的累积电荷控制浮体 MOSFET, 其中 ACS 具有大于 106 欧姆的阻抗。

17. 如权利要求 7、8、10、11、12、13、14 或 15 所述的累积电荷控制浮体 MOSFET, 其中累积电荷控制浮体 MOSFET 包括 "H- 栅极" 配置的累积电荷控制浮体 MOSFET, 其中 H- 栅极配置的 MOSFET 包含分别位置接近浮体的第一和第二末端的第一和第二 ACS, 并且其中第一和第二 ACS 位于浮体的相对端, 并且其中第一 ACS 具有位置接近且与之电连接的相关和相应第一电接触区, 并且其中第二 ACS 具有位置接近且与之电连接的相关和相应第二电接触区, 并且其中第一和第二 ACS 与浮体电连接, 并且其中第一和第二 ACS 具有相同阻抗, 并且其中第一和第二 ACS 延长了近似累积电荷控制浮体 MOSFET 的整个宽度。

18. 如权利要求 17 所述的累积电荷控制浮体 MOSFET, 其中 ACS 具有大于 10^6 欧姆的阻抗。

19. 一种四端子累积电荷控制浮体 MOSFET (ACC MOSFET) 器件, 当 MOSFET 被偏置为以累积电荷模式操作时, 适于控制 MOSFET 的体中的累积电荷, 包括:

a) 栅极、漏极、源极、浮体和位于栅极和浮体之间的栅极氧化物层, 其中当 MOSFET 被偏置为在关断状态 (非导电状态) 下操作时, 累积电荷控制浮体 MOSFET 被偏置为以累积电荷模式操作, 并且电荷在接近栅极氧化物层且处于栅极氧化物层下的区域中的体内累积;

b) 位置接近浮体的末端的累积电荷吸收器 ACS, 其中 ACS 与浮体电连接; 和

c) 电连接到栅极的栅极端子,电连接到漏极的漏极端子,电连接到源极的源极端子,和电连接到 ACS 的 ACS 端子;

其中当 MOSFET 被偏置为以累积电荷模式操作时,体中的累积电荷通过 ACS 端子受控制。

20. 如权利要求 19 所述的四端子累积电荷控制浮体 MOSFET,其中栅极和 ACS 端子电连接在一起。

21. 如权利要求 20 所述的四端子累积电荷控制浮体 MOSFET,其中累积电荷通过从体中清除累积电荷来受控制。

22. 如权利要求 20 所述的四端子累积电荷控制浮体 MOSFET,其中在栅极和 ACS 端子之间连接二极管,使得当 MOSFET 被偏置为在导通状态(导电状态)条件下操作并且二极管被反向偏压时,二极管阻止正电流流入累积电荷控制浮体 MOSFET 体。

23. 如权利要求 19 所述的四端子累积电荷控制浮体 MOSFET,其中 ACS 端子耦合到累积电荷吸收机构,该累积电荷吸收机构产生所选择的可选累积电荷吸收器偏置电压(V_{ACS}),以在累积电荷控制浮体 MOSFET 被偏置为以累积电荷模式操作时控制累积电荷。

24. 根据权利要求 23 所述的四端子累积电荷控制浮体 MOSFET,其中累积电荷吸收器偏置电压(V_{ACS})由具有大于 10^6 欧姆的阻抗的源来驱动。

25. 如权利要求 19、23 或 24 所述的四端子累积电荷控制浮体 MOSFET,其中栅极、漏极和源极具有相关和相应栅极(V_g)、漏极(V_d)和源极(V_s)偏置电压,并且其中 ACS 偏置电压(V_{ACS})被选择为等于源极偏置电压和漏极偏置电压的较低值或比源极偏置电压和漏极偏置电压的较低值更负。

26. 如权利要求 19、23 或 24 所述的四端子累积电荷控制浮体 MOSFET,其中栅极和 ACS 端子通过 ACS 和栅极端子之间串联配置的箝位电路电连接在一起。

27. 根据权利要求 25 所述的四端子累积电荷控制浮体 MOSFET,其中栅极和 ACS 端子通过 ACS 和栅极端子之间串联配置的箝位电路电连接在一起。

28. 如权利要求 26 所述的四端子累积电荷控制浮体 MOSFET,其中箝位电路还包括配置为与耗尽模式 MOSFET 串联配置的二极管以及跨过二极管并联连接的 AC 短接电容器,其中 AC 短接电容器保证当 AC 信号在二极管上出现时,二极管的非线性特性不被激励。

29. 如权利要求 27 所述的四端子累积电荷控制浮体 MOSFET,其中箝位电路还包括配置为与耗尽模式 MOSFET 串联配置的二极管以及跨过二极管并联连接的 AC 短接电容器,其中 AC 短接电容器保证当 AC 信号在二极管上出现时,二极管的非线性特性不被激励。

30. 一种用于开关 RF 信号的 RF 开关电路,包括:

a) 第一 RF 端口,能够输出或接收第一 RF 信号;

b) 第二 RF 端口,能够输出或接收第二 RF 信号;

c) 开关晶体管组,具有连接到第一 RF 端口的第一节点和连接到第二 RF 端口的第二节点,其中开关晶体管组受第一开关控制信号($C1$)控制并且包括以堆叠结构布置的多于一个的 MOSFET;和

d) 旁路晶体管组,具有连接到第一 RF 端口的第一节点和连接到地的第二节点,其中旁路晶体管组受第二开关控制信号($C1x$)控制并且包括数个权利要求 2 所定义的累积电荷控制浮体 MOSFET;其中旁路组累积电荷控制浮体 MOSFET 的数目不等于开关组 MOSFET 的数

目,

并且其中当第一开关控制信号 (C1) 被启用时,开关晶体管组被启用并且旁路晶体管组被禁止,因而电连接第一 RF 端口到第二 RF 端口,并且其中当第二开关控制信号 (C1x) 被启用时,旁路晶体管组被启用而开关晶体管组被禁止,因而把第一 RF 端口旁路到地。

31. 如权利要求 30 所述的用于开关 RF 信号的 RF 开关电路,其中累积电荷控制浮体 MOSFET 包含电连接到栅极的栅极端子,电连接到漏极的漏极端子,电连接到源极的源极端子,和电连接到 ACS 的 ACS 端子,并且其中 ACS 端子被电连接到累积电荷吸收机构,并且其中吸收机构包括适于当旁路晶体管组以累积电荷模式操作时控制来自体的累积电荷的控制电路。

32. 如权利要求 31 所述的用于开关 RF 信号的 RF 开关电路,其中旁路晶体管组的 ACS 端子被连接到第三开关控制信号 (C2),并且其中在开关晶体管组被禁止因而把第一 RF 端口旁路到地时,旁路晶体管组被第二开关控制信号 (C1x) 启用,并且其中当旁路晶体管组被禁止时,从累积电荷控制浮体 MOSFET 的体中移除累积电荷。

33. 如权利要求 30 所述的用于开关 RF 信号的 RF 开关电路,其中累积电荷控制浮体 MOSFET 还包括漏源电阻器 (R_{ds}),该漏源电阻器 (R_{ds}) 提供了在累积电荷控制浮体 MOSFET 漏极和源极之间的路径,从而当与其它高阻抗元件串联配置累积电荷控制浮体 MOSFET 时,与控制累积电荷相关的电流被传导离源极和漏极。

34. 如权利要求 33 所述的用于开关 RF 信号的 RF 开关电路,其中累积电荷控制浮体 MOSFET 的栅极被连接到栅极电阻器,并且其中漏源电阻器 (R_{ds}) 的阻抗近似等于栅极电阻器的阻抗。

35. 如权利要求 30 所述的用于开关 RF 信号的 RF 开关电路,其中累积电荷控制浮体 MOSFET 还包含一对一地与每个堆叠的累积电荷控制浮体 MOSFET 相关和相应的多个漏源电阻器 (R_{ds}),其中每个漏源电阻器被电连接在其每个相关和相应的累积电荷控制浮体 MOSFET 的漏极和源极之间,并且其中每个相应累积电荷控制浮体 MOSFET 的栅极被连接到相关和相应的栅极电阻器,并且其中堆叠中的每个相关和相应的累积电荷控制浮体 MOSFET 的漏源电阻器 (R_{ds}) 的阻抗近似等于其相关和相应的栅极电阻器的阻抗除以堆叠的累积电荷控制浮体 MOSFET 的数目。

36. 根据权利要求 31 所述的用于开关 RF 信号的 RF 开关电路,其中所述控制电路适于通过从体移除累积电荷来控制来自体的累积电荷。

37. 一种控制浮体 MOSFET 的线性特性的方法,其中浮体 MOSFET 包含累积电荷吸收器 (ACS),其在操作时连接到 MOSFET 的体,并且适于当在关断状态 (非导电状态) 下操作 MOSFET 时,控制累积在 MOSFET 体中的累积电荷,该方法包括:

- a) 配置浮体 MOSFET 以在选择的电路中操作;
- b) 将浮体 MOSFET 偏置为关断以在累积电荷模式操作;和
- c) 控制累积电荷。

38. 如权利要求 37 所述的方法,其中控制累积电荷的步骤 c) 包括移除累积电荷。

39. 一种用于开关 RF 信号的 RF 开关电路,包括:

- a) 第一 RF 端口,能够接收或输出第一 RF 信号 (RF1);
- b) 第二 RF 端口,能够接收或输出第二 RF 信号 (RF2);

c) RF 公共端口；

d) 第一开关晶体管组，具有连接到第一 RF 端口的第一节点和连接到 RF 公共端口的第二节点，其中第一开关晶体管组受第一开关控制信号 (C1) 控制；

e) 第二开关晶体管组，具有连接到第二 RF 端口的第一节点和连接到 RF 公共端口的第二节点，其中第二开关晶体管组受第二开关控制信号 (C1x) 控制；

f) 第一旁路晶体管组，具有连接到第二 RF 端口的第一节点和连接到地的第二节点，其中第一旁路晶体管组受第一开关控制信号 (C1) 控制；和

g) 第二旁路晶体管组，具有连接到第一 RF 端口的第一节点和连接到地的第二节点，其中第二旁路晶体管组受第二开关控制信号 (C1x) 控制，

其中，当第一开关控制信号 (C1) 被启用时，第一开关晶体管组和第一旁路晶体管组被启用而第二开关晶体管组和第二旁路晶体管组被禁止，因而电连接第一 RF 端口和 RF 公共端口并且旁路第二 RF 端口到地，并且其中当第一开关控制信号 (C1) 被禁止并且第二开关控制信号 (C1x) 被启用时，第二开关晶体管组和第二旁路晶体管组被启用而第一开关晶体管组和第一旁路晶体管组被禁止，因而电连接第二 RF 端口和 RF 公共端口并且旁路第一 RF 端口到地，并且其中开关晶体管组和旁路晶体管组包括一或多个由权利要求 1 定义的累积电荷控制浮体 MOSFET。

用累积电荷吸收器改进 MOSFET 的线性的方法和设备

技术领域

[0001] 本发明涉及金属氧化物半导体 (MOS) 场效应晶体管 (FET), 尤其涉及在绝缘体上半导体 ("SOI") 和蓝宝石上半导体 ("SOS") 衬底上制造的 MOSFET。在一个实施例中, SOI (或 SOS) MOSFET 用于控制累积电荷, 并且从而改进电路元件的线性。

背景技术

[0002] 虽然这里将所公开的用于改进 MOSFET 的线性的方法和设备描述为适用于 SOI MOSFET, 但是那些电子器件设计领域的技术人员应当理解, 本教导同样适用于 SOS MOSFET。通常, 本教导可以用于使用包含绝缘体上硅技术的任何适当绝缘上半导体技术实现的 MOSFET。例如, 这里描述的本发明的 MOSFET 可以使用绝缘衬底上的复合半导体实现。这种化合物半导体包含但不限于以下类型: 锗硅 (SiGe)、砷化镓 (GaAs)、磷化铟 (InP)、氮化镓 (GaN)、碳化硅 (SiC) 和包含硒化锌 (ZnSe) 和硫化锌 (ZnS) 的 II-VI 化合物半导体。本教导还可以用于实现由薄膜聚合物制造 MOSFET。有机薄膜晶体管 (OTFT) 利用聚合物、共轭聚合物、低聚物, 或其它分子形成绝缘栅极电介质层。本发明的方法和设备可以用于实现这种 OTFT。

[0003] 电子设计领域的技术人员应当理解, 本公开的方法和设备实际适用于任何绝缘栅技术, 并且适用于具有浮体的集成电路。本领域的技术人员会理解, 正在不断开发技术以获得 "浮体" 实现。例如, 发明人知道在体硅中实现的电路, 其中电路实现被用于 "浮动" 器件的体。另外, 所公开的方法和设备也可以使用接合晶片上硅 (silicon-on-bonded wafer) 实现来实现。一个这种接合晶片上硅技术使用 "直接硅接合" (DSB) 衬底。通过把不同晶体取向的单晶硅的薄膜接合和电附着到基衬底上来制造直接硅接合 (DSB) 衬底。因此, 本发明考虑在任何开发的浮体实现中实现所公开的方法和设备的实施例。因此, 这里不认为 SOI MOSFET 的参考和示例性说明把本教导的适用性只限制于 SOI MOSFET。而是, 如下更详细地描述的, 所公开的方法和设备发现了在包含 SOS 和接合晶片上硅技术的多个器件技术中实现的 MOSFET 中的用途。

[0004] 众所周知, MOSFET 使用具有 n 型或 p 型传导性的栅极调制的导电沟道, 并且相应地被分别称作 "NMOSFET" 或 "PMOSFET"。图 1 示出了示例性的现有技术 SOI NMOSFET 100 的剖视图。如图 1 所示, 现有技术 SOI NMOSFET 100 包含绝缘衬底 118, 其可以包括氧化埋层、蓝宝石或其它绝缘材料。NMOSFET 100 的源极 112 和漏极 116 包括通过电离子植入到位于绝缘衬底 118 上的硅层而产生的 N⁺ 区域 (即, 也就是说大量地掺杂 "n 型" 掺杂剂的区域)。 (PMOSFET 的源极和漏极包括 P⁺ 区域 (即, 大量地掺杂 "p 型" 掺杂剂的区域))。体 114 包括在绝缘衬底 118 上形成硅层时通过电离子植入或通过已经出现在硅层中的掺杂剂产生的 P⁻ 区域 (即, 少量地掺杂 "p 型" 掺杂剂的区域)。如图 1 所示, NMOSFET 100 还包含位于体 114 上的栅极氧化物 110。栅极氧化物 110 通常包括例如 SiO₂ 的绝缘电介质材料的薄层。栅极氧化物 110 将体 114 与位于栅极氧化物 110 上的栅极 108 电隔离。栅极 108 包括金属层或更典型的多晶硅。

[0005] 源极端子 102 工作时连接到源极 112,使得源极偏置电压 " V_s " 可以被应用于源极 112。漏极端子 106 工作时连接到漏极 116,使得漏极偏置电压 " V_d " 可以被应用于漏极 116。栅极端子 104 工作时连接到栅极 108,使得栅极偏置电压 " V_g " 可以被应用于栅极 108。

[0006] 众所周知,当在 MOSFET 的栅极和源极端子之间施加电压时,所产生的电场穿过栅极氧化物到达晶体管体。对于增强模式器件,正栅极偏压在 MOSFET 的沟道区中产生沟道,通过该沟道电流在源极和漏极之间经过。对于耗尽模式器件,沟道出现零栅极偏压。改变施加到栅极的电压以调制沟道的传导性,并且从而控制在源极和漏极之间流动的电流。

[0007] 例如,对于增强模式 MOSFET,栅极偏压在栅极氧化物 110 下面的体 114 的沟道区中产生所谓"反型沟道"。反型沟道包括与源极和漏极载流子的极性具有相同极性(例如,"P"极性(即,空穴载流子),或"N"极性(即,电子载流子)载流子)的载流子,并且从而提供电流在源极和漏极之间经过的管道(即,沟道)。例如,如图 1 的 SOI NMOSFET 100 所示,当在栅极 108 和源极 112 之间施加足够的正电压时(即正栅极偏压超过阈值电压 V_{th}),在体 114 的沟道区中形成反型沟道。如上所述,反型沟道中的载流子的极性与源极和漏极中的载流子的极性相同。在这个例子中,因为源极和漏极包括"n 型"掺杂剂从而具有 N 极性载流子,所以沟道中的载流子包括 N 极性载流子。类似地,因为源极和漏极包括 PMOSFET 中的"p 型"掺杂剂,所以导通(即,导电)PMOSFET 的沟道中的载流子包括 P 极性载流子。

[0008] 耗尽模式 MOSFET 进行与增强模式 MOSFET 类似的操作,然而,耗尽模式 MOSFET 被掺杂,使得即使没有向栅极施加电压,导电沟道也存在。当向栅极施加适当极性的电压时,沟道被耗尽。于是,这减少了流过耗尽模式器件的电流。实质上,耗尽模式器件类似于"通常闭合"的开关,增强模式器件类似于"通常断开"的开关。增强和耗尽模式 MOSFET 均具有栅极电压阈值, V_{th} ,在该电压处 MOSFET 从关断状态(非导电)变化到导通状态(导电)。

[0009] 不管 SOI MOSFET 使用什么工作模式(即,不论增强还是耗尽模式),当在关断状态(即,栅极电压不超过 V_{th})下操作 MOSFET 时,并且当针对源极和漏极施加足够的非零栅极偏置电压时,"累积电荷"可能出现在栅极下。如下面更详细地定义和在整个本申请中使用的,"累积电荷"类似于在关于 MOS 电容器的现有技术文献中描述的"累积电荷"。然而,现有技术参考文献把"累积电荷"描述为仅指在 MOS 电容器氧化物下存在的偏压感生电荷,其中累积电荷与电容器氧化物下的半导体材料的多数载流子具有相同极性。相对比地,并且如下更详细地描述的,这里使用的"累积电荷"是指可以在关断状态 MOSFET 的体中累积的栅极偏压感生载流子,即使体中的多数载流子不具有与累积电荷相同的极性。例如,在关断状态耗尽模式 NMOSFET 中,这种情况可以出现,其中累积电荷可以包括空穴(即,具有 P 极性),即使体掺杂是 N- 而不是 P-。

[0010] 例如,如图 1 所示,当 SOI NMOSFET 100 被偏压以在关断状态下操作时,并且当向栅极 108 施加足够的非零电压时,累积电荷 120 可以在栅极氧化物 110 下面和附近的体 114 中累积。如图 1 所示的 SOI NMOSFET 100 的工作状态在这里被称为 MOSFET 的"累积电荷模式(accumulated charge regime)"。在下面更详细地定义了累积电荷模式。现在更详细地描述 SOI MOSFET 中累积电荷的原因和影响。

[0011] 众所周知,可以在 MOSFET 体中产生作为若干机理(例如,热、光学和带到带隧穿

电子-空穴对产生过程)的结果的电子-空穴对载流子。例如,当在 NMOSFET 体内产生电子-空穴对载流子时,并且当 NMOSFET 在关断状态条件下偏压时,电子可以与其空穴对应方分离并且被拉到源极和漏极二者中。在一个时间段中,假定 NMOSFET 连续在关断状态下被偏压,则空穴(由所分离的电子-空穴对得到)可以在栅极氧化物下面和邻近的栅极氧化物处累积(即,形成“累积电荷”)。类似过程(具有电子和空穴反置的特性)发生在类似偏压的 PMOSFET 器件中。现在参考图 1 的 SOINMOSFET 100 描述这个现象。

[0012] 当使用耗尽体 114 中的沟道载流子的栅极、源极和漏极偏置电压操作 SOI NMOSFET 100 时(即, NMOSFET 100 处于关断状态),空穴可以在栅极氧化物 110 下面和邻近的栅极氧化物 110 处累积。例如,如果源极偏置电压 V_s 和漏极偏置电压 V_d 均是零(例如,连接到未示出的接地触点),并且栅极偏置电压 V_g 包括针对地电压和针对 V_{th} 的足够负电压,则出现在体 114 中的空穴变得被吸引到邻近栅极氧化物 110 的沟道区。在一个时间段中,除非移除或受到控制,否则空穴在栅极氧化物 110 下累积并且产生图 1 示出的累积电荷 120。因此,在图 1 中把累积电荷 120 示出为正“+”空穴载流子。在指定的例子中, V_g 相对 V_s 和 V_d 为负,所以也可以出现电场区域 122 和 124。

[0013] 定义的累积电荷模式

[0014] 累积电荷的极性与沟道中的载流子的极性相反。如上所述,因为沟道中的载流子的极性与源极和漏极中的载流子的极性相同,所以累积电荷 120 的极性也与源极和漏极中的载流子的极性相反。例如,在上面描述的工作条件下,空穴(具有“P”极性)在关断状态 NMOSFET 中累积,并且电子(具有“N”极性)在关断状态 PMOSFET 中累积。因此,这里把 MOSFET 器件定义为当 MOSFET 偏压到在关断状态中操作时,并且当与沟道载流子具有相反极性的载流子出现在沟道区中时,在“累积电荷模式”内操作。换言之, MOSFET 被定义成当 MOSFET 被偏压到在关断状态操作时,并且当沟道区中出现的载流子具有与源极和漏极载流子的极性相反的极性时,在累积电荷模式内操作。

[0015] 例如,并再次参照图 1,累积电荷 120 包括具有 P 或“+”极性的空穴载流子。相对比地,在源极、漏极和沟道(即,当 FET 处于导通状态时)中的载流子包括具有 N 或“-”极性的电子载流子。因此图 1 中 SOINMOSFET 100 被示出为以累积电荷模式操作。它被偏压到在关断状态中操作,并且累积电荷 120 出现在沟道区。累积电荷 120 的极性(P)与沟道、源极和漏极载流子(N)的极性相反。

[0016] 在另一个例子中,其中 SOI NMOSFET 100 包括耗尽模式器件,定义 V_{th} 为负。根据这个例子,体 114 包括 N- 区域(与图 1 示出的 P- 区域对比)。源极和漏极包括类似于图 1 的增强模式 MOSFET 100 示出的那些的 N+ 区域。针对均为零伏的 V_s 和 V_d ,当施加相对于 V_{th} 足够负的栅极偏压 V_g (例如,相对于 V_{th} 比近似 -1V 更负的 V_g) 时,耗尽模式 NMOSFET 被偏压到关断状态。如果在关断状态偏压了足够长的时间,则空穴可以在栅极氧化物下面积累并且从而包括附图 1 示出的累积电荷 120。

[0017] 在其它例子中, V_s 和 V_d 可以包括非零偏置电压。在某些实施例中, V_g 必须相对于 V_s 和 V_d 二者足够为负(例如,以便 V_g 相对于 V_{th} 足够为负)以便在关断状态偏置 NMOSFET。MOSFET 器件设计领域的技术人员应当认识到,可以使用各种偏置电压实践本教导。如下更详细地描述的,本公开的方法和设备考虑用于偏置为以累积电荷模式操作的任何 SOIMOSFET 设备。

[0018] SOI 和 SOS MOSFET 通常用于各种应用中,其中在累积电荷模式内的操作不利地影响 MOSFET 性能。如下更详细地描述的,除非累积电荷被移除或受到控制,否则它会不利地影响某些工作条件下的 SOIMOSFET 的性能。下面参考图 2B 和 5A 中示出的电路更详细地描述的一个示例性应用是在射频 (RF) 开关电路的实现中使用 SOI MOSFET。如下面参考图 2B 和 5A 更详细地描述的,发明人发现除非累积电荷被移除或受到控制,否则在某些工作条件下,累积电荷不利地影响 SOI MOSFET 的线性并且从而增加由在某些电路的实现中使用 MOSFET 时导致的谐波失真和互调失真 (IMD)。另外,如下面更详细地描述的,发明人发现累积电荷的清除或控制改进了 SOI MOSFET 的漏源击穿电压 (即, " BVDSS") 特性。

[0019] 因此,期望提供适配和改进 SOI (和 SOS) MOSFET 的技术,和使用改进的 SOI MOSFET 实现的电路,以便移除或控制累积电荷,并且从而明显地改进 SOI MOSFET 性能。期望提供用于改进 SOI MOSFET 线性特性的方法和设备。改进的 MOSFET 与现有技术 MOSFET 相比应当具有改进的线性、谐波失真、互调失真和 BVDSS 特性,并且从而改进使用改进的 MOSFET 实现的电路的性能。本教导提供了这种新颖的方法和设备。

发明内容

[0020] 提供各种设备和方法来控制 SOI MOSFET 中累积电荷,从而改进 SOI MOSFET 的操作中的非线性响应、谐波和互调失真效应。

[0021] 在一个实施例中,具有至少一个 SOI MOSFET 的电路被配置成以累积电荷模式操作。工作时连接到 SOI MOSFET 的体的累积电荷吸收器 (ACS) 接收在体中产生的累积电荷,从而减少 SOI MOSFET 的净源漏电容的非线性。

[0022] 在一个实施例中,ACS 包括到 MOSFET 体的高阻抗连接,其中示例性阻抗大于 10^6 欧姆。

附图说明

[0023] 图 1 是示例性现有技术 SOI NMOSFET 的剖视图。

[0024] 图 2A 是示出图 1 的示例性现有技术 SOI NMOSFET 的关断状态阻抗特性的电气模型的简化示意图。

[0025] 图 2B 是使用例如图 1 的现有技术 SOI NMOSFET 的现有技术 SOIMOSFET 实现的示例性简化 RF 开关电路的示意图。

[0026] 图 3A 和 3B 是根据本教导适于控制累积电荷的改进 SOI NMOSFET 的顶视图的简化示意图。

[0027] 附图 3C 是适于控制累积电荷的改进的 SOI NMOSFET 的剖面透视示意图,其中示出栅、源、漏极和累积电荷吸收器 (ACS) 端子。

[0028] 附图 3D 是适于控制累积电荷的改进的 SOI NMOSFET 的简化顶视示意图,其中具有电连接到 P+ 区域的累积电荷吸收器 (ACS)。

[0029] 附图 3 是适于控制累积电荷的改进的 SOI NMOSFET 的简化顶视示意图,并且示出了沿接近 SOI NMOSFET 中心取的 A-A' 切线的剖视图。

[0030] 附图 3F 是沿附图 3E 的 A-A' 视线取的附图 3E 的改进的 SOINMOSFET 的剖视图。

[0031] 附图 3G 是图 3A-3B 的改进的 SOI NMOSFET 的剖视图。

[0032] 附图 3H 是 SOI NMOSFET 的简化顶视图,图解了由于制造过程而可以出现在现有技术 MOSFET 中和改进的 SOI MOSFET 的某些实施例中的具有升高的阈值电压的区域。

[0033] 附图 3I 是根据在具有增强的阈值电压的区域出现在 SOI MOSFET 中时施加的栅极电压的反型沟道电荷的曲线图。

[0034] 附图 3J 是适于控制累积电荷并且通过“T-栅极”配置来配置的改进的 SOI NMOSFET 的简化顶视图。

[0035] 附图 3K 是适于控制累积电荷并且通过“H-栅极”配置来配置的改进的 SOI NMOSFEh 的简化顶视图。

[0036] 图 4A 是体现为四端子器件的、适于控制累积电荷的改进的 SOI NMOSFET 的简化示意图。

[0037] 图 4B 是体现为四端子器件的、适于控制累积电荷的改进的 SOI NMOSFET 的简化示意图,其中累积电荷吸收器 (ACS) 端子被连接到栅极端子。

[0038] 图 4C 是体现为四端子器件的、适于控制累积电荷的改进的 SOI NMOSFET 的简化示意图,其中累积电荷吸收器 (ACS) 端子通过二极管被连接到栅极端子。

[0039] 图 4D 是体现为四端子器件的、适于控制累积电荷的改进的 SOI NMOSFET 的简化示意图,其中累积电荷吸收器 (ACS) 端子被连接到控制电路。

[0040] 附图 4E 是使用附图 4D 的四端子 ACC NMOSFET 实现的示例性 RF 开关电路的简化示意图,其中 ACS 端子由外部偏压源驱动。

[0041] 图 4F 是体现为四端子器件的、适于控制累积电荷的改进的 SOI NMOSFET 的简化示意图,其中累积电荷吸收器 (ACS) 端子被连接到箝位电路。

[0042] 图 4G 是体现为四端子器件的、适于控制累积电荷的改进的 SOI NMOSFET 的简化示意图,其中累积电荷吸收器 (ACS) 端子通过与电容器并联的二极管被连接到栅极端子。

[0043] 附图 4H 示出了关断状态电容 (C_{off}) 与针对在累积电荷模式中操作的 SOI MOSFET 的所施加的漏源电压的关系曲线图,其中第一曲线图示出了现有技术 SOI MOSFET 的关断状态电容 C_{off} ,并且其中第二曲线图示出了依照本教导形成的改进的 ACC SOI MOSFET 的关断状态电容 C_{off} 。

[0044] 图 5A 是示例性现有技术单刀单掷 (SPST) 射频 (RF) 开关电路的示意图。

[0045] 图 5B 是适于使用累积电荷控制改进性能的 RF 开关电路的示意图,其中旁路 SOI NMOSFET 的栅极被连接到累积电荷吸收器 (ACS) 端子。

[0046] 图 5C 是适于使用累积电荷控制改进性能的 RF 开关电路的示意图,其中旁路 SOI NMOSFET 的栅极通过二极管被连接到累积电荷吸收器 (ACS) 端子。

[0047] 图 5D 是适于使用累积电荷控制改进性能的 RF 开关电路的示意图,其中累积电荷吸收器 (ACS) 端子被连接到控制电路。

[0048] 图 6 是包含堆叠的、适于使用累积电荷控制改进性能的 MOSFET 的 RF 开关电路的示意图,其中旁路的堆叠 MOSFET 的累积电荷吸收器 (ACS) 端子被连接到控制信号。

[0049] 图 7 示出了根据本发明使用累积电荷吸收器改进 SOI MOSFET 器件的线性的示例性方法的流程图。

[0050] 图 8 示出了根据本发明形成的 RF 开关电路的示例性实施例的简化电路示意图,其中 RF 开关电路包含 ACC MOSFET 的漏极和源极之间的漏源电阻器。

[0051] 图 9 示出了根据本发明形成的示例性的单刀双掷 (SPST) RF 开关电路的简化示意图,其中漏源电阻器被示出为越过切换 ACC SOI MOSFET 的。

[0052] 图 10-19 示出了把所公开的方法和设备用于示例性单刀六掷 (SP6T) RF 开关可获得的示例性性能结果。

[0053] 在各个附图中的类似附图标记和名称指示类似部分。

具体实施方式

[0054] 如上所述,电子器件设计领域的技术人员应当理解,这里的教导同样适用于 NMOSFET 和 PMOSFET。为了简单,针对示例性目的,这里出现的实施例和例子仅包含 NMOSFET,除非另外指出。通过对掺杂剂、电荷载流子、偏置电压的极性等等进行众所周知的改变,电子器件领域的技术人员会容易理解如何使这些实施例和例子适于以 PMOSFET 的方式使用。

[0055] SOI NMOSFET 中的累积电荷的非线性和谐波失真效应

[0056] 如上面在背景技术中描述的,无论 MOSFET 使用什么工作模式(即,增强模式或耗尽模式),在一些环境中,当在对源极和漏极施加非零栅极偏置电压的关断状态中操作 MOSFET 时,累积电荷可以出现在栅极。根据本教导,如上面当 MOSFET 处于关断状态时描述的,并且当在具有与源极和漏极载流子的极性相反极性的沟道区中出现载流子时,在这里把 MOSFET 定义为在累积电荷模式中操作。

[0057] 根据本教导,发明人观察到当在某些电路实现中使用,在累积电荷模式中操作的 MOSFET 表现出不利地影响电路性能的非期望的非线性特征。例如,如参考图 2A 更详细地描述的,累积电荷 120(图 1)不利地影响关断状态 SOI MOSFET 的线性,并且更具体地,它不利地影响对漏源电容(C_{ds})的贡献电容的线性。对于在关断状态下操作的 SOI MOSFET, C_{ds} 被称为 C_{off} 。参考图 2A,下面针对由具有比贡献电容的阻抗大的阻抗的电路提供栅极偏置 V_g 的偏置条件,描述对 C_{off} 的贡献电容。如下面参考图 2B 和 5A 描述的,这不利地影响用 SOI MOSFET 实现的电路的谐波失真、互调失真和其它性能特性。这些现有技术未教导或建议的新颖观察可以参考图 2A 示出的电气模型来理解。

[0058] 图 2A 是示出图 1 的示例性现有技术 SOI NMOSFET 100 的关断状态阻抗(或反之,导电性)特性的电气模型 200 的简化示意图。更具体地,模型 200 示出了当 NMOSFET 100 在关断状态中操作时,从源极 112 到漏极 116 的阻抗特性。因为 NMOSFET 100 的漏源关断状态阻抗特性主要是电容性的,它在这里被称为漏源关断状态电容(C_{off})。针对这里的示例性说明,理解通过具有比参考图 2A 描述的贡献电容的阻抗大的阻抗的电路(未示出)把栅极 108 偏置到电压 V_g 。电子领域的技术人员会理解,针对提供 V_g 偏压的电路的阻抗不比贡献电容的阻抗大的情况,如何修改这个示例性说明。

[0059] 如图 2A 所示,关断状态 NMOSFET 100 的源极 112 和体 114 之间的结(即,源极-体结 218)可以用如图所示配置的结二极管 208 和结电容器 214 表示。类似地,关断状态 NMOSFET 100 的漏极 116 和体 114 之间的结(即,漏极-体结 220)可以用如图所示配置的结二极管 210 和结电容器 216 表示。体 114 简单地表示为源极-体结 218 和漏极-体结 220 之间出现的阻抗 212。

[0060] 电容器 206 表示栅极 108 和体 114 之间的电容。电容器 202 表示源极 112 和栅极

108 之间的电容,并且另一个电容器 204 表示漏极 116 和栅极 108 之间的电容。在下面提出的示例性说明中,使由源极 112 和漏极 116 之间的电连接造成的衬底电容(通过图 1 中示出的绝缘衬底 118)小至可忽视,并且因此在图 2A 的电气模型 200 中未示出。

[0061] 如上所述,当 NMOSFET 100 处于关断状态时,并且当累积电荷 120(图 1)不存在于体 114 时(即,NMOSFET 100 不在累积电荷模式内操作),体 114 耗尽电荷载流子。在这种情况下,体阻抗 212 类似于绝缘体的阻抗,并且通过体 114 的电气导电性非常小(即,NMOSFET 100 处于关断状态)。因此,对漏源关断状态电容 C_{off} 的主要贡献由电容器 202 和 204 提供。电容器 202 和 204 仅略微电压相关,因此未明显地对不利地影响谐波生成和互调失真特性的非线性响应产生贡献。

[0062] 然而,当 NMOSFET 100 在累积电荷模式内操作,并且累积电荷 120 因此出现在体 114 中时,包括累积电荷的移动空穴在源极-体结 218 和漏极-体结 220 之间产生 P 型导电性。实际上,累积电荷 120 在源极-体结 218 和漏极-体结 220 之间产生阻抗,该阻抗明显小于没有累积电荷时结之间的阻抗。如果在漏极 116 和源极 112 之间施加 V_{ds} 电压,则移动空穴根据体 114 内所得到的电位重新分布。源极-体结 218 和漏极-体结 220 的二极管特性(如分别由结二极管 208 和 210 表示)阻止 DC 和低频电流流过 SOI NMOSFET 100。即,因为结二极管 208 和 210 是反顺序(即,"背靠背"),所以在这种情况下,没有 DC 或低频电流流过 SOI NMOSFET 100。然而,高频电流可以通过源极-体结 218 和漏极-体结 220 的电容(如分别由结电容器 214 和 216 表示)流过 SOI NMOSFET 100。

[0063] 由于结电容器 214 和 216 与 n 型和 p 型区之间的结相关,所以它们是电压相关的。这个电压相关性由 n 型和 p 型区之间的结的耗尽区域的宽度的电压相关性产生。当偏置电压施加到 NMOSFET 时,n 型和 p 型区之间的结的耗尽区域的宽度发生改变。由于结的电容取决于结耗尽区域的宽度,所以电容也根据施加在结上的偏压发生改变(即,电容也是电压相关的)。

[0064] 此外,电容器 202 和 204 也可以具有由累积电荷 120 的存在导致的电压相关性。尽管在这里未详细描述这个电压相关性的复杂原因,但是电子器件领域的技术人员应当理解,电场区域(例如,上面参考图 1 描述的电场区域 122 和 124)可以受累积电荷的响应及其对所施加的 V_{ds} 的响应影响,从而导致电容器 202 和 204 的电压相关性。由于源极 112 和漏极 116 之间的直接电容(未示出),所以附加非线性影响可能出现。尽管通常期待这个直接电容对大多数 SOI MOSFET 可以忽略,但是它可以有助于在源极和漏极之间具有非常短的间隔的 SOI MOSFET。在存在累积电荷的情况下,这个直接电容对 C_{off} 的贡献也是电压相关的,原因类似于如上所述的电容器 202 和 204 的电压相关性。

[0065] 结电容器 214 和 216、栅源和栅漏电容器 202,204 的电压相关性和直接电容(未示出)在把 AC 电压施加到 NMOSFET 100 时分别导致 MOSFET 的关断状态电容 C_{off} 的非线性行为,从而产生不期望生成的谐波失真和互调失真(IMD)。这些影响的相对贡献是复杂的,并且取决于制程、偏压、信号幅度和其它变量。然而,电子器件设计领域的技术人员应当从这里的教导理解,减少、移除或控制累积电荷提供了 C_{off} 的非线性行为的总体改进。另外,由于在存在累积电荷 120 的情况下体阻抗 212 明显地被降低,所以 C_{off} 的量可以在 FET 在累积电荷模式中操作时被改进。减少、移除或控制累积电荷也减轻了这种影响。

[0066] 另外,在 FET 从导通状态(导电状态)转变到关断状态(非导电状态)时,累积电

荷并未马上在体中累积。而是,当 FET 从导通状态转变到关断状态时,它开始在 MOSFET 的体中累积电荷,并且累积电荷的量随时间增加。因此,累积电荷的累积具有相关的时间常数(即,未立即达到累积电荷的稳态水平)。累积电荷在 FET 体中缓慢地累积。耗尽的 FET 具有与之相关的 C_{off} ,其随着累积电荷的量的增加而增加。依据 FET 性能,当 C_{off} 随着 FET 体中的累积电荷的量的增加而增加时,偏离出现在 FET 插入损耗(即,FET 变得更“有损耗”)、隔离(FET 变得更少隔离)和插入相位(FET 的延迟增加)方面。减少、移除或控制累积电荷也减轻了这些不期望的偏离效应。

[0067] 发明人观察到,MOSFET 关断状态电容 C_{off} 的非线性行为不利地影响了用现有技术 SOI MOSFET 实现的某些电路的性能。例如,当使用例如图 1 的现有技术 SOI NMOSFET 100 的现有技术 SOI MOSFET 实现 RF 开关时,上述现有技术 MOSFET 的非线性关断状态特性不利地影响了开关的线性。如下面更详细地描述的,RF 开关线性是许多应用中的重要设计参数,改进的开关线性导致通过开关处理的信号的谐波和互调(IM)失真的抑制的改进。这些改进的开关特性在例如用于蜂窝通信设备的某些应用中极其重要。

[0068] 例如,众所周知的 GSM 蜂窝通信系统标准把严格的线性、谐波和互调抑制和功耗要求施加于实现 GSM 蜂窝电话的前端部件上。一个示例性 GSM 标准需要在高达 12.75GHz 频率处把基本信号的所有谐波抑制到低于 -30dBm。如果谐波未被抑制到低于这些水平,则显著不利地影响可靠的蜂窝电话操作(例如,由于发送和接收信号的谐波和互调失真可能导致掉线或其它通信问题的增加)。由于 RF 开关功能通常在蜂窝电话前端部件中实现,所以非常期望改进 RF 开关线性、谐波和互调抑制,和功耗性能特性。现在参考图 2B 描述现有技术 MOSFET 的关断状态电容 C_{off} 的非线性行为如何不利地影响这些 RF 开关特性。

[0069] 使用现有技术 SOI MOSFET 实现的 RF 开关电路上的谐波失真效应

[0070] 图 2B 图解了使用上面参考图 1 描述的例如现有技术 SOI NMOSFET 100 的现有技术 MOSFET 实现的示例性简化 RF 开关电路 250。在共同受让的美国专利 No. 6,804,502 中提供了 RF 开关电路的操作和实现的详细描述,这里完整地参考引用了该专利对 RF 开关电路的教导。如图 2B 所示,现有技术 RF 开关 250 包含工作时连接到 5 个旁路 MOSFET 260a-260e 的单“通”或“开关”MOSFET 254。

[0071] MOSFET 254 充当通路或开关晶体管,并且当启动时,被配置为有选择地通过传输路径 256 把 RF 输入信号(例如,施加到其漏极)连接到 RF 天线 258。当启动时,旁路 MOSFET 260a-260e 可选地把 RF 输入信号旁路到地。众所周知,通过连接到其栅极的第一开关控制信号(未示出)选择性地控制开关 MOSFET 254,并且类似地通过连接到其栅极的第二开关控制信号(未示出)控制旁路 MOSFET 260a-260e。从而,当禁止旁路 MOSFET 260a-260e 时,启用开关 MOSFET 254,并且反之亦然。如图 2B 的 RF 开关 250 的示例性实施例所示,通过施加 +2.5V 的栅极偏置电压启用开关 MOSFET 254(通过第一开关控制信号)。通过施加 -2.5V 的栅极偏置电压,禁止旁路 MOSFET 260a-260e(通过第二开关控制信号)。

[0072] 当在这种状态下配置开关 250 时,RF 信号 252 通过开关 MOSFET 254、通过传输路径 256 传播,并且到达天线 258。如上参考图 2A 所述,当旁路 MOSFET 260a-260e 包括例如 SOI NMOSFET 100(图 1)的现有技术 SOI(或 SOS)MOSFET 时,累积电荷可以出现在 SOI MOSFET 体中(即,当 SOI MOSFET 在如上所述的累积电荷模式中操作时)。当把 AC 电压施加到 MOSFET 时,累积电荷可以在 SOI MOSFET 的关断状态电容 C_{off} 中产生非线性行为。

[0073] 更具体地,当累积电荷出现在关断状态 SOI MOSFET 260a-260e 的沟道区中时,它响应施加到其 5 个相应漏极的 RF 信号中的变化。当时变 RF 信号沿传输路径 256 传播时,RF 信号把时变源漏偏置电压施加到 SOIMOSFET 260a-260e。时变源漏偏置电压在 SOI MOSFET 260-260e 的沟道区内产生累积电荷的移动。累积电荷在 SOI MOSFET 的沟道区内的移动导致 SOI MOSFET 260a-260e 的漏源关断状态电容发生变化。更具体地,沟道区内累积电荷的移动导致如上参考图 2A 所述的漏源关断状态电容的电压相关性。SOI MOSFET 260a-260e 的关断状态电容的电压相关的变化是通过 RF 开关 250 传播的 RF 信号的谐波失真和 IMD 的主要原因。

[0074] 如上所述,RF 信号的谐波失真和 IMD 是使用现有技术 SOI MOSFET 设备实现的现有技术 RF 开关电路的主要缺点。对于许多应用,必须把 RF 信号的谐波和 DVID 抑制到迄今为止使用现有技术 SOI MOSFET 设备难以或不可能达到的水平。在 GSM 设备中,例如,在最大操作功率为 +35dBm 的情况下,现有技术开关通常对小于 -30dBm 的 GSM 三次谐波的抑制要求只有 6dB 的余量。当 GSM 发射频带的二次谐波也驻留在 DCS 接收频带中时,也期望 GSM 系统中极低的偶次谐波失真。然而,期望抑制 RF 信号的奇次(例如,三次)谐波,并且需要在这方面改进。

[0075] 另外,众所周知,浮体(例如,SOI)MOSFET 的体中的累积电荷的存在也可能不利地影响浮体 MOSFET 的漏源击穿电压(BVDSS)的性能特性。众所周知,浮体 FET 演示了也称为 BVDSS 的漏源击穿电压问题,其中漏源“击穿”电压通过寄生双极操作来降低。当在沟道中产生空穴并且空穴无处消耗(即,由于体是浮动的,所以空穴无法脱离体)时,导致寄生双极操作。结果,MOSFET 体的电位增加,其有效地降低了阈值电压。于是,这个状态使 MOSFET 器件经历了增加的泄漏,从而在体中产生更多的空穴,并且从而加剧了 BVDSS 问题(这个正反馈状态的结果)。

[0076] 本公开的用于改进 SOI(和 SOS)MOSFET 器件的线性的方法和设备克服了现有技术的上述缺点。一旦累积电荷被识别为关断状态 SOIMOSFET 器件中,以及在用这些器件实现的电路(例如 RP 电路)中谐波失真、IMD 和压缩/饱和的主要原因,显然累积电荷的降低、清除和/或控制改进了这些器件的谐波抑制特性。另外,累积电荷的降低、清除和/或控制也通过防止发生寄生双极操作改进了 BVDSS 性能特性。BVDSS 的改进导致器件线性的连接改进。在下面部分详细描述用于控制 SOIMOSFET 中的累积电荷的若干示例性结构和技术。

[0077] 使用累积电荷吸收器(ACS)改进 MOSFET 的线性的方法和设备 - 概况

[0078] 如下更详细地描述的,本公开描述了用于改进 SOI MOSFET 中的半导体器件的线性(例如,降低不利的谐波失真和 IMD 效应)的方法和设备。在一个示例性实施例中,该方法和设备通过降低 MOSFET 器件的体中的累积电荷来改进线性,并且控制 MOSFET 器件的谐波失真和 IMD 效应。在一个实施例中,本方法和设备使用工作时连接到 MOSFET 体的累积电荷吸收器(ACS)降低或控制 MOSFET 体中的累积电荷。在一个实施例中,本方法和设备从 MOSFET 器件的体中完全地移除所有累积电荷。在一个所述的实施例中,MOSFET 被偏置以在累积电荷模式中操作,并且 ACS 用于完全移除、降低或控制累积电荷,并且从而降低否则会产生谐波失真和 IMD。在某些实施例中,也通过移除或控制累积电荷来改进线性,从而改进浮体 MOSFET BVDSS 特性。

[0079] 如上面背景技术部分所述,电子器件设计和制造领域的技术人员应当理解,这里

的教导同样适用于在绝缘体上半导体 ("SOI") 和蓝宝石上半导体 ("SOS") 衬底上制造的 MOSFET。可以使用任何适当的绝缘体上半导体技术把本教导用于 MOSFET 的实现。例如,这里描述的发明的 MOSFET 可以使用在例如 GaAs MOSFET 的绝缘衬底上制造的化合物半导体实现。如上所述,本方法和设备也可以被应用于锗硅 (SiGe) SOI MOSFET。为了简单,针对示例性目的,这里出现的实施例和例子仅包含 NMOSFET,除非另外指出。通过对掺杂剂、电荷载流子、偏置电压的极性等等进行众所周知的改变,电子器件领域的技术人员会容易理解如何使这些实施例和例子适用于 PMOSFET。

[0080] 如上所述,本发明尤其适用于 FET 和当在关断状态下操作 FET 时得益于完全耗尽的沟道的相关应用,其中累积电荷可能产生。用于改进 MOSFET 的线性的所公开的方法和设备还可适用于部分耗尽的沟道。本领域的技术人员已知,体的掺杂和尺寸变化广泛。在示例性实施例中,体包括厚度为近似 100 埃到近似 2,000 埃的硅。在进一步的示例性实施例中,FET 体内的掺杂浓度的范围为从不超过与本征硅相关的浓度到每 cm^3 近似 1×10^{18} 活跃掺杂原子,从而导致完全耗尽的晶体管操作。在进一步的示例性实施例中,FET 体内的掺杂浓度的范围为从每 $\text{cm}^3 1 \times 10^{18}$ 到 1×10^{19} 活跃掺杂原子,和/或包括体的硅的厚度的范围为从 2000 埃到许多微米,从而导致部分耗尽的晶体管操作。电子设计和制造领域的技术人员可以理解,本公开的用于改进 MOSFET 的线性的方法和设备可以用于以各种掺杂浓度和体尺寸实现的 MOSFET。因此,本公开的方法和设备不限于使用上面提出的示例性掺杂浓度和体尺寸实现的 MOSFET。

[0081] 根据本发明的一个方面,使用控制方法和相关电路降低 FET 体内的累积电荷。在一个实施例中,所有累积电荷从 FET 体清除。在其它实施例中,累积电荷被降低或控制。在一个实施例中,从 FET 体清除空穴,然而在另一个实施例中,从 FET 体清除电子,如下面更详细地描述的。通过使用本发明的新颖和非显而易见的教导从 FET 体移除空穴 (或电子),降低或消除电压诱导的关断状态 FET 的寄生电容变化,从而降低或消除关断状态 FET 的非线性行为。另外,如上参考图 2A 所述,由于在降低或控制累积电荷时大大增加了体阻抗,所以在 FET 关断状态电容的量方面存在有利的总体缩减。并且,如上所述,移除或控制浮体 MOSFET 中的累积电荷改进了 FET 的 BVDSS 特性,并且从而改进了浮体 MOSFET 的线性。

[0082] 累积电荷的控制不仅有助于 FET 关断状态电容 C_{OS} 中的有利总体缩减 (如上面参考图 2A 所述和下面参考附图 4H 所述),而且还有助于存在时变 V_{ds} 偏置电压的情况下可能随时出现的 C_{off} 变化的降低。因而,使用根据本发明形成的 SOI MOSFET 获得 RF 开关电路中不期望的谐波生成和互调失真的降低。通过根据本教导形成的器件实现改进的 SOIMOSFET 功率处理、线性和性能。虽然本发明的方法和设备能够完全从 FET 体移除累积电荷时,电子器件设计领域的技术人员应当理解,累积电荷的任何降低是有好处的。

[0083] 谐波和互调失真的降低通常有利于体半导体或绝缘体上半导体 (SOI) 系统的任何半导体系统。SOI 系统包含使用放置在下绝缘衬底上的包含半导体的区域的任何半导体体系结构。当任何适当绝缘衬底可以用于 SOI 系统时,示例性绝缘衬底包含二氧化硅 (例如,由硅质基底支持的、例如称为注氧隔离 (SIMOX) 的氧化埋层)、接合晶片 (厚氧化物)、玻璃和蓝宝石。如上所述,除了通常使用的基于硅的系统之外,本发明的某些实施例可以使用锗硅 (SiGe) 实现,其中 SiGe 等效地取代 Si。

[0084] 各种 ACS 实现和结构可以用于实践本公开的方法和设备。根据本方法和设备的一

个实施例,当 MOSFET 被配置成在累积电荷模式中操作时,使用 ACS 从 MOSFET 移除或控制累积电荷(参考上述图 1 中的 120)。通过根据本教导调整 SOI(或 SOS)MOSFET,实现改进的累积电荷控制(ACC)MOSFET。ACC MOSFET 对改进包含 RF 开关电路的许多电路的性能有用。下面参考图 3A-3K 详细描述示例性 ACC MOSFET 的各种特性和可能配置。这个部分还描述了本发明的示例性的 ACS 实现与现有技术的体接触的不同。

[0085] 图 4A 中示意性地示出了体现为四端子器件的 ACC MOSFET。图 4B-4G 示出可以用于当 ACC MOSFET 在累积电荷模式中操作时从 ACCMOSFET 移除累积电荷的各种示例性简单电路结构。下面参考图 4A-4G 更详细地描述简化电路结构的操作。下面参考附图 4H 描述与现有技术 SOI MOSFET 的关断状态电容相比,ACC MOSFET 的关断状态电容 C_{off} 的改进。

[0086] 下面参考图 5B-5D 的电路示意图描述使用本发明的 ACC MOSFET 实现的各种示例性 RF 开关电路的操作。此外,下面参考图 6 描述使用本发明的堆叠的 ACC MOSFET(用于增加的功率的处理)的示例性 RF 开关电路。参考图 7 描述使用累积电荷吸收器(ACS)改进 SOI MOSFET 的线性的示例性方法。最终,描述了可以用于制造 ACC MOSFET 的示例性制造方法。现在参考图 3A-3K 描述可以用于实践所公开的方法和设备的各种示例性 ACS 实现和结构。

[0087] 使用累积电荷吸收器(ACS)控制累积电荷

[0088] 图 3A 和 3B 是根据本发明、适于控制累积电荷 120(图 1)的累积电荷控制(ACC)SOI NMOSFET 300 的顶视图的简化示意图。在示例性实施例中,栅接触 301 被连接到栅极 302 的第一端。在栅极 302 下面放置栅极氧化物(图 3 未示出,但在图 1 中示出)和体 312(在图 3B 中示出)。在示出的示例性 NMOSFET 300 中,源极 304 和漏极 306 包括 N+ 区域。在示例性实施例中,ACC NMOSFET 300 包含包括 P- 区域的累积电荷吸收器(ACS)308。ACS 308 被连接到也包括 P- 区域的体 312 并且与体 312 处于电连接。电接触区 310 向 ACS 308 提供电连接。在某些实施例中,电接触区 310 包括 P+ 区域。如图 3A 所示,电接触区 310 被连接到 ACS 308 并且与 ACS 308 处于电连接。

[0089] 电子器件领域的技术人员应当理解,由于在某些实施例中难以直接接触到少量掺杂的区,所以电接触区 310 可以用于促进电连接到 ACS 308。另外,在某些实施例中,ACS 308 和电接触区 310 可以同延。在另一个实施例中,电接触区 310 包括 N+ 区域。在这个实施例中,电接触区 310 充当到 ACS 308 的二极管连接,其在特定偏置状态下防止正电流流入 ACS308(以及防止正电流流入体 312),如下更详细地描述的。

[0090] 图 3B 是图 3A 的 ACC SOI NMOSFET 300 的可选项视图,该图在 NMOSFET 300 的栅接触 301、栅极 302 和栅极氧化物不可见情况下图解了 ACC NMOSFET 300。这个视图允许体 312 可见。图 3B 示出把 ACS 308 连接到体 312 的一端。在一个实施例中,体 312 和 ACS 308 包括组合的、可以通过单离子植入步骤产生的 P- 区域。在另一个实施例中,体 312 和 ACS 308 包括连接在一起的分立 P- 区域。

[0091] 电子器件设计领域的技术人员众所周知,在其它实施例中,图 3A 和 3B 的 ACC NMOSFET 300 可以简单地通过反置用于实现各种 FET 部件区域的掺杂剂(即,用 n 型掺杂剂材料替换 p 型掺杂剂材料,并且反之亦然)实现成 ACC PMOSFET。更具体地,在 ACC PMOSFET 中,源极和漏极包括 P+ 区域,并且体包括 N- 区域。在这个实施例中,ACS 308 也包括 N- 区域。在 ACC PMOSFET 的某些实施例中,电接触区 310 可以包括 N+ 区域。在 ACC PMOSFET 的

其它实施例中,区域 310 包括 P+ 区域,其中 P+ 区域充当到 ACS 308 的连接二极管并且从而防止在特定偏压状态下电流流入 ACS 308。

[0092] 区别于所公开的 ACS 的现有技术体接触

[0093] 根据本发明,用于实现 ACC SOI MOSFET 的 ACS 308 包含使其区别于现有技术中众所周知的所谓“体接触”(通常当“体接触”被直接连接到源极时,有时也被称作“体连接”)的结构、功能、操作和设计方面的新颖特征。

[0094] 有关现有技术 SOI MOSFET 中使用的体接触的示例性参考文献包含:(1)F. Hameau and O. Rozeau, "Radio-Frequency Circuits Integration Using CMOS SOI 0.25 μ m Technology," 2002 RF IC Design Workshop Europe, 2002 年 3 月 19-22 日, Grenoble, France;(2)J. R. Cricci 等人, "Silicon on Sapphire MOS Transistor," U. S. 专利 No. 4,053,916, 1997 年 10 月 11 日;(3)O. Rozeau 等人, "SOI Technologies Overview for Low-Power Low-Voltage Radio-Frequency Applications," Analog Integrated Circuits and Signal Processing, 25, pp. 93-114, Boston, MA, Kluwer Academic Publishers, 2000 年 11 月;(4)C. Tinella 等人, "A High-Performance CMOS-SOI Antenna Switch for the 2.5-5-GHz Band," IEEE Journal of Solid-State Circuits, Vol. 38, No. 7, 2003 年 7 月;(5)H. Lee 等人, "Analysis of body bias effect with PD-SOI for analog and RF applications," Solid State Electron., Vol. 46, pp. 1169-1176, 2002;(6)J. -H. Lee 等人, "Effect of Body Structure on Analog Performance of SOI NMOSFETs," Proceedings, 1998 IEEE International SOI Conference, 1998 年 10 月 5-8 日, pp. 61-62;(7)C. E. Edwards 等人, "The Effect of Body Contact Series Resistance on SOI CMOS Amplifier Stages," IEEE Transactions on Electron Devices, Vol. 44, No. 12, 1997 年 12 月, pp. 2290-2294;(8)S. Maeda 等人, "Substrate-bias Effect and Source-drain Breakdown Characteristics in Body-tied Short-channel SOI MOSFET's," IEEE Transactions on Electron Devices, Vol. 46, No. 1, 1999 年 1 月, pp. 151-158;(9)E. Assaderaghi 等人, "Dynamic Threshold-voltage MOSFET (DTMOS) for Ultra-low Voltage VLSI," IEEE Transactions on Electron Devices, Vol. 44, No. 3, 1997 年 3 月, pp. 414-422;(10)G. O. Workman 和 J. G. Fossum, "A Comparative Analysis of the Dynamic Behavior of BTG/SOI MOSFETs and Circuits with Distributed Body Resistance," IEEE Transactions on Electron Devices, Vol. 45, No. 10, 1998 年 10 月, pp. 2138-2145; 和 (11)T. -S. Chao 等人, "High-voltage and High-temperature Applications of DTMOS with Reverse Schottky Barrier on Substrate Contacts," IEEE Electron Device Letters, Vol. 25, No. 2, 2004 年 2 月, pp. 86-88。

[0095] 如这里描述的,例如 RF 开关电路的应用可以使用以关断状态偏置电压操作的 SOI MOSFET,对此可产生累积电荷。这里把 SOI MOSFET 定义为当 MOSFET 被偏置在关断状态时,并且当具有与沟道载流子相反极性的载流子出现在 MOSFET 的沟道区中时,在累积电荷模式内进行操作。在某些实施例中,当 MOSFET 被部分耗尽但仍然被偏置为在关断状态操作时,SOI MOSFET 可以在累积电荷模式内操作。可以根据本教导,通过移除或控制累积电荷,来实现改进对源漏电容的非线性影响的显著益处。与公开的技术相反,所引用的现有技术

未教导或启示独特用于移除或控制累积电荷的 ACS 方法和设备。也没有提及由累积电荷导致的、例如对关断状态源漏电容 C_{off} 的非线性影响的问题。因此,在上面引用的参考文献中描述的现有技术的体接触大大不同于参考图 3A-4D 描述的 ACS(在结构、功能、操作和设计方面)。

[0096] 在一个例子中,ACS 308 使用到达并且通过体 312 的高阻抗连接,有效地从 SOI NMOSFET 300 移除或控制累积电荷。由于累积电荷 120 主要通过用相对较长时期产生显著的累积电荷的现象(例如,热生成)来生成,所以可以使用高阻抗 ACS。例如,当 NMOSFET 在累积电荷模式中操作时产生不可忽略的累积电荷的典型时间段近似为几毫秒或更多。累积电荷的这种相对缓慢的生成对应于非常低的电流,其通常小于 100nA/毫米晶体管宽度。即使使用到体的非常高阻抗的连接,这种低电流仍可以被有效地传送。根据一个例子,使用具有大于 10^6 欧姆的电阻的连接实现 ACS308。因此,即使使用与低阻抗现有技术体接触相比相对较高的阻抗连接实现,ACS 308 仍能够有效地移除或控制累积电荷 120。

[0097] 完全相反,在上面引用的参考文献中描述的体接触的现有技术教导需要低阻抗(高效)接入 SOI MOSFET 的体区域以进行适当的操作(参见例如上面的参考文献(3),(6)和(7))。这个要求的主要原因是现有技术体接触主要用于降低对 SOI MOSFET 功能的不利影响,这些不利影响由比在累积电荷模式中操作 FET 时更快速和更有效的电子空穴对生成过程所导致。例如,在未以累积电荷模式操作的某些现有技术 MOSFET 中,作为碰撞电离的结果,生成了电子空穴对载流子。碰撞电离以比在累积电荷模式中操作 FET 时更快速的速率产生电子空穴对。

[0098] 可以由两种现象的滚降频率估计出通过碰撞电离进行的电子-空穴对生成对比导致累积电荷的对生成过程的相对速率。例如,上面引用的参考文献(3)指出碰撞电离效应的滚降频率在 10^5 Hz 范围内。相对比地,观察到累积电荷的效应的滚降频率在 10^3 Hz 或更低范围内,如奇谐波的恢复时间所示。这些观察指示 ACS 308 可以使用至少是控制碰撞电离电荷时使用的现有技术体接触所需阻抗的 100 倍的阻抗,有效地控制累积电荷。此外,由于碰撞电离主要出现在 SOI MOSFET 在导通状态下操作时,所以碰撞电离效应可以通过导通状态的晶体管操作放大。在这些环境中,到达和通过体区域的低阻抗体接触更加关键,以便在导通状态下控制碰撞电离的效应。

[0099] 完全相反地,本教导的 ACS 308 仅当 ACC SOI MOSFET 在累积电荷模式中操作时移除或控制累积电荷。根据定义,在这个模式中,FET 处于关断状态,因此不需要移除导通状态 FET 放大的碰撞电离。因此,在这些工作状态下,高阻抗 ACS 308 完全适用于移除累积电荷。对低阻抗体连接的现有技术要求产生了被本教导克服的许多实现问题,如下更详细地描述的。

[0100] 此外,可以使用与现有技术的体接触相比低得多的源漏寄生电容来实现 ACS 308。上述现有技术体接触所需的到 SOI MOSFET 体的低阻抗连接需要接触接近整个体。这可能需要沿体的不同位置处接触体的多个体接触“手指”。到体的低阻抗连接还需要现有技术体接触接近源极和漏极。由于通过这种体接触产生寄生电容,所以引用的现有技术参考文献教导与把这种结构用于例如 RF 的许多高频应用是相背离的。完全相反,可以把本发明的 ACS 308 放置在相距源极 304 和漏极 306 的选定距离处,并且也可以在体 312 的第一末端处把 ACS 308 连接到体 312(图 3A 和 3B 中示出)。以这种方式布置,ACS 308 与体 312

进行最小接触（与可能在沿体的许多位置处接触体的现有技术体接触相比）。具有 MOSFET 的 ACS 308 的这种配置消除或大大降低了 ACS 308 相对于源、漏极和体的更加接近的定位所导致的寄生电容。此外，ACS 308 可以在以耗尽沟道的方式操作的 SOI MOSFET 中实现。通常，所引用的现有技术参考文献教导与将体接触用于这种环境是相背离的（参见，例如上面引用的参考文献（3））。

[0101] 此外，由于碰撞电离空穴电流比针对累积电荷生成的电流（小于近似 100nA 每毫米体宽度）大得多（在 5,000nA 每毫米体宽度的范围内），所以现有技术未教导如何有效地实现非常大的体宽度（即，大于近似 10 μ m）。相对比地，本公开器件的 ACS 308 可以在具有相对较大的体宽度的 SOIMOSFET 中实现。这提供了尤其是 RF 开关器件在导通状态导电性和互导、插入损耗和制造成本方面的改进。根据上面引用的现有技术教导，由于体接触的阻抗必须因而增加，所以较大的体宽度不利地影响体接触的高效操作。尽管所引用的现有技术建议使用多个手指在不同位置处接触体，但是如上所述，多个手指不利地影响了寄生源漏电容。

[0102] 基于这些原因，以及下面更详细地描述的原因，本发明提供了克服根据如上文所引用的现有技术教导的限制、新颖的 MOSFET 器件、电路和方法。

[0103] 图 3C 是根据所公开的方法和设备的、适于控制累积电荷的 ACC SOINMOSFET 300' 的剖面透视示意图。在附图 3C 示出的例子中，ACCNMOSFET 300' 包含向各个 FET 部件区域提供电连接的四个端子。在一个实施例中，各端子提供把外部集成电路（IC）元件连接到各个 FET 部件区域的装置（例如金属引线，未示出）。附图 3C 中示出的 3 个端子通常在现有技术 FET 器件中可得到。例如，如图 3C 所示，ACCNMOSFET 300' 包含提供到栅极 302 的电连接的栅极端子 302'。类似地，ACCNMOSFET 300' 包含分别提供到源极 304 和漏极 306 的电连接的源极和漏极端子 304'，306'。众所周知，在电子设计领域中，各端子通过所谓“电阻性”（即，低电阻）接触区被连接到其相应 FET 部件区域（即，栅极、漏极和源极）。本领域众所周知与连接各个 FET 端子到 FET 部件区域相关的制造和结构细节，因此不在此更详细地描述。

[0104] 如上参考图 3A 和 3B 所述，ACCNMOSFET 300' 用于当 NMOSFET 在累积电荷模式中操作时控制累积电荷。因此，在附图 3C 中示出的示例性实施例中，ACCNMOSFET 300' 包含提供到体 312 的电连接的第四端子，并且因而当 FET 300' 在累积电荷模式中操作时利于累积电荷的降低（或其它控制）。更具体地，并且再次参照附图 3C，ACCNMOSFET 包含“体”端子，或累积电荷吸收器（ACS）端子 308'。ACS 端子 308' 提供到 ACS308（附图 3C 中未示出，但是在图 3A 和 3B 中示出）和体 312 的电连接。尽管附图 3C 中示出 ACS 端子 308 被物理地连接到体 312，但电子设计领域的技术人员应当理解，这种描述只为了示例的目的。附图 3C 中所示的 ACS 端子 308' 到体 312 的直接连接图解的是端子 308' 与体 312 的电气连通性（而非物理连接）。类似地，附图 3C 还示出了被物理连接到其相应 FET 部件区域的其它端子（即，端子 302'，304' 和 306'）。这些描述只是为了示例的目的。

[0105] 在多数实施例中，如上参考图 3A-3B 所述，并且还如下参考附图 3D-3K 所述，ACS 端子 308' 通过经由电接触区 310 连接到 ACS 308，提供到体 312 的电连接。然而，本发明还考虑 ACS 端子 308 被直接连接到体 312 的实施例（即，ACS 端子 308' 和体 312 之间不存在中间区域）。

[0106] 根据公开的方法和设备,当把 ACC NMOSFET 300' 偏置为在累积电荷模式中操作时(即,当 ACC NMOSFET 300' 处于关断状态,并且 P 极性的累积电荷 120(即,空穴)出现在体 312 的沟道区中时),通过 ACS 端子 308' 移除或控制累积电荷。当累积电荷 120 出现在体 312 中时,可以通过把偏置电压 (V_b ("体")) 或 V_{ACS} (ACS 偏置电压)) 施加到 ACS 端子 308' 来移除或控制电荷 312。通常,应用于 ACS 端子 308' 的 ACS 偏置电压 V_{ACS} 可以被选择为等于或比源极偏置电压 V_s 和漏极偏置电压 V_d 的较低值更负。更具体地,在某些实施例中,ACS 端子 308' 可以被连接到当 FET 在累积电荷模式中操作时移除(或"吸收")累积电荷的各种累积电荷吸收机构。下面参考图 4A-5D 描述若干示例性累积电荷吸收机构和电路结构。

[0107] 类似于上面参考图 1 描述的现有技术 NMOSFET 100,可以通过向各个端子 302'、304' 和 306' 施加特定偏置电压,把附图 3C 的 ACC SOI NMOSFET 300' 偏置为在累积电荷模式中操作。在一个示例性实施例中,源极和漏极偏置电压 (V_s 和 V_d , 分别地) 为零(即,端子 304' 和 306' 被连接到地)。在这个例子中,如果施加到栅极端子 302' 的栅极偏置电压 (V_g) 相对源极和漏极偏置电压并且相对 V_{th} 足够负(例如,如果 V_{th} 近似为零,并且如果 V_g 比近似 -1V 更负),则 ACC NMOSFET 300' 在关断状态操作。如果 ACC NMOSFET 300' 继续在关断状态被偏置,则累积电荷(空穴)会累积在体 312 中。有利的是,累积电荷可以通过 ACS 端子 308' 从体 312 移除。在某些实施例中,如下参考图 4B 更详细描述的,ACS 端子 308' 被连接到栅极端子 302' (因而保证相同偏置电压被施加到栅极 (V_g) 和体(在图 3C 中示为 " V_b " 或 " V_{ACS} "))。

[0108] 然而,电子设计领域的技术人员应当理解,当仍然使用本公开的方法和设备的技術的同时,可以把若干偏置电压施加到四个器件端子。只要把 ACC SOI NMOSFET 300' 偏置为在累积电荷模式中操作,则可以通过向 ACS 端子 308' 施加偏置电压 V_{ACS} 来移除或控制,并且因而从体 312 中移除累积电荷。

[0109] 例如,在一个实施例中,其中 ACC NMOSFET 300' 包括耗尽模式器件, V_{th} 定义为负。在这个实施例中,如果 V_s 和 V_d 偏置电压包括零伏(即端子连接到电路地节点),并且施加到栅极端子 302' 的栅极偏压 V_g 相对于 V_{th} 足够负(例如, V_g 相对于 V_{th} 比近似 -1V 更负),则空穴可以在栅极氧化物 110 下累积因而变成累积电荷 120。在这个例子中,为了从 FET 体 312 中移除所累积的空穴(即,累积电荷 120),施加到 ACS 308 的电压 V_{ACS} 可以被选择为等于或比 V_s 和 V_d 的较低值更负。

[0110] 在其它例子中,源极和漏极偏置电压 V_s 和 V_d 分别可以包括除了零伏之外的电压。根据这些实施例,栅极偏置电压 V_g 必须相对于 V_s 和 V_d 二者足够负(例如,以便 V_g 相对于 V_{th} 足够负)以便偏置处于关断状态的 NMOSFET。如上所述,如果在关断状态偏置 NMOSFET 足够长的时间周期(近似 1-2ms, 例如),则累积电荷将在栅极氧化物下累积。在这些实施例中,如上所述,为了从体 312 中移除累积电荷 120,施加到 ACS 端子 308 的 ACS 偏置电压 V_{ACS} 可以被选择为等于或比 V_s 和 V_d 的较低值更负。

[0111] 应当注意,与上面描述的例子相反,主要为了减轻由碰撞电离导致的不利影响而实现现有技术体接触。因此,现有技术体接触通常被连接到 MOSFET 的源极。为了有效地控制、降低或完全地移除 NMOSFET 中的累积电荷,在示例性实施例中, V_{ACS} 应当等于或比 V_s 和 V_d 的较低值更负。电子器件设计领域的技术人员应当理解,可以在 ACC MOSFET 包括

PMOSFET 器件时使用不同的 V_s 、 V_d 、 V_g 和 V_{ACS} 偏置电压。由于现有技术体接触通常被连接到源极,所以这个实现不能用现有技术体接触方法进行。

[0112] 图 3D 是根据本发明适于控制累积电荷 120 (图 1) 的 ACC SOI NMOSFET 300 的顶视图的简化示意图。图 3D 示出了栅接触 301、栅极 302 和栅极氧化物不可见的 ACC NMOSFET 300''。附图 3D 的 ACC NMOSFET 300'' 在设计上与上面参考图 3A 和 3B 描述的 ACC NMOSFET 300 非常相似。例如,类似于 ACC NMOSFET 300, ACC NMOSFET 300'' 包含包括 N+ 区域的源极 304 和漏极 306。ACC NMOSFET 300'' 还包含包括 P- 区域的累积电荷吸收器 (ACS) 308。如附图 3D 所示,包括 ACS 308 的 P- 区域邻接 (即,直接相邻于) 体 312,其也包括 P- 区域。类似于 ACC NMOSFET 300, ACC NMOSFET 300'' 包含提供电连接到 ACS 308 的电接触区 310。如上文所述,电接触区域 310 包括 P+ 区域。在另一个实施例中,电接触区 310 可包括 N+ 区域 (因而如上所述防止正电流流入体 312)。如附图 3D 所示,在 ACC NMOSFET 300'' 中形成直接邻近 ACS 308 的电接触区 310。ACC SOI NMOSFET 300'' 的功能是控制累积电荷,类似于上面参考图 3A-3C 描述的 ACC NMOSFET 的操作。

[0113] 图 3E 是根据本发明适于控制累积电荷的 ACC SOI NMOSFET 300''' 的顶视图的简化示意图。ACC NMOSFET 300''' 在设计上和功能上与上面参考图 3A-3D 描述的 ACC NMOSFET 非常相似。附图 3E 示出了沿 NMOSFET 300''' 的近似中心取的 A-A' 切线的虚线剖视图。这里使用这个剖视图描述了可能作为制程结果出现的、某些示例性现有技术 MOSFET 和 ACC NMOSFET 的某些实施例的结构和性能特性。现在参考附图 3F 描述这个剖视图 A-A' 的细节。

[0114] 切线 A-A' 切割 ACC NMOSFET 300''' 的以下部件区域: P+ 电接触区 310, ACS 308 (如图 3E 所示,未在附图 3F 中示出), P+ 重叠区域 310', 栅极氧化物 110 和聚硅栅极 302。在某些实施例中,在制程期间,当区域 310 掺杂 p 型掺杂剂材料时,邻近 P 体区域,某些其它 P+ 掺杂可被植入 (即, p 型掺杂剂材料可能重叠) 到聚硅栅极 302 的 P+ 重叠区域 310'。在某些实施例中,有意执行这种重叠以保证所有栅极氧化物 110 完全被 P+ 区域覆盖 (即,保证在栅极 302 和 P+ 区域间氧化物 110 的边缘上不存在间隙)。于是,这帮助在 P+ 区域 310 和体 312 之间提供最小阻抗连接。

[0115] 尽管本教导包括上述这种实施例,但是电子器件设计和制造领域的技术人员应当认识到不需要这种低阻抗连接。因此,如下更详细地描述的,与附图 3H 示出的实施例相关的缺点可以通过使用这里描述的其它实施例来克服 (例如,下面分别参考附图 3G 和 3J 描述的实施例 300 和 300'', 其中在 P+ 区域 310 和体 312 之间有意地实现间隙。在一个示例性实施例中, P+ 重叠区域 310' 以近似 0.2-0.7 微米重叠氧化物 110。MOSFET 设计和制造领域的技术人员应当理解,可以使用其它重叠区域尺寸实践本公开的方法和设备。在某些实施例中,如附图 3F 所示,例如,栅极氧化物 110 和 P- 体上的其余区域用 n 型掺杂剂材料掺杂 (即,它包括 N+ 区域)。

[0116] 再次参照附图 3F, 由于在栅极氧化物 110 上、体 312 上和邻近聚硅栅极 302 的边缘 340 出现 P+ 重叠区域 310', 所以在 NMOSFET 300''' 中产生提高阈值电压的区域。更具体地,由于 P+ 掺杂 (在 P+ 重叠区域 310' 中) 接近体 312 的沟道区上的栅极 302 的边缘 340, 所以在 MOSFET 300''' 的区域中形成了提高了阈值电压的区域。现在参考附图 3H 和

3I 更详细描述提高了阈值电压的区域的影响。

[0117] 图 3I 示出了反型沟道电荷与向 ACC NMOSFET 施加的栅极电压的关系曲线图 380。图 3I 中示出的曲线图 380 图解了上述提高的阈值电压的一个影响,此影响可能出现在现有技术 MOSFET 中,以及由于某些制造过程而可能出现在本 ACC NMOSFET 的某些实施例中。如下面更详细地描述的,由于体的附近连接到 FET 体,所以在附图 3H 中示出并且在下面更详细地描述的提高阈值电压的区域也出现在现有技术 MOSFET 设计中。如下参考附图 3J 更详细地描述的,例如,本公开的方法和设备能够被用于减少或消除在某些现有技术 SOI MOSFET 设计中发现的提高阈值电压的区域。

[0118] 图 3H 示出了栅接触、栅极和栅极氧化物不可见的 ACC NMOSFET 的一个实施例。上面参考附图 3E 和 3F 描述的提高阈值电压的 MOSFET 区域在附图 3H 中被示出为出现在椭圆 307 包围的区域中。电子设计和制造领域的技术人员会理解,出于上面参考附图 3E 和 3F 指出的原因,由于增加的阈值电压,附图 3H 中示出的 ACC MOSFET 的区域 307 有效地在 ACC MOSFET 沟道区的其余部分之后“导通”。

[0119] 提高的阈值电压能够通过减低该区域 307 的大小来降低。消除区域 307 则完全消除了阈值电压增加。由于阈值电压增加能够增加“导通”状态 MOSFET 的谐波和互调失真,所以消除这种影响改进了 MOSFET 性能。增加的阈值电压也有增加 MOSFET 的阻抗的不利影响(即,当 MOSFET 处于导通状态(导电状态)时,MOSFET 呈现的阻抗),其不利地影响 MOSFET 插入损耗。

[0120] 在一个示例性实施例中,如图所示,例如在上面参考图 3A 和 3B 描述的 ACC NMOSFET 300,和下面参考附图 3G 的 ACC MOSFET 300 的剖视图更详细描述的实施例中,通过把 P+ 区域 310 放置在与聚硅栅极 302 的边缘相距选择的距离处,减轻或克服了与阈值电压升高相关的不利影响。这种方法在图 3A 的 ACC MOSFET 300 的顶视图中示出,并且在附图 3G 的 ACC MOSFET 300 的剖视图中示出。如图 3G 的 ACC MOSFET 300 的剖视图所示,P+ 区域 310 未一直延伸到聚硅栅极 302 的边缘 340。这与附图 3F 示出的实施例 300' 完全相反,其中 P+ 区域 310' 一直延伸到栅极边缘 340。通过把 P+ 区域 310 如附图 3G 的实施例 300 所示放置在相距栅极边缘 340 一段距离处,没有 P+ 区域接近聚硅栅极 302(即,没有 P+ 区域出现在聚硅栅极 302 中)。

[0121] P+ 区域 310 的这种配置消除或大大减少了与上述阈值电压升高相关的问题。如上参考图 3A 和 3B 所述,并且参考与现有技术体接触参考文献的比较,P+ 区域 310 和栅极 302 之间的 ACS 308 P 区域(图 3A 中示出)的相对较高阻抗未不利地影响 ACC NMOSFET 300 的性能。如上所述,累积电荷可以被有效地移除,即使在使用相对较高阻抗的 ACS 连接的情况下。

[0122] 在另一个示例性实施例中,如下参考图 3J 所述,通过把 P+ 区域 310(和 ACS 308)放置在相距体 312 一段距离处,消除了阈值电压升高。由于当把 P+ 的小区域 310 放置在相距体 312 一段距离处时,ACS 308 和体 312 之间的电气连通具有相对较高阻抗,所以体接触现有技术参考文献(如上所述需要低阻抗接触)从未教导或启示这种方法。下面参考图 3J 描述这种改进的实施例。

[0123] 附图 3J 是适于控制累积电荷并且以“T-栅极”配置构造的 ACS SOI NMOSFET 300 的另一个实施例的简化顶视图。附图 3J 示出了栅接触 301、栅极 302 和栅极氧化物不可见

的 ACC NMOSFET 300''''。栅极（附图 3J 中未示出）和体 312 被配置为“T-栅极”配置的 ACC MOSFET 300'''' 的“支持”构件（即，它们包括“T 形”FET 的“底”部分）。这些“支持”构件“支持”T-栅极配置的 MOSFET 300'''' 的“被支持”构件，其包括图 3J 所示的 ACS 308（即，ACS 308 包括“T 形”FET 的“顶”部分）。如图 3J 所示，ACC NMOSFET 300'''' 包含结合到 ACS 308 的小 P+ 区域 310。如图 3J 所示，P+ 区域 310（和 ACS 外部电连接）被布置在相距体 312 的选择距离处。从体 312 通过 ACS 308 到 P+ 区域 310 的电连接的总体阻抗通过把 P+ 区域 310 放置在相距体 312 的选择距离处而增加。然而，如上所述，当前 ACCNMOSFET 300'''' 很好地移除了累积电荷，即使在使用相对较高阻抗的 ACS 连接的情况下。出于上面参考图 3A 和 3B 描述的原因，由于当 NMOSFET 300'''' 在累积电荷模式中操作时累积电荷的性质，ACCNMOSFET 300'''' 不需要低阻抗 ACS 电连接以从体 312 中移除累积电荷。而是，在实践本教导中可以使用相对较大阻抗的 ACS 连接，其中 NMOSFET 性能的相应改进如上所述（例如，与现有技术低阻抗体接触相比的寄生电容的降低）。然而，在其它实施例中，必要时，低阻抗 ACS 连接可以被用于实践公开的方法和设备，以用于改进 SOI MOSFET 的线性特性。

[0124] 此外，如上参考附图 3H 所述，由于小 P+ 区域 310 相距体 312 一段距离的事实，所以附图 3J 的实施例改进了器件性能。由于小 P+ 区域 310 相距体 312 一段距离，所以阈值电压增加以及前面描述的相应不利性能影响被减小或完全消除。

[0125] 附图 3K 是适于控制累积电荷并且以“H-栅极”配置构造的 ACC SOINMOSFET 300 的另一个实施例的简化顶视图。附图 3K 示出了栅接触 301、栅极 302 和栅极氧化物不可见的 ACC NMOSFET 300'''。除了这里描述的某些结构差别之外，ACC NMOSFET 300 在设计和功能上与上面参考图 3A-3D 和 3J 描述的 ACC NMOSFET 非常相似。如附图 3K 所示，ACC NMOSFET 300''' 包含两个 ACS，308 和 308''，其布置在 H-栅极 ACC NMOSFET 300''' 的相对端处。P+ 区域 310 和 310'' 被形成为邻接其相应 ACS，308 和 308''，并且对其提供电气接触。根据公开的方法和设备，如上所述，当 ACC NMOSFET 300''' 被偏压为在累积电荷模式中操作时，累积电荷通过两个 ACS 308 和 308'' 被移除或控制。

[0126] 电子器件设计领域的技术人员应当理解，尽管图解实施例示出了 ACS 308 和 308'' 延伸近似整个 ACC NMOSFET 300''' 的宽度，但是 ACS308 和 308'' 也可以包括更窄（或更宽）的区域，并且仍然起到移除或控制累积电荷的良好作用。并且，在某些实施例中，ACS 308 的阻抗不必匹配 ACS 308'' 的阻抗。技术人员还理解，ACS 308 和 308'' 可以包括不同的尺寸和结构（即，矩形、正方形或任何其他适当形状），并且也可以位于与体 312 相距不同距离处（即，不必与体 312 相距相同距离）。如上参考图 3J 所述，当 ACS 308 位于与体 312 相距选择距离处时，与阈值电压增加相关的问题被减小或消除。

[0127] 四端子 ACC MOSFET 器件 - 简单电路结构

[0128] 图 3A 和 3B 的 SOI NMOSFET 300 可以被实现成如示意性地在图 4A 中示出的四端子器件。如图 4A 的改进的 ACC SOI NMOSFET 300 所示，栅极端子 402 被电连接到栅接触 301（例如，图 3A）并且类似于附图 3C 中示出的栅极端子 302'。栅接触 301 被电连接到栅极 302（例如，图 3A 和 3C）。类似地，源极端子 404 被电连接到源极 304（例如，图 3A-3C）并且类似于附图 3C 的源极端子 304'。类似地，漏极端子 406 被电连接到漏极 306（例如，

图 3A-3C) 并且类似于图 3C 的漏极端子 306'。最终, ACC NMOSFET 300 包含 ACS 端子 408, 即通过区域 310 电连接到 ACS 308 (例如, 参见图 3A-3B, 和附图 3D, 3J-3K)。电子设计和制造领域的技术人员应当理解, 由于在某些实施例中难以直接接触到少量掺杂的区 (即, ACS 308), 所以可以在某些实施例中使用区域 310 以利于电连接到 ACS 308。ACS 端子 408 类似于附图 3C 中示出的 ACS 端子 308'。

[0129] 图 4A 的 ACC SOI NMOSFET 300 可以使用不同技术进行操作并且在不同电路中实现, 以便当它在累积电荷模式中操作时, 控制出现在 FET 中的累积电荷。例如, 在图 4B 所示的一个示例性实施例中, 栅极和 ACS 端子, 402 和 408, 被分别电连接在一起。在图 4B 示出的简化电路的一个实施例中, 分别施加到端子 404 和 406 的源极和漏极偏置电压可以是零。如果施加到栅极端子 402 的栅极偏置电压 (V_g) 相对施加到端子 404 和 406 的源极和漏极偏置电压, 并且相对阈值电压 V_{th} 足够负 (例如, 如果 V_{th} 近似为零, 并且如果 V_g 比近似 $-1V$ 更负), 则 ACC NMOSFET 300 在累积电荷模式中操作。如上参考图 3C 所述, 例如, 当 MOSFET 在这个模式中操作时, 累积电荷 (空穴) 可以在 NMOSFET 300 的体中累积。

[0130] 有利的是, 累积电荷能够经由 ACS 端子 408, 通过连接 ACS 端子 408 到如图所示的栅极端子 402 来移除。这个结构保证, 当 FET 300 处于关断状态时, 保持在正确偏压区域以有效地移除或控制累积电荷。如图 4B 所示, 连接 ACS 端子 408 到栅极保证了把相同偏置电压施加到栅极 (V_g) 和体 (在图 3C 中示为 " V_b " 或 " V_{ACS} ")。由于在这个实施例中, 偏置电压 V_{ACS} 与栅极电压 V_g 相同, 所以由于累积电荷通过 ACS 端子 408 被传送到栅极端子 402, 所以在栅极氧化物下不再捕捉到累积电荷 (通过吸引到栅极偏压 V_g)。因而, 累积电荷通过 ACS 端子 408 从体中移除。

[0131] 在其它示例性实施例中, 如上参考附图 3C 所述, 例如, V_s 和 V_d 可以包括非零偏置电压。根据这些例子, V_g 必须相对于 V_s 和 V_d 两者足够负, 以便 V_g 相对于 V_{th} 足够负, 以关断 NMOSFET 300 (即, 在关断状态操作 NMOSFET 300)。当如上所述偏压时, NMOSFET 300 可以进入累积电荷模式并且因而使累积电荷出现在体中。对于这个例子, 也可以通过连接 ACS 端子 408 到栅极端子 402 来选择电压 V_{ACS} 等于 V_g , 因而如上所述从 ACC NMOSFET 的体传送累积电荷。

[0132] 在另一个示例性实施例中, 如上所述, ACC NMOSFET 300 包括耗尽模式器件。在这个实施例中, 根据定义阈值电压 V_{th} 小于零。对于均处于零伏的 V_s 和 V_d , 当相对于 V_{th} 足够负的栅极偏压 V_g 被施加到栅极端子 402 时 (例如, V_g 比相对于 V_{th} 的近似 $-1V$ 更负), 空穴可以在栅极氧化物下累积并且因而包括累积电荷。对于这个例子, 电压 V_{ACS} 也可以通过连接 ACS 端子 408 到栅极端子 402 而被选择为等于 V_g , 因而如上所述从 ACC NMOSFET 传送累积电荷。

[0133] 在改进的 ACC SOI NMOSFET 300 的某些实施例中, 例如上面参考图 4B 描述的, 当 FET 被偏压导通时, 在器件的边缘处形成的二极管 (例如上面参考附图 3D 所示的 ACS 308 和漏极 304 (和源极 306) 之间的接口描述的) 可以变为正向偏压, 因而允许电流流入源极和漏极区。除了浪费功率之外, 这可以把非线性引入到 NMOSFET 中。由于作为正向偏压接口二极管的结果流动的电流包括非线性电流, 所以导致非线性。当在器件的区域中减低 V_{gs} 和 V_{gd} 时, 器件的边缘处的导通电阻 (on resistance) R_{on} 增加。众所周知, 出于上面提出的原因, 如果在器件边缘处形成的接口二极管变成正向偏压, 则因此显著不利地影响器件

导通状态特性。电子器件设计领域的技术人员应当理解,图 4B 中示出的结构限制施加的栅极偏置电压 V_{gs} 为接近 0.7 伏。附图 4C 示出的简化电路可以被用于克服这些问题。

[0134] 在附图 4C 中示出了使用改进的 ACC SOI NMOSFET 300 的另一个示例性简化电路。如附图 4C 所示,在这个实施例中,ACS 端子 408 可以被电连接到二极管 410,并且二极管 410 可以接着被连接到栅极端子 402。例如,当 SOI NMOSFET 300 被偏压到导通状态条件时,可出现这个实施例可以被用于防止由正 V_g 到 V_s (或,等价地, V_{gs} , 其中 $V_{gs} = V_g - V_s$) 偏置电压导致的流入 MOSFET 体 312 的正电流的情况。

[0135] 对于图 4B 中示出的器件,当偏压断开时,ACS 端子电压 V_{ACS} 包括栅极电压加上跨过二极管 410 的电压降。在非常低的 ACS 端子电流水平处,跨过二极管 410 的电压降通常也非常低 (例如, $< 500\text{mV}$, 例如, 针对典型的阈值二极管)。跨过二极管 410 的电压降可以通过使用其它二极管,例如 0Vf 二极管被减低到接近零。在一个实施例中,通过增加二极管 410 宽度实现跨过二极管的电压降的减低。另外,保持 ACS 到漏极的电压 (两个偏置电压的偏置电压较低) 越来越负,也改进了 ACC MOSFET 器件 300 的线性。

[0136] 当 SOI NMOSFET 300 被偏压在导通条件下时,二极管 410 被反向偏压,因而防止正电流流动到源极和漏极区。反向偏压结构降低了器件的功耗并且改进了器件的线性。因此,当 FET 处于关断状态并且在累积电荷模式中操作时,附图 4C 中示出的电路很好地从 ACC MOSFET 体中移除累积电荷。它还允许向栅极电压 V_g 施加几乎任何正电压。于是,当器件在关断状态操作时,这允许 ACC MOSFET 有效地移除累积电荷,然而当器件在导通状态操作时,仍呈现浮体器件的特性。

[0137] 除了二极管 410 用于防止正电流流动到 ACS 端子 408 之外,附图 4C 中示出的简化电路的示例性操作与上面参考图 4B 描述的电路的操作相同。

[0138] 在另一个实施例中,如附图 4D 的简化电路所示,ACS 端子 408 可以被连接到控制电路 412。控制电路 412 可以提供可选的 ACS 偏置电压 V_{ACS} , 其选择性地控制累积电荷 (即, 上述参考图 1 的累积电荷 120)。如附图 4D 所示,在某些实施例中,ACS 偏置电压 V_{ACS} 由独立于 ACCMOSFET 器件 300 的分立源极产生,而不是使本地电路提供 ACS 偏置电压 V_{ACS} (例如, 从栅极电压 V_g 导出)。在开关的情况下 (如下参考附图 4E 更详细地描述),ACS 偏置电压 V_{ACS} 应当从具有高输出阻抗的源来驱动。例如,可以使用大串联电阻获得这种高输出阻抗源极,以保证 RF 电压在 MOSFET 上分割并且 ACS 偏置电压 V_{ACS} 有 " 骑 (riding) " 在其上的 $V_{ds}/2$, 这类似于栅极电压。下面参考附图 4E 更详细地描述这种方法。

[0139] 可期望当 SOI NMOSFET 300 偏压到累积电荷模式时,向 ACS 端子 408 提供负 ACS 偏置电压 V_{ACS} 。在这个示例性实施例中,控制电路 412 可以通过有选择地保持 ACS 偏置电压 V_{ACS} (即, 相对源极和漏极偏置电压一贯地为负) 来防止正电流流入该 ACS 端子 408。尤其是,控制电路 412 可以被用于施加等于或比 V_s 和 V_d 的较低值更负的 ACS 偏置电压。因而,通过应用这种 ACS 偏置电压,累积电荷被消除或控制。

[0140] 在附图 4D 示出的简化电路的示例性实施例中,分别施加到端子 404 和 406 的源极和漏极偏置电压可以是零。如果施加到栅极端子 402 的栅极偏置电压 (V_g) 相对施加到端子 404 和 406 的源极和漏极偏置电压,并且相对阈值电压 V_{th} 足够负 (例如, 如果 V_{th} 近似为零, 并且如果 V_g 比近似 -1V 更负), 则 ACC NMOSFET 300 在累积电荷模式中操作, 并且累积电荷 (空穴) 可以在 ACC NMOSFET 300 的体中累积。有利的是, 累积电荷能够经由 ACS 端子

408 通过连接 ACS 端子 408 到如图所示的控制电路 412 来移除。为了保证从 ACC NMOSFET 300 的体传送累积电荷,施加到 ACS 端子 408 的 ACS 偏置电压 V_{ACS} 应当等于或比栅极电压更负并且比 V_s 和 V_d 的较低值更负。由于累积电荷 120 被传送到由控制电路 412 施加到 ACS 端子 408 的偏置电压 V_{ACS} ,所以由于栅极偏置电压 V_g 的吸引,累积电荷不保持俘获在栅极氧化物下。

[0141] 在其它实施例中, V_s 和 V_d 可以包括不同于零的偏置电压。根据这些例子, V_g 必须相对 V_s 和 V_d 两者足够负,以便 V_g 相对 V_{th} 足够负,以偏压 NMOSFET 300 在关断状态。这允许累积电荷累积在栅极氧化物下。对于这个例子,ACS 偏置电压 V_{ACS} 可以通过连接 ACS 端子 408 到控制电路 412 以提供选择的 ACS 偏置电压,而被选择为等于或比 V_s 和 V_d 的较低值更负,因而从 ACC NMOSFET 300 传送累积电荷。

[0142] 在其它实施例中,如果附图 4D 的 ACC NMOSFET 300 包括耗尽模式器件,则 V_{th} 根据定义为小于零。对于均处于零伏的 V_s 和 V_d ,当施加相对 V_{th} 足够负的栅极偏压 V_g 时(例如, V_g 比相对 V_{th} 的近似 $-1V$ 更负),空穴可以在栅极氧化物下累积。对于这个例子,施加到 ACS 端子 408 的 ACS 偏置电压 V_{ACS} 也可以通过连接 ACS 端子 408 到控制电路 412,而被选择为等于或比 V_s 和 V_d 的较低值更负,并且因而提供从 ACCNMOSFET 300 中移除累积电荷所需的期望 ACS 偏置电压 V_{ACS} 。

[0143] 如上所述,在一个实施例中,如附图 4D 所示,不是使控制电路 412 提供偏压到 ACS 端子 408,而是 ACS 端子 408 可以被例如附图 4E 的实施例所示的分立的偏压源电路驱动。在一个示例性电路实现中,如附图 4E 的电路所示,在 RF 开关电路中,分立 V_{ACS} 源具有高输出阻抗元件 403,其保证 RF 电压在 ACC NMOSFET 300 上被分割,并且还保证施加到 ACS 端子 408 的电压具有在其上施加的 $V_{ds}/2$,这类似于施加到栅极端子 402 的电压 V_{gs} 。在一个示例性实施例中,反相器 405 被配置为与高输出阻抗元件 403 串联并且被提供 GND 和 $-V_{DD}$ 。在一个示例性实施例中, $-V_{DD}$ 容易从适当的正电压源导出。然而,它可以包括甚至更负的电压以改进线性(即,可以独立于栅极电压)。

[0144] 在另一个实施例中,附图 4C 中示出的电路可以被修改以包含与 ACS 端子 408 串联配置的箝位电路。附图 4F 示出了这种示例性实施例。在某些工作条件下,经由 ACS 端子 408 流出 ACC NMOSFET 300、从 ACC NMOSFET 300 的体中传送累积电荷的电流足够高,使得它在偏压的电路中导致问题(即,在某些条件下,ACS 电流较高,以致偏压电路不能充分地吸收流出 ACC NMOSFET 300 的体的电流)。如附图 4F 的电路所示,一个示例性实施例通过中断 ACS 电流流出 ACC NMOSFET 300 的体并且因而把 ACC NMOSFET 300 返回到浮体条件来解决这个问题。

[0145] 在一个示例性电路中,如附图 4F 所示,耗尽模式 FET 421 被串联配置在 ACS 端子 408 和二极管 410 之间。在这个示例性电路中,耗尽模式 FET 421 包含电连接到 FET 的源极端子的栅极端子。在这个结构中,耗尽模式 FET 421 的功能是当 ACC MOSFET 在累积电荷模式中操作时截削或限制从 ACS 端子 408 流出的电流。更具体地,耗尽模式 FET 421 在达到预定阈值时进入饱和。因而,FET 421 的饱和电流限制离开 ACCMOSFET 的体的电流。在某些实施例中,例如通过选择较高阈值电压,可以可选地调整预定的饱和阈值以改变箝位出现的点,这导致较低最大电流和较早箝位。

[0146] 在某些实施例中,例如在 RF 开关电路中,栅极端子 402 和 ACS 端子 408 以 V_{ds} 的

一半的比率 ($V_{ds}/2$) 跟随 V_{ds} 。在高 V_{ds} 偏移处, V_{gs} 可以接近阈值电压 V_{th} , 从而产生增加的 I_{ds} 泄露电流。在某些情况下, 这种泄露电流离开 ACS 端子 408 并且可以压制住相关的电路 (例如, 负电压产生器)。因此, 附图 4F 中示出的电路解决了或缓和了这些问题。更具体地, 通过在 ACS 端子 408 和二极管 410 之间串联连接 FET 421, 离开 ACS 端子 408 的电流限于 FET 421 的饱和电流。

[0147] 在另一个示例性实施例中, 可以修改附图 4C 示出的简化电路以包含与二极管 410 并联放置的 AC 短接电容器。附图 4G 的简化电路可以被用于补偿全电路应用中出现的某些特定的不期望的非线性。在某些实施例中, 由于出现在 MOSFET 布线中的寄生现象, 附图 4C 的二极管 410 中存在的非线性特性可以在全电路实现中引入不期望的非线性。由于二极管用于提供 DC 偏压条件并且没有打算让任何 AC 信号通过它, 所以在某些实施例中期望采取减轻当前通过过二极管 41 的任何 AC 信号的影响的步骤。

[0148] 如附图 4G 的简化电路所示, 附图 4C 的电路已经修改为包含 AC 短接电容器 423, 其中 AC 短接电容器 423 被配置成与二极管 410 并联。AC 短接电容器 423 与二极管 410 并联布置以保证二极管 410 的非线性不被 AC 信号激励。在例如 RF 开关的某些示例性电路中, 由于栅极端子 402 和 ACS 端子 408 通常具有所施加的相同 AC 信号 (即, AC 等电位), AC 短接电容器 423 不影响较高水平的全电路。

[0149] 在某些电路实施例中, 多手指 FET 实现的体节点可以彼此连接 (例如, 使用金属或硅), 重叠源极手指。在 FET 实现的另一侧, 栅极节点可以彼此连接 (例如, 使用金属或硅), 重叠漏极手指。作为这个 FET 实现的结果, 其它电容可以在源极和体之间产生 (S-B), 并且此外其它电容可以在漏极和栅极之间产生 (D-G)。这些其它电容可以降低本征器件的对称性。在 AC 激励下, 这导致栅极端子更加接近地跟随漏极端子, 并且体端子更加接近地跟随源极端子, 这有效地产生二极管 410 上的 AC 信号, 其可以如上所述激励二极管 410 的非线性。使用附图 4G 示出的示例性实施例, 由于重叠手指而导致的寄生非线性激励被减轻。

[0150] 根据本公开的方法和设备形成的 ACC MOSFET 的改进的性能特性

[0151] 附图 4H 是关断状态电容 (C_{off}) 与当 AC 信号被施加到 MOSFET 时 SOI MOSFET 的所施加的漏源电压的关系曲线图 460 (曲线图 460 与示例性 1 毫米宽的 MOSFET 相关, 尽管使用更宽和更窄器件产生类似曲线图)。在一个实施例中, 栅极电压等于 -2.5 伏 $+V_d/2$, 并且 V_s 等于 0。第一曲线图 462 示出在累积电荷模式中操作, 并且因而如上参考图 1 所述具有累积电荷的典型现有技术 NMOSFET 的关断状态电容 C_{off} 。如附图 4H 所示, 在现有技术 FET 的曲线图 462 中示出的关断状态电容 C_{off} 是电压相关的 (即, 它是非线性的), 并且当 $V_d = 0$ 伏时达到峰值。第二曲线图 464 图解了根据本教导形成的改进的 ACC SOI MOSFET 的关断状态电容 C_{off} , 其中累积电荷从 ACC MOSFET 传送, 因而降低、控制和 / 或移除了来自 ACC MOSFET 体的累积电荷。如附图 4H 所示, ACC SOI MOSFET 的曲线图 464 中示出的关断状态电容 C_{off} 不是电压相关的 (即, 它是线性的)。

[0152] 如上参考图 2A 所述, 通过控制、降低或移除累积电荷, NMOSFET 体 312 的阻抗 212 (附图 3C, 并且在图 2A 的电气模型中示出为 MOSFET 体 114) 被增加到非常大的值。这个 MOSFET 体的阻抗 212 的增加降低了由结 218 和 220 (图 2A) 的阻抗产生对 C_{off} 的贡献, 因而降低了 C_{off} 的总体量和与结 218 和 220 的阻抗相关的非线性效应。曲线图 464 图解了本教导如何有利地降低 MOSFET 的关断状态电容 C_{off} 的非线性和总体量。关断状态电容 C_{off}

的降低的非线性和量改进了使用在累积电荷模式中操作的 MOSFET 的例如 RF 开关电路的电路的性能。现在参考图 5A-5D 描述上面参考图 4A-4G 描述的使用 ACC MOSFET 实现的示例性 RF 开关电路。使用根据本教导的 ACC SOI MOSFET 的示例性改进性能的 RF 开关实现

[0153] 图 5A 示出了根据现有技术的单刀单掷 (SPST) RF 开关电路 500 的示意图。RF 开关电路 500 是一般类别的公知 RF 开关电路的一个例子。在以下共同待审和共同受让的美国专利申请和专利中描述了类似 RF 开关电路:2005 年 2 月 9 日提交的临时专利申请 No. 60/651,736,标题为" UNPOWERED SWITCH AND BLEEDER CIRCUIT";2004 年 8 月 18 日提交的待审专利申请 No. 10/922,135,其作为 2002 年 10 月 8 日提交、2004 年 10 月 12 授权为美国专利 6,804,502 的专利申请 No. 10/267,531 的继续申请,标题为" SWITCH CIRCUIT AND METHOD OF SWITCHING RADIO FREQUENCY SIGNALS"。2002 年 10 月 8 日提交、2004 年 10 月 12 日授权为美国专利 6,804,502 的专利申请 No. 10/267,531 要求 2001 年 10 月 10 日提交的美国临时专利申请 No. 60/328,353 的优先权。所有上述专利申请和授权专利在这里被完整地参考引用,以得到其对包含 SOI MOSFET 开关电路的 RF 开关电路的教导。

[0154] 再次参照图 5A,开关 SOI NMOSFET 506 用于在输入端子 502 处接收 RF 输入信号" RFin"。开关 SOI MOSFET 506 被有选择地电连接 RFin 输入信号到输出端子 504(即,因而在输出端子 504 处传送 RF 输出信号 Rfout)。在示例性实施例中,开关 SOI NMOSFET 506 由第一控制信号 C1 控制,其中第一控制信号 C1 通过控制线 512 经由栅极电阻器 510 传送(可选地包含以用于寄生 RF 耦合的抑制)。控制线 512 被电连接到控制电路 520,其生成第一控制信号 C1。

[0155] 再次参照图 5A,旁路 SOI NMOSFET 508 用于在其漏极端子处接收 RF 输入信号 RFin,并且通过可选的负载电阻器 518 有选择地把输入信号 RFin 旁路到地。旁路 SOI NMOSFET 508 由第二控制信号 C1x 控制,其中第二控制信号 C1x 通过控制线 516 经由栅极电阻器 514 传送(可选地包含以用于寄生 RF 耦合的抑制和分压)。控制线 516 被电连接到控制电路 520,其生成第二控制信号 C1x。

[0156] 涉及图 5A 中示出的晶体管并且下面参考图 5B-5D,6,8 和 9 的 RF 开关电路描述的术语" 开关 (switching)" 和" 旁路 (shunting)" 在这里分别与术语" 开关 (switch)" 和" 旁路 (shunt)" 可互换使用。例如,开关 (switching) 晶体管 506(和下面在图 5B-5D,6,8 和 9 中描述的所有其类似开关晶体管)在这里也被称作为" 开关 (switch)" 晶体管。类似地,旁路 (shunting) 晶体管 508(和下面在图 5B-5D,6,8 和 9 中描述的所有其类似旁路晶体管)在这里也被称作为" 旁路 (shunt)" 晶体管。当用于描述 RF 开关电路晶体管时,这里互换使用术语" 开关 (switch)" 和" 开关 (switching)" (和类似地术语" 旁路 (shunt)" 和" 旁路 (shunting)")。此外,如下参考图 6 更详细地描述,RF 开关设计和制造领域的技术人员应当认识到,尽管图 5A-5D 和图 9 示出了包括单个 MOSFET 的开关和旁路晶体管,但是应当理解它们可以包括具有一或多个 MOSFET 晶体管的晶体管组。

[0157] RF 开关电路领域的技术人员还应当理解,所有示例性开关电路可以" 双向" 使用,其中预先描述的输入端口充当输出端口,并且反之亦然。即,尽管示例性 RF 开关在这里可以被描述为具有一或多个输入端口(或节点)和一或多个输出端口(或节点),但是这个说明只是为了方便,并且应当理解,输出端口可以在某些应用中被用于输入信号,并且输入端口可以在某些应用中被用于输出信号。参考图 2B,4E,5A-5D,6,8 和 9 描述的 RF 开关电路

在这里被描述为具有分别输入和输出 RF 信号的“输入”和“输出”端口（或“节点”）。例如，如下参考图 9 更详细地描述的，下面描述分别作为输入 RF 信号 RF1 和 RF2 的 RF 输入节点 905 和 RF 输入节点 907。下面 RFC 公共端口 903 被描述为提供 RF 公共输出信号。RF 开关电路设计领域的技术人员应当认识到，RF 开关是双向的，并且预先描述的输入端口良好地充当输出端口，并且反之亦然。在图 9 的 RF 开关的例子中，RFC 公共端口可以被用于输入通过 RF 节点 905 和 907 有选择地输出的 RF 信号。

[0158] 再次参照图 5A，分别生成第一和第二控制信号 C1 和 C1x，使得当旁路 SOI NMOSFET 508 在关断状态操作时，开关 SOI NMOSFET 506 在导通状态操作，并且反之亦然。这些控制信号向 NMOSFET 506 和 508 的栅极端子提供栅极偏置电压 V_g 。当 NMOSFET 506 或 508 中的任意一个被偏压以选择晶体管关断状态时，相应 V_g 必须包括足够大的负电压，使得由于 RF 输入信号 RFin 的时变施加电压，所以相应 NMOSFET 不进入或接近导通状态。因而，RF 输入信号 RFin 的最大功率受 SOI NMOSFET 506 和 508 可以可靠地维持的栅极偏置电压 V_g （或，更通常地，栅源工作电压 V_{gs} ）的最大量限制。对于例如这里示例的那些 RF 开关电路， $V_{gs}(\max)$ 的量 = $|V_g| + |V_{ds}(\max)/2|$ ，其中 $V_{ds} = V_d - V_s$ ，并且 $V_{ds}(\max)$ 包括最大 V_{ds} ，这是由于与 RF 输入信号 RFin 相关的高功率输入信号电压水平。

[0159] 开关和旁路 SOI NMOSFET 506 和 508 的示例性偏置电压可以分别包含以下情况： V_{th} 接近零伏，导通状态的 V_g 为 +2.5V，关断状态的 V_g 为 -2.5V。针对这些偏置电压，当 SOI NMOSFET 被设置到其关断状态时，SOI NMOSFET 可以最终在累积电荷模式中操作。尤其是，并且如上参考图 2B 所述，当开关 NMOSFET 506 处于导通状态，并且旁路 NMOSFET 508 被偏压在关断状态时，输出信号 RFout 可以被累积电荷导致的旁路 NMOSFET 508 的关断电容 C_{off} 的非线性行为造成畸变。有利的是，根据本教导形成的改进的 ACC MOSFET 可以被用于改进电路性能，尤其当它受累积电荷不利地影响时。

[0160] 图 5B 是适于使用本累积电荷降低和控制技术获得更高性能的改进的 RF 电路 501 的示意图。开关电路 501 不同于现有技术电路 500（图 5A）的地方在于旁路 NMOSFET 508 被根据本教导形成的旁路 ACC NMOSFET 528 替代。旁路 ACC NMOSFET 528 类似于上面参考图 4A 和 4B 描述的 ACC NMOSFET。类似地，旁路 ACC NMOSFET 528 的栅极、源极、漏极和 ACC 端子类似于 ACC NMOSFET 300 的相应端子。除了由改进的旁路 ACC NMOSFET 528 提供改进的开关性能之外，RF 开关电路 501 的操作非常类似于上面参考图 5A 描述的 RF 开关电路 500 的操作。

[0161] 开关 NMOSFET 526 和旁路 ACC NMOSFET 528 的示例性偏置电压可以包含： V_{th} 接近零伏，导通状态的 V_g 为 +2.5V，关断状态的 V_g 为 -2.5V。针对这些偏置电压，当 SOI NMOSFET 被设置到关断状态时，SOI NMOSFET 可以在累积电荷模式中操作。然而，当开关 NMOSFET 526 处于导通状态并且旁路 ACC NMOSFET 528 处于关断状态时，由于累积电荷，所以在输出端子 505 处的输出信号 RFout 不会被改进的旁路 ACC NMOSFET 528 的关断状态电容 C_{off} 的非线性行为造成发生畸变。当旁路 ACC NMOSFET 528 在累积电荷模式中操作时，累积电荷通过 ACS 端子 508' 被移除。更具体地，由于旁路 ACC NMOSFET 528 的栅极端子 502' 被连接到 ACS 端子 508'，所以如上关于图 4B 的简化电路所描述的，累积电荷被移除或控制。累积电荷的控制通过改进关断状态晶体管、旁路 ACC NMOSFET 528 的线性改进了开关 501 的性能，并且因而降低了在输出端子 505 处生成的 RF 输出信号 Rfout 的谐波和互调失真。

[0162] 附图 5C 是适于使用本发明的累积电荷控制技术获得更高性能的改进的 RF 开关电路 502 的另一个实施例的示意图。开关电路 502 不同于现有技术电路 500 (图 5A) 的地方在于 NMOSFET 508 被根据本教导形成的 ACC NMOSFET 528 替代。ACC NMOSFET 300 528 类似于上面参考图 4A 和 4C 描述的 ACC NMOSFET 300。类似地, ACC NMOSFET 528 的栅极、源极、漏极和 ACC 端子类似于上面参考图 4A 和 4C 描述的 ACCNMOSFET 300 的相应端子。除了由改进的 ACC NMOSFET 528 提供改进的开关性能之外, 开关电路 502 的操作非常类似于上面参考图 5A 和 5B 分别描述的开关电路 500 和 501 的操作。

[0163] NMOSFET 526 和 ACC NMOSFET 528 的示例性偏置电压可以包含以下: V_{th} 接近零伏, 导通状态的 V_g 为 +2.5V, 关断状态的 V_g 为 -2.5V。针对这些偏置电压, 当 SOI NMOSFET 526, 528 被设置到关断状态时, 其可以在累积电荷模式中操作。然而, 当 NMOSFET 526 处于导通状态并且 ACC NMOSFET 528 处于关断状态时, 所以输出信号 RFout 不会因为累积电荷所造成的 ACC NMOSFET 528 的关断状态电容 C_{off} 的非线性行为而发生畸变。由于 ACC NMOSFET 528 的栅极端子 502' 通过二极管 509 被连接到 ACS 端子 508', 所以如上参考附图 4C 所述, 累积电荷完全被移除, 降低或控制。类似于上面参考图 5B 描述的改进的开关 501, 累积电荷的控制通过改进关闭晶体管 528 的线性改进了开关 502 的性能, 并且因而降低了 RF 输出端子 505 的 RF 输出信号 Rfout 输出的谐波和互调失真。如上参考附图 4C 所述, 可能在某些实施例中期望如图所示的二极管 509 的连接, 以在偏压到导通状态时, 抑制正电流流入 ACC NMOSFET 528。

[0164] 附图 5D 是适于使用本累积电荷控制技术得到更高性能的改进的 RF 开关电路 503 的另一个实施例的示意图。开关电路 503 不同于现有技术电路 500 (图 5A) 的地方在于图 5A 的 NMOSFET 508 被根据本教导形成的 ACC NMOSFET 528 替代。ACC NMOSFET 528 类似于上面参考图 4A 和 4D 描述的 ACC NMOSFET。除了由改进的 ACC NMOSFET 528 提供改进的开关性能之外, 开关电路 503 的操作非常类似于上面参考图 5A-5C 分别描述的开关电路 500, 501 和 502 的操作。

[0165] NMOSFET 526 和 ACC NMOSFET 528 的示例性偏置电压可以包含以下: V_{th} 接近零伏, 导通状态的 V_g 为 +2.5V, 关断状态的 V_g 为 -2.5V。针对这些偏置电压, 当 SOI NMOSFET 526, 528 被设置到关断状态时, 其可以在累积电荷模式中操作。然而, 当 NMOSFET 526 处于导通状态并且 ACC NMOSFET 528 处于关断状态时, 在输出端子 505 处产生的输出信号 RFout 不会因为累积电荷所造成的 ACC NMOSFET 528 的关断状态电容 C_{off} 的非线性行为而发生畸变。当 NMOSFET 528 在累积电荷模式中操作时, 累积电荷通过 ACS 端子 508' 被移除。更具体地, 由于 ACCNMOSFET 528 的 ACS 端子 508' 通过控制线 517 被电连接到控制电路 520 (即, 如图所示通过控制信号 "C2" 控制), 所以如上参考附图 4D 所述, 通过把选择偏置电压施加到 ACS 端子 508', 累积电荷可以被移除、降低或控制。电子电路设计领域的技术人员应当理解, 各种偏置电压信号可以被施加到 ACS 端子以便降低或控制累积电荷。特定偏置电压可以适用于特定应用。累积电荷的控制通过改进关断状态晶体管 528 的线性改进了开关 503 的性能, 并且因而降低了在输出端子 505 处生成的 RF 输出信号 Rfout 的谐波和互调失真。

[0166] 在上面参照图 5B-5D 描述的电路中, 示出和描述了使用现有技术的 SOI MOSFET 实现的开关 SOI MOSFET 526 (即, 它们不包括 ACCMOSFET, 因此不具有 ACS 端子)。电子器件

设计领域的技术人员应当了解和理解,在公开的方法和设备的其它实施例中,现有技术开关 SOIMOSFET 526 可以根据需要被根据本发明形成的 ACC SOI MOSFET 替换。例如,在使用本教导的 ACC MOSFET 实现的 RF 开关的某些实施例中,RF 开关包括单刀双掷 RF 开关。在这个实施例中,开关 SOIMOSFET (例如,类似于上面参考图 5B-5D 描述的开关 SOI MOSFET 526) 可以包括 ACC SOI MOSFET。这种实现防止关断状态开关 SOI MOSFET 的非线性行为(当未选择作为输入“刀”时关断)不利地影响通过选择的“刀”切换的 RF 信号的输出。使用开关 ACC MOSFET 的 RF 开关的实现降低了开关晶体管的关断电容 C_{off} 的量、偏离和电压相关性。因此,并且如上更详细地描述的,也改进了例如其隔离、插入损耗和偏离特性的开关性能特性。下面参考图 9 中示出的 RF 开关电路更详细地描述这个实现。许多其它例子也是电子电路领域的技术人员能够想到的。

[0167] 例如,如上面提出的,尽管已经描述了使用 ACC SOI NMOSFET 器件实现的示例性 RF 开关,但是它们也可以使用 ACC SOI PMOSFET 器件实现。此外,尽管上面已经描述了作为根据本教导实现的 RF 开关的例子的单刀单掷和单刀双掷 RF 开关,但是本申请涵盖了任何变化的单刀多掷、多刀单掷和多刀多掷的 RF 开关结构。RF 开关设计和制造领域的技术人员应当认识和理解,本教导可以被用于实现任何适当的 RF 开关结构设计。

[0168] 使用堆叠晶体管的示例性 RF 开关实现

[0169] 在上面描述的 RF 开关电路的示例性实施例中,使用有选择地连接或阻隔(即,电开路电路连接)RF 输入信号到 RF 输出的单个 SOINMOSFET (例如,图 5A 的单个 SOI NMOSFET 506,和图 5B-5D 的单个 SOI NMOSFET 526) 实现开关电路。类似地,在上面参考图 5A-5D 描述的示例性实施例中,单个 SOI NMOSFET (例如,图 5A 的单个 SOINMOSFET 508,和图 5B-5D 的 ACC SOI NMOSFET 528) 被用于旁路(导通状态的 FET) 或阻隔(关断状态的 FET) RF 输入信号到地。2004 年 10 月 12 日授权的标题为“SWITCH CIRCUIT AND METHOD OF SWITCHING RADIO FREQUENCY SIGNALS”的共同受让的美国专利 6,804,502 描述了使用通过有选择地连接和阻隔 RF 信号的堆叠晶体管组实现的 SOI NMOSFET 的 RF 开关电路。

[0170] 图 6 图解了如何根据本发明的教导实现堆叠 NMOSFET 的一个例子。RF 开关电路 600 类似于附图 5D 的 RF 开关电路 503,其中单个 SOINMOSFET 526 被堆叠 SOI NMOSFET 602, 604 和 606 替代。类似地,单个 ACC SOI NMOSFET 528 被堆叠 ACC SOI NMOSFET 620, 622 和 624 替代。控制信号 C2 通过可选的电阻器 626, 628 和 630 分别提供到 ACC SOI NMOSFET 620, 622 和 624 的 ACS 端子。可选地包含电阻器 626, 628 和 630 以便分别抑制在堆叠的 ACC SOI NMOSFET 620, 622 和 624 之间的寄生 RF 信号。RF 开关电路 600 的操作类似于上面参考附图 5D 描述的 RF 开关电路 503 的操作。

[0171] 在图 6 的示例性堆叠的 RF 开关电路 600 中的每个 ACC NMOSFET 堆叠中示出了 3 个堆叠的 ACC SOI NMOSFET。只为了示例性目的示出多个 3 层 ACC NMOSFET,集成电路设计领域的技术人员会理解,可以根据例如功率处理性能、开关速度等等的特定电路需要使用任意多个。可以在堆叠中包含更少或更多个堆叠的 ACC NMOSFET 以获得期望的操作性能。

[0172] 适于累积电荷控制、类似于上面参考图 5B-5D 描述的电路的其它堆叠的 RF 开关电路也可以被使用。电子器件设计领域的技术人员根据上面的教导可想到这种电路的实现,因此在这里不进一步描述。此外,电子器件设计领域的技术人员明白,尽管在图 6 的堆叠 RF 开关中示出了对称堆叠的 RF 开关(即,旁路和开关晶体管具有相等数量),但是本发明的

ACC 方法和设备不受此限制。本教导可以被应用于对称和非对称堆叠的（旁路和开关晶体管具有不等数量）RF 开关的实现。设计人员容易理解如何使用 本发明的 ACC MOSFET 实现非对称以及对称的 RF 开关电路。

[0173] 示例性操作方法

[0174] 图 7 图解了根据本发明改进具有累积电荷吸收器 (ACS) 的 SOI MOSFET 的线性的示例性方法 700。方法 700 在步骤 702 处开始, 在此步骤处, 具有 ACS 端子的 ACC SOI MOSFET 被配置成在电路中操作。ACS 端子可以被在操作时连接到 SOI MOSFET 的栅极（如上参考图 4B、4C、5B 和 5C 所述）或连接到控制电路（如上参考附图 4D 和 5D 所述）。在其它实施例中, ACS 端子可以被在操作时连接到任何适当的累积电荷吸收机构、电路或器件, 只要适宜电路或系统设计。该方法接着进入步骤 704。

[0175] 在步骤 704, 至少部分时间控制 ACC SOI MOSFET, 使得它在累积电荷模式中操作。在多数实施例中, 如上所述, 通过施加设置 FET 于关断状态条件的偏置电压, 在累积电荷模式中操作 ACC MOSFET。在一个示例性实施例中, ACC SOI MOSFET 包括配置为 RF 开关的旁路电路的一部分的 ACC SOI NMOSFET。根据这个示例性实施例, 在通过向 ACCNMOSFET 的栅极端子施加负偏置电压而使旁路电路被设置到关断状态之后, SOI NMOSFET 可以在累积电荷模式中操作。

[0176] 方法接着进入步骤 706, 在此步骤处, 在 ACC MOSFET 的沟道区中积累的累积电荷通过 ACS 端子被移除或控制。在这个实施例中, 累积电荷被传送到另一个电路端子并且因而被降低或控制。可以用于传送来自 MOSFET 体的累积电荷的一个这种示例性电路端子包括 ACCMOSFET（参见, 例如, 上面参考图 4B、4C、5B 和 5C 的说明）的栅极端子。可以用于移除或控制累积电荷的另一个示例性电路端子包括控制电路的端子（参见, 例如, 附图 4D 和 5D）。如上面更详细地描述的, 在 ACCMOSFET 体中移除或控制累积电荷改进了关断状态 ACC MOSFET 的线性, 其降低了受 ACC MOSFET 影响的信号的谐波失真和 IMD, 并且于是改进了电路和系统性能。在 RF 开关电路中, 对旁路 ACC MOSFET 器件的关断电容进行改进（线性和量两方面）, 这改进了 RF 开关电路的性能。除了其它开关性能特性之外, 使用本教导的 ACC 方法和设备降低了 RF 开关的谐波和互调失真。

[0177] 图 8 和 9 示出了根据用于改进具有 ACS 的 MOSFET 的线性的公开的方法和设备形成的 RF 开关电路的其它示例性实施例的示意图。如下面参考图 8 和 9 更详细地描述的, 在根据本发明形成的 RF 开关电路的某些 示例性实施例中, 可以期望包含漏源电阻器、 R_{ds} , 并且因而当开关被用于特定应用时改进某些开关的性能特性。现在更详细地描述这些示例性 RF 开关电路。

[0178] 使用具有源极到漏极电阻器的堆叠的晶体管的示例性 RF 开关实现

[0179] 图 8 示出了根据本发明形成的 RF 开关电路 800 的一个示例性实施例。如图 8 所示, 根据本发明形成的 RF 开关的某些实施例可以包含电连接到 ACC MOSFET 的相应源极和漏极的漏源 (R_{ds}) 电阻器。例如, 图 8 的示例性开关 800 包含分别电连接到旁路 ACC SOI NMOSFET 620、622 和 624 的相应源极和漏极的漏源 R_{ds} 电阻器 802、804 和 806。现在描述使用漏源 R_{ds} 电阻器的动机。

[0180] 技术人员从本教导应当理解, 通过 ACS 端子清除累积电荷导致电流从 ACC SOI MOSFET 的体中流出。例如, 当空穴电流通过 ACS 从 ACCSOI MOSFET 的体中流出时, 相等的

电子电流流向 FET 源极和 / 或漏极。对于某些电路 (例如, 图 8 的 RF 开关电路), ACC SOI NMOSFET 的源极和 / 或漏极被连接到其它 SOI NMOSFET。由于关断状态 SOI NMOSFET 具有非常高的阻抗 (例如, 对 1 毫米宽的 SOI NMOSFET, 在 1G 欧姆的范围内), 所以即使非常小的漏源电流 (例如, 在 1nA 的范围内) 也可以产生 ACC SOI NMOSFET 上的不能接受的大漏源电压 V_{ds} , 以满足 Kirchhoff 的众所周知的电流和电压定律。在某些实施例中, 例如图 8 和 9 示出的 RF 开关电路, 这种所得到的非常大的漏源电压 V_{ds} 不期望地影响 ACC SOI NMOSFET 的可靠性和线性。漏源电阻器 R_{ds} 提供了在 ACCFET 漏极和源极之间的路径, 从而当与例如其它 ACC SOI NMOSFET 的高阻抗元件串联实现时, 与控制累积电荷相关的电流可以传导离开 ACCSOI NMOSFET 的源极和漏极。

[0181] 图 8 的 NMOSFET 602-606 和 ACC NMOSFET 620-624 的示例性工作电压可以包含以下: V_{th} 接近零伏, 导通状态的 V_g 为 +2.5V, 关断状态的 V_g 为 -2.5V。在示例性实施例中, 图 8 的 ACC SOI NMOSFET 622 可以具有 1 毫米的宽度, 并且累积电荷的电子空穴对生成速率产生在累积电荷模式中操作的 $10\text{pA}/\mu\text{m}$ 的电流。针对同样由源极和漏极提供的电子电流, 以及大约为 1G 欧姆的 ACC SOI NMOSFET 620 的阻抗, 不可接受的 -5V 偏压在不存在 R_{ds} 电阻器 802 和 806 的情况下在 ACC SOI NMOSFET 622 的源极和漏极上产生。这个偏置电压也将被施加到 ACCSOI NMOSFET 620 和 624 的内部节点。

[0182] 即使小于示例性电流的电流可通过降低关断状态的 ACC SOI NMOSFET 620-624 的 V_{gs} 和 / 或 V_{gd} 而对 RF 开关电路 800 的操作产生不利影响, 因而通过增加泄漏, 通过增加由过度泄漏导致的热载流子损害等等, 降低了电路的功率处理能力和可靠性 (例如, 当 V_{gs} 或 V_{gd} 接近 V_{th} 时)。也通过当任一值接近 V_{th} 时降低 V_{gs} 和 / 或 V_{gd} 而使 MOSFET 的线性降级。

[0183] 在某些实施例中, 可以通过选择近似等于栅极电阻器 632-636 的电阻除以堆叠中 ACC SOI NMOSFET 的数目的值来选择 R_{ds} 电阻器 802 到 806 的示例性值 (在示例性实施例中, 堆叠中有 3 个 ACC FET)。更通常地, R_{ds} 电阻器的值可以等于栅极电阻器值除以堆叠中 ACC SOI NMOSFET 的数目。在一个例子中, 8 个 ACC SOI NMOSFET 的堆叠可以具有 80k 欧姆的栅极电阻器和 10k 欧姆的 R_{ds} 电阻器。

[0184] 在某些实施例中, 可以选择 R_{ds} 电阻器, 使得它们不会由于关断状态 ACC SOI NMOSFET 而消极地影响例如开关 800 的插入损耗的开关性能特性。例如, 针对大于 10k 欧姆的净旁路阻抗, 插入损耗增加不到 0.02dB。

[0185] 在其它实施例中, R_{ds} 电阻器可以在包括单个 ACC SOI MOSFET 的电路中实现 (与在图 8 中通过旁路 ACC FET 620, 622 和 624 示例的堆叠的旁路结构对比)。例如, 在下述情况下可能期望这种电路: 存在与 ACCSOI MOSFET 串联配置的其它高阻抗元件, 作为当移除或控制累积电荷时产生的电流的结果, 这些元件可能导致较大偏置电压被施加到源极或漏极。图 9 示出了这种电路的一个示例性实施例。

[0186] 图 9 示出了根据本教导形成的示例性单刀双掷 (SPDT) RF 开关电路 900。如图 9 所示, DC 阻隔电容器 904 被连接到接收第一 RF 输入信号 RF1 的第一 RF 输入节点 905。类似地, DC 阻隔电容器 906 被连接到接收第二 RF 输入信号 RF2 的第二 RF 输入节点 907。此外, DC 阻隔电容器 902 被电连接到 RF 公共输出节点 903, 其提供有选择地通过开关电路 900 从第一 RF 输入节点 905 或第二 RF 输入节点 907 传送到节点 RFC 903 的 RF 公共输出信号

(RFC) (即, RFC 输出 RF1 或 RF2, 这取决于在下面更详细地描述的控制信号 C1 和 C1x 控制的开关的操作)。

[0187] 提供第一控制信号 C1 以控制 ACC SOI NMOSFET 526 和 528' 的工作状态 (即, C1 有选择地在导通状态或关断状态操作 FET)。类似地, 提供第二控制信号 C1x 以控制 ACC SOI NMOSFET 528 和 526' 的工作状态。众所周知, 并且例如上述引用的共同受让的美国专利 No. 6, 804, 502, 生成控制信号 C1 和 C1x, 使得当 ACC SOI NMOSFET 528 和 526' 处于关断状态时, ACC SOI NMOSFET 526 和 528' 处于导通状态, 并且反之亦然。这个结构允许 RF 开关电路 900 有选择地传送信号 RF1 或 RF2 到 RF 公共输出节点 903。

[0188] 第一 ACS 控制信号 C2 被配置成控制 SOI NMOSFET 526 和 528' 的 ACS 端子的操作。第二 ACS 控制信号 C2x 被配置成控制 ACC SOI NMOSFET 528 和 526' 的 ACS 端子。分别选择第一和第二 ACS 控制信号, C2 和 C2x, 使得相关和相应的 NMOSFET 的 ACS 被适当地偏压, 以便当在累积电荷模式中操作 ACC SOI NMOSFET 时移除、降低或控制其累积电荷。

[0189] 如图 9 的 RF 开关电路 900 所示, 在某些实施例中, R_{ds} 电阻器 908 被电连接在开关 ACC NMOSFET 526 的源极和漏极之间。类似地, 在某些实施例中, R_{ds} 电阻器 910 被电连接在开关 ACC NMOSFET 526' 的源极和漏极之间。根据这个例子, 操作电路 900, 使得旁路 ACC NMOSFET 528 或旁路 ACC NMOSFET 528' 始终在导通状态操作 (即, 节点 905 处的输入信号 RF1 或节点 907 处的 RF2 的至少一个始终被传送到 RFC 节点 903), 因而分别向节点 905 或者 907 提供到地的低阻抗路径。因此, R_{ds} 电阻器 908 或 R_{ds} 电阻器 910 提供了从 RF 公共节点 903 到地的低阻抗路径, 因而防止了当使用 DC 阻隔电容器 902, 904 和 906 时可能导致的流入节点 903, 905 和 907 的 ACC 电流所造成的电压偏压问题。

[0190] 本发明的 ACC MOSFET 提供的其它示例性好处

[0191] 如上所述, 在 SOI MOSFET 的体中出现的累积电荷可能不利地影响浮体 MOSFET 的漏源击穿电压 (BVDS) 的性能特性。这也具有当关断状态 MOSFET 在例如 RF 开关电路的某些电路中使用使其线性恶化的不期望影响。例如, 考虑图 9 示出的旁路 SOI NMOSFET 528。还考虑其中使用现有技术 SOI NMOSFET 实现旁路 NMOSFET 528 的情况, 而不是使用根据本教导形成的 ACC NMOSFET。假设 RF 传输线路使用 50 欧姆系统。使用小信号输入, 并且当 NMOSFET 528 在关断状态操作时, 现有技术关断状态旁路 NMOSFET 528 可以在存在多个 RF 信号的情况下引入谐波失真和 / 或互调失真。这也引入了信号功率的显而易见的损耗。

[0192] 当输入足够大的信号使 NMOSFET 528 进入 BVDS 模式时, 一些 RF 电流被截削, 或通过 NMOSFET 528 重定向到地, 从而产生信号功率的损耗。这个电流“截削”导致可以在例如 RF 开关“Pout 与 Pin”关系曲线图中示出的压缩特性。这被频繁表征为 P1dB, 其中插入损耗在小信号插入损耗上增加 1.0dB。这是开关的非线性的明显指示。根据本公开的方法和装置, 移除、降低或控制累积电荷提高了 BVDS 点。对 NMOSFET 528 的 BVDS 点的提高等量地提高开关的大信号功率处理。例如, 针对开关, 使 ACC NMOSFET 的 BVDS 电压加倍将 P1dB 点提高 6dB。与现有技术 RF 开关设计相比, 这是显著的成就。

[0193] 此外, 如上更详细地描述的, 在 SOI MOSFET 体中出现的累积电荷不利地影响了 C_{off} 的量, 并且当 FET 从导通状态切换到关断状态时需要时间来形成。依据开关性能, C_{off} 的非线性不利地影响了总体开关线性性能 (如上所述), 并且 C_{off} 的量不利地影响了例如插入损

耗、插入相位（或延迟）和隔离的小信号性能参数。通过使用本公开的方法和设备降低 C_{off} 的量，开关（使用 ACC MOSFET 实现）降低了插入损耗（由于降低的寄生电容），降低了插入相位（或延迟）（也由于降低的寄生电容），并增加了隔离（由于较低的电容性馈通）。

[0194] ACC MOSFET 也改进了涉及一个时间段上小信号参数的偏离的 SOIMOSFET 的偏离特性。由于 SOI MOSFET 需要一些时间在开关关断时累积出累积电荷，所以 C_{off} 电容开始时相当小。然而，在以累积电荷模式操作的时间段上，关断状态电容 C_{off} 提高到最终值。NMOSFET 达到全累积电荷状态所需的时间取决于电子-空穴对 (EHP) 生成机制。通常，对于例如在室温下的热 EHP 生成，这个时间段大约为近似几百毫秒。在这个电荷增加的时间段期间，插入损耗和插入相位增加。并且，在这个时间段期间，隔离降低。众所周知，这些是标准 SOI MOSFET 器件中不期望的现象。使用 ACC NMOSFET 和上面描述的相关电路减轻或缓和这些问题。

[0195] 除了公开的 ACC MOSFET 方法和设备提供的上述好处之外，公开的技术还允许 SOI MOSFET 的实现具有改进的温度性能、改进的对 Vdd 变化的灵敏度、和改进对过程变化的灵敏度。电子器件设计和制造领域的技术人员会了解和理解通过本公开的方法和设备提供的现有技术 SOIMOSFET 的其它改进。

[0196] 示例性的制造方法

[0197] 在本发明的一个实施例中，上述示例性 RF 开关可以使用完全绝缘衬底绝缘体上半导体 (SOI) 技术实现。而且，如上所述，除了通常使用的基于硅的系统之外，本发明的某些实施例可以使用锗硅 (SiGe) 实现，其中 SiGe 等效地取代硅。

[0198] 在某些示例性实施例中，本发明的 MOSFET 晶体管可以使用“超薄硅 (UTSi)”（在这里也被称作“蓝宝石上超薄硅”）技术实现。根据 UTSi 制造方法，在绝缘蓝宝石晶片中的极薄硅层上形成用于实现这里公开的发明方法的晶体管。全绝缘蓝宝石衬底通过降低与不绝缘和部分绝缘衬底相关的有害的衬底连接效应，增强了发明的 RF 电路的性能特性。例如，插入损耗改进可以通过降低晶体管导通状态电阻和通过降低寄生衬底导电性和电容来实现。此外，使用 UTSi 技术提供的全绝缘衬底改进开关隔离。由于蓝宝石上硅技术的全绝缘性质，所以 RF 开关的节点之间的寄生电容与体 CMOS 和其它传统集成电路制造技术相比被大大降低。

[0199] 可以在 MOSFET 和这里描述的电路中实现的、制造蓝宝石上硅器件的例子和方法在以下美国专利中给出了描述：美国专利 5,416,043 (“Minimum charge FET fabricated on an ultrathin silicon on sapphire wafer”)；5,492,857 (“High-frequency wireless communication system on a single ultrathin silicon on sapphire chip”)；5,572,040 (“High-frequency wireless communication system on a single ultrathin silicon on sapphire chip”)；5,596,205 (“High-frequency wireless communication system on a single ultrathin silicon on sapphire chip”)；5,600,169 (“Minimum charge FET fabricated on an ultrathin silicon on sapphire wafer”)；5,663,570 (“High-frequency wireless communication system on a single ultrathin silicon on sapphire chip”)；5,861,336 (“High-frequency wireless communication system on a single ultrathin silicon on sapphire chip”)；5,863,823 (“Self-aligned edge control in silicon on insulator”)；

5,883,396(" High-frequency wireless communication system on a single ultrathinsilicon on sapphire chip ");5,895,957(" Minimum charge FET fabricatedon an ultrathin silicon on sapphire wafer ");5,920,233(" Phase locked loopincluding a sampling circuit for reducing spurious side bands");5,930,638(" Method of making a low parasitic resistor on ultrathin silicon oninsulator ");5,973,363(" CMOS circuitry with shortened P-channel lengthon ultrathin silicon on insulator ");5,973,382(" Capacitor on ultrathinsemiconductor on insulator ");and 6,057,555(" High-frequency wirelesscommunication system on a single ultrathin silicon on sapphire chip")。这里整个引入了所有这些引用的专利有关蓝宝石上超薄硅集成电路设计和制造的教导。

[0200] 类似于其它体和SOI CMOS工艺,在某些实施例中,适用于本发明 的某些实施例的SOS增强模式NMOSFET可以使用到具有n型源极和漏极区的沟道区的p型掺杂来制造,并且可以具有接近+500mV的阈值电压。阈值电压直接与p型掺杂水平有关,其中较高掺杂产生较高阈值。类似地,在某些示例性实施例中,SOS增强模式PMOSFET可以用n型沟道区和p型源极和漏极区实现。并且,掺杂水平限定阈值电压,其中较高掺杂产生更负阈值。

[0201] 在某些示例性实施例中,适用于本发明的某些实施例的SOS耗尽模式NMOSFET可以通过对n型晶体管应用p型沟道植入掩模来制造,从而产生具有n型沟道、源极和漏极区的结构,以及接近-500mV的负阈值电压。类似地,在某些示例性实施例中,适当的耗尽模式PMOSFET可以通过向p型晶体管应用n型沟道植入掩模来实现,从而产生具有p型沟道、源极和漏极区的结构,以及接近+500mV的正阈值电压。

[0202] 如上面背景部分描述的,也可以使用任何适当的绝缘体上半导体技术实现本ACC MOSFET设备,绝缘体上半导体技术包含但不局限于绝缘体上硅、蓝宝石上硅和接合晶片上硅技术。一个这样的接合晶片上硅技术使用"直接硅接合"(DSB)衬底。通过把不同晶体取向的单晶硅的薄膜接合和电附着到基衬底上来制造直接硅接合(DSB)衬底。这种实现可以从总部设于San Jose, California的Silicon Genesis Corporation处获得。如SiliconGenesis Corporation Web 站点所述(从www.sigen.com可公开获得),接合晶片上硅技术包含可以在室温执行的所谓NanoCleave™接合处理。使用这种处理,SOI晶片可以使用具有基本上不同的热膨胀系数的材料形成,例如在制造绝缘体上锗晶片(GeOI)时。描述接合晶片上硅实现的示例性专利如下:Henley等人2006年6月6日得到授权的美国专利7,056,808;Kang等人2005年11月29日得到授权的美国专利6,969,668;Farrens等人2005年6月21日得到授权的美国专利6,908,832;Henley等人2003年10月14日得到授权的美国专利6,632,724和Henley等人2004年9月14日得到授权的美国专利6,790,747。这里参考引用所有上述专利有关在接合晶片上制造硅器件的技术和方法的教导。

[0203] 涉及SOS中增强模式和耗尽模式晶体管的制造的参考文献是"CMOS/SOS/LSI Switching Regulator Control Device," Orndorff, R. 和 Butcher, D., Solid-State Circuits Conference, Digest of Technical Papers, 1978 IEEE International, Volume XXI, pp. 234-235, February 1978。这里把"Orndorff"参考文献的整个技术引入以得到增强模式和耗尽模式 SOS 晶体管的制造的技术。

[0204] 示例性结果

[0205] 图 10-19 示出了使用用于改进 MOSFET 的线性的公开的方法和设备获得的示例性结果。所测量的结果针对的是单极六掷 (SP6T) RF 开关。RF 开关电路设计领域的技术人员应当理解,可以把结果扩展到任何实际 RF 开关配置,因此不局限于示出结果的示例性 SP6T 开关。

[0206] 图 10-15 示出了现有技术器件和根据本公开方法和设备形成的 ACCMOSFET 器件的谐波性能与输入功率的关系。使用公开的方法和设备的 ACC MOSFET 实现的开关电路具有三次谐波响应,该响应按对数标度 (log scale) 相对输入功率以 3 : 1 斜率 (输入的立方) 上升。电子器件设计领域的技术那些人员应当理解,根据本发明得到的改进的 RF 开关设计没有出现输入功率相关动态偏置。相反,现有技术浮体 FET 谐波不利地没有遵循 3 : 1 斜率。这对例如 IM3 的小信号三次失真是不利的。

[0207] 如图 10-19 所示,在 GSM 最大输入功率 +35dBm 处,3fo 被改进 14dB。这在图 11 中详细示出。三次谐波失真的改进还适用于例如 5 次响应、7 次响应等等的所有奇次响应。

[0208] 类似于 3fo,改进的 ACC MOSFET 实现的 RF 开关的二次响应遵循 2 : 1 斜率 (输入的乘方),然而现有技术 RF 开关没有这样。这导致低输入功率处的改进的 2fo 和 IM2 性能,并且导致 +35dBm 处大致相同的性能。

[0209] 图 14 和 15 涉及非 50 欧姆负载下的性能。在这种情况下,负载表示 5 : 1 失配,其中负载阻抗可以是导致反射系数数量 2/3 的任何适当的值。在 SOI MOSFET 的情况下,导致较高电压的反射系数导致最严重的问题。在 5 : 1 VSWR 处,电压可以有 1.667X 高。本领域的技术人员通过扫描输入功率直到等同于失配条件的较高电压可以看出这种类似。

[0210] 图 10-19 图解了根据本公开的方法和设备形成的 ACC MOSFET 实现的改进的 RF 开关,与现有技术的 RF 开关实现相比,其大大地改进了电压处理能力。如图 10-19 所示,在最坏的失配相位角度处,谐波近似于 20dB。还示出了瞬态谐波。本领域的技术人员应当观察出,标准 SP6T 开关 3fo 在达到最终值之前过冲了若干 dB。根据本公开的方法和设备形成的改进的 SP6T 开关未表现出这种时间相关性。

[0211] 图 16 示出了使用本教导的改进的 SP6T RF 开关实现的插入损耗性能结果。可以观察出,改进的 SP6T 开关具有略微改进的插入损耗 (IL) 性能特性。图 17 示出了也使用本改进的 SP6T RF 开关轻微改进的隔离。

[0212] 图 18 示出了作为 RF 开关的轻微非线性行为的度量的 IM3 性能。由于被测系统中的负载失配,所以再次对比相位示出 IM3 性能。如可以通过检查图 18 所能观察到的,改进的 SP6T RF 开关的性能被改进了近似 27dB。

[0213] 最终,图 19 是也包含 IM2 数据的摘要表。图 19 示出对于低频阻隔器改进了几乎 20dB 并且对于高频阻隔器几乎改进了 11dB。在可以使用 SP6T 的一个示例性应用中,所有 IM 积必须低于 -105dBm。改进的 SP6T 开关是唯一在提交满足这个要求的本申请时制造的 RF 开关。

[0214] 已经描述了本发明的若干实施例。然而应当理解,各种修改可以在不偏离发明教导的范围的前提下进行。例如,应当理解,描述为一个模块的一部分的功能通常可以等价地在另一个模块中被执行。并且,如上所述,所有 RF 开关电路可以双向使用,其中输出端口用于输入信号,并且反之亦然。此外,可以使用本发明的教导实现得益于从 MOSFET 体中清除累积电荷的任何电路。本教导还发现电路中的实用性,其中关断状态晶体管必须承受相对

高电压。其它示例性电路包含 DC 到 DC 转换电路、功率放大器和类似的电子电路。

[0215] 本公开的构思

[0216] 构思 1 :一种累积电荷控制 (ACC) 浮体 MOSFET (ACCMOSFET), 用于在以累积电荷模式操作 MOSFET 时控制 MOSFET 的非线性响应, 包括 :a) 具有浮体的 MOSFET, 其中浮体 MOSFET 有选择地以累积电荷模式操作, 并且其中当 MOSFET 以累积电荷模式操作时, 累积电荷出现在浮体 MOSFET 的体中 ;和 b) 累积电荷吸收器 (ACS), 工作时连接到 MOSFET 的体, 其中 ACS 移除或控制 MOSFET 体中的累积电荷。

[0217] 构思 2 :如构思 1 所述的 ACC MOSFET, 其中 MOSFET 包含栅极、漏极、源极和位于栅极和体之间的栅极氧化物层, 并且其中当 MOSFET 在关断状态 (非导电状态) 下操作时, MOSFET 以累积电荷模式操作, 并且其中电荷在邻近栅极氧化物的区域中的体内累积。

[0218] 构思 3 :如构思 2 所述的 ACC MOSFET, 其中 MOSFET 体包含沟道区, 该沟道区包含在源极和漏极之间的栅极调制导电沟道, 并且其中当 MOSFET 在导通状态 (导电状态) 下操作时, 源极、漏极和沟道具有相同极性的载流子, 并且其中当 MOSFET 被偏置为在关断状态下操作并且当 累积电荷具有的极性与源极、漏极和沟道载流子的极性相反时, MOSFET 以累积电荷模式操作。

[0219] 构思 4 :如构思 3 所述的 ACC MOSFET, 其中 MOSFET 包括 NMOSFET 器件, 并且其中累积电荷包括具有 " P " 极性的空穴。

[0220] 构思 5 :如构思 3 所述的 ACC MOSFET, 其中 MOSFET 包括 PMOSFET 器件, 并且其中累积电荷包括具有 " N " 极性的电子。

[0221] 构思 6 :如构思 4 所述的 ACC MOSFET, 其中 MOSFET 包括增强模式 NMOSFET 器件。

[0222] 构思 7 :如构思 4 所述的 ACC MOSFET, 其中 MOSFET 包括耗尽模式 NMOSFET 器件。

[0223] 构思 8 :如构思 5 所述的 ACC MOSFET, 其中 MOSFET 包括增强模式 PMOSFET 器件。

[0224] 构思 9 :如构思 5 所述的 ACC MOSFET, 其中 MOSFET 包括耗尽模式 PMOSFET 器件。

[0225] 构思 10 :如构思 1 所述的 ACC MOSFET, 其中以绝缘体上半导体技术制造 MOSFET。

[0226] 构思 11 :如构思 1 所述的 ACC MOSFET, 其中在蓝宝石上半导体衬底上制造 MOSFET。

[0227] 构思 12 :如构思 10 所述的 ACC MOSFET, 其中绝缘体上半导体技术包括在绝缘衬底上制造的锗硅 (SiGe)。

[0228] 构思 13 :如构思 10 所述的 ACC MOSFET, 其中绝缘体上半导体技术包括在绝缘衬底上制造的砷化镓 (GaAs)。

[0229] 构思 14 :如构思 1 所述的 ACC MOSFET, 其中以接合晶片上半导体技术制造 MOSFET。

[0230] 构思 15 :如构思 14 所述的 ACC MOSFET, 其中通过接合和电附着单晶硅薄膜到基绝缘衬底上, 在直接硅接合衬底上制造 MOSFET。

[0231] 构思 16 :如构思 1 所述的 ACC MOSFET, 其中 MOSFET 具有固有的线性特性, 并且其中通过从 MOSFET 体移除或减少累积电荷来改进 ACC MOSFET 的线性。

[0232] 构思 17 :如构思 15 所述的 ACC MOSFET, 其中 MOSFE 当在所选 择的电路实现时产生谐波失真和互调 (IMD) 效应, 并且其中通过移除或减少累积电荷实现的 ACC MOSFET 的线性改进也改进了谐波失真和 IMD 效应, 并且其中移除或减少累积电荷也改进了与 ACC MOSFET 相关的功率处理和电压容限。

[0233] 构思 18 :如构思 2 所述的 ACC MOSFET, 其中 MOSFET 具有固有的漏源击穿电压

(BVDSS) 特性,并且其中通过从 MOSFET 体移除或减少累积电荷来改进 ACC MOSFET 的 BVDSS 特性。

[0234] 构思 19:如构思 2 所述的 ACC MOSFET,其中 MOSFET 当在关断状态(非导电状态)下操作时具有漏源关断状态电容(C_{off}),并且其中关断状态电容(C_{off})通过从 MOSFET 体移除或减少累积电荷而表现出改进的线性特性。

[0235] 构思 20:如构思 19 所述的 ACC MOSFET,其中关断状态电容(C_{off})具有固有的量,并且其中通过从 MOSFET 体移除或减少累积电荷来降低关断状态电容(C_{off})的量。

[0236] 构思 21:如构思 19 所述的 ACC MOSFET,其中关断状态电容(C_{off})在出现时变漏源偏置电压(V_{ds})时随时间变化,并且其中通过从 MOSFET 体移除或减少累积电荷来降低 C_{off} 的随时间变化。

[0237] 构思 22:如构思 19 所述的 ACC MOSFET,其中关断状态电容(C_{off})在累积电荷在 MOSFET 体中累积时随时间变化,并且其中通过从 MOSFET 体移除或减少累积电荷来降低 C_{off} 的随时间变化。

[0238] 构思 23:如构思 1 所述的 ACC MOSFET,其中 ACS 具有大于近似 10^6 欧姆的阻抗。

[0239] 构思 24:如构思 1 所述的 ACC MOSFET,其中 ACS 具有小于近似 10^6 欧姆的阻抗。

[0240] 构思 25:如构思 1 所述的 ACC MOSFET,其中 ACC MOSFET 具有固有的功率处理能力,并且其中通过从 MOSFET 体移除或减少累积电荷使 ACC MOSFET 能够处理具有增加的功率水平的输入信号。

[0241] 构思 26:一种累积电荷控制浮体 MOSFET(ACC MOSFET),适于当 MOSFET 以累积电荷模式操作时控制 MOSFET 的体中的累积电荷,包括:a) 栅极、漏极、源极、浮体和位于栅极和浮体之间的栅极氧化物层,其中当 MOSFET 在关断状态(非导电状态)下操作时,ACC MOSFET 以累积电荷模式操作,并且电荷在邻近栅极氧化物层且处于栅极氧化物层下的区域中的体内累积;和 b) 位置接近浮体的第一末端的第一累积电荷吸收器(ACS),其中 ACS 与浮体电连接,并且其中 ACS 移除或控制 ACCMOSFET 体中的累积电荷。

[0242] 构思 27:如构思 26 所述的 ACC MOSFET,其中 ACC MOSFET 还包括位置接近第一 ACS 且与第一 ACS 电连接的电接触区,其中电接触区促进与第一 ACS 的电连接。

[0243] 构思 28:如构思 27 所述的 ACC MOSFET,其中 ACC MOSFET 包括 ACC NMOSFET,并且其中源极和漏极均包括 N+ 掺杂区,浮体和第一 ACS 均包括 P- 掺杂区,并且电接触区包括 P+ 掺杂区。

[0244] 构思 29:如构思 27 所述的 ACC MOSFET,其中 ACC MOSFET 包括 ACC NMOSFET,并且其中源极和漏极均包括 N+ 掺杂区,浮体和第一 ACS 均包括 P- 掺杂区,并且电接触区包括 N+ 掺杂区,其充当到第一 ACS 的二极管连接,从而在所选择的偏置电压条件下禁止正电流流入第一 ACS 和流入浮体。

[0245] 构思 30:如构思 27 所述的 ACC MOSFET,其中 ACC MOSFET 包括 ACC PMOSFET,并且其中源极和漏极均包括 P+ 掺杂区,浮体和 ACS 均包括 N- 掺杂区,并且电接触区包括 N+ 掺杂区。

[0246] 构思 31:如构思 27 所述的 ACC MOSFET,其中 ACC MOSFET 包括 ACC PMOSFET,并且其中源极和漏极均包括 P+ 掺杂区,浮体和 ACS 均包括 N- 掺杂区,并且电接触区包括 P+ 掺杂区,其充当到 ACS 的二极管连接,从而在所选择的偏置电压条件下禁止正电流流入 ACS 和

流入浮体。

[0247] 构思 32 :如构思 27 所述的 ACC MOSFET,其中电接触区和 ACS 是同延的。

[0248] 构思 33 :如构思 28 所述的 ACC MOSFET,其中浮体和 ACS 包括可以在单离子实现制造步骤中制造的组合的 P 掺杂区。

[0249] 构思 34 :如构思 28 所述的 ACC MOSFET,其中浮体和 ACS 包括连接在一起的分立 P- 掺杂区。

[0250] 构思 35 :如构思 27 所述的 ACC MOSFET,其中 MOSFET 体包含沟道区,该沟道区包含在源极和漏极之间的栅极调制导电沟道,并且其中当 ACC MOSFET 在导通状态(导电状态)下操作时,源极、漏极和沟道具有相同极性的载流子,并且其中当 MOSFET 被偏置到在关断状态下操作 并且当累积电荷具有的极性与源极、漏极和沟道载流子的极性相反时,ACC MOSFET 以累积电荷模式操作。

[0251] 构思 36 :如构思 35 所述的 ACC MOSFET,其中 ACC MOSFET 包括 NMOSFET 器件,并且其中累积电荷包括具有 " P " 极性的空穴。

[0252] 构思 37 :如构思 35 所述的 ACC MOSFET,其中 MOSFET 包括 PMOSFET 器件,并且其中累积电荷包括具有 " N " 极性的电子。

[0253] 构思 38 :如构思 35 所述的 ACC MOSFET,其中 ACC MOSFET 具有耗尽或部分耗尽沟道区。

[0254] 构思 39 :如构思 26 所述的 ACC MOSFET,其中 ACS 具有大于近似 10^6 欧姆的阻抗。

[0255] 构思 40 :如构思 26 所述的 ACC MOSFET,其中 ACS 具有小于近似 10^6 欧姆的阻抗。

[0256] 构思 41 :如构思 26 所述的 ACC MOSFET,其中 ACS 位于相距源极和漏极的选定距离处,从而降低与 ACS 相关的寄生电容效应。

[0257] 构思 42 :如构思 26 所述的 ACC MOSFET,其中 ACS 在浮体的第一末端处被连接到体,从而降低与 ACS 到浮体的连接相关的寄生电容效应。

[0258] 构思 43 :如构思 26 所述的 ACC MOSFET,其中浮体具有超过近似 $10\ \mu\text{m}$ 的宽度。

[0259] 构思 44 :如构思 26 所述的 ACC MOSFET,其中 ACC MOSFET 包含电连接到栅极的栅极端子,电连接到漏极的漏极端子,电连接到源极的源极端子,和电连接到 ACS 的 ACS 端子。

[0260] 构思 45 :如构思 44 所述的 ACC MOSFET,其中栅极、漏极、源极和 ACS 端子通过低电阻接触区被连接到其相应区域。

[0261] 构思 46 :如构思 44 所述的 ACC MOSFET,其中通过向源极、漏极和栅极端子施加所选择的偏置电压,把 ACC MOSFET 偏置为以累积电荷模式操作,并且其中通过把 ACS 端子连接到累积电荷吸收机构来移除或控制累积电荷。

[0262] 构思 47 :如构思 46 所述的 ACC MOSFET,其中当 ACC MOSFET 以累积电荷模式操作时,通过向 ACS 端子施加所选择的偏置电压 V_{ACS} 来移除或控制累积电荷。

[0263] 构思 48 :如构思 47 所述的 ACC MOSFET,其中 ACC MOSFET 包括耗尽模式 NMOSFET 器件,并且其中 V_{ACS} 被选定为等于或更负于源极偏置电压和漏极偏置电压中较低的一个。

[0264] 构思 49 :如构思 27 所述的 ACC MOSFET,其中电接触区位于相距源极、漏极和体的选定距离处,从而降低与 ACS 相关的寄生电容效应。

[0265] 构思 50 :如构思 35 所述的 ACC MOSFET,还包含在体的沟道区和栅极氧化物层上位置接近栅极的远侧边缘的接触区重叠区域,其中该重叠区域保证所有栅极氧化物层完全被

与用于形成该电接触区的掺杂剂材料相同的掺杂剂材料所覆盖。

[0266] 构思 51 :如构思 50 所述的 ACC MOSFET,其中电接触区位于相距栅极的远侧边缘的所选择距离处,从而减少或移除和重叠区域与栅极的远侧边缘的接近相关的 MOSFET 中增加的阈值电压的区域。

[0267] 构思 52 :如构思 26 所述的 ACC MOSFET,其中 ACC MOSFET 包括" T-栅极"配置的 ACC MOSFET,并且其中浮体形成" T-栅极"配置的支持构件,并且第一 ACS 形成" T-栅极"配置的支持构件,并且其中第一 ACS 沿浮体的第一末端放置并且与浮体的至少某部分接触。

[0268] 构思 53 :如构思 52 所述的 ACC MOSFET,其中 ACC MOSFET 还包括位置接近 ACS 并且与 ACS 电连接的电接触区,其中电接触区促进与 ACS 的电连接。

[0269] 构思 54 :如构思 53 所述的 ACC MOSFET,其中 ACS 具有大于近似 10^6 欧姆的阻抗。

[0270] 构思 55 :如构思 53 所述的 ACC MOSFET,其中 ACS 具有小于近似 10^6 欧姆的阻抗。

[0271] 构思 56 :如构思 26 所述的 ACC MOSFET,其中 ACC MOSFET 包括" H-栅极"配置的 ACC MOSFET,其中 H-栅极配置的支持构件包含分别位置接近浮体的第一和第二末端的第一和第二 ACS,并且其中第一和第二 ACS 位于浮体的相对端,并且其中第一 ACS 具有位置接近且与之电连接的相关和相应第一电接触区,并且其中第二 ACS 具有位置接近且与之电连接的相关和相应第二电接触区,并且其中第一和第二 ACS 与浮体电连接。

[0272] 构思 57 :如构思 56 所述的 ACC MOSFET,其中 ACC MOSFET 具有一个宽度,并且其中第一和第二 ACS 延长了近似 ACC MOSFET 的整个宽度。

[0273] 构思 58 :如构思 57 所述的 ACC MOSFET,其中第一和第二 ACS 延伸超出 ACC MOSFET 的宽度。

[0274] 构思 59 :如构思 57 所述的 ACC MOSFET,其中第一和第二 ACS 未延伸到 ACC MOSFET 的宽度。

[0275] 构思 60 :如构思 56 所述的 ACC MOSFET,其中第一和第二 ACS 具有相同阻抗。

[0276] 构思 61 :如构思 60 所述的 ACC MOSFET,其中第一和第二 ACS 的阻抗彼此不同。

[0277] 构思 62 :如构思 56 所述的 ACC MOSFET,其中第一电接触区位于相距浮体的第一选择距离处,并且其中第二电接触区位于相距浮体的第二选择距离处。

[0278] 构思 63 :如构思 62 所述的 ACC MOSFET,其中第一和第二选择距离相同。

[0279] 构思 64 :如构思 62 所述的 ACC MOSFET,其中第一和第二选择距离彼此不同。

[0280] 构思 65 :如构思 56 所述的 ACC MOSFET,其中 ACS 近似于矩形。

[0281] 构思 66 :如构思 56 所述的 ACC MOSFET,其中 ACS 近似于圆形。

[0282] 构思 67 :如构思 56 所述的 ACC MOSFET,其中 ACS 近似于正方形。

[0283] 构思 68 :一种四端子累积电荷控制浮体 MOSFET (ACC MOSFET) 器件,当以累积电荷模式操作 MOSFET 时,适于控制 MOSFET 的体内累积电荷,包括 :a) 栅极、漏极、源极、浮体和位于栅极和浮体之间的栅极氧化物层,其中当 MOSFET 在关断状态(非导电状态)下操作时,ACC MOSFET 以累积电荷模式操作,并且电荷在接近栅极氧化物层且处于栅极氧化物层下的区域中的体内累积 ;b) 位置接近浮体的末端的累积电荷吸收器 (ACS),其中 ACS 与浮体电连接 ;和 c) 电连接到栅极的栅极端子,电连接到漏极的漏极端子,电连接到源极的源极端子,和电连接到 ACS 的 ACS 端子 ;其中当 MOSFET 以累积电荷模式操作时,体中的累积电荷通

过 ACS 端子受控制或从体中清除。

[0284] 构思 69 :如构思 68 所述的四端子 ACC MOSFET,其中栅极和 ACS 端子电连接在一起。

[0285] 构思 70 :如构思 69 所述的四端子 ACC MOSFET,其中当 ACC MOSFET 器件被偏置为以累积电荷模式操作时,通过 ACS 和栅极端子从体中清除累积电荷。

[0286] 构思 71 :如构思 69 所述的四端子 ACC MOSFET,其中在栅极和 ACS 端子之间连接二极管,使得当在导通状态(导电状态)条件下操作 MOSFET 并且二极管被反向偏压时,二极管阻止正电流流入 ACC MOSFET 体。

[0287] 构思 72 :如构思 71 所述的四端子 ACC MOSFET,其中二极管具有跨过二极管的相关电压降,并且其中跨过二极管的电压降可以通过增加二极管的宽度被选择性地降低。

[0288] 构思 73 :如构思 68 所述的四端子 ACC MOSFET,其中 ACS 端子被连接到累积电荷吸收机构。

[0289] 构思 74 :如构思 73 所述的四端子 ACC MOSFET,其中 ACS 累积电荷吸收机构包括当 ACC MOSFET 以累积电荷模式操作时,适于控制或从体中移除累积电荷的控制电路。

[0290] 构思 75 :如构思 73 所述的四端子 ACC MOSFET,其中累积电荷吸收机构产生可选累积电荷吸收器偏置电压(V_{ACS}),并且其中 V_{ACS} 被选择使得当 ACC MOSFET 以累积电荷模式操作时,从体中清除累积电荷。

[0291] 构思 76 :如构思 75 所述的四端子 ACC MOSFET,其中累积电荷吸收器偏置电压 V_{ACS} 由具有相对高阻抗的源来驱动。

[0292] 构思 77 :如构思 76 所述的四端子 ACC MOSFET,其中累积电荷吸收器偏置电压 V_{ACS} 由具有大于近似 10^6 欧姆的阻抗的源来驱动。

[0293] 构思 78 :如构思 75 所述的四端子 ACC MOSFET,其中栅极、漏极和源极具有相关和相应栅极(V_g)、漏极(V_d)和源(V_s)偏置电压,并且其中 ACS 偏置电压 V_{ACS} 被选择为等于 V_s 和 V_d 的较低值或比 V_s 和 V_d 的较低值更负,因而当 MOSFET 以累积电荷模式操作时,从体中传送累积修辞(rhetorical)电荷。

[0294] 构思 79 :如构思 68 所述的四端子 ACC MOSFET,其中栅极和 ACS 端子通过 ACS 和栅极端子之间串联配置的箝位电路电连接在一起。

[0295] 构思 80 :如构思 79 所述的四端子 ACC MOSFET,其中箝位电路限制在累积电荷模式期间从 ACS 端子流出电流,因而保证在累积电荷模式期间,累积电荷受控制或从 MOSFET 体中清除。

[0296] 构思 81 :如构思 79 所述的四端子 ACC MOSFET,其中箝位电路包括在 ACS 端子和栅极端子之间串联配置的耗尽模式 MOSFET。

[0297] 构思 82 :如构思 81 所述的四端子 ACC MOSFET,其中耗尽模式 MOSFET 具有选定的饱和电流,并且其中饱和电流限制在累积电荷模式期间从 ACS 端子流出电流。

[0298] 构思 83 :如构思 82 所述的四端子 ACC MOSFET,其中耗尽模式 MOSFET 当达到预定阈值时进入饱和,并且其中通过把阈值设置为期望值来选择饱和电流。

[0299] 构思 84 :如构思 81 所述的四端子 ACC MOSFET,其中箝位电路还包括配置为与耗尽模式 MOSFET 串联配置的二极管。

[0300] 构思 85 :如构思 71 所述的四端子 ACC MOSFET,还包括跨过二极管并联连接的 AC

短接电容器,其中 AC 短接电容器保证当 AC 信号在二极管上出现时,二极管的非线性特性不被激励。

[0301] 构思 86 :一种用于开关 RF 信号的 RF 开关电路,包括 :a) 第一 RF 端口,能够输出或接收第一 RF 信号 ;b) 第二 RF 端口,能够输出或接收第二 RF 信号 ;c) 开关晶体管组,具有连接到第一 RF 端口的第一节点和连接到第二 RF 端口的第二节点,其中开关晶体管组受第一开关控制信号 (C1) 控制 ;和 d) 旁路晶体管组,具有连接到第一 RF 端口的第一节点和连接到地的第二节点,其中旁路晶体管组受第二开关控制信号 (C1x) 控制,并且其中旁路晶体管组包括一或多个构思 2 所定义的 ACC MOSFET ;并且其中当第一开关控制信号 C1 被启用时,开关晶体管组被启用并且旁路晶体管组被禁止,因而电连接第一 RF 端口到第二 RF 端口,并且其中当第二开关控制信号 C1x 被启用时,旁路晶体管组被启用而开关晶体管组被禁止,因而把第一 RF 端口旁路到地。

[0302] 构思 87 :如构思 86 所述的 RF 开关,其中开关晶体管组包括单个 MOSFET,并且其中旁路晶体管组包括单个 ACC MOSFET。

[0303] 构思 88 :如构思 86 所述的 RF 开关,其中开关晶体管组包括以堆叠结构布置的多个 MOSFET,并且其中旁路晶体管组包括以堆叠结构布置的多个 ACC MOSFET。

[0304] 构思 89 :如构思 88 所述的 RF 开关,其中开关晶体管组包括以堆叠结构布置的第一数量的 MOSFET,并且其中旁路晶体管组包括以堆叠结构布置的第二数量的 ACC MOSFET,并且其中第一数量和第二数量彼此不同。

[0305] 构思 90 :如构思 86 所述的 RF 开关,其中 ACC MOSFET 包含电连接到栅极的栅极端子,电连接到漏极的漏极端子,电连接到源极的源极端子,和电连接到 ACS 的 ACS 端子,并且其中栅极和 ACS 端子被电连接在一起以及连接到第二开关控制信号 C1x,并且其中累积电荷通过 ACS 和栅极端子从 ACC MOSFET 的体中被清除。

[0306] 构思 91 :如构思 90 所述的 RF 开关,其中开关晶体管组包括单个 MOSFET,并且其中旁路晶体管组包括单个 ACC MOSFET。

[0307] 构思 92 :如构思 90 所述的 RF 开关,其中开关晶体管组包括以堆叠结构布置的多个 MOSFET,并且其中旁路晶体管组包括以堆叠结构布置的多个 ACC MOSFET。

[0308] 构思 93 :如构思 90 所述的 RF 开关,其中 RF 开关在操作时表现出谐波失真、互调失真 (IMD) 和线性性能特性,并且其中 RF 开关能够处理选定功率水平的 RF 信号,并且其中 RF 开关的谐波失真、MD、线性特性以及功率水平处理通过从旁路晶体管组的体中移除或控制累积电荷来改进。

[0309] 构思 94 :如构思 93 所述的 RF 开关,其中 RF 输出信号的谐波和互调失真通过从旁路晶体管组的体中移除或控制累积电荷被降低或移除。

[0310] 构思 95 :如构思 90 所述的 RF 开关,其中二极管被连接在栅极和 ACS 端子之间,使得当 ACC MOSFET 被启用并且二极管被反向偏压时,二极管阻止正电流流入 ACC MOSFET 体,并且其中 ACS 端子通过二极管被连接到第二开关控制信号 C1x,并且其中通过 ACS 端子从 ACC MOSFET 的体中移除累积电荷。

[0311] 构思 96 :如构思 95 所述的 RF 开关,其中开关晶体管组包括单个 MOSFET,并且其中旁路晶体管组包括单个 ACC MOSFET。

[0312] 构思 97 :如构思 85 所述的 RF 开关,其中开关晶体管组包括以堆叠结构布置的多

个 MOSFET, 并且其中旁路晶体管组包括以堆叠结构布置的多个 ACC MOSFET。

[0313] 构思 98 : 如构思 86 所述的 RF 开关, 其中 ACC MOSFET 包含电连接到栅极的栅极端子, 电连接到漏极的漏极端子, 电连接到源极的源极端子, 和电连接到 ACS 的 ACS 端子, 并且其中 ACS 端子被电连接到累积电荷吸收机构, 并且其中吸收机构包括适于当旁路晶体管组以累积电荷模式操作时控制或从体中移除累积电荷的控制电路。

[0314] 构思 99 : 如构思 98 所述的 RF 开关, 其中开关晶体管组包括单个 MOSFET, 并且其中旁路晶体管组包括单个 ACC MOSFET。

[0315] 构思 100 : 如构思 98 所述的 RF 开关, 其中开关晶体管组包括以堆叠结构布置的多个 MOSFET, 并且其中旁路晶体管组包括以堆叠结构布置的多个 ACC MOSFET。

[0316] 构思 101 : 如构思 98 所述的 RF 开关, 其中旁路晶体管组的 ACS 端子被连接到第三开关控制信号 (C2), 并且其中在开关晶体管组被禁止因而把第一 RF 端口旁路到地时, 旁路晶体管组被第二开关控制信号 C1x 启用, 并且其中当旁路晶体管组被禁止时, 从 ACC MOSFET 的体中移除累积电荷。

[0317] 构思 102 : 如构思 95 所述的 RF 开关, 其中 RF 开关在操作时表现出谐波失真、互调失真 (IMD) 和线性性能特性, 并且其中 RF 开关能够处理选定功率水平的 RF 信号, 并且其中 RF 开关的谐波失真、IMD、线性特性和功率水平处理通过从旁路晶体管组的体中移除或控制累积电荷来改进。

[0318] 构思 103 : 如构思 98 所述的 RF 开关, 其中 RF 开关在操作时表现出谐波失真、互调失真 (IMD) 和线性性能特性, 并且其中 RF 开关能够处理选定功率水平的 RF 信号, 并且其中 RF 开关的谐波失真、IMD、线性特性和功率水平处理通过从旁路晶体管组的体中移除或控制累积电荷来改进。

[0319] 构思 104 : 如构思 90 所述的 RF 开关, 其中开关晶体管组包括一或多个构思 2 定义的 ACC MOSFET。

[0320] 构思 105 : 如构思 95 所述的 RF 开关, 其中开关晶体管组包括一或多个构思 2 定义的 ACC MOSFET。

[0321] 构思 106 : 如构思 98 所述的 RF 开关, 其中开关晶体管组包括一或多个构思 2 定义的 ACC MOSFET。

[0322] 构思 107 : 如构思 90 所述的 RF 开关, 其中 RF 开关包括单刀多掷开关。

[0323] 构思 108 : 如构思 95 所述的 RF 开关, 其中 RF 开关包括单刀多掷开关。

[0324] 构思 109 : 如构思 98 所述的 RF 开关, 其中 RF 开关包括单刀多掷开关。

[0325] 构思 110 : 如构思 90 所述的 RF 开关, 其中 RF 开关包括多刀单掷开关。

[0326] 构思 111 : 如构思 95 所述的 RF 开关, 其中 RF 开关包括多刀单掷开关。

[0327] 构思 112 : 如构思 98 所述的 RF 开关, 其中 RF 开关包括多刀单掷开关。

[0328] 构思 113 : 如构思 90 所述的 RF 开关, 其中 RF 开关包括多刀多掷开关。

[0329] 构思 114 : 如构思 95 所述的 RF 开关, 其中 RF 开关包括多刀多掷开关。

[0330] 构思 115 : 如构思 98 所述的 RF 开关, 其中 RF 开关包括多刀多掷开关。

[0331] 构思 116 : 一种控制浮体 MOSFET 的线性特性的方法, 其中浮体 MOSFET 包含累积电荷吸收器 (ACS), 其在操作时连接到 MOSFET 的体, 并且适于当在关断状态 (非导电状态) 下操作 MOSFET 时, 移除或控制累积在 MOSFET 体中的累积电荷, 该方法包括 : a) 配置浮体

MOSFET 以在选择的电路中操作 ;b) 将浮体 MOSFET 偏置为以累积电荷模式操作 ;和 c) 移除或控制累积电荷。

[0332] 构思 117 :如构思 116 所述的方法,其中将 MOSFET 偏置为以累积电荷模式操作的步骤 b) 包括把 MOSFET 偏置到关断状态。

[0333] 构思 118 :如构思 90 所述的 RF 开关,其中 ACC MOSFET 还包含在 ACC MOSFET 的漏极和源极之间电连接的漏源电阻器 (R_{ds})。

[0334] 构思 119 :如构思 118 所述的 RF 开关,其中漏源电阻器 (R_{ds}) 提供了在 ACC MOSFET 漏极和源极之间的路径,从而当与其它高阻抗元件串联配置 ACC MOSFET 时,与控制累积电荷相关的电流被传导离开源极和漏极。

[0335] 构思 120 :如构思 119 所述的 RF 开关,其中 ACC MOSFET 的栅极被连接到栅极电阻器,并且其中漏源电阻器 (R_{ds}) 的阻抗近似等于栅极电阻器的阻抗。

[0336] 构思 121 :如构思 92 所述的 RF 开关,其中 ACC MOSFET 还包含一对一地与每个堆叠的 ACC MOSFET 相关和相应的多个漏源电阻器 (R_{ds}),其中每个漏源电阻器被电连接在其每个相关和相应的 ACCMOSFET 的漏极和源极之间,并且其中每个相应 ACC MOSFET 的栅极被连接到相关和相应的栅极电阻器,并且其中堆叠中的每个相关和相应的 ACC MOSFET 的漏源电阻器 (R_{ds}) 的阻抗近似等于其相关和相应的栅极电阻器的阻抗除以堆叠的 ACC MOSFET 的数目。

[0337] 构思 122 :一种用于开关 RF 信号的 RF 开关电路,包括 :a) 第一 RF 端口,能够接收或输出第一 RF 信号 (RF1) ;b) 第二 RF 端口,能够接收或输出第二 RF 信号 (RF2) ;c) RF 公共端口 ;d) 第一开关晶体管组,具有连接到第一 RF 端口的第一节点和连接到 RF 公共端口的第二节点,其中第一开关晶体管组受第一开关控制信号 (C1) 控制 ;e) 第二开关晶体管组,具有连接到第二 RF 端口的第一节点和连接到 RF 公共端口的第二节点,其中第二开关晶体管组受第二开关控制信号 (C1x) 控制 ;f) 第一旁路晶体管组,具有连接到第二 RF 端口的第一节点和连接到地的第二节点,其中第一旁路晶体管组受第一开关控制信号 C1 控制 ;和 g) 第二旁路晶体管组,具有连接到第一 RF 端口的第一节点和连接到地的第二节点,其中第二旁路晶体管组受第二开关控制信号 C1x 控制,其中,当 C1 被启用时,第一开关和第一旁路晶体管组被启用而第二开关和旁路晶体管组被禁止,因而电连接第一 RF 端口和 RF 公共端口并且旁路第二 RF 端口到地,并且其中当 C1 被禁止并且 C1x 被启用时,第二开关和旁路晶体管组被启用而第一开关和旁路晶体管组被禁止,因而电连接第二 RF 端口和 RF 公共端口并且旁路第一 RF 端口到地,并且其中开关和旁路晶体管组包括一或多个由构思 1 定义的 ACC MOSFET。

[0338] 构思 123 :如构思 122 所述的 RF 开关,其中每个 ACC MOSFET 包含与其相应和相关的 ACS 电连接的 ACS 端子,并且其中每个 ACCMOSFET 的 ACS 端子受吸收机构控制,并且其中当 ACC MOSFET 以累积电荷模式操作时,吸收机构从 ACC MOSFET 体中移除累积电荷。

[0339] 构思 124 :如构思 123 所述的 RF 开关,其中 RF 开关在操作时表现出谐波失真、互调失真 (IMD) 和线性性能特性,并且其中 RF 开关能够处理选定功率水平的 RF 信号,并且其中 RF 开关的谐波失真、IMD、线性特性和功率水平处理通过从 ACC MOSFET 的体中移除或控制累积电荷 来改进。

[0340] 构思 125 :如构思 123 所述的 RF 开关,其中 ACC MOSFET 具有固有漏源击穿电压

(BVDSS) 特性, 并且其中通过从 MOSFET 体中移除或减少累积电荷来改进 ACC MOSFET 的 BVDSS 特性。

[0341] 构思 126 : 如构思 123 所述的 RF 开关, 其中 RF 开关表现出小信号性能特性, 包含插入损耗、插入相位 (延迟) 和隔离, 并且其中 RF 开关的小信号性能特性通过从 ACC MOSFET 的体中移除和控制累积电荷来改进。

[0342] 构思 127 : 如构思 123 所述的 RF 开关, 其中 RF 开关包含相关的温度性能特性, 并且其中 RF 开关的温度性能特性通过从 ACC MOSFET 的体中移除和控制累积电荷来改进, 并且其中 RF 开关还表现出降低的对 Vdd 和制程变化的灵敏度。

[0343] 构思 128 : 如构思 122 所述的 RF 开关, 其中 RF 开关包括单刀多掷开关。

[0344] 构思 129 : 如构思 122 所述的 RF 开关, 其中 RF 开关包括多刀单掷开关。

[0345] 构思 130 : 如构思 122 所述的 RF 开关, 其中 RF 开关包括多刀多掷开关。

[0346] 构思 131 : 如构思 1 所述的 ACC MOSFET, 其中以绝缘体上硅技术制造 MOSFET。

[0347] 构思 132 : 如构思 86 所述的 RF 开关, 其中 RF 开关在操作时表现出谐波失真、互调失真 (MD) 和线性性能特性, 并且其中 RF 开关能够处理选定功率水平的 RF 信号, 并且其中 RF 开关的谐波失真、IMD、线性特性和功率水平处理通过从旁路晶体管组的体中移除或控制累积电荷来改进。

[0348] 构思 133 : 如构思 86 所述的 RF 开关, 其中 RF 开关包括单刀多掷开关。

[0349] 因此, 可以理解, 这里描述的概念不限于特定图解实施例, 而是限于所附权利要求书的范围。

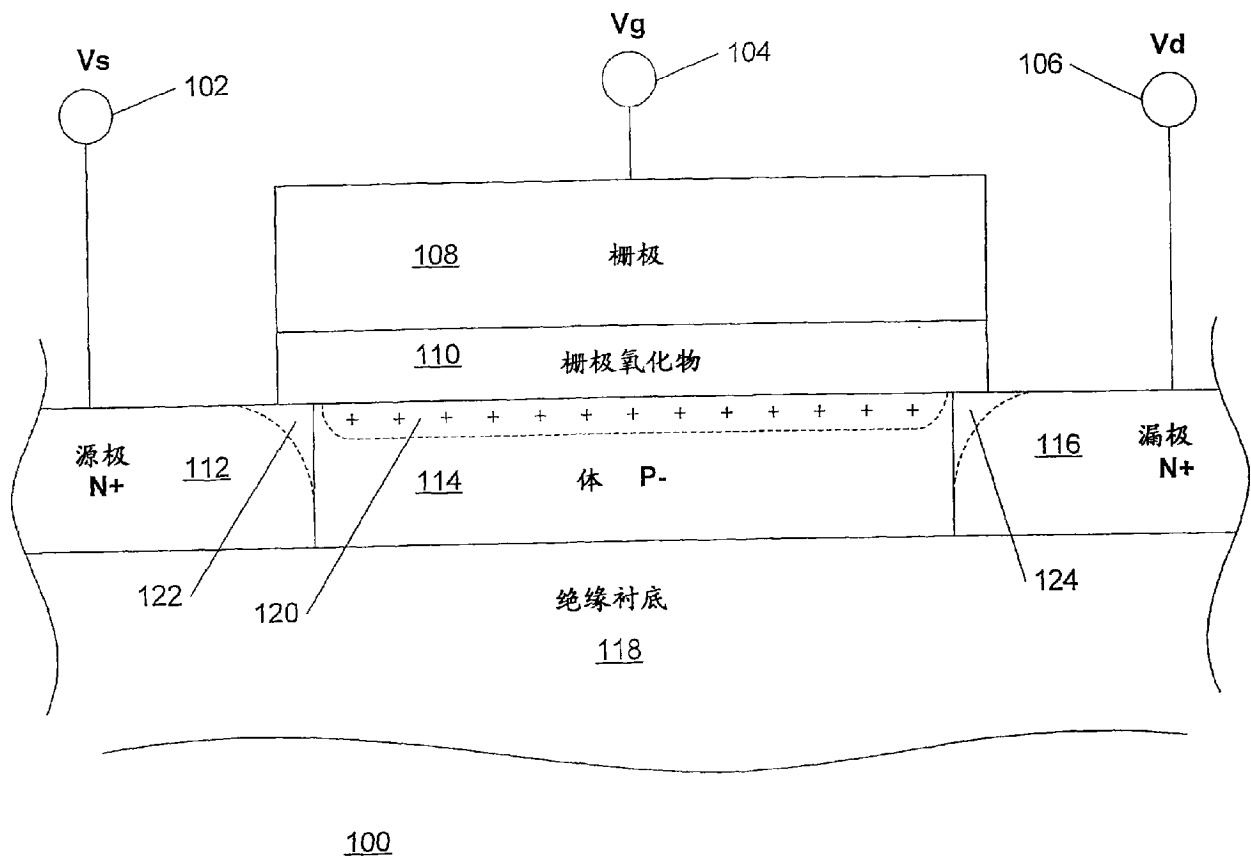


图1(现有技术)

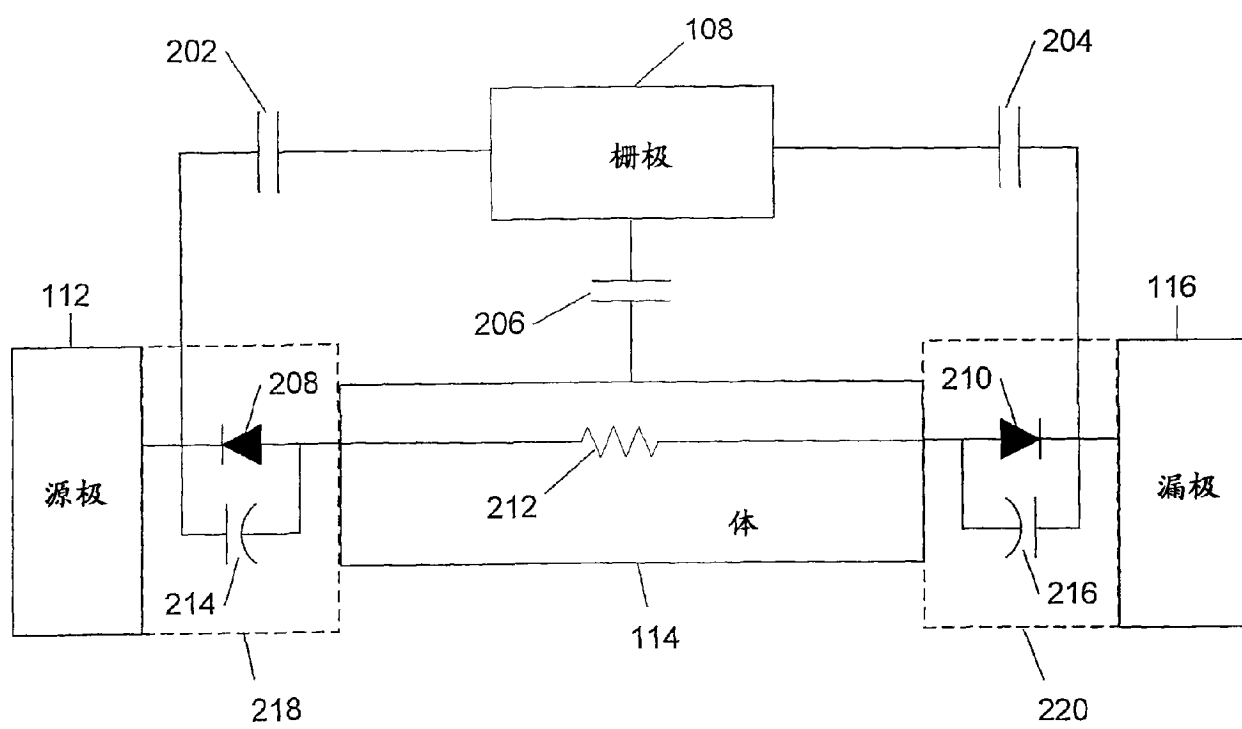
200

图 2A

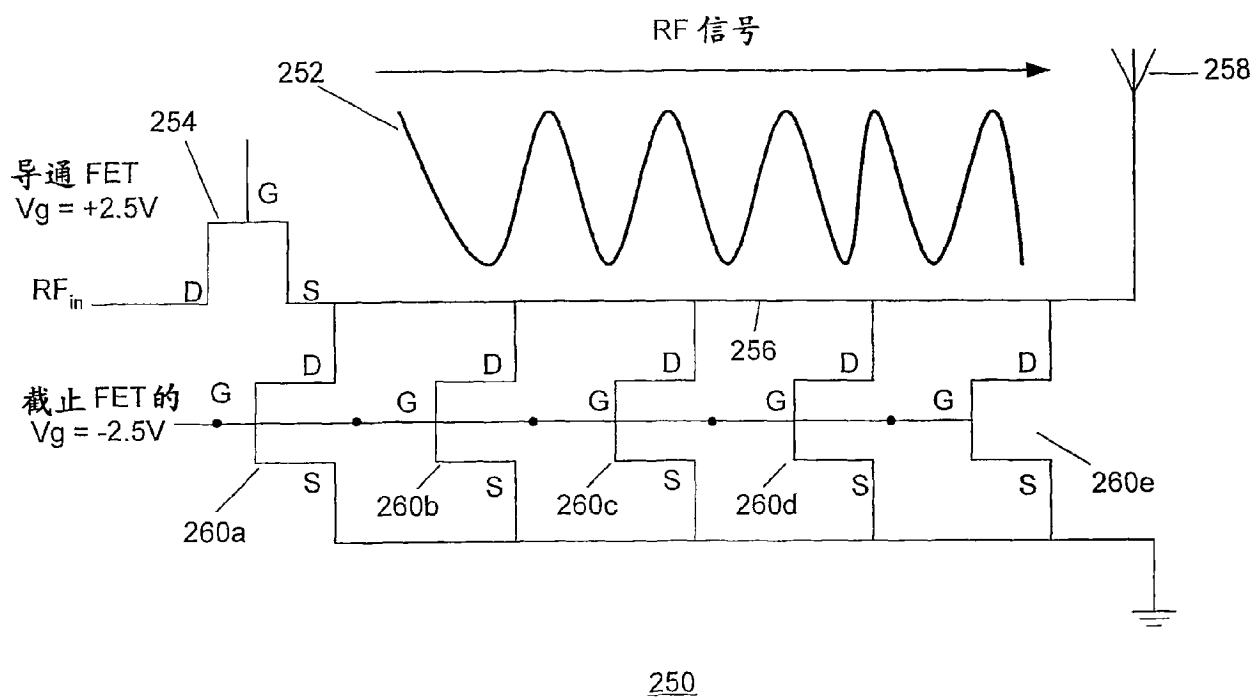


图 2B

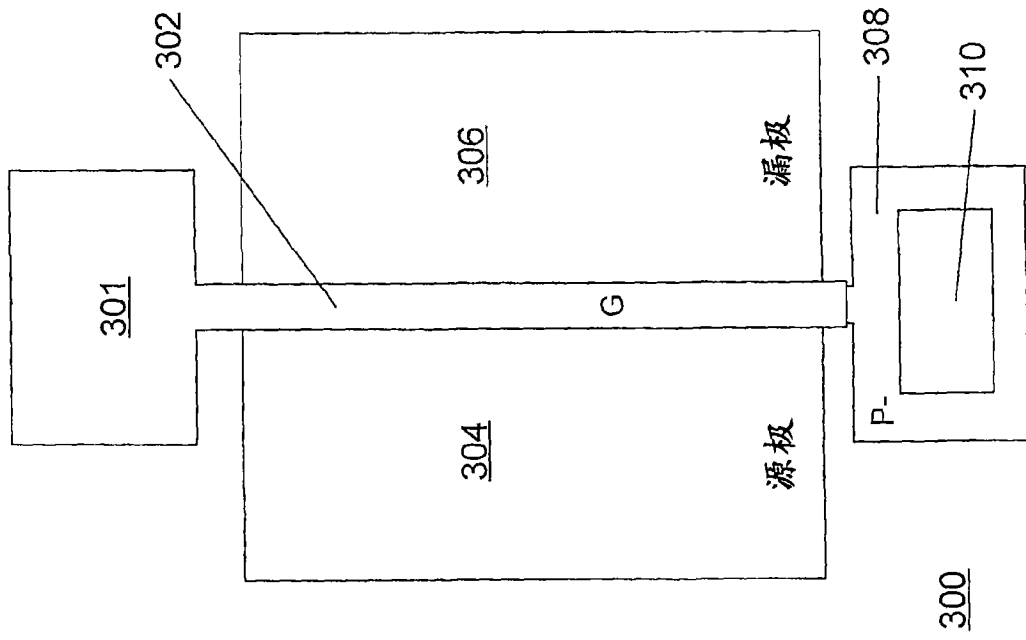


图 3A

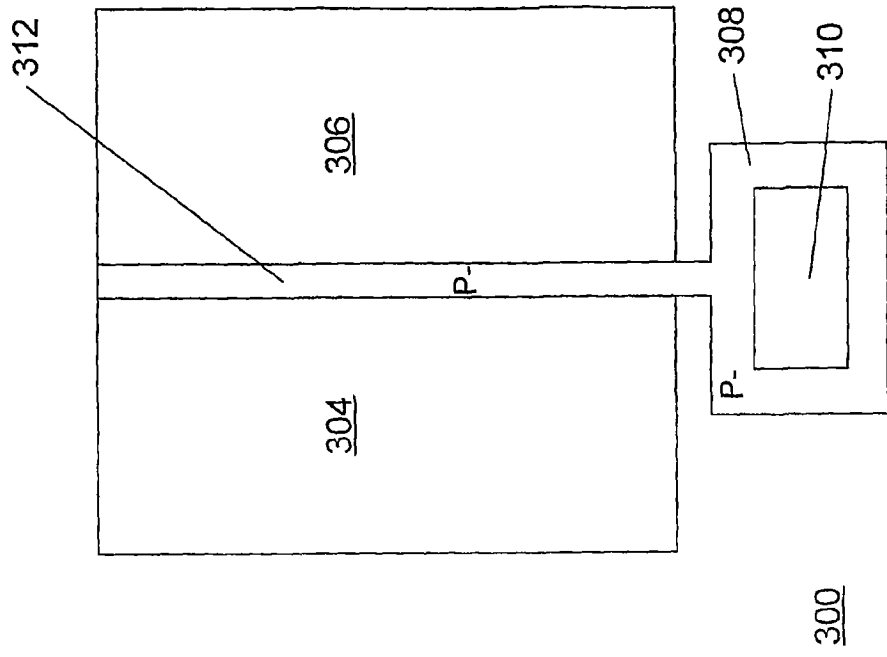


图 3B

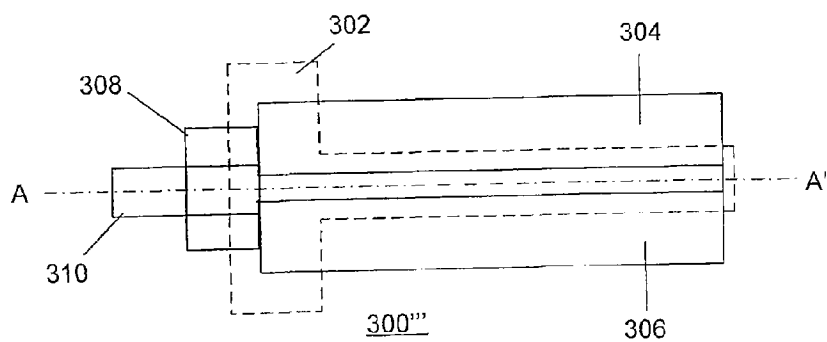


图 3E

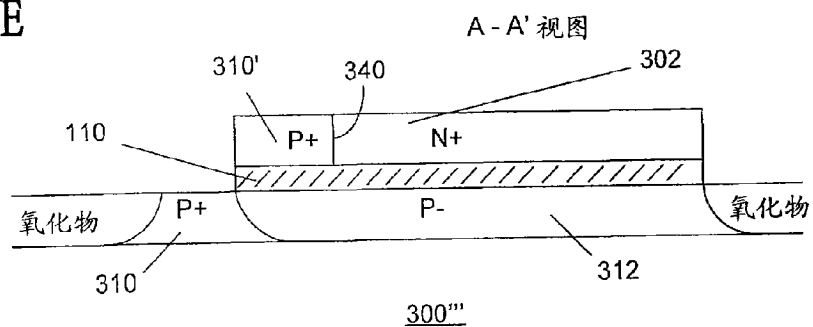


图 3F

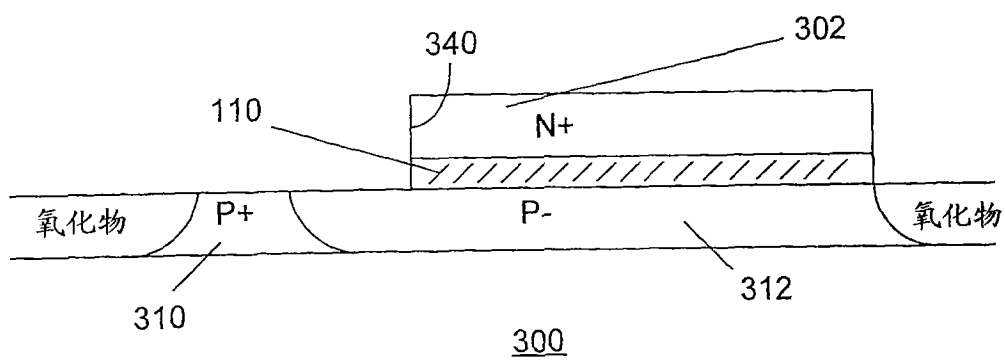


图 3G

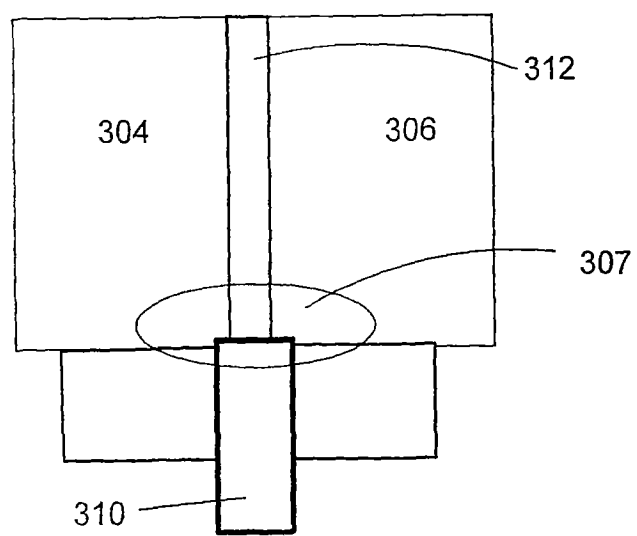


图 3H

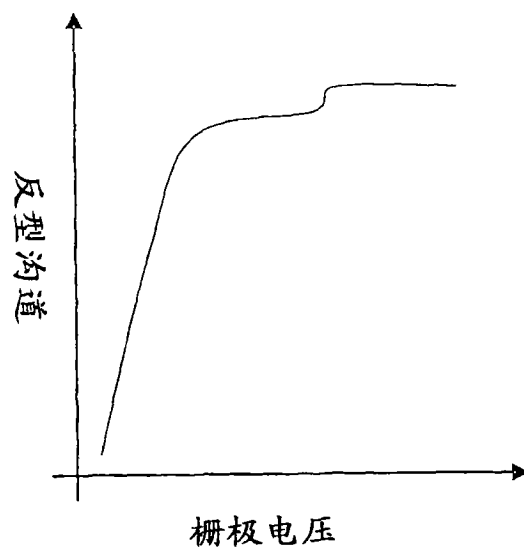


图 3I

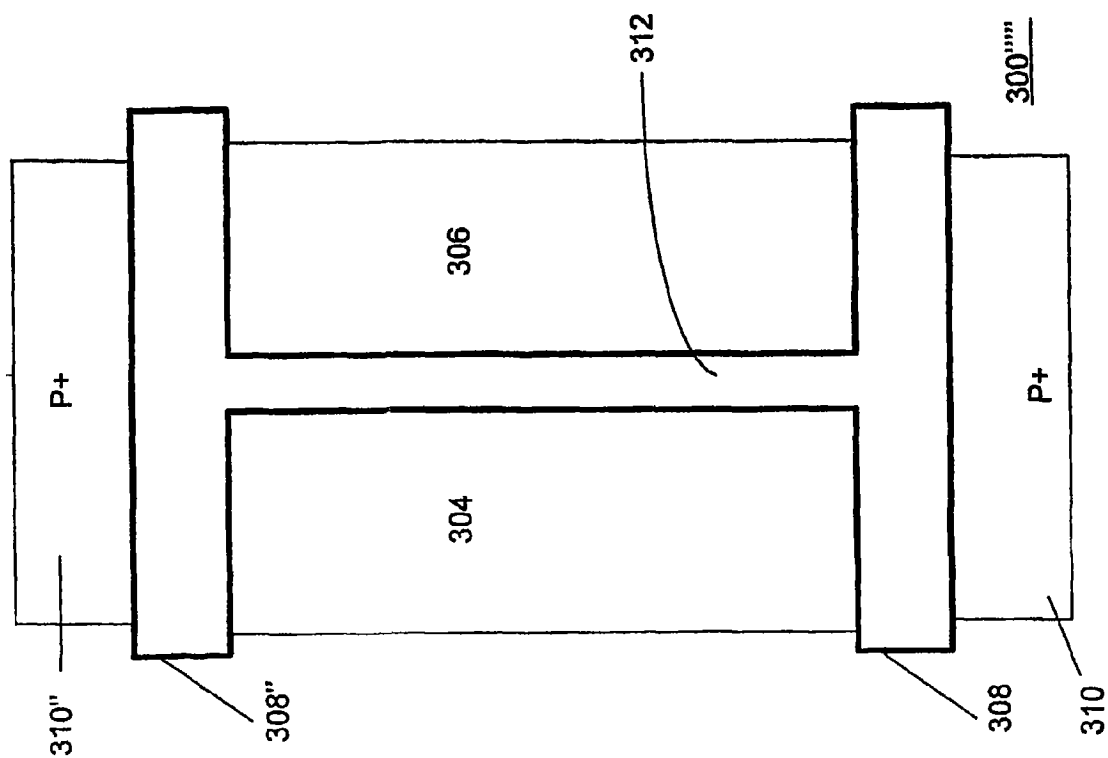


图 3K

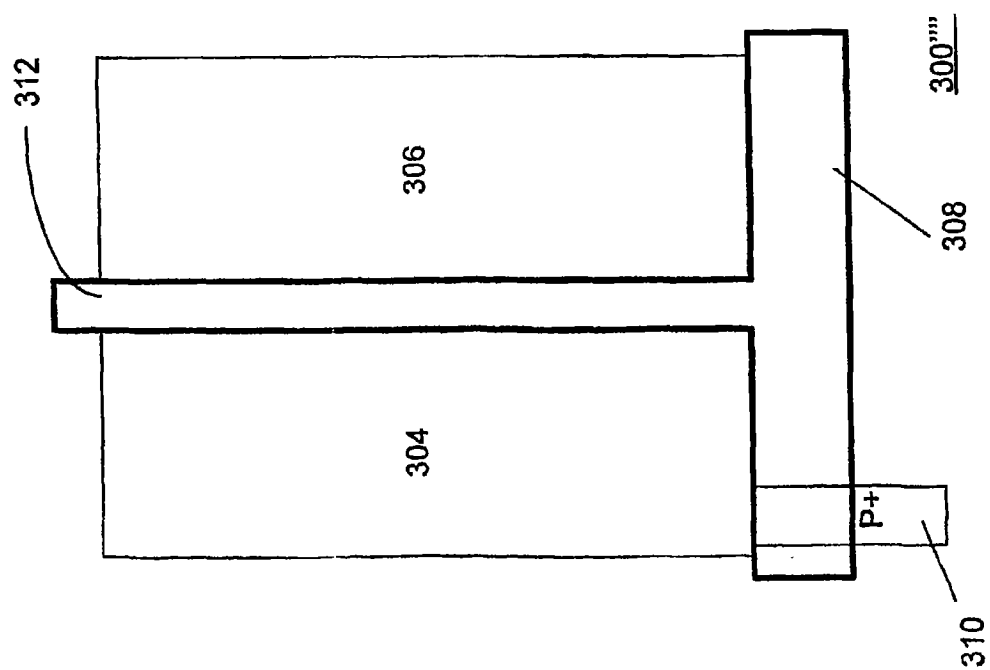


图 3J

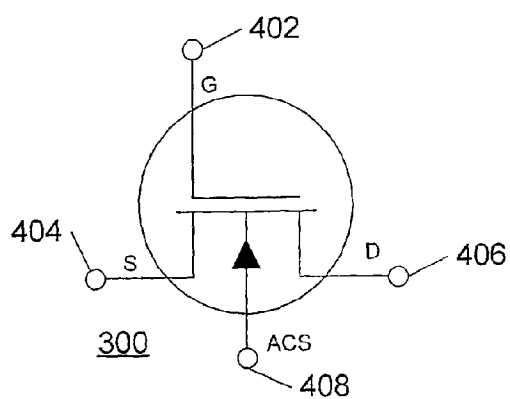


图 4A

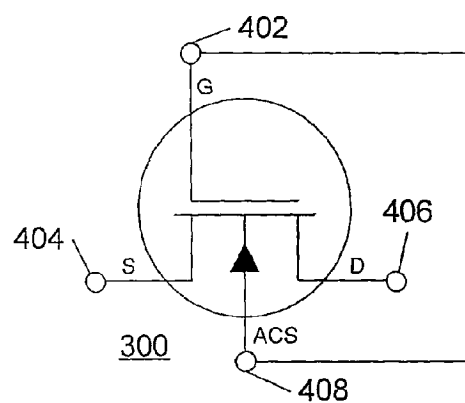


图 4B

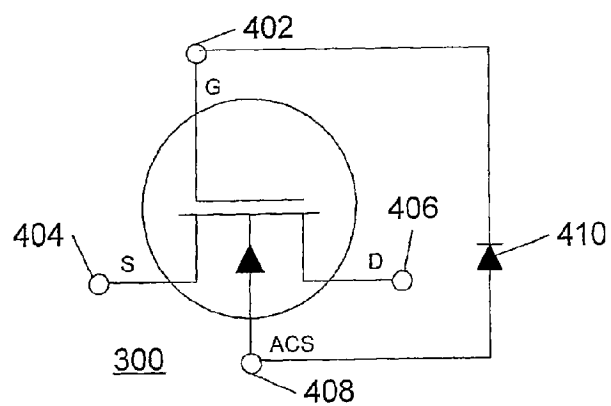


图 4C

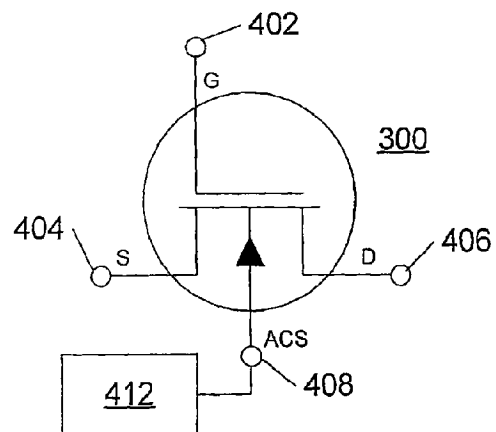


图 4D

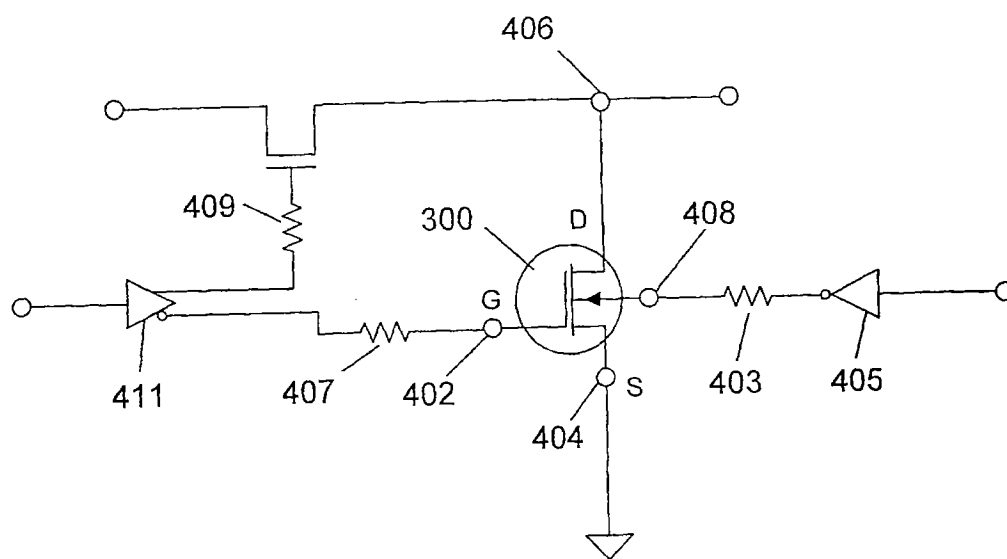


图4E

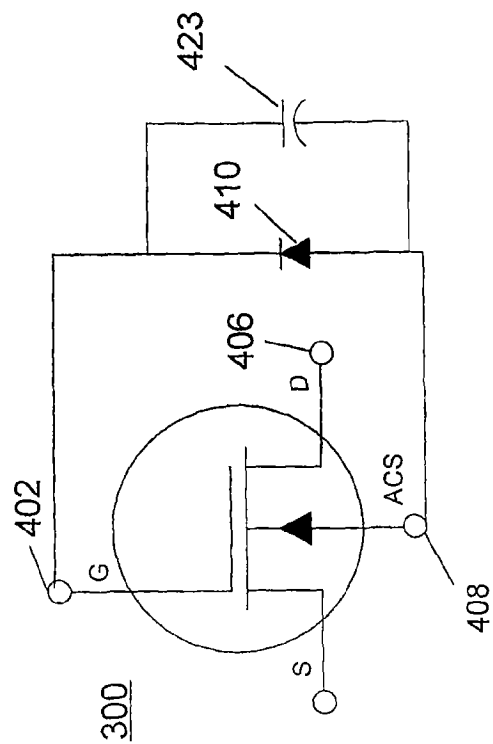


图4G

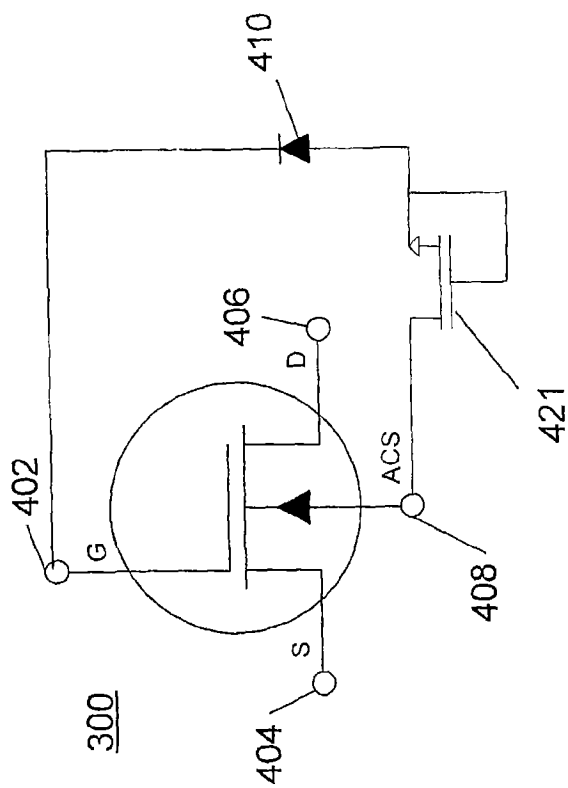


图4F

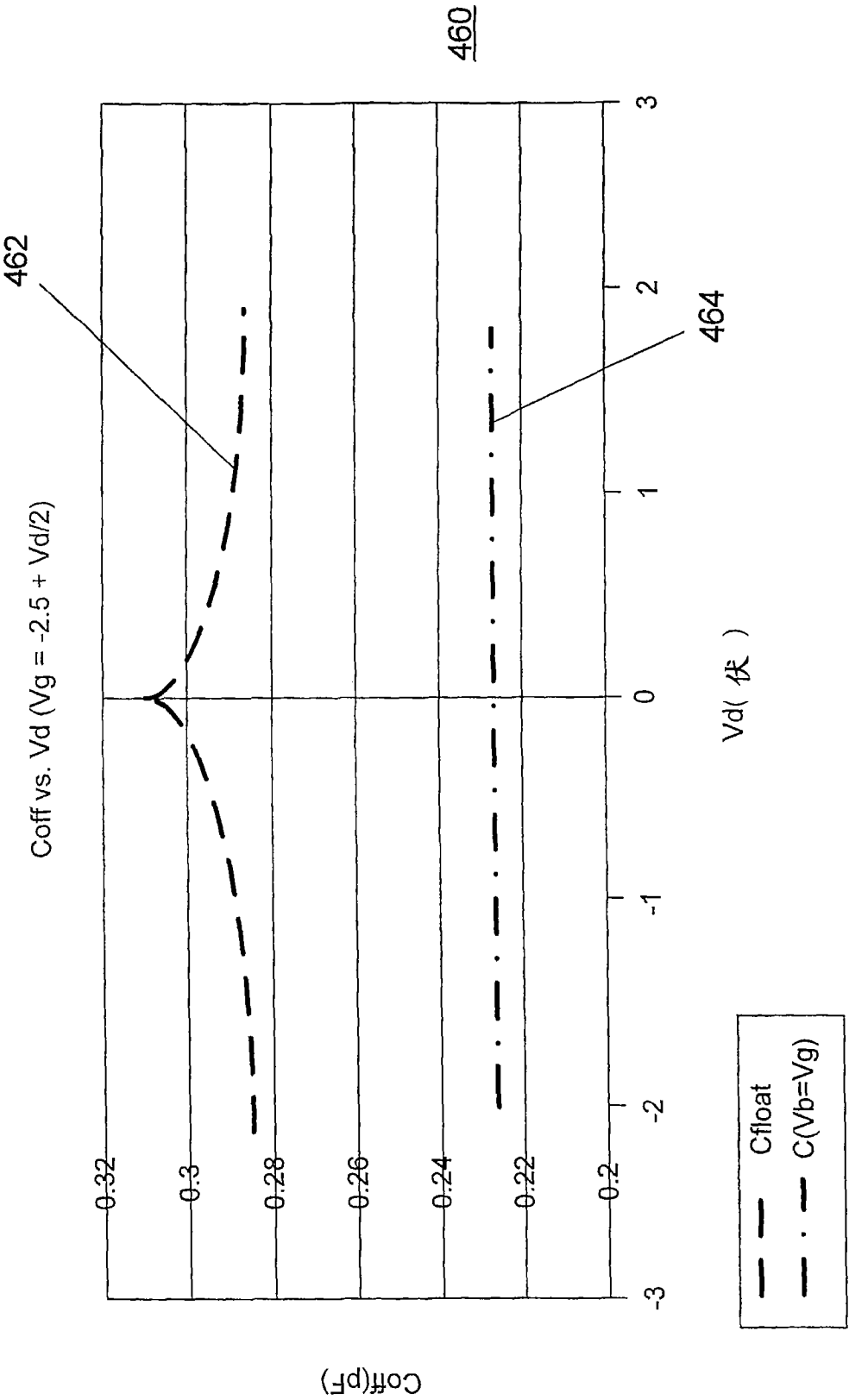


图4H

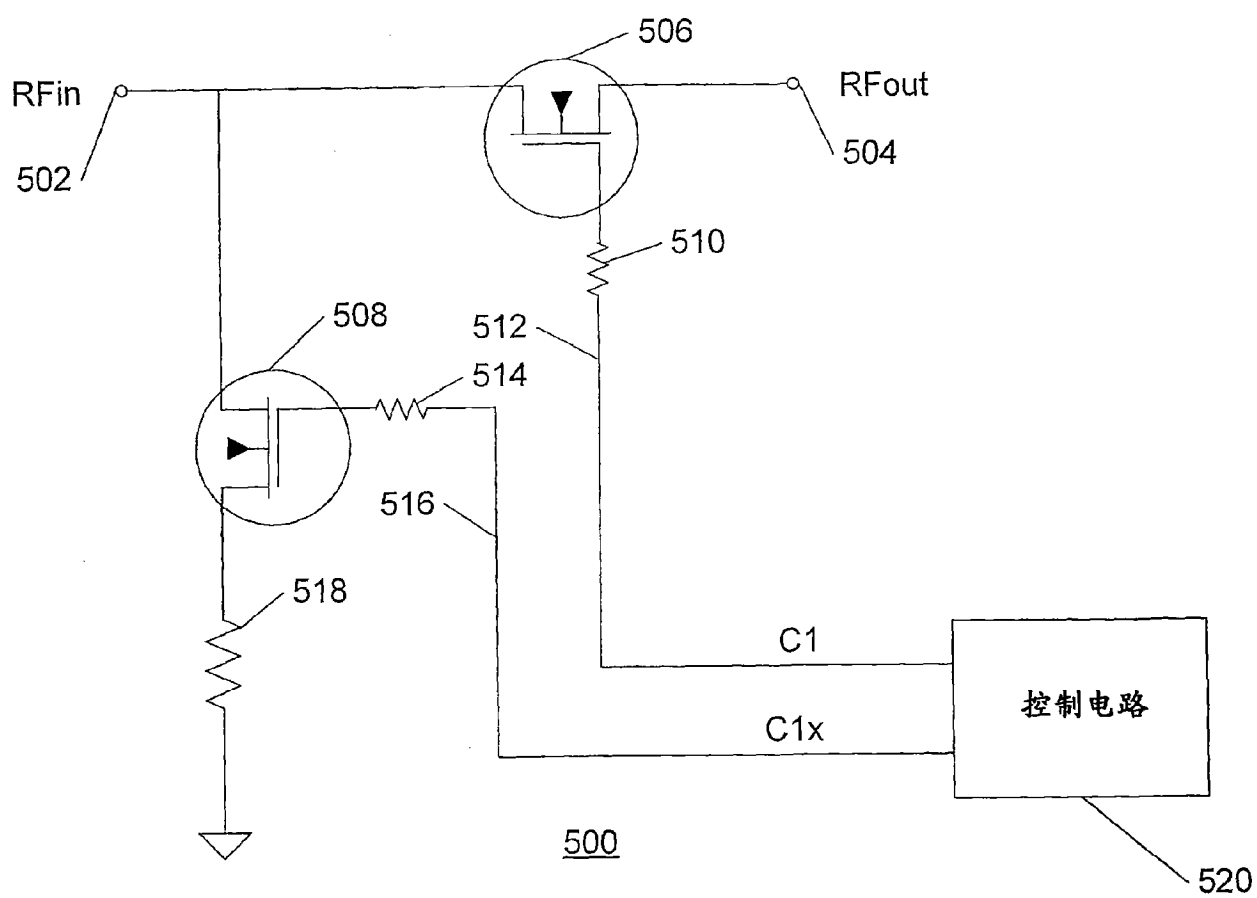


图 5A

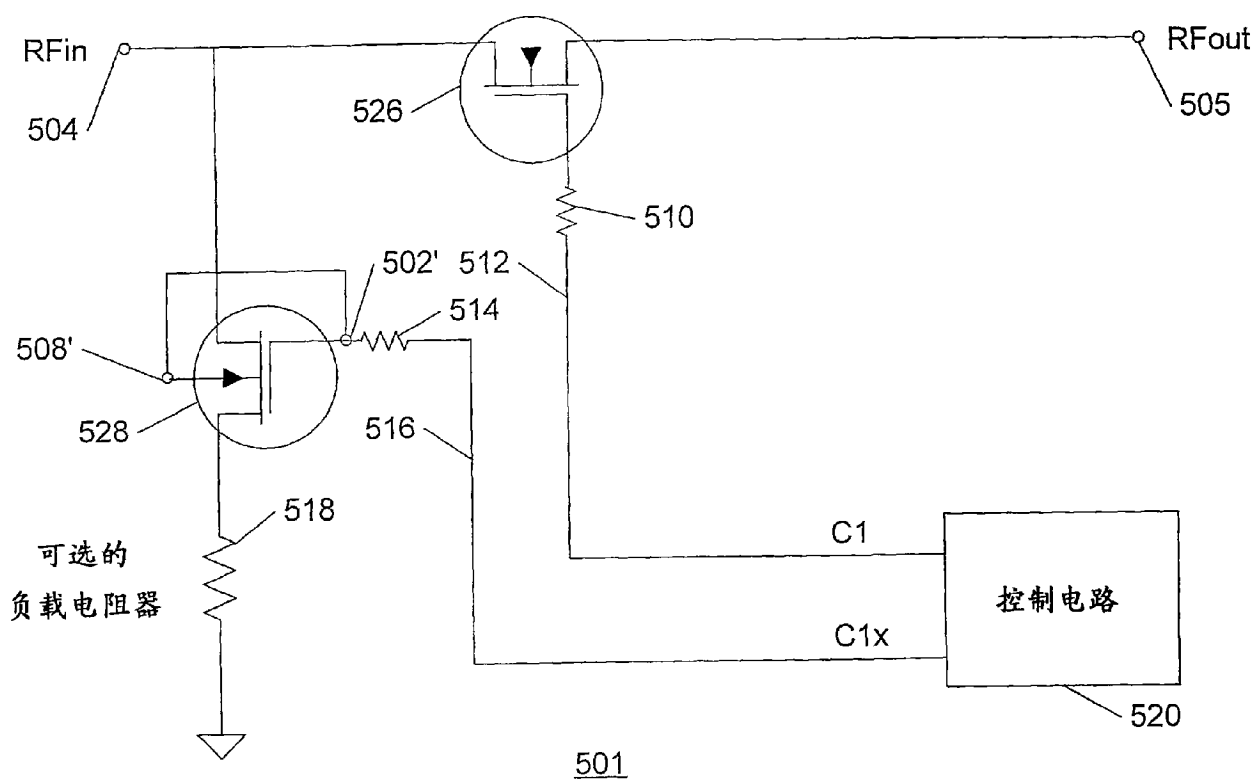
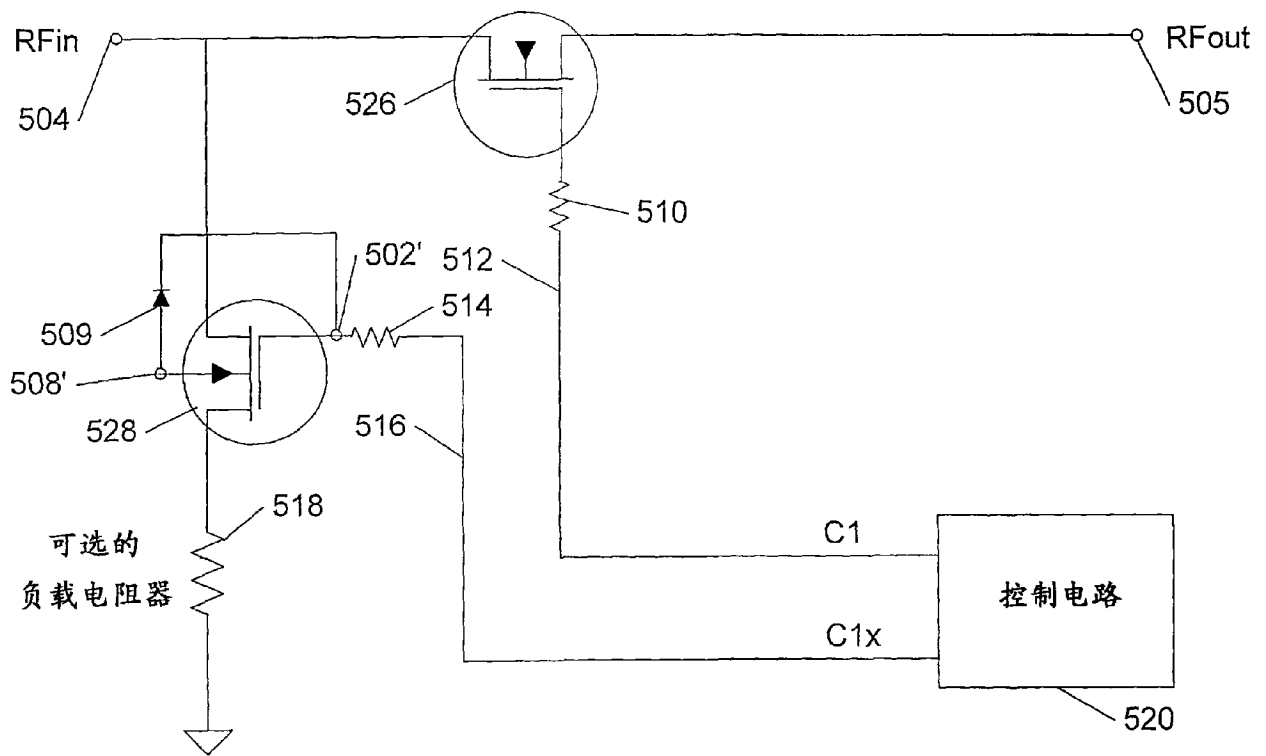


图5B



502

图 5C

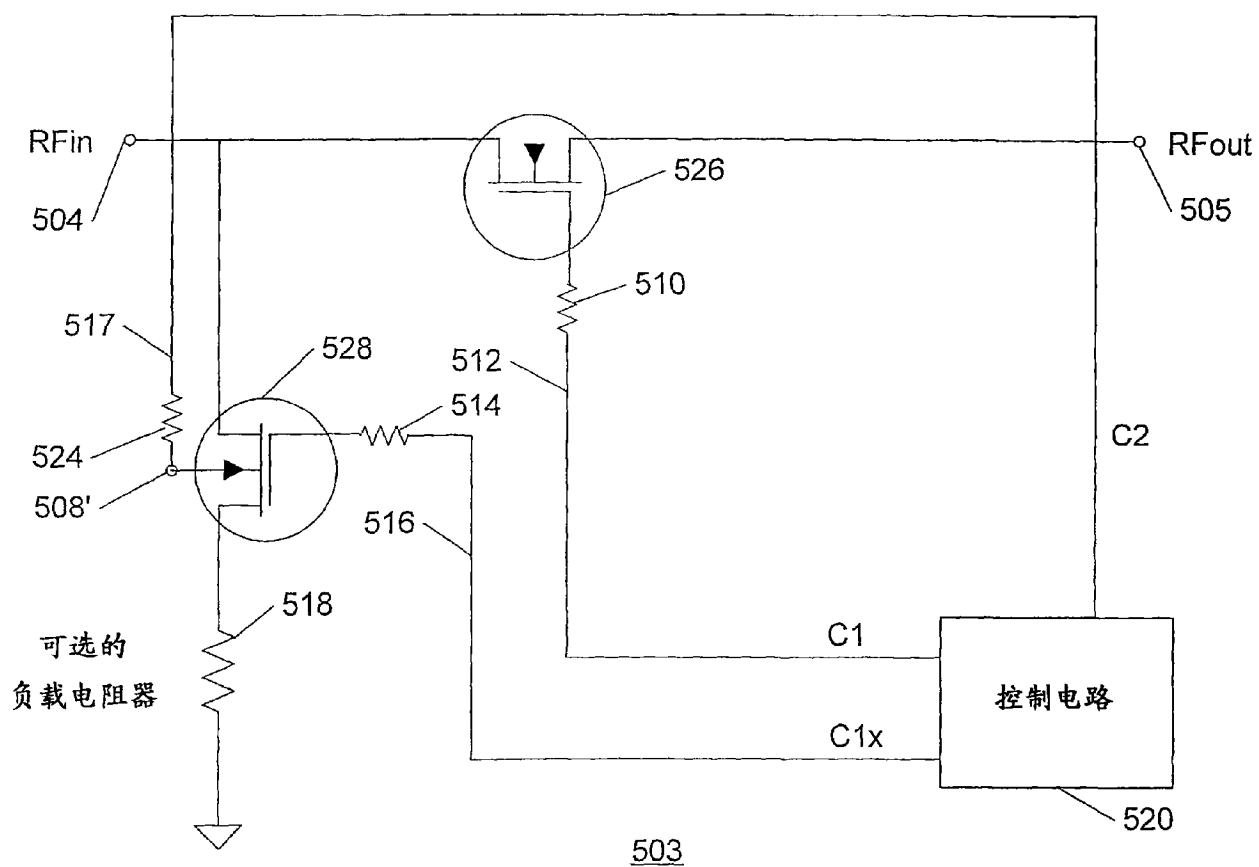


图5D

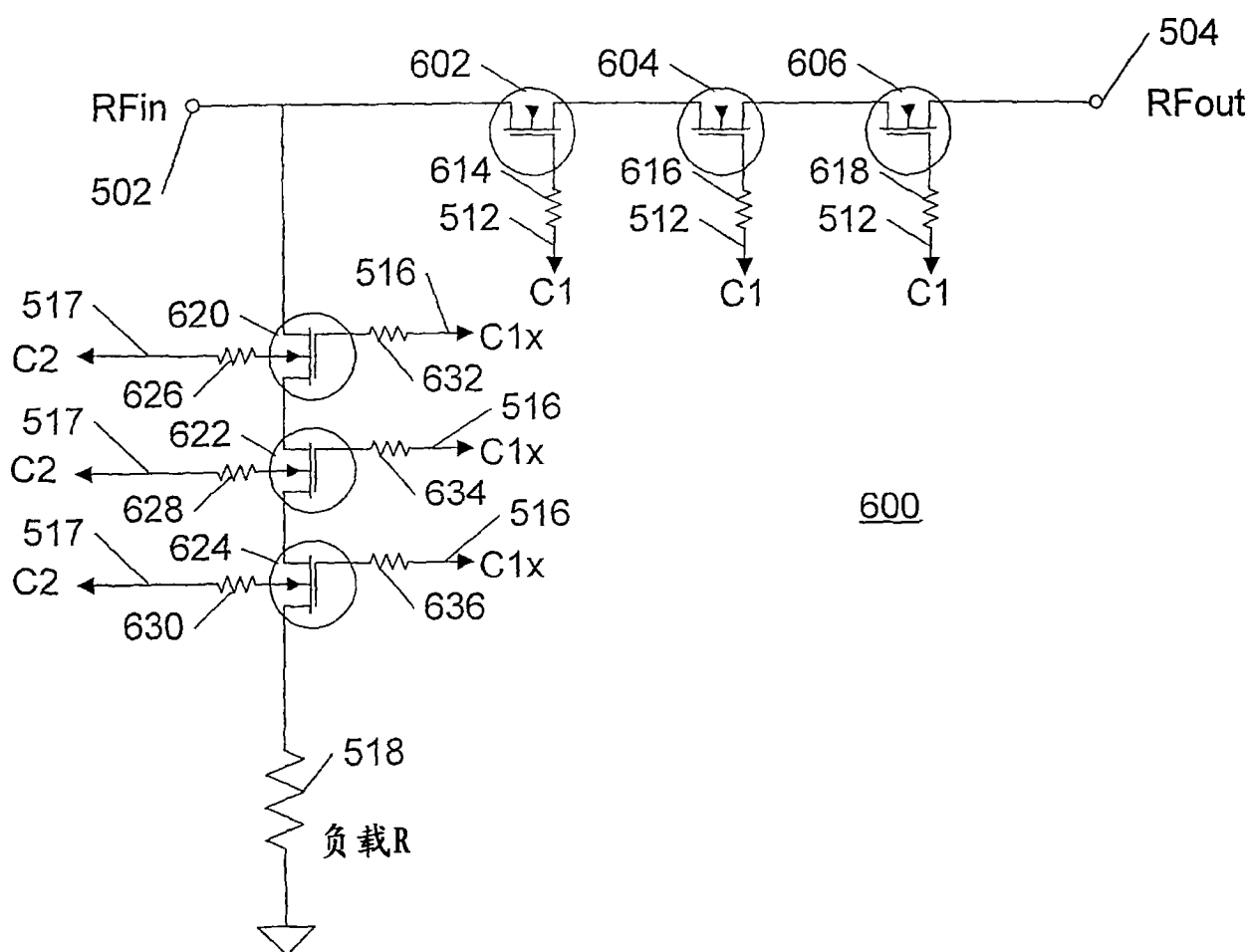


图6

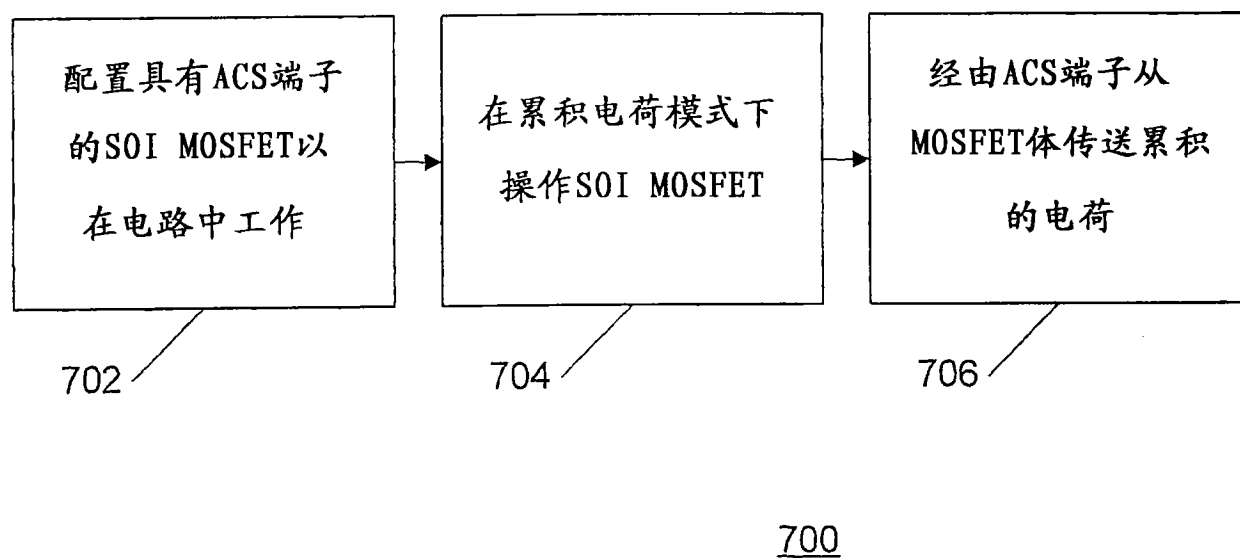


图7

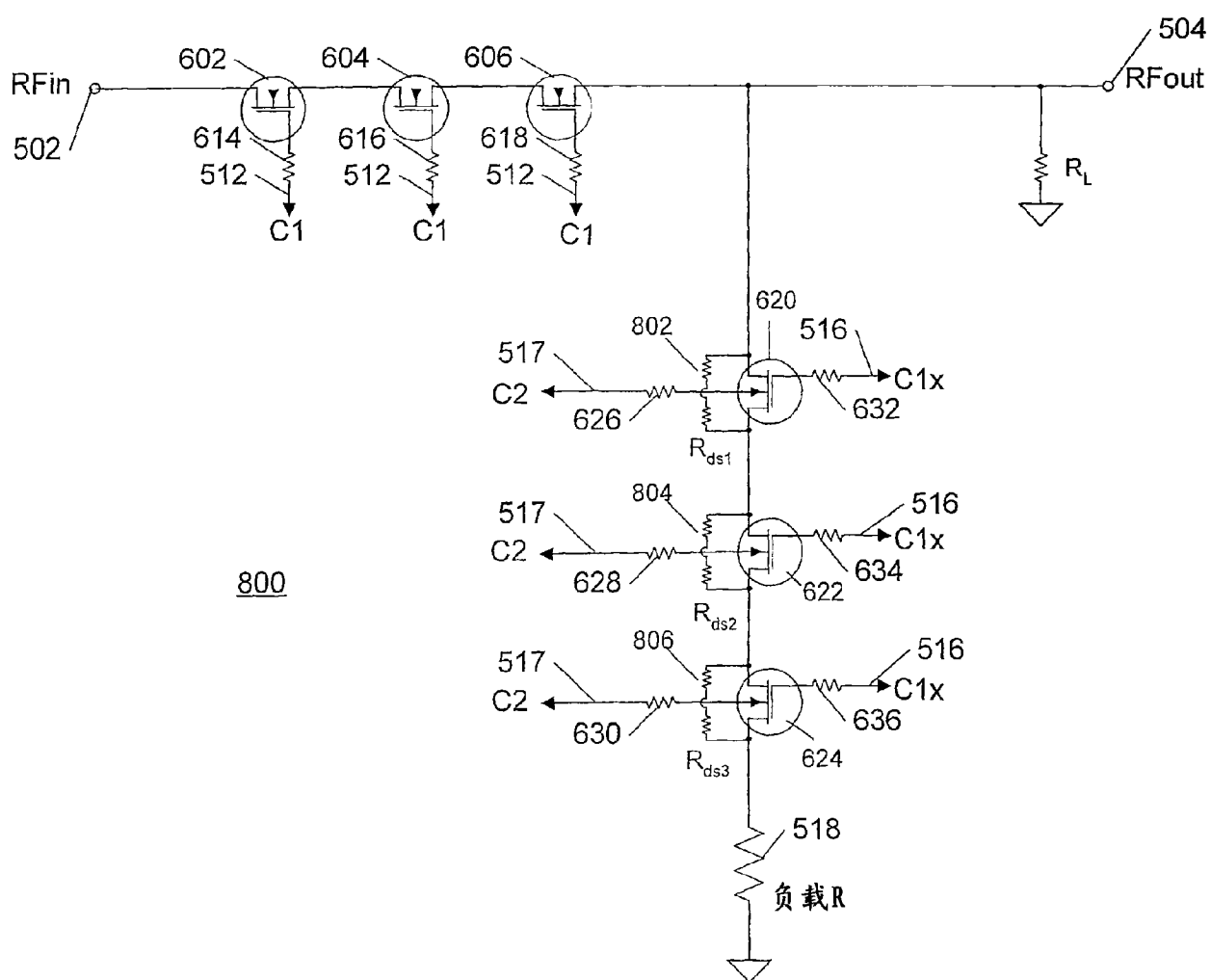


图 8

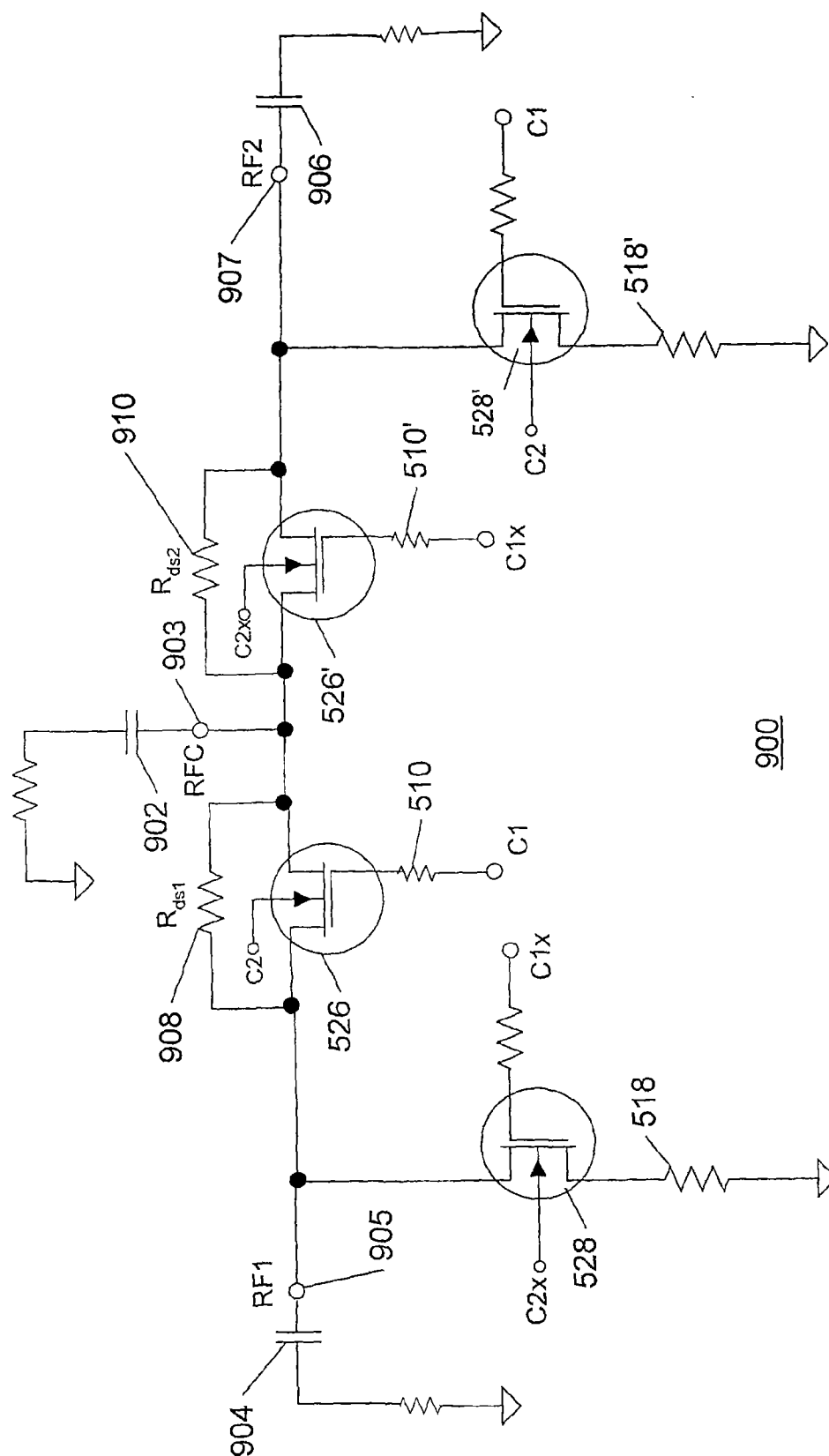
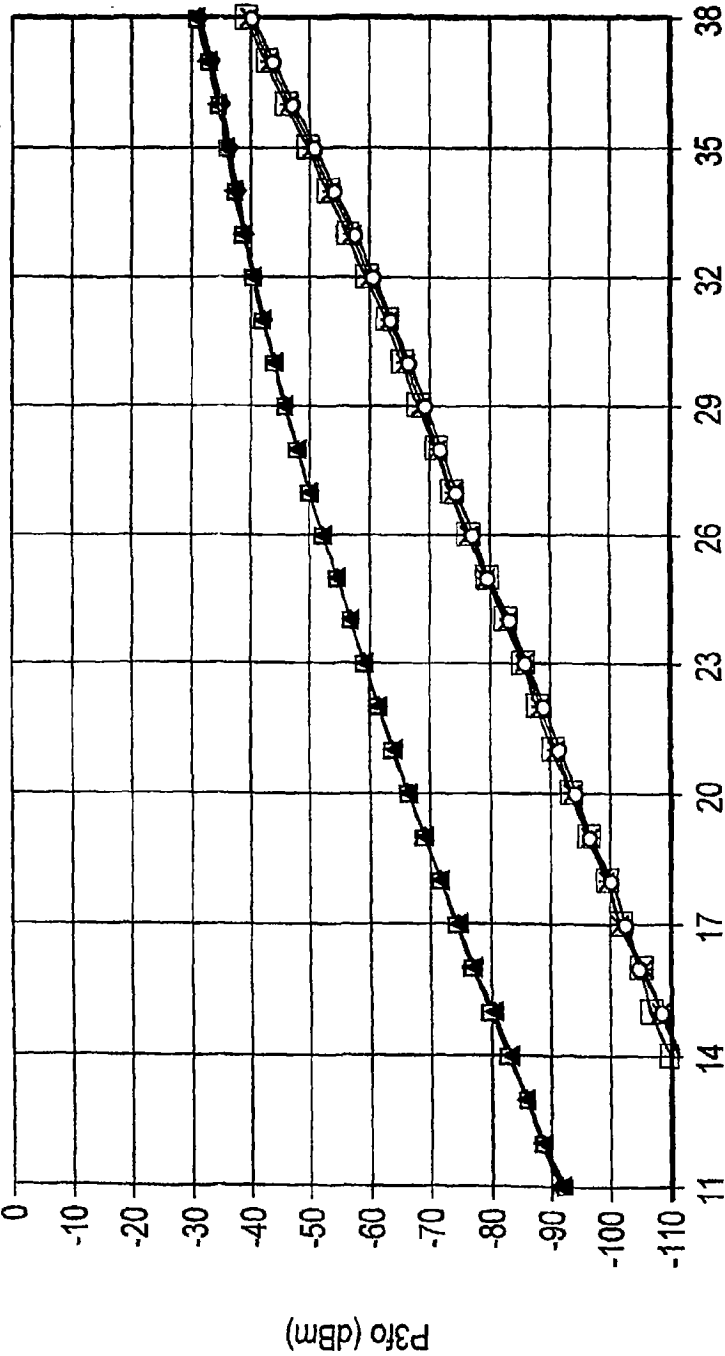


图9

3f_o谐波性能对输入功率

PE4263 = SP6T 开关, 没有ACS
PE42660 = SP6T 开关, 有ACS



TEMP = 25°C
Vdd = 2.6 V
Fo = 900 MHz,
RF 脉冲宽度 = 2ms
50 Ω 负载, 所有其它端口

输入功率 (dBm)

PE42660 设到 41
dBm 输入功率,
对器件无损害

- PE4263 (2.65)
- PE4263 (2.75)
- ▲— PE4263 (2.85)
- PE42660 (2.65)
- *— PE42660 (2.75)
- ◇— PE42660 (2.85)

图 10

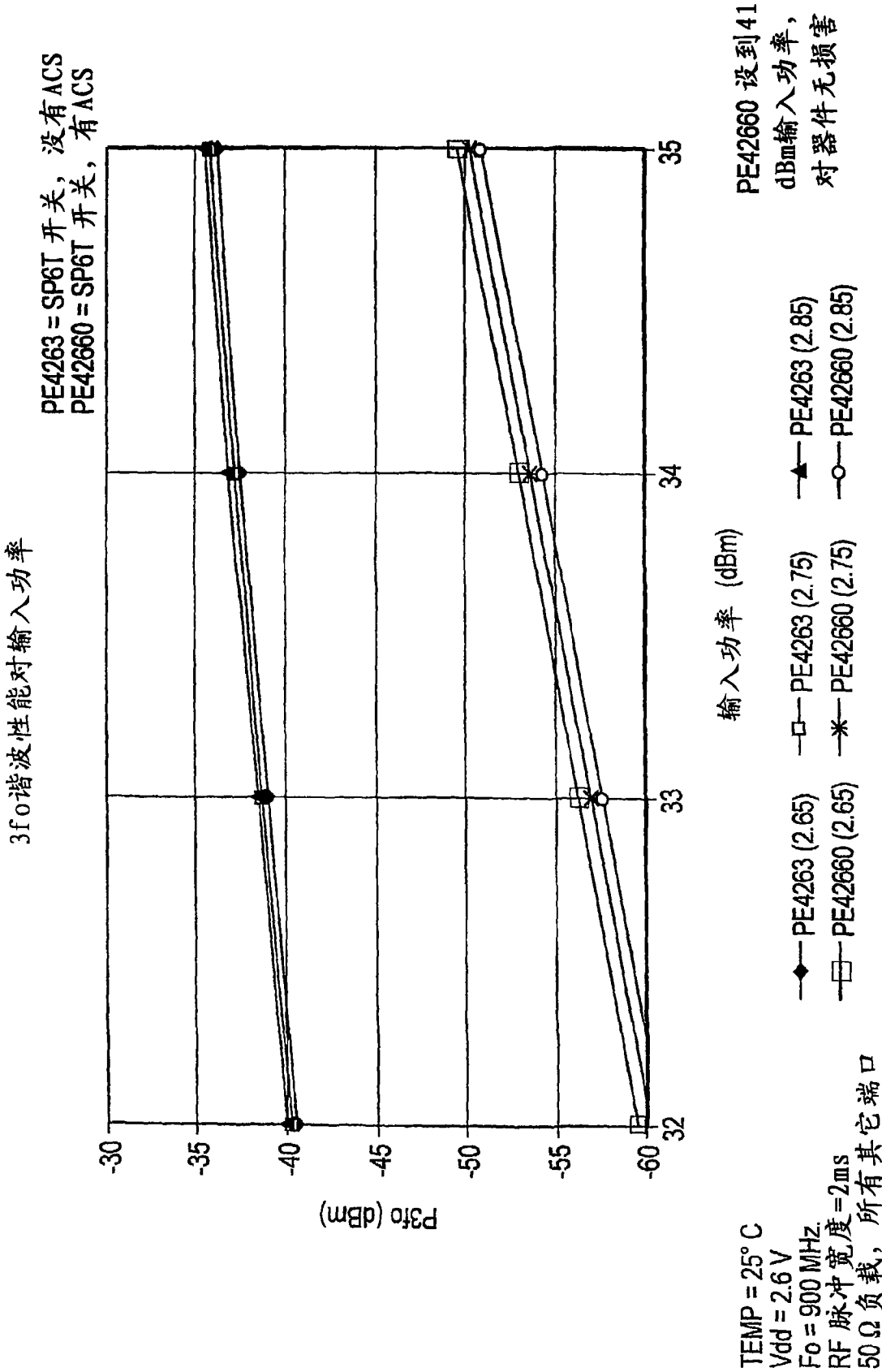


图 11

2f_o谐波性能对输入功率

PE4263 = SP6T 开关, 没有ACS
PE42660 = SP6T 开关, 有ACS

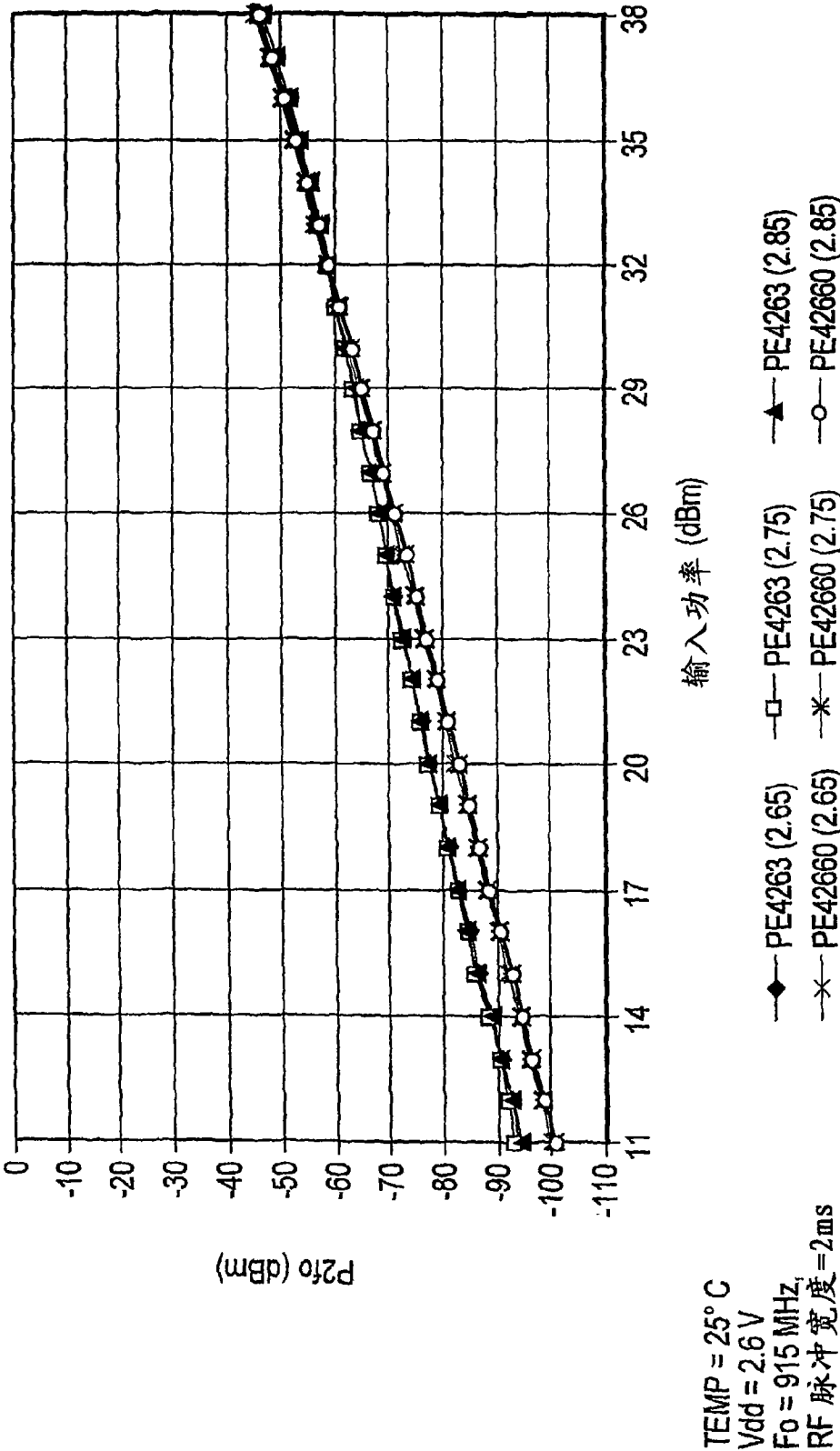
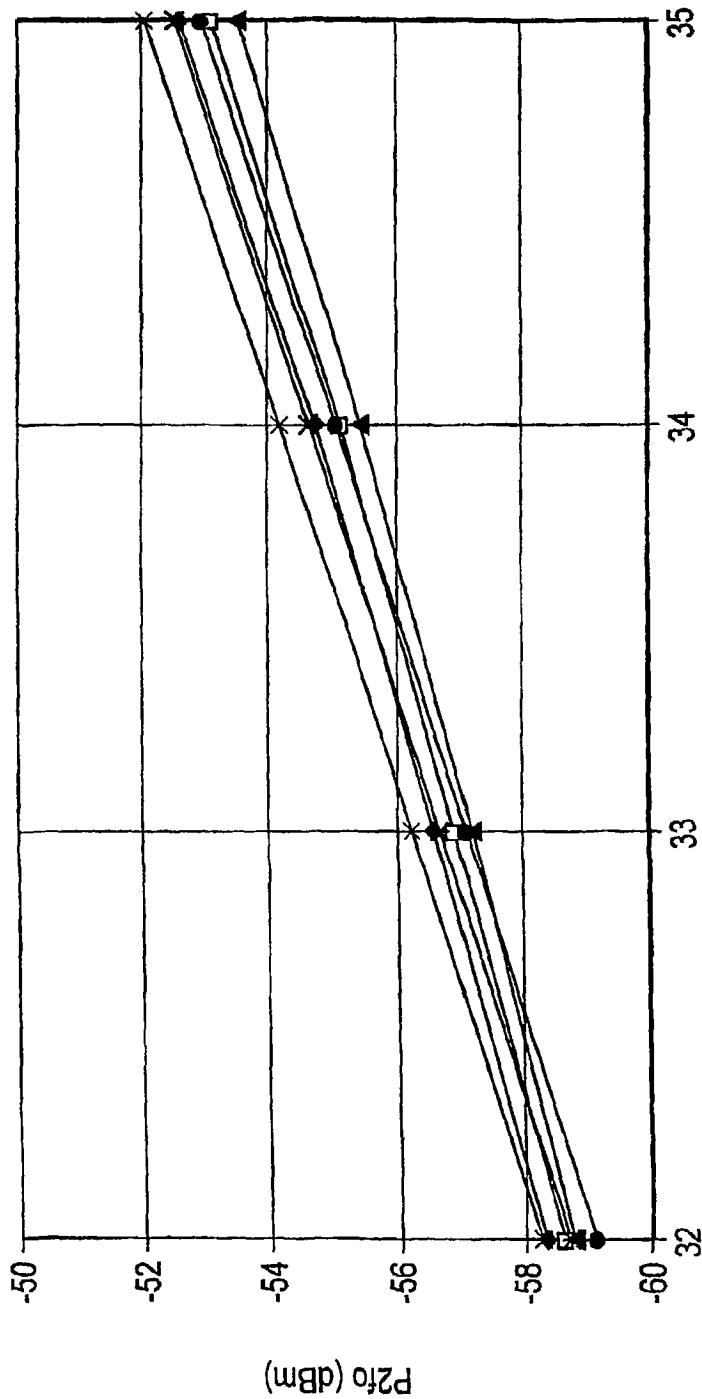


图12

2f₀谐波性能对输入功率

PE4263 = SP6T 开关, 没有ACS
PE42660 = SP6T 开关, 有ACS



TEMP = 25° C
Vdd = 2.6 V
Fo = 915 MHz
RF 脉冲宽度 = 2ms
50 Ω 负载, 所有其它端口

输入功率 (dBm)

—◆— PE4263 (2.65) —□— PE42663 (2.75) —▲— PE42663 (2.85)
—*— PE42660 (2.65) —*— PE42660 (2.75) —○— PE42660 (2.85)

图13

瞬态谐波对相位，在5:1 VSWR

PE4263 = 开关，没有ACS
PE42660 = 开关，有ACS
三次谐波瞬态图

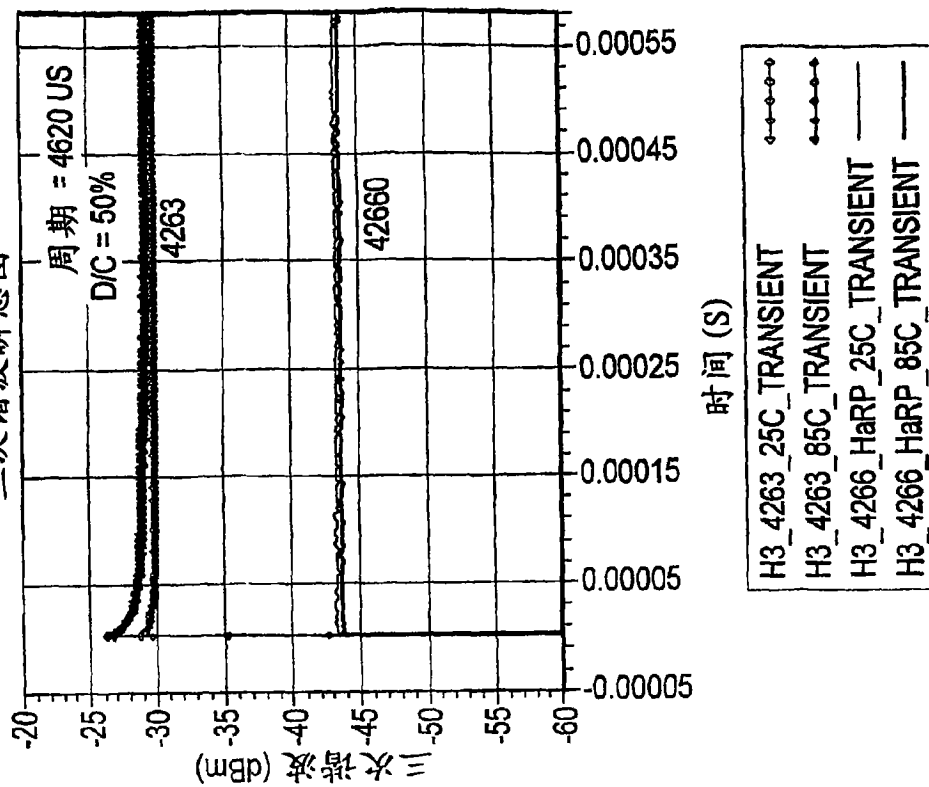
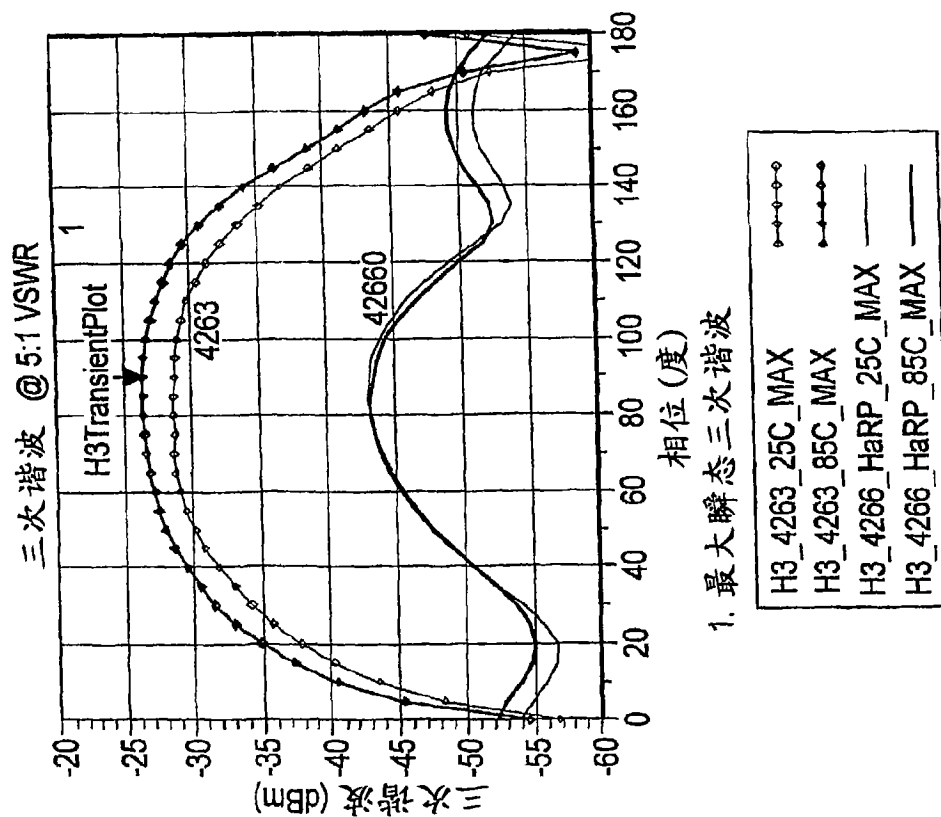


图14

瞬态谐波对相位，在 5: 1 VSWR

PE4263 = SP6T 开关，没有 ACS
PE42660 = SP6T 开关，有 ACS

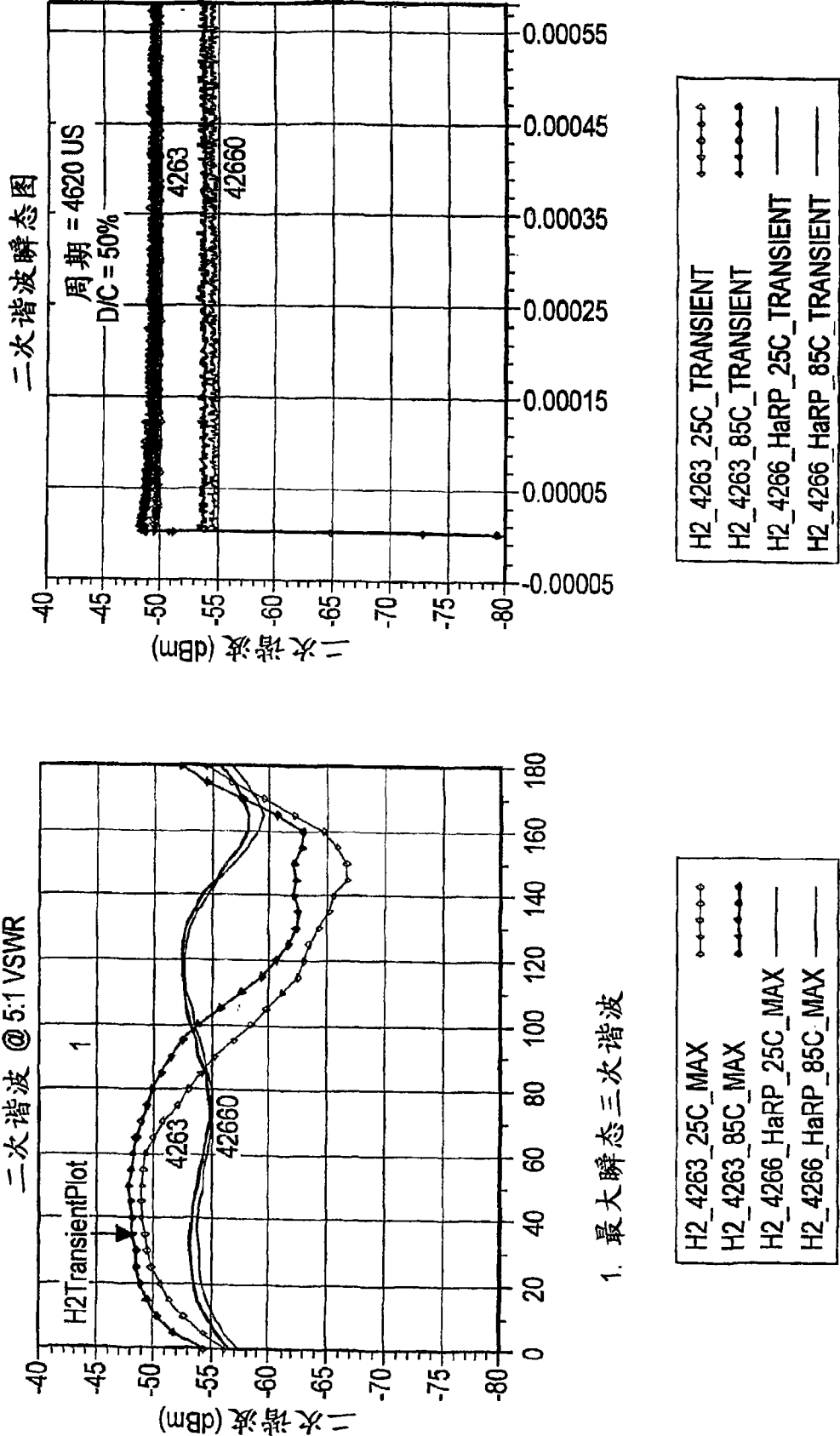


图15

小信号性能PE4263对PE42660

插入损耗、板损耗未消除

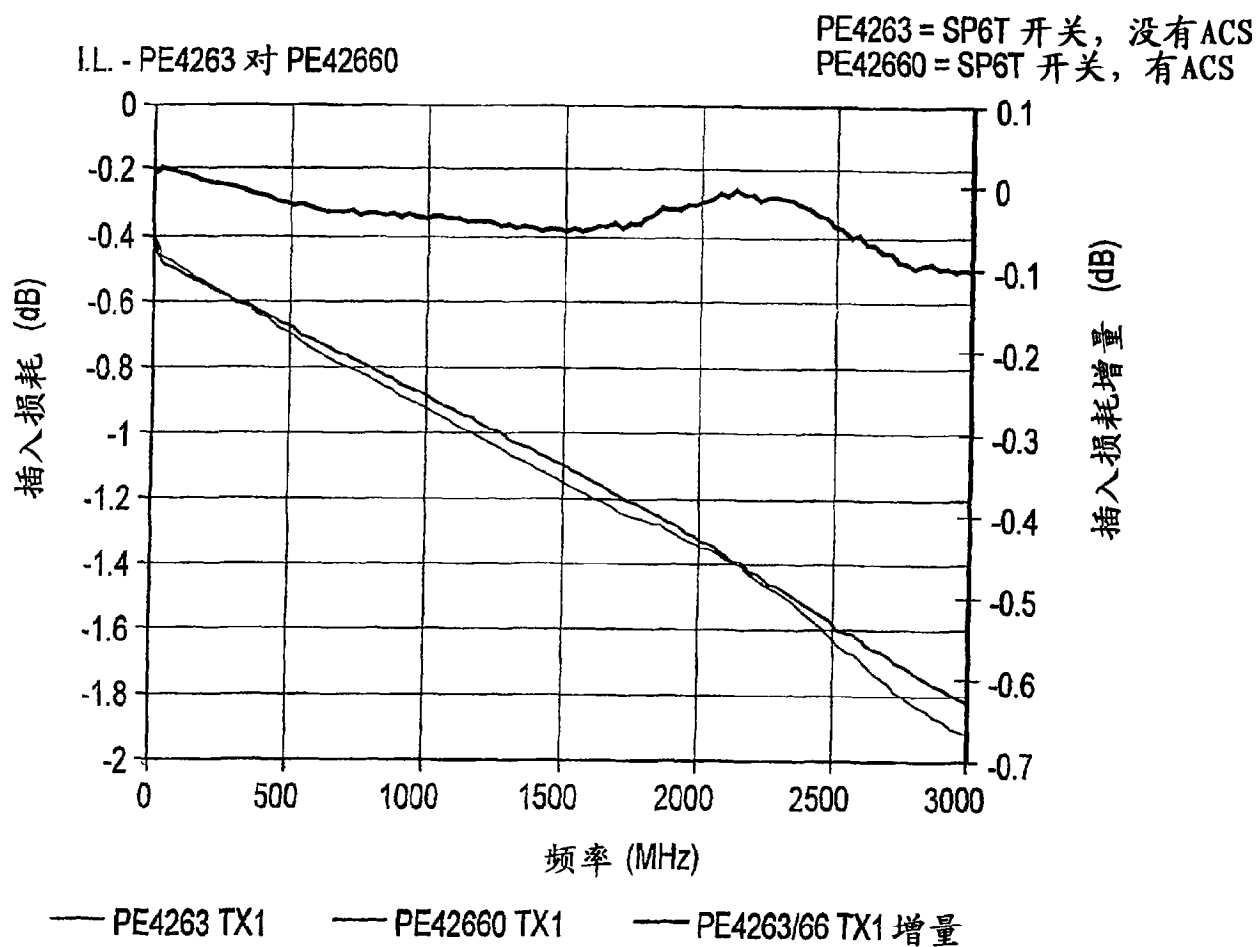


图 16

小信号性能PE4263对PE42660

隔离

ISOLATION - PE4263 对 PE42660

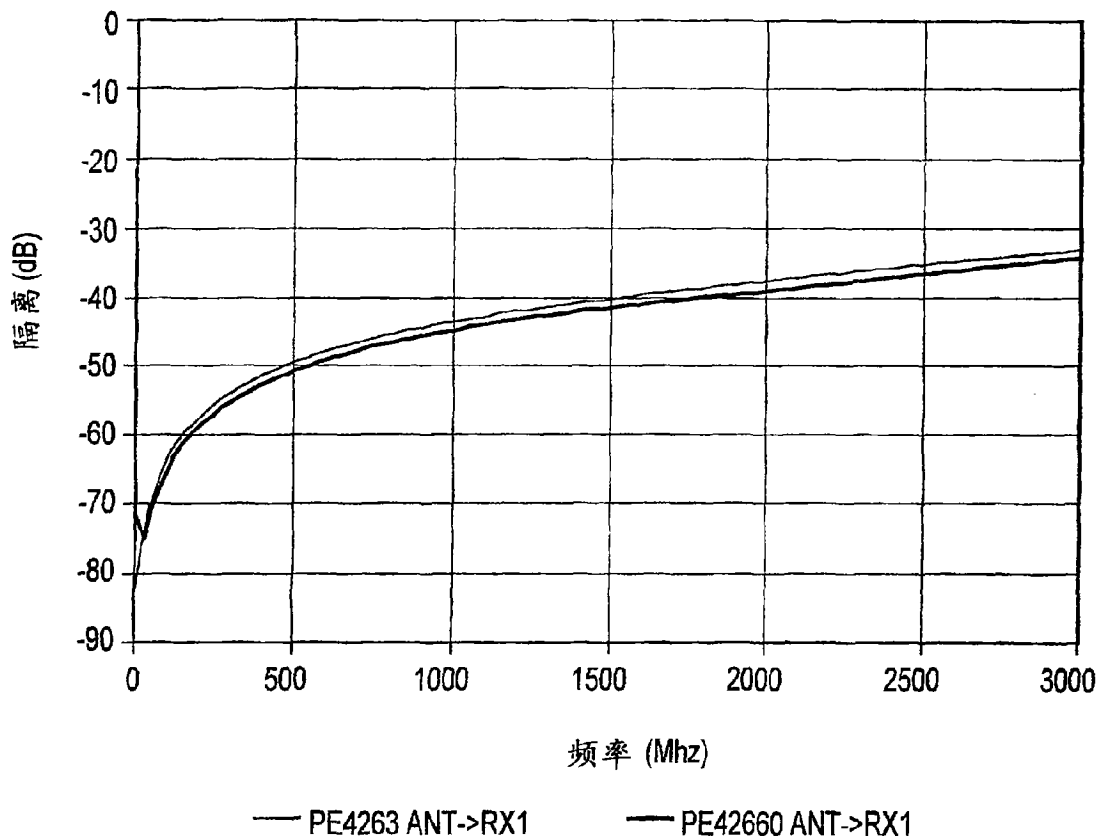
PE4263 = SP6T 开关, 没有ACS
PE42660 = SP6T 开关, 有ACS

图 17

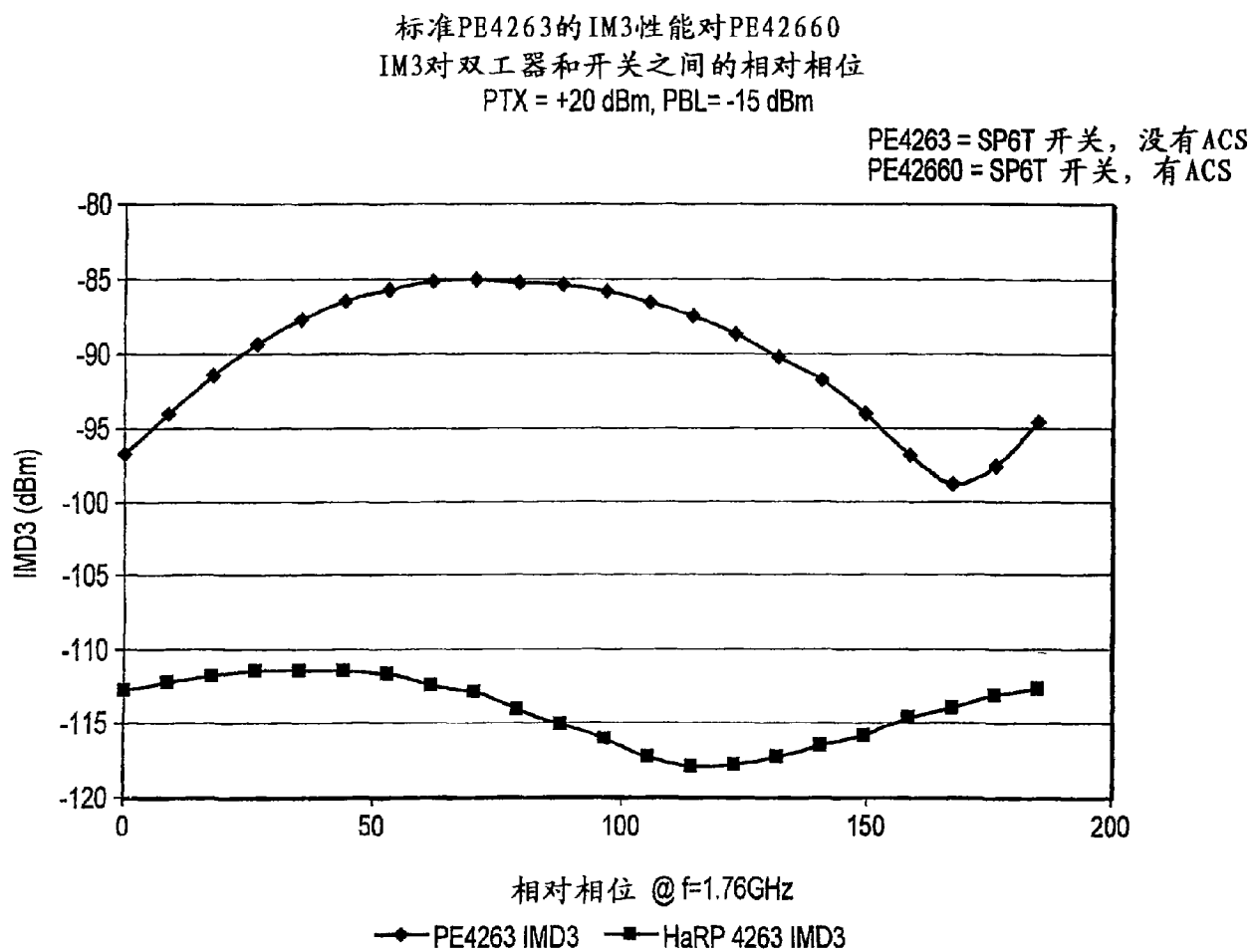


图 18

互调（IM3和IM2）比较表
（最坏情况相位角）

PE4263 = SP6T 开关，没有ACS
PE42660 = SP6T 开关，有ACS

	IMD2 f_{01} = 190 MHz	IMD3 f_{01} = 1760 MHz	IMD2 f_{01} = 4090 MHz
PE4263	-97.0	-85.3	-100.6
HaRP PE4263	-116.7	-111.4	-111.5

- 越低越好
- IMD2和IMD3测量在所有相位角满足103dBm行业要求

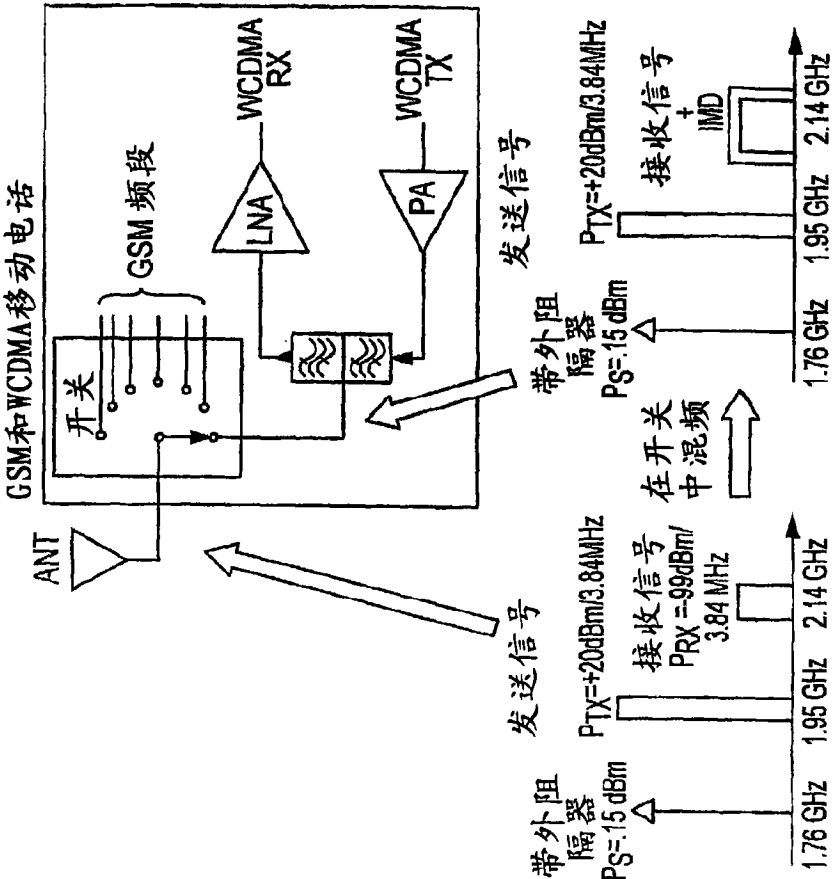


图19