(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 29/78 (2006.01)

(45) 공고일자 2007년02월15일
(11) 등록번호 10-0681964
(24) 등록일자 2007년02월06일

(21) 출원번호 10-2003-7005293
(22) 출원일자 2003년04월15일
심사청구일자 2003년04월15일
번역문 제출일자 2003년04월15일
(86) 국제출원번호 PCT/JP2000/007145
국제출원일자 2000년10월16일

(65) 공개번호 10-2003-0036934
(43) 공개일자 2003년05월09일

(87) 국제공개번호 WO 2002/33738
국제공개일자 2002년04월25일

(81) 지정국 국내특허 : 일본, 대한민국, 미국,

EP 유럽특허 : 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드, 사이프러스, 오스트리아,

(73) 특허권자 가부시키가이샤 히타치세이사쿠쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 미야우찌,아끼히로
일본319-1292이바라끼껭히다찌시오미까쪼7쪼메1-1가부시키가이샤
히타치세이사쿠쇼히타치리서치래버러터리내

이노우에,유스께
일본319-1292이바라끼껭히다찌시오미까쪼7쪼메1-1가부시키가이샤
히타치세이사쿠쇼히타치리서치래버러터리내

안도우,도시오
일본198-0024도꾜도오메시신마찌6쪼메16-3가부시키가이샤히타치세
이사쿠쇼디바이스디벨롭먼트센터내

(74) 대리인 주성민
구영창

심사관 : 박근용

전체 청구항 수 : 총 6 항

(54) 반도체 장치 및 그 제조 방법

(57) 요약

본 발명에서는 게르마늄을 포함한 원료 가스를 반도체 기판에 공급하고, 상기 게르마늄을 포함한 비정질 반도체막을 상기 반도체 기판에 형성하는 비정질 반도체막 형성 처리를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법이 제공된다. 또한, 이 제조 방법에 의해 제조된 신규 구조의 반도체 장치가 제공된다.

대표도

도 12

특허청구의 범위

청구항 1.
삭제

청구항 2.
삭제

청구항 3.

트랜지스터의 제조 방법으로서,

반도체 기판의 제1 면측에 제1 산화막을 형성하는 처리와,

상기 제1 산화막에 게이트 전극을 적층하는 처리와,

상기 게이트 전극의 양측에, 상기 게이트 전극과 상기 반도체 기판의 제1 면에 접촉되는 제2 산화막을 형성하는 처리와,

상기 반도체 기판의 상기 게이트 전극을 사이에 둔 양측의 영역에 불순물을 도입하는 처리와,

게르마늄을 포함한 원료 가스를 상기 반도체 기판의 제1 면측에 공급하고, 상기 게르마늄을 포함한 비정질 반도체막을 상기 반도체 기판 및 상기 제2 산화막과 밀착하도록 상기 불순물을 도입한 영역에 선택적으로 퇴적하는 처리와,

상기 비정질 반도체막을 실리사이드 반응시키는 처리를 포함하는 것을 특징으로 하는 트랜지스터의 제조 방법.

청구항 4.

트랜지스터의 제조 방법으로서,

제1 산화막과 제2 산화막 사이에 반도체막이 개재하는 적층막을 반도체 기판의 제1 면측에 형성하는 적층막 형성 처리와,

상기 반도체 기판의 제1 면에 도달하는 개구를 상기 적층막에 형성하는 개구 형성 처리와,

게르마늄을 포함한 원료 가스를 상기 반도체 기판의 제1 면측에 공급하고, 상기 게르마늄을 포함한 비정질 반도체막을 상기 개구 내의 상기 반도체 기판 및 상기 반도체막에 선택적으로 퇴적하는 비정질 반도체막 형성 처리와,

상기 비정질 반도체막을 결정화시키는 결정화 처리를 포함하는 것을 특징으로 하는 트랜지스터의 제조 방법.

청구항 5.

트랜지스터의 제조 방법으로서,

반도체 기판의 제1 면에, 상기 제1 면 내의 영역을 구획하기 위한 산화막을 형성하는 처리와,

게르마늄을 포함하는 원료 가스를 상기 반도체 기판의 제1 면측에 공급하고, 비정질 반도체막과 상기 게르마늄을 포함하는 비정질 반도체막과의 적층막을 상기 산화막에 의해 구획된 영역 내에 선택적으로 퇴적하는 비정질 반도체막 형성 처리와,

상기 각 적층막을 결정화시키는 결정화 처리와,

상기 결정화 후의 적층막에 게이트부를 형성하는 게이트부 형성 처리를 포함하는 것을 특징으로 하는 트랜지스터의 제조 방법.

청구항 6.

제4항 또는 제5항에 있어서,

상기 비정질 반도체막 형성 처리에서,

탄소를 포함하는 상기 원료 가스를 공급하고, 상기 탄소를 포함하는 상기 비정질 반도체막을 퇴적하는 것을 특징으로 하는 트랜지스터의 제조 방법.

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

반도체 기판과,

상기 반도체 기판의 제1 면측에 형성된 제1 산화막과,

상기 제1 산화막 상에 형성된 게이트 전극과,

상기 게이트 전극과 상기 반도체 기판의 제1 면에 접촉된 제2 산화막과,

상기 게이트 전극을 사이에 둔 양측의 소스·드레인 영역의 표면과 상기 제2 산화막의 표면을 따른 면을 포함하고, 상기 면에서 상기 제2 산화막과 상기 드레인 영역에 접촉된 실리콘 게르마늄막을 포함하는 것을 특징으로 하는 트랜지스터.

청구항 10.

반도체 기판과,

상기 반도체 기판의 제1 면측에 형성되고, 상기 반도체 기판의 제1 면에 도달하는 개구가 형성된 산화막과,

상기 산화막에 적층되고, 상기 산화막의 개구에 연결되는 구멍이 형성된 반도체막과,

상기 산화막의 개구의 내측과 상기 반도체막의 개구의 내측에 형성된 실리콘 게르마늄막으로서, 상기 산화막의 개구의 내측면과 상기 반도체막의 개구의 내측면과 상기 반도체 기판의 제1 면에 따른 면을 포함하고, 상기 면에서 상기 산화막의 개구의 내측면과 상기 반도체막의 개구의 내측면과 상기 반도체 기판의 제1 면에 접촉된 실리콘 게르마늄막을 포함하는 것을 특징으로 하는 트랜지스터.

명세서

기술분야

본 발명은 반도체 장치의 구조 및 제조 기술에 관한 것이다.

배경기술

집적도가 높아지고, 개개의 디바이스의 사이즈가 미세화함에 따라, 얕은 접합 형성(shallow junction)을 위한 기술 개발이 진행되고 있다. 예를 들면, MOS(metal oxide semiconductor) 트랜지스터에 대해서는 이 얕은 접합 형성에 수반하는 소스·드레인 확산층의 시트 저항 증대를 방지하기 위해서, 도 1에 도시한 바와 같은 소스·드레인 영역(100a, 100b) 상에 실리콘(101a, 101b)을 선택적으로 에피택셜 성장시킨 소스·드레인 적층 구조의 개발이 진행되고 있다. 이 소스 드레인 적층 구조에서는 소스·드레인 영역(100a, 100b) 상에 퇴적시킨 각 실리콘막(101a, 101b)에는, 각각 절연막(103a, 103b) 측에 표면 에너지의 작은 결정면(예를 들면, (311)면, (111)면 등)이 파세트(facet)(102a, 102b)로서 나타난다. 이러한 파세트(102a, 102b)의 존재는, 예를 들면, 실리콘막(101a, 101b) 상에 실리사이드를 형성하였을 때에, 소스·드레인 영역(100a, 100b)을 관통한 스파이크 형상의 실리사이드 영역을 발생시키는 원인이 된다. 그리고, 이러한 스파이크 형상의 실리사이드 영역이 존재하고 있으면, 소스·드레인 영역(100a, 100b)과 기판(100)과의 사이에 누설 전류가 생길 가능성이 있다.

따라서, 소스·드레인 영역 상의 실리콘막에서의 파세트 발생을 방지하기 위해서, 결정 특유의 원자 배열(장거리 질서)이 없는 비정질 상태의 실리콘을 소스·드레인 영역 상에 성장시키는 것이 검토되고 있다. 이에 관련된 기술로서, 일본 특개평9-82957호 공보 기재의 MOS 트랜지스터의 제조 기술이 알려져 있다. 이 일본 특개평9-82957호 공보 기재의 제조 기술에서는, 도 2에 도시한 바와 같이 반도체 기판(200) 상에 형성된 절연막(소자 분리용 산화막(201a, 201b), 게이트 전극(204)을 덮는 산화막(205a, 205b, 205c)의 표면에 불소를 다량으로 잔류시켜 둠으로써, 도 3에 도시한 바와 같이 소스·드레인 영역(207a, 207b) 상에만 비정질 실리콘층(208a, 208b)을 선택적으로 퇴적시키고 있다. 그리고, 이 비정질 실리콘막(208a, 208b)을 열 처리로 고상 성장시킴으로써, 파세트가 없는 결정 실리콘막을 형성하고 있다.

또, 이상 설명한 MOS 트랜지스터 외에, 파세트 발생이 문제가 되는 디바이스로서, 헤테로 에피택셜 베이스 트랜지스터, 변형 실리콘 채널 트랜지스터가 알려져 있다.

헤테로 에피택셜 베이스 트랜지스터에서는, 도 4에 도시한 바와 같이 절연막(305a, 305b)에 끼워진 영역 상에 에피택셜 성장된 실리콘 게르마늄막(301)의 단부에 파세트(302a, 302b)가 나타나기 때문에, 실리콘 게르마늄막(301)과 절연막(305a, 305b)과의 사이에 간극(303a, 303b)이 형성된다. 이러한 간극(303a, 303b)은 트랜지스터의 신뢰성이 저하되는 원인이 된다.

또한, 변형 실리콘 채널 트랜지스터에서는, 도 5에 도시한 바와 같이 소자 분리용 산화막(400a, 400b)에 끼워진 액티브 영역(401) 상에 헤테로 에피택셜 성장된 실리콘 다층막(402)에 파세트(403a, 403b)가 나타나기 때문에, 트랜지스터의 형성 영역이 좁아진다. 이 때문에 트랜지스터의 집적도가 저하된다.

〈발명의 개시〉

본 발명의 목적은 파세트가 없는 반도체 장치를 제조하는 신규 제조 방법을 제공하는데 있다. 또한, 그에 따라 제조된 신규 구조를 갖는 반도체 장치를 제공하는데 있다.

이 목적을 달성하기 위해서, 본 발명에서는

제1 면측에 산화막이 형성된 반도체 기판에, 게르마늄을 포함한 원료 가스를 공급함으로써, 게르마늄을 포함하는 비정질 반도체막을 반도체 기판의 제1 면에 형성하는 것으로 하였다.

산업상 이용 가능성

상술된 바와 같이 본 발명에 따르면, 파세트가 없는 반도체 장치를 제조하는 신규 제조 방법이 제공된다. 또한, 그 신규 제조 방법에 의해 제조된, 신규 구조를 갖는 반도체 장치가 제공된다.

도면의 간단한 설명

도 1은 소스·드레인 영역 상의 실리콘층에 파세트가 나타난 종래의 적층 구조형 MOS 전계 효과 트랜지스터의 부분 단면도.

도 2는 종래의 적층 구조형 MOS 전계 효과 트랜지스터 제조 기술에 의한 제조 과정(비정질 실리콘 성막 전)에서의 실리콘 기판 및 그 위에 형성된 퇴적막의 부분 단면도.

도 3은 종래의 적층 구조형 MOS 전계 효과 트랜지스터 제조 기술에 의한 제조 과정(비정질 실리콘 성막 전)에서의 실리콘 기판 및 그 위에 형성된 퇴적막의 부분 단면도.

도 4는 실리콘 게르마늄막에 파세트가 나타난 종래의 헤테로 에피택셜 베이스 트랜지스터의 부분 단면도.

도 5는 실리콘 다층막에 파세트가 나타난 종래의 변형 실리콘 채널 트랜지스터의 부분 단면도.

도 6은 본 발명의 제1 실시 형태에 따른 트랜지스터 제조 방법의 흐름도를 나타낸 도면.

도 7은 본 발명의 제1 실시 형태에 따른 트랜지스터 제조 방법의 제조 과정에서의 반도체 기판의 부분 단면도.

도 8은 본 발명의 제1 실시 형태에 따른 트랜지스터 제조 방법의 제조 과정에서의 반도체 기판 및 그 위에 형성된 퇴적막의 부분 단면도.

도 9는 본 발명의 제1 실시 형태에 따른 트랜지스터 제조 방법의 제조 과정에서의 반도체 기판 및 그 위에 형성된 퇴적막의 부분 단면도.

도 10은 본 발명의 제1 실시 형태에 따른 트랜지스터 제조 방법의 제조 과정에서의 반도체 기판 및 그 위에 형성된 퇴적막의 부분 단면도.

도 11은 본 발명의 제1 실시 형태에 따른 트랜지스터 제조 방법의 제조 과정에서의 반도체 기판 및 그 위에 형성된 퇴적막의 부분 단면도.

도 12는 본 발명의 제1 실시 형태에 따른 트랜지스터 제조 방법의 제조 과정에서의 반도체 기판 및 그 위에 형성된 퇴적막의 부분 단면도.

도 13은 본 발명의 제1 실시 형태에 따른 트랜지스터 제조 방법에 의해 제조된 적층 구조형 전계 효과 트랜지스터의 부분 단면도.

도 14는 본 발명의 제1 실시 형태에 따른 트랜지스터 제조 방법에 의해 제조된 적층 구조형 전계 효과 트랜지스터의 투과 전자 현미경상.

도 15는 도 14의 투과 전자 현미경상의 절연막과 비정질 실리콘 게르마늄막과의 접촉 부분의 확대상.

도 16은 비정질 실리콘 게르마늄의 게르마늄 조성비와 결정화 온도와의 관계를 나타낸 그래프.

도 17은 본 발명의 제2 실시 형태에 따른 트랜지스터 제조 방법의 흐름도를 나타낸 도면.

도 18은 본 발명의 제2 실시 형태에 따른 트랜지스터 제조 방법의 제조 과정에서의 반도체 기판 및 그 위에 형성된 퇴적막의 부분 단면도.

도 19는 본 발명의 제2 실시 형태에 따른 트랜지스터 제조 방법의 제조 과정에서의 반도체 기판 및 그 위에 형성된 퇴적막의 부분 단면도.

도 20은 본 발명의 제2 실시 형태에 따른 트랜지스터 제조 방법의 제조 과정에서의 반도체 기판 및 그 위에 형성된 퇴적막의 부분 단면도.

도 21은 본 발명의 제2 실시 형태에 따른 트랜지스터 제조 방법에 의해 제조된 헤테로 에피택셜 베이스 트랜지스터의 부분 단면도.

도 22는 본 발명의 제2 실시 형태에 따른 트랜지스터 제조 방법의 흐름도를 나타낸 도면.

도 23은 본 발명의 제3 실시 형태에 따른 트랜지스터 제조 방법의 제조 과정에서의 반도체 기판 및 그 위에 형성된 퇴적막의 부분 단면도.

도 24는 본 발명의 제3 실시 형태에 따른 트랜지스터 제조 방법의 제조 과정에서의 반도체 기판 및 그 위에 형성된 퇴적막의 부분 단면도.

도 25는 본 발명의 제3 실시 형태에 따른 트랜지스터 제조 방법의 제조 과정에서의 변형 실리콘 채널 트랜지스터의 부분 단면도.

〈발명을 실시하기 위한 최량의 형태〉

이하, 첨부 도면을 참조하여, 본 발명에 따른 실시 형태에 대하여 설명한다.

우선, 도 6에 도시한 흐름도에 따라, 본 발명의 제1 실시 형태에 따른 트랜지스터의 제조 방법을 설명한다. 단, 여기서는 적층 구조형 전계 효과 트랜지스터의 제조 공정을 예로 든다.

우선, 도 7에 도시한 바와 같이, 이하에 형성하는 트랜지스터와 다른 소자와의 사이를 구획하기 위한 소자 분리용 절연막(601a, 601b)을 얕은 홈 매립 법(shallow trench isolation)에 의해 형성한다(단계 500). 구체적으로는, 반도체 기판(600)의 표면에, 드라이 에칭에 의해 소정 패턴의 홈(600a, 600b)을 형성하고, 이들 홈(600a, 600b) 내부에 이산화 실리콘 등의 산화물(601a, 601b)을 충전한다. 또, 여기서는 반도체 기판(600)으로서, 면방위 (100)면의 p형 실리콘 웨이퍼(직경: 약 200㎜, 두께: 약 0.75㎜)를 이용하고 있다.

이와 같이 하여 소자 분리용 절연막(601a, 601b)이 형성되면, 소자 분리용 절연막(601a, 601b)에서 구획된 활성 영역(602) 내에, 게이트 산화막이 되어야 하는 막 두께 약 2.5㎚의 산화막(도 8에서의 604)을 열 산화 방법 등에 의해 성막한다(단계 501). 또한, 이 게이트 산화막(604) 상에, 막 두께 약 150㎚의 다결정 실리콘막을 화학 기상 성장법(CVD: chemical vapor deposition) 등에 의해 성막한다. 그 후, 포토리소그래피에 의해, 이 다결정 실리콘막 상에 레지스트 패턴을 형성한다. 그리고, 이 레지스트 패턴을 마스크로 하여, 드라이 에칭에 의해, 다결정 실리콘막을 게이트 전극 형상으로 패터닝한다. 그리고, 레지스트 패턴을 제거한다. 이에 의해, 도 8에 도시한 바와 같이 활성 영역(602) 내의 게이트 산화막(604) 상에 게이트 전극(605)이 형성된다(단계 502).

다음으로, 화학 기상 성장법 등에 의해, 반도체 기판(600)의 표면 전체에, 막 두께 약 100㎚의 산화 실리콘막을 퇴적하여, 이 산화 실리콘막을 이방성 드라이 에칭에 의해 가공한다. 이에 의해, 도 9에 도시한 바와 같이 게이트 전극(604)의 측벽의 산화 실리콘막이, 측벽 스페이서(606)로서 잔존한다(단계 503).

다음으로, 반도체 기판(600)에 인 이온 등을 주입한다. 이 때, 게이트부(607)가 마스크가 되기 위해서, 게이트부(607)의 양측 영역에만 불순물이 도입된다. 또한, 약 900℃에서 30초 정도의 불순물 활성화 열 처리를 행한다. 이에 의해, 도 10에 도시한 바와 같이 게이트부(607)의 양측에, 소스·드레인 영역이 되는 n형의 확산층(608a, 608b)이 형성된다(단계 504). 이와 같이 하여 소스·드레인 영역(608a, 608b)이 형성되면, 반도체 기판(600) 전체를 불화 수소 수용액으로 세정한다. 이에 의해, 반도체 기판(600) 상의 자연 산화막 및 오염물이 제거된다.

그리고, 세정 후의 반도체 기판(600)을 건조시킨 후, 감압 CVD 장치의 반응 용기 내에 세트한다. 그리고, 반응 용기 내의 분위기를 약 133Pa, 약 450℃로 유지하면서, 반도체 기판(600) 상에, 실란 가스(SiH_4), 게르마늄 가스(GeH_4), 수소 가스(H_2)를 원료 가스로서 공급한다. 이 때의 각 원료 가스의 유량은 실란 가스 약 10(㎖/min), 게르마늄 가스 약 0.5(㎖/min), 수소 가스 약 1(ℓ/min)이다. 이에 의해, 도 11에 도시한 바와 같이 소스·드레인 영역(608a, 608b) 및 게이트 전극(204)의 상면에, 막 두께 약 30㎚의 비정질 실리콘 게르마늄막($Si_{1-x}Ge_x$)(609a, 609b, 609c)이 선택적으로 퇴적된다(단계 505). 또, 여기서 이용한 성막 온도 하에서 성막되는 비정질 실리콘 게르마늄막에 있어서의 게르마늄 조성비 X는 0.4이다.

다음으로, 스퍼터법에 의해, 각 비정질 실리콘 게르마늄막(609a, 609b, 609c) 상에, 막 두께 약 50㎚의 코발트막을 형성한다. 그리고, 약 750℃～800℃의 질소 분위기 속에서, 30초～60초 정도의 열 처리를 행함으로써, 각 비정질 실리콘 게르마늄막(609a, 609b, 609c)과 각 코발트막을 각각 반응시킨다. 이에 의해, 도 12에 도시한 바와 같이 각 소스·드레인 영역(608a, 608b) 및 게이트 전극(204) 상에 각각 실리사이드막(610, 610b, 610c)이 형성된다(단계 506). 또, 여기서 실리사이드막 형성에 이용하고 있는 코발트막은 티탄막, 니켈막, 플래티넘막, 바나듐막, 팔라듐막, 이들의 합금막 등에 의해 대용할 수도 있다.

다음으로, 화학 기상 성장법 등에 의해, 반도체 기판(600) 상 전체에 실리콘 산화막을 성막한다. 그리고, 도 13에 도시한 바와 같이 드라이 에칭에 의해, 이 실리콘 산화막(611)에, 소스·드레인(608a, 608b) 상의 실리사이드막(610a, 610b)까지 도달하는 비아홀(613a, 613b)을 각각 형성하고, 또한 이들 비아홀 내에, 화학 기상 성장법 등에 의해 텅스텐(612a, 612b)을 충전한다. 이에 의해, 소스 전극 및 드레인 전극이 되는 텅스텐 플러그(612a, 612b)가 형성되고, 적층 구조형 전계 효과 트랜지스터가 완성한다.

이상 설명한 트랜지스터 제조 방법에서는, 소스·드레인 영역 상에 비정질 반도체막을 성막하기 위한 원료 가스에 게르마늄 가스를 첨가함으로써, 소스·드레인 영역 이외의 영역에 불소를 대량으로 잔류시키는 등의 표면 처리를 행하지 않아도, 소스·드레인 영역 상에 비정질 반도체막을 선택적으로 퇴적시킬 수 있게 된다. 이것을 실증하기 위해서, 2개의 게이트부를 마스크로 하여 소스·드레인 영역이 형성된 반도체 기판 상에, 실제로 상술한 성막 조건과 마찬가지인 성막 조건(성막 압력: 약 133Pa, 성막 온도: 약 450℃, 실란 가스 유량: 약 10(㎖/min), 게르마늄 가스 유량: 약 0.5(㎖/min), 수소 가스 유량: 약 1(ℓ/min))에 의해 실리콘 게르마늄막을 퇴적시켜, 그 단면을 투과형 전자 현미경으로 관찰하였다.

그 결과, 도 14에 도시한 바와 같이 실리콘 게르마늄막(700)은 소자 분리용 절연막(702)의 표면 및 게이트 전극 측벽의 절연막(701)의 표면에는 퇴적하지 않고, 2개의 게이트부(704) 이외의 활성 영역(즉, 소스·드레인 영역) 및 2개의 게이트 전극(705)의 상면에 선택적으로 퇴적하고 있는 것을 알 수 있었다. 또, 반도체 기판 내의 소스·드레인 영역과 다른 영역은 결정 구조가 동일하므로, 투과형 전자 현미경의 상에 있어서는 반도체 기판 내의 소스·드레인 영역과 다른 영역을 식별할 수 없다. 또한, 게이트 절연막은 그 막 두께가 2.5㎚ 정도이므로, 여기서 이용한 투과형 전자 현미경으로는 촬상할 수 없었다.

또한, 투과형 전자 현미경의 배율을 높여, 소스·드레인 영역 상의 실리콘 게르마늄막(700)을 관찰하면, 소스·드레인 영역 상의 실리콘 게르마늄막(700)의 투과형 전자 현미경상에는 무아레(Moire) 무늬 패턴 및 삼각형의 흑색 패턴의 쌍방이 나타나고 있는 것을 알 수 있었다. 투과형 전자 현미경 상의 일부에 무아레 무늬 패턴이 나타나고 있다는 것은 소스·드레인 영역 상의 실리콘 게르마늄막(700)의 일부가 결정 특유의 원자 배열(장거리 질서)을 갖지 않는 비정질인 것을 의미한다. 한편, 투과형 전자 현미경상의 일부에 삼각형의 흑색 패턴이 나타나고 있다는 것은, 소스·드레인 영역 상의 실리콘 게르마늄막(700)의 일부가 고상 성장한 결정인 것을 의미한다.

따라서, 투과형 전자 현미경의 배율을 높인 상태에서, 게이트 전극 측벽의 절연막 부분을 관찰하면, 도 15에 도시한 바와 같이 소스·드레인 영역 상의 실리콘 게르마늄막(700)의 단부에는 무아레 무늬 패턴이 나타나고, 또한 결정 특유의 파세트의 존재가 인정되지 않는 것이 확인되었다. 즉, 소스·드레인 영역 상의 실리콘 게르마늄막(700)의 단부는 게이트 전극 측벽의 절연막(703)과 반도체 기판(701)을 따른 형상의 면을 갖고, 또한 이 면에서, 게이트 전극 측벽의 절연막(703)과 반도체 기판(701)에 밀착하고 있는 것이 확인되었다. 한편, 삼각형의 흑색 패턴은, 주로 반도체 기판(703)과의 계면 부근에 분포하고 있는 것이 확인되었다.

이상의 관찰 결과로부터, 본 실시의 형태에 따른 트랜지스터 제조 방법에 따르면, 소스·드레인 영역 이외의 영역에 불소를 대량으로 잔류시키는 등의 표면 처리를 행하지 않아도, 파세트가 없는 적층 구조형 전계 효과 트랜지스터를 작성할 수 있는 것이 뒷받침되었다. 실제로, 본 실시의 형태에 따른 트랜지스터 제조 방법에 따라, 소스·드레인 확산층의 두께가 약 20

㎚의 적층 구조형 전계 효과 트랜지스터를 제작한 바, 스파이크에 기인한다고 생각되는 누설 전류가 발생하지 않았다. 이로부터도, 본 실시의 형태에 따른 트랜지스터 제조 방법에 따르면, 소스·드레인 영역 이외의 영역에 불소를 대량으로 잔류시키는 등의 표면 처리를 행하지 않아도, 파세트가 없는 적층 구조형 전계 효과 트랜지스터를 작성할 수 있다고 생각된다.

또, 이상에서는 반도체 기판으로서 p형의 실리콘 웨이퍼를 이용하고 있지만, 반드시, 이와 같이 할 필요는 없다. 예를 들면, p형의 실리콘 웨이퍼 대신에, n형의 실리콘 웨이퍼를 이용해도 된다. 단, n형의 실리콘 웨이퍼를 반도체 기판으로서 이용하는 경우에는, 활성 영역 내에 p형의 소스·드레인 확산층을 형성할 필요가 있다.

또한, 이상에서는 비정질 실리콘 게르마늄막($Si_{1-x}Ge_x$)에서의 게르마늄 조성비 X를 0.4로 하였지만, 이것과는 다른 게르마늄 조성비의 비정질 실리콘 게르마늄막을 소스·드레인 영역 상에 성막하도록 해도 된다. 도 16에 도시한 바와 같이 비정질 실리콘 게르마늄($Si_{1-x}Ge_x$)은 게르마늄 조성비 X가 커질수록 결정화 온도 T가 낮아지는 특성을 갖고 있기 때문에, 예를 들면, 소스·드레인 영역 상에 성막하는 비정질 실리콘 게르마늄막($Si_{1-x}Ge_x$)의 게르마늄 조성비 X를 크게 하는 경우에는, 성막 온도를 낮출 필요가 있다. 보다 구체적으로는, 소스·드레인 영역 상에 성막하는 비정질 실리콘 게르마늄막($Si_{1-x}Ge_x$)의 게르마늄 조성비 X와 동일한 게르마늄 조성비의 비정질 실리콘 게르마늄의 결정화 온도 T를 도 16으로부터 구하고, 그 결정화 온도보다 낮은 온도를 성막 온도로서 설정할 필요가 있다.

그런데, 이상에서는 본 발명에 따른 트랜지스터 제조 방법을 적층형 전계 효과 트랜지스터의 제조 공정에 적용한 경우를 설명하였지만, 본 발명에 따른 트랜지스터 제조 방법은 파세트의 발생을 방지하는 것이 기대되고 있는 다른 반도체 장치의 제조 공정에 적용할 수도 있다. 예를 들면, 헤테로 에피택셜 베이스 트랜지스터의 제조 공정, 변형 실리콘 채널 트랜지스터의 제조 공정 등에 적용할 수도 있다. 이하, 본 발명의 다른 실시 형태로서, 또한 (1) 헤테로 에피택셜 베이스 트랜지스터 제조 공정, (2) 변형 실리콘 채널 트랜지스터 제조 공정을 설명한다.

(1) 헤테로 에피택셜 베이스 트랜지스터 제조 공정

도 17은 본 발명의 제2 실시 형태에 따른 헤테로 에피택셜 베이스 트랜지스터의 제조 공정의 흐름도이다. 여기서는, 반도체 기판으로서 면방위 (100)면의 p형 실리콘 웨이퍼(직경: 약 200㎜, 두께: 약 0.75㎜)를 이용하는 것으로 한다.

우선, 반도체 기판(도 18에서의 900)에, 그 표면으로부터 약 100㎚의 깊이까지 인 이온 등을 주입함으로써, n형 영역(도 18에서의 900a)을 형성한다. 그 후, 그 반도체 기판 상에, 열화학 기상 성장법에 의해, 막 두께 약 20㎚의 산화 실리콘막(도 18에서의 901)을 성막한다. 이 산화 실리콘막 상에, 열화학 기상 성장법에 의해, 불순물(붕소)을 포함한 막 두께 약 100㎚의 다결정 실리콘막(도 18에서의 902)을 성막한다. 이 다결정 실리콘막(902)은 헤테로 에피택셜 베이스 트랜지스터의 베이스 방출 전극이 된다. 또한, 이 다결정 실리콘막(902) 상에, 열화학 기상 성장법에 의해, 막 두께 약 100㎚의 산화 실리콘층(도 18에서의 903)을 성막한다(단계 800). 이에 의해, 도 18에 도시한 바와 같이 3가지 층(901, 902, 903)으로 이루어지는 적층막(904)이 반도체 기판(900) 상에 형성된다.

다음으로, 포토리소그래피에 의해, 산화 실리콘층(903) 상에 레지스트 패턴을 형성하고, 또한 이 레지스트 패턴을 마스크로 하여, 드라이 에칭에 의해, 산화 실리콘막(903) 및 다결정 실리콘막(902)의 일부를 제거한다. 이에 의해, 노출된 산화 실리콘막(901)을 불화 수소 수용액을 이용한 습식 에칭에 의해 제거한다. 이에 의해, 도 19에 도시한 바와 같이 적층막(904)에 베이스 개공(905)이 형성된다(단계 801).

다음으로, 감압 CVD 장치의 반응 용기 내에 반도체 기판(900)을 세트한다. 그리고, 상술한 경우와 마찬가지로, 반응 용기 내의 분위기를 약 133Pa, 약 450℃로 유지하면서, 반도체 기판(900) 상에, 실란 가스(SiH_4), 게르마늄 가스(GeH_4), 수소 가스(H_2)를 원료 가스로서 공급한다. 이 때의 각 원료 가스의 유량은 상술한 경우와 마찬가지로, 실란 가스 약 10(㎖/min), 게르마늄 가스 약 0.5(㎖/min), 수소 가스 약 1(ℓ/min)이다. 이에 의해, 도 20에 도시한 바와 같이 베이스 개공(905)의 내벽으로서 노출된 반도체 기판(900) 및 다결정 실리콘막(902)에만, 막 두께 약 20㎚의 비정질 실리콘 게르마늄막($Si_{1-x}Ge_x$)(906)이 선택적으로 퇴적된다(단계 802). 비정질 실리콘 게르마늄에는 결정 특유의 파세트가 존재할 수 없기 때문에, 이 때 퇴적된 비정질 실리콘 게르마늄막(906)은 산화 실리콘막(901)의 측벽부와의 사이에 간극을 형성하지 않고, 반도체 기판(900)과 다결정 실리콘막(902) 사이에 충전된다.

다음으로, 약 650℃의 질소 분위기 속에서 2분 정도의 열 처리를 행함으로써, 비정질 실리콘 게르마늄막(906)을 결정화시킨다(단계 803).

다음으로, 열화학 기상 성장법에 의해, 반도체 기판(900) 상의 영역 전면에 산화 실리콘을 형성한다. 그리고, 에칭에 의해, 에미터 영역 밖의 산화 실리콘막(907)을 제거한다. 이에 의해, 에미터 개구(도 21에서의 909)의 내벽면에만 산화 실리콘막(도 21에서의 907)이 잔존한다. 최종적으로, 도 21에 도시한 바와 같이 화학 기상 성장법 등에 의해, 이 에미터 개구(909) 내부에 p형 다결정 실리콘막을 충전함으로써, 에미터 전극(908)을 형성한다. 이에 의해, 헤테로 에피택셜 베이스 트랜지스터가 완성된다.

이상 설명한 트랜지스터 제조 방법에 따르면, 결정 특유의 원자 배열을 갖지 않는 비정질 실리콘 게르마늄막을 베이스 개공 내에 성막하여, 그것을 결정화시키기 때문에, 베이스 개공의 내벽면으로서 노출된 산화 실리콘막 사이에 간극을 형성하지 않는 실리콘 게르마늄막을 형성할 수 있다. 따라서, 신뢰성이 높은 헤테로 에피택셜 베이스 트랜지스터를 제조할 수 있다. 이것을 실증하기 위해서, 실제로 본 실시의 형태에 따른 트랜지스터 제조 방법에 따라, 헤테로 에피택셜 베이스 트랜지스터를 제작하여, 그 단면을 투과형 전자 현미경에 의해 관찰한 바, 도 4에 도시한 종래의 트랜지스터와는 달리, 실리콘 게르마늄막과 절연막 사이에 간극의 발생은 인정되지 않았다. 즉, 본 실시의 형태에 따른 트랜지스터 제조 방법에 따르면, 신뢰성이 높은 헤테로 에피택셜 베이스 트랜지스터를 제조할 수 있는 것이 확인되었다.

또, 여기서는 비정질 실리콘 게르마늄막의 원료 가스로서, 실란 가스, 게르마늄 가스, 수소 가스만을 사용하고 있지만, 필요에 따라, 이들 가스에 다른 가스를 첨가할 수도 있다. 예를 들면, 비정질 실리콘 게르마늄막의 원료 가스에 또한 프로판 가스를 첨가하면, 탄소를 포함하는 비정질 실리콘 게르마늄막이 형성되기 때문에, 고상 성장 후의 실리콘 게르마늄막에 발생하는 스트레스를 완화시킬 수 있다. 그 결과, 고상 성장 후의 실리콘 게르마늄막에 있어서의 결정 결함의 발생이 억제되기 때문에, 헤테로 에피택셜 베이스 트랜지스터의 신뢰성을 더욱 향상시킬 수 있다.

또한, 여기서는 비정질 실리콘 게르마늄막($Si_{1-x}Ge_x$)에 있어서의 게르마늄 조성비 X를 0.4로 하고 있지만, 이것과는 다른 게르마늄 조성비의 비정질 실리콘 게르마늄막을 성막하도록 해도 된다. 그와 같이 하는 경우에는, 상술한 경우와 마찬가지로, 비정질 실리콘 게르마늄막($Si_{1-x}Ge_x$)의 게르마늄 조성비 X와 동일한 게르마늄 조성비의 비정질 실리콘 게르마늄의 결정화 온도 T를 도 16으로부터 구하고, 그 결정화 온도보다 낮은 온도를 비정질 실리콘 게르마늄막의 성막 온도로서 설정할 필요가 있다.

(2) 변형 실리콘 채널 트랜지스터 제조 공정

도 22는 본 발명의 제3 실시 형태에 따른 변형 실리콘 채널 트랜지스터의 제조 공정의 흐름도이다. 여기서는, 반도체 기판으로서 면방위 (100)면의 p형 실리콘 웨이퍼(직경: 약 200㎜, 두께: 약 0.75㎜)를 이용하는 것으로 한다.

우선, 도 23에 도시한 바와 같이 이하에 형성하는 트랜지스터와 다른 소자와의 사이를 구획하기 위한 소자 분리용 절연막(1101a, 1101b)을 얕은 홈 매립법에 의해 형성한다(단계 1000). 구체적으로는, 반도체 기판(1100)의 표면에, 드라이 에칭에 의해 소정 패턴의 홈(1102a, 1102b)을 형성하고, 이들 홈(1102a, 1102b) 내부에 이 산화 실리콘 등의 산화물(1101a, 1101b)을 충전한다.

다음으로, 감압 CVD 장치의 반응 용기 내에 반도체 기판(1100)을 세트한다. 그리고, 도 24에 도시한 바와 같이 소자 분리용 절연막(1101a, 1101b)에서 구획된 활성 영역(1103)에, 결정 특유의 원자 배열을 갖지 않는 비정질 반도체 적층막(1104)을 선택적으로 퇴적시킨다(단계 1001). 구체적으로는, 막 두께 약 10㎚의 비정질 실리콘막(1104a, 1104c) 사이에 막 두께 약 30㎚의 비정질 실리콘 게르마늄막(1104b)이 개재하는 비정질 반도체 적층막(1104)을 형성한다. 이러한 구조의 비정질 반도체 적층막(1104)을 형성하기 위해서는, 우선 반응 용기 내의 분위기를 약 133Pa, 약 560℃로 유지하면서, 반도체 기판(1100) 상에, 실란 가스(SiH_4) 약 10(㎖/min), 수소 가스(H_2) 약1(ℓ/min), 염화수소 가스(HCl) 약 5(㎖/min)를 공급함으로써, 막 두께 약 10㎚의 비정질 실리콘막(1104a)을 반도체 기판(1100)의 활성 영역 내에 선택적으로 퇴적시킨다. 이어서, 반응 용기 내의 분위기를 약 133Pa, 약 450℃로 유지하면서, 반도체 기판(600) 상에, 실란 가스(SiH_4) 약 10(㎖/min), 수소 가스(H2) 약 1(ℓ/min), 게르마늄 가스(GeH_4) 약 0.5(㎖/min), 염화수소 가스(HCl) 약 5(㎖/min)를 공급함으로써, 막 두께 약 30㎚의 비정질 실리콘 게르마늄막(1104b)을 비정질 실리콘막(1104a) 상에 선택적으로 퇴적시킨다. 또한, 최하층의 비정질 실리콘막(1104a)을 성막한 경우와 마찬가지인 성막 조건에 의해, 막 두께 약 10㎚의 비정질 실리콘막(1104a)을 비정질 실리콘 게르마늄막(1104b) 상에 선택적으로 퇴적시킨다. 이에 의해, 비정질 반도체 적층막(1104)이 형성된다.

다음으로, 약 650℃의 질소 분위기 속에서 2분 정도의 열 처리를 행함으로써, 그 비정질 반도체 적층막(1104)의 각 구성층을 고상 성장시킨다(단계 1102). 고상 성장 후의 반도체 적층막(1104)은, 당연히 고상 성장 전의 형상을 유지하고 있기 때문에, 그 단부에 파세트는 존재하지 않는다.

다음으로, 고상 성장 후의 반도체 적층막(1104) 상에, 게이트 산화막이 되어야 되는 막 두께 약 2.5㎚의 산화 실리콘막(도 25에서의 1105)을 열 산화 방법 등에 의해 성막한다. 또한, 이 게이트 산화막(1105) 상에, 막 두께 약 150㎚의 다결정 실리콘막을 화학 기상 성장법 등에 의해 성막한다. 그 후, 포토리소그래피에 의해, 이 다결정 실리콘막 상에 레지스트 패턴을 형성하고, 또한 이 레지스트 패턴을 마스크로 하여, 드라이 에칭에 의해, 이 다결정 실리콘막을 게이트 전극 형상으로 패터닝한다. 그리고, 레지스트 패턴을 제거한다. 이에 의해, 게이트 산화막(1105) 상에 게이트 전극(도 25에서의 1107)이 형성된다. 다음으로, 화학 기상 성장법 등에 의해, 막 두께 약 100㎚의 산화 실리콘막을 퇴적하여, 이 산화 실리콘막을 이방성 드라이 에칭에 의해 가공한다. 이에 의해, 도 25에 도시한 바와 같이 게이트 전극(1107)의 측벽의 산화 실리콘막이측벽 스페이서(1106)로서 잔존한다. 또한, 인 이온 등의 주입에 의해, 게이트부의 양측 영역에, 소스·드레인 영역이 되는 n형 확산층(1108a, 1108b)을 형성하면, 변형 실리콘 채널 트랜지스터가 완성한다(단계 1103).

이상 설명한 트랜지스터 제조 방법에 따르면, 결정 특유의 원자 배열을 갖지 않는 비정질 반도체 적층막을 활성 영역에 성막하여, 그것을 결정화시키기 때문에, 트랜지스터의 형성 영역의 감소를 방지할 수 있다. 이 때문에, 트랜지스터의 집적도를 향상시킬 수 있다.

이상 설명한 트랜지스터 제조 방법에 따라, 실제로 게이트 폭 0.07㎛의 변형 실리콘 채널 트랜지스터를 제작한 바, 실온 300K에서의 이동도 800㎠/V·s의 고속 동작이 실현되는 것이 확인되었다.

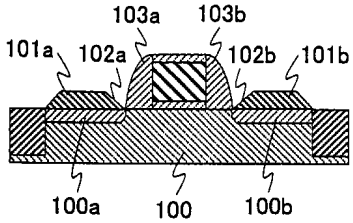
또, 여기서는 비정질 반도체 적층막을 3층 구조로 하고 있지만, 2층 구조, 또는 4층 이상의 다층 구조로 해도 된다.

또한, 여기서는 비정질 실리콘 게르마늄막의 원료 가스로서, 실란 가스, 게르마늄 가스, 수소 가스, 염화 수소 가스만을 사용하고 있지만, 필요에 따라, 이들 가스에 다른 가스를 첨가할 수도 있다. 예를 들면, 상술한 바와 같이 비정질 실리콘 게르마늄막의 원료 가스에 프로판 가스를 더 첨가하면, 탄소를 포함하는 비정질 실리콘 게르마늄막이 형성되기 때문에, 고상 성장 후의 실리콘 게르마늄막에 발생하는 스트레스를 완화시킬 수 있다. 그 결과, 고상 성장 후의 실리콘 게르마늄막에 있어서의 결정 결함의 발생이 억제되기 때문에, 변형 실리콘 채널 트랜지스터의 신뢰성을 더욱 향상시킬 수 있다.

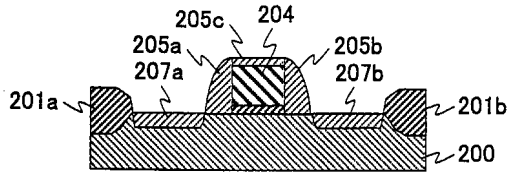
또한, 여기서는 비정질 실리콘 게르마늄막($Si_{1-x}Ge_x$)에 있어서의 게르마늄 조성비 X를 0.4로 하고 있지만, 이것과는 다른 게르마늄 조성비의 비정질 실리콘 게르마늄막을 성막하도록 해도 된다. 그와 같이 하는 경우에는, 상술한 경우와 마찬가지로, 비정질 실리콘 게르마늄막($Si_{1-x}Ge_x$)의 게르마늄 조성비 X와 동일한 게르마늄 조성비의 비정질 실리콘 게르마늄의 결정화 온도 T를 도 16으로부터 구하여, 그 결정화 온도보다 낮은 온도를 비정질 실리콘 게르마늄막의 성막 온도로서 설정할 필요가 있다.

도면

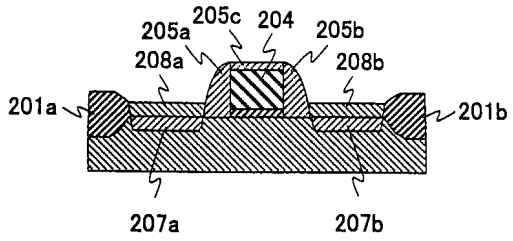
도면1



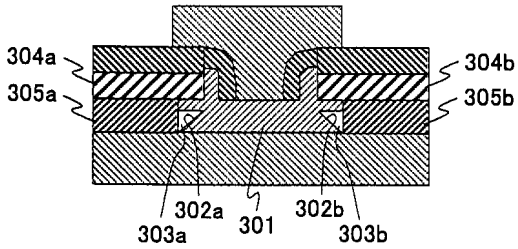
도면2



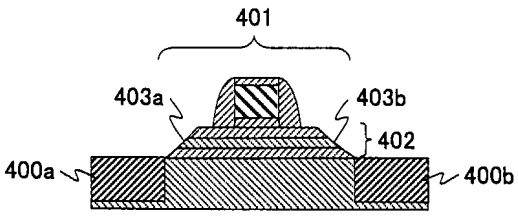
도면3



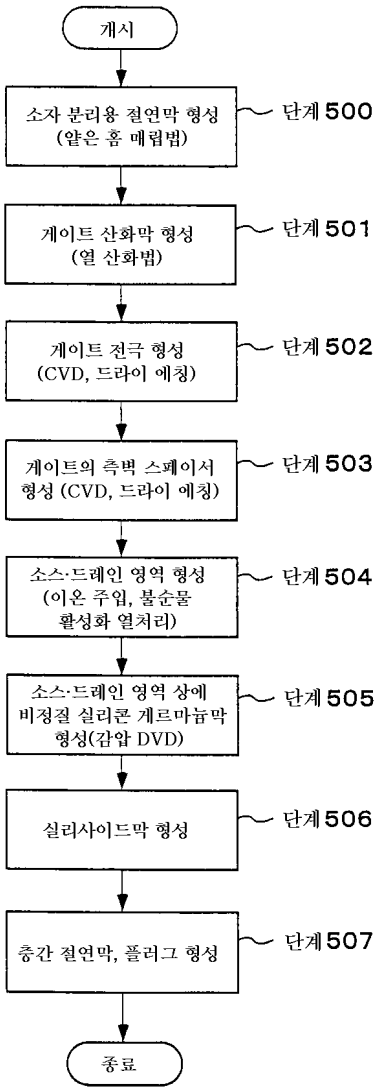
도면4



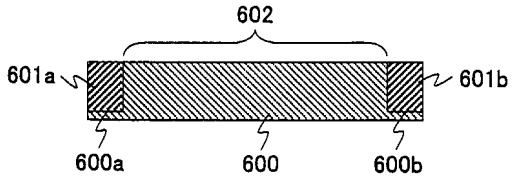
도면5



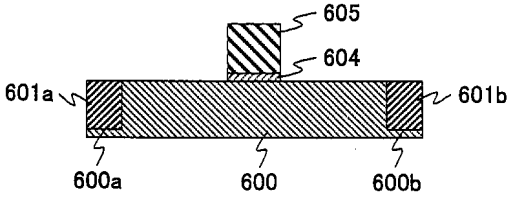
도면6


개시
소자 분리용 절연막 형성
(얕은 홈 매립법)
단계 500
게이트 산화막 형성
(열 산화법)
단계 501
게이트 전극 형성
(CVD, 드라이 에칭)
단계 502
게이트의 측벽 스페이서
형성 (CVD, 드라이 에칭)
단계 503
소스·드레인 영역 형성
(이온 주입, 불순물
활성화 열처리)
단계 504
소스·드레인 영역 상에
비정질 실리콘 게르마늄막
형성(감압 DVD)
단계 505
실리사이드막 형성
단계 506
층간 절연막, 플러그 형성
단계 507
종료

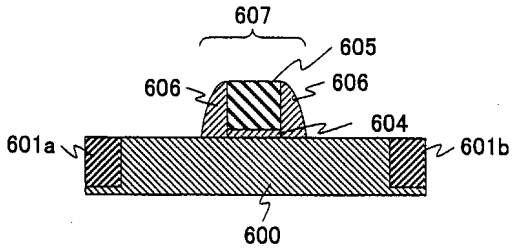
도면7


602
601a
601b
600a
600
600b

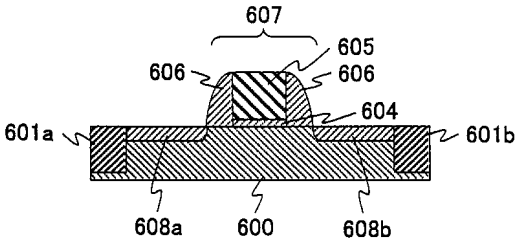
도면8


605
604
601a
601b
600a
600
600b

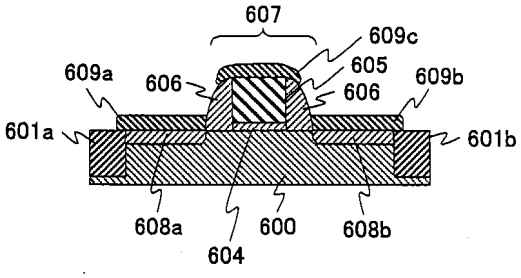
도면9



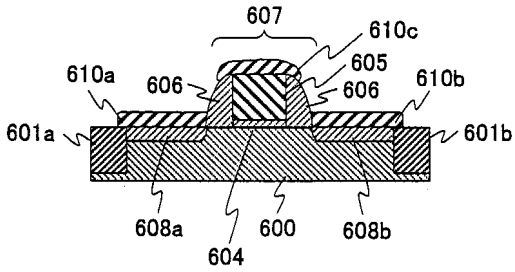
도면10



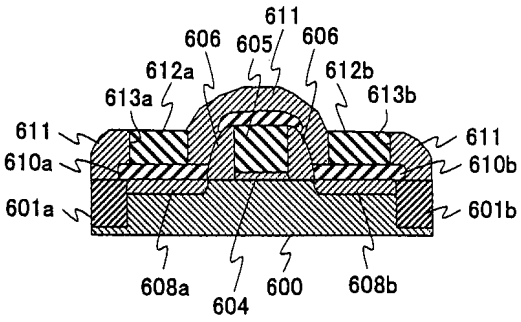
도면11



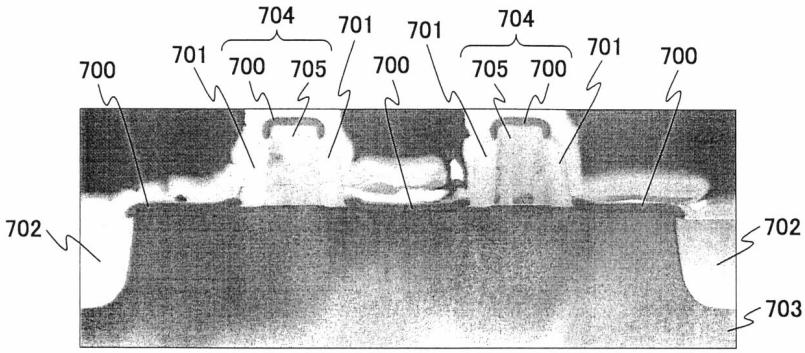
도면12



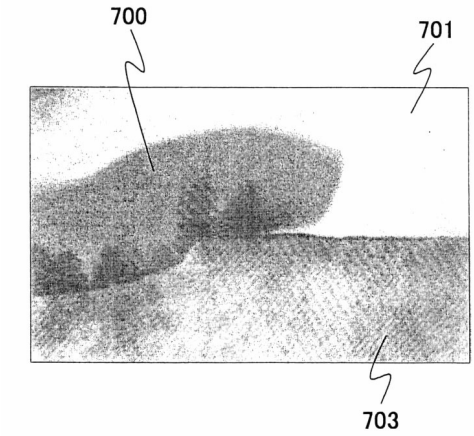
도면13



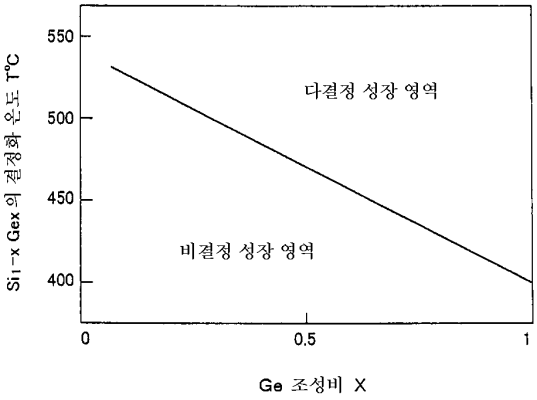
도면14



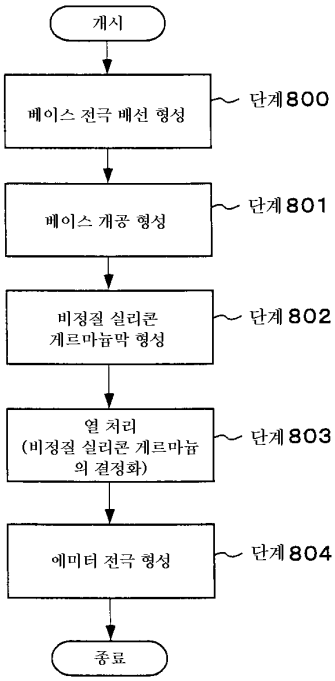
도면15



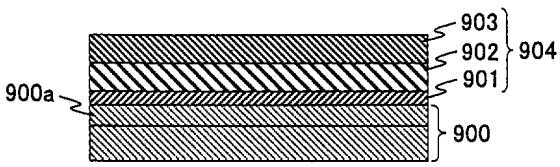
도면16



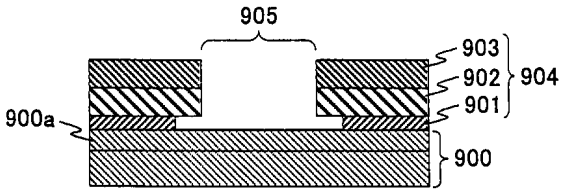
도면17



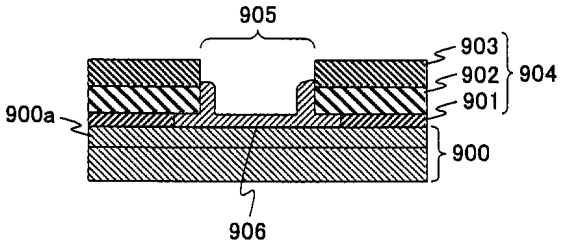
도면18



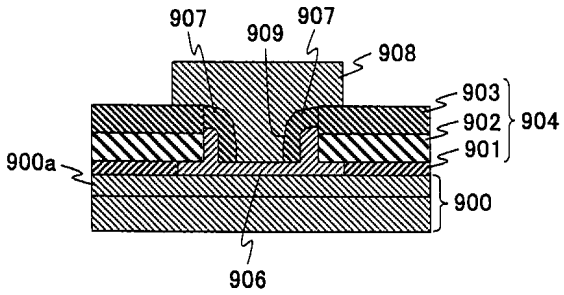
도면19



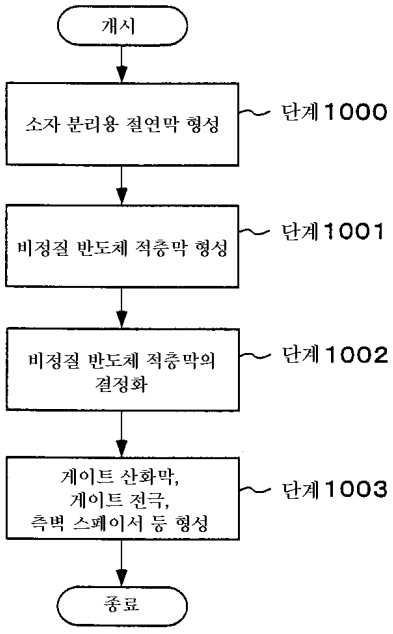
도면20



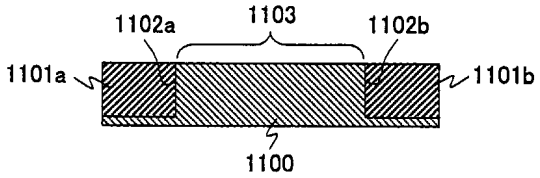
도면21



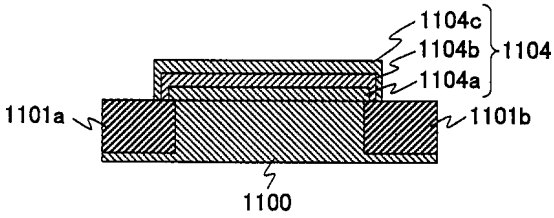
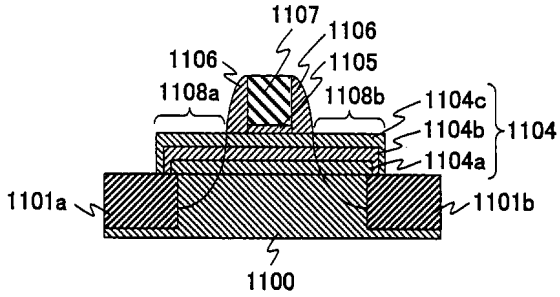
도면22



도면23



도면24



도면25