

公告本

301789

申請日期	84.9.6
案號	84109292
類別	H01L 21/16, 21/32 Int.·C1 ⁶

A4
C4

301789

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	用於減少線至線電容之有孔絕緣體
	英文	POROUS INSULATOR FOR LINE-TO-LINE CAPACITANCE REDUCTION
二、發明人	姓名	鄭心園 (SHIN-PUU JENG)
	國籍	中華民國籍
三、申請人	住、居所	美國德州波諾市長榮大道2508號 2508 Evergreen Drive, Plano, Texas 75075, U.S.A.
	姓名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
三、申請人	國籍	美國
	住、居所 (事務所)	美國德克薩斯州達拉斯城北方大廈655474號信箱 P.O. Box 655474, MAIL STATION 219, EXPRESSWAY SITE, NORTH BLDG., DALLAS, TX, USA
三、申請人	代表人姓名	郝威廉 William E. Hiller

裝

訂

線

經濟部中央標準局員工消費合作社印製

301789

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利, 申請日期：

美國 西 1995年5月23日

美國 西 1994年5月27日

案號：

08-448,069

08-250,137

, 有 無主張優先權

有關微生物已寄存於：

, 寄存日期：

, 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

本專利申請案為另一申請案的延序。該案之編號為08/250,137，列檔日期為05/27/94，明稱"Selective Formation of Low-Density, Low-Dielectric Constant Insulators in Narrow Gaps for Line-to-Line Capacitance Reduction."

可資參考之相關申請案

下列申請案指定予共同之受讓人因此在此列為參考

編號	列檔日期	TI案例號碼
08/247/195	05/20/94	TI-19841
08/246/432	05/20/94	TI-19072

下列申請案與本案同時列檔因此在此亦列為參考

TI-19179, Gnade等人所有標題為Low Dielectric Constant Layer via Immiscible Sol-Gel Processing

TI-19305 Havemann等人所有標題為Multilevel Interconnect Structure with AirGaps Formed Between Metal Leads

發明領域

本案係有關於半導體製程，特別是在半導體中減低線至線間電容的半導體製程。

發明背景

半導體廣泛的應用於電子應用中的積體電路，包含高速電腦及無限電通訊。基本上此積體電路使用多個製在單

五、發明說明(2)

晶矽中的電晶體。現今有多個積體電路包含多個交互連結用的金屬位準。單一電晶體微晶片可含有上千甚至百萬的電晶體。因此單一的微晶片亦可含有上

百萬條線以連結電晶體。單裝置的幾何構造縮小而功能密度增加的時候，不可避免的必需減低線與線之間的電容。線至線間之電容位在裝置性能為延遲時間及串音所阻擾之點。減低這些多階金屬系統的電容將減低RC常數，串音，及線至線間的功率消散。基本上用於使金屬線之間互相隔離的材料為二氧化矽，其為一熱及化學穩定之材料。傳統上氧化物蝕刻可用於高方位比(aspect ratio)之接點。

然而為熱氧化或化學蒸發沉積所長成的高密度矽之氧化物的介質常數大小約為3.9。1.0之介質常數代表真空。在本文中所謂的低介質常數意謂者該值小於3.7。

最近，希望能使用低密度材料如低介質常數的氣凝膠(aerogel)取代高密度的矽之氧化物。多孔二氧化矽如氣凝膠的介質常數低至1.2。如此低的介質常數導至RC延遲時間減低。然而傳統上製造氣凝膠的方法需要超臨界乾燥步驟，此增加半導體製造的複雜度及成本。

發明概述

本發明為在金屬線之間選擇性的形成一低密度低介質常數之絕緣體的嶄新方法，其可減低線至線之間的電容。首先多個交互連結的線在半導體中形成。然後介電材料層

五、發明說明(3)

覆在半導體及多個交互連結線上其厚度足以充填連結線之間間隙。先將低介質層材料予以烘烤，隨後在高於烘烤的上生溫度中與以固化。經游烘烤及固化，在間隙內的介質層材料的密度低於上述之互連線及其在開放領域中的密度。最適合的方法是應用背蝕刻從互連線的頂部移除低介質層材料。最後在互連線及低介質層材料上沉積一層二氧化矽。

間隙及開放領域之間的密度差過濾蝕刻法而得到更進一步的改進，其中在間隙中蝕刻多孔性材料快於在開放領域中蝕刻少孔性材料。本發明的一項優點為提供一金屬化方法可減低線至線之間的電容。本發明的另一項優點為提供一金屬化方法可減低串音及功率逸散。本發明的另一項優點為在互連線之間提供一介質層層，其介質常數低於高密度的二氧化矽。

圖形簡述

圖1為多階互連裝置的方塊圖；

圖2為本發明互連結構之垂直截面圖；

圖3-4為一垂直截面圖，顯示圖2之結構中製造的序列階段；圖5為(silsesquioxane) $H_8Si_8H_{12}$ 的分子結構；

圖6為HSQ(hydrogen silsesquioxane)的傅氏轉換紅外線頻譜；

圖7-8為一垂直截面圖，顯示圖2之結構中製造的序

五、發明說明(4)

列階段；

圖9為平坦矽晶圓上多孔高密度HSQ的厚度與固化溫度的函數圖；

圖10為金氧半導體電容(MOSCAP)及HSQ之線與線間介質常數與固化溫度的函數圖；

圖11-12為一垂直截面圖，顯示圖2之結構中製造的序列階段；

圖13-14為半導體裝置的截面圖；

圖15為一梳狀結構中反射係數(Smith圖)的極化圖；

圖16為抽取容抗(在墊解埋之後)與頻率之間的關係圖；

圖17表示Hydrogen Silsequioxane的化學結構；

圖18表示Hydrogen Silsequioxane可能的化學鍵結；

在圖中除非特別說明否則相同的組件以相同的數字表示。

較佳實施例之說明

圖1為一裝置的垂直剖面圖，該裝置包含一與金屬互連線1, 2, 3, 4相平行的接地板5。

由這些互連線1, 2, 3, 4所攜帶電子訊號接受該特別線路的RC時間常數所影響。在線1的例子中，RC時間常數的電容元件分為四個組件。第一電容組件為電容C12，

五、發明說明 (5)

專利申請案第84109292號
ROC Patent Appln. No.84109292
說明書修正頁中文本 - 附件一
Amended Pages of Specification in Chinese - Encl.I
(民國85年10月14日送呈)
(Submitted on October 14, 1996)

其為線1及2之間的線至線間的電容。第二電容組件為電容C13，其為線1及其下之線3之間的層間的電容。第三電容組件為電容C14，其為線1及其下垂直之線4之間的層間的電容。第四電容組件為電容C15，其為線1及線5之間的線至接地電容。線1-4中每一線的金屬寬度約為0.36 μ m。線與線之間間隙亦約為0.36 μ m。金屬線1-4的高度約為0.6 μ m。在金屬線之間的氧化物厚度約為0.7 μ m。圖1結構所模擬的電容示於表1及表2。

表1

v1	1.0000000E+00
v2	0.0000000E+00
v3	0.0000000E+00
v4	0.0000000E+00
v5	0.0000000E+00

表2

Norm XR	P-iter 1	c-iter	v-誤差 0.0000E+00	n-誤差	p-誤差
電極	電壓	通量 (Coul/mic.)	I (電子) (A/micron)	I (電洞) (A/micro)	I (總合) (A/micron)
C11	1.0000E+00	1.0842E-16	0.0000E+00	0.0000E+00	0.0000E+00
C12	0.0000E+00	-9.1582E-17	0.0000E+00	0.0000E+00	0.0000E+00
C13	0.0000E+00	-1.0418E-17	0.0000E+00	0.0000E+00	0.0000E+00
C14	0.0000E+00	-6.4178E-18	0.0000E+00	0.0000E+00	0.0000E+00
C15	0.0000E+00	-5.5909E-21	0.0000E+00	0.0000E+00	0.0000E+00

由表2中可看到線至線間的電容約佔上例中全部電容的0.85。當然該比例將視線至線間的間隙而定。當間隙減小時，總電容的比例增加。所以減低緊密相隔之互連線之間的電容對於給地定互連線之總RC延遲時間的影響相當大。雖然在下文中本發明將使用多階金屬製程加以說

(請先閱讀背面之注意事項再填寫本頁)

表

訂

頁

五、發明說明(6)

明，但對於熟習本技術者需知金屬化的階數可改變而且本發明可等效應用單階金屬裝置。

圖2為本發明中半導體10上的互連階數。該半導體10包含一電晶體，及它技術上以知的半導體元件(圖中沒有顯示)。半導體10亦可包含其他的金屬互連層。在半導體上形成絕緣體層12以從互連線14a-d中隔離半導體結構。絕緣體層12可包含一氧化物如二氧化矽。皆接點，如接點11，延伸過絕緣體12以將互連線14a-c與半導體10相連。互連線14a-d可由導電材料如鋁或氮化鈦/鋁/氮化鈦的多層合金，當然亦可使用其它導電材料。互連線14a-c之間緊密相隔(例如小於0.5微米)，但互連線14c及14d其間隔更寬(如大於2.0微米)。層20包含低密度，低介質常數材料且使互連線14a-c彼此之間相隔離。低密度，低介質常數層20可包含多孔二氧化矽，多孔矽氧烷(siloxane)，多孔三氧二矽烷(silsesquioxane)或其他其它介質常數小於3.7的多孔，低密度材料。多孔二氧化矽用於較佳實施例。

低介質常數材料層20置於在電容上含最大衝擊之裝置區域。因為緊密間隔互連線上線至線之間的電容對總電容的貢獻最大，低密度，低介質常數層20可包含多孔二氧化矽置於互連線14a-c之間。高密渡矽之氧化物18使用於極多地方(例如互連線14c及14d之間)且將互連線14a-d與相鄰的形成元件如額外的互連層(圖中無示)相隔離。接通點，如圖中之24，延伸通過二氧化矽層18以

五、發明說明(7)

應用互連線 14 a - d 在需要的地方提供互連。

在互連線之間提供多孔二氧化矽存在一些優點。第一，因為低介質常數材料 20 的介質常數高於高密度二氧化矽，因此線至線間電容減低。第二，傳統的氧化物蝕刻用於高方位比接點及通路。第三，在高密度二氧化矽周圍提供一障礙以防止多孔材料的機械不穩定。第四，二氧化矽的表面極化以用於照像石板之圖樣。第五，因為多孔材料及互連線之間的介面力使多孔結構更形穩定。另外，在互連線之間的多孔材料在高到 700 度 C 下其結構仍然很穩定。高熱穩定度不緊可使多孔材料可用於層間介質層 (ILD)，且可應用於多金屬介質層。

圖 3 示電晶體及其他裝置組件(圖中無示)形成之後的半導體 10。一或多個互連線亦可在半導體 10 上形成。在半導體 10 上形成一或多個互連層。絕緣體 12 及接點 11 於半導體 10 上形成。

現請參可圖 4，沉積一金屬層且加以蝕刻以形成互連線 14 a - d。為了簡化起見，圖 4 中只顯示四條互連線 14 a - d。但是需了解互連線線的數目並不受此限制且其幾何構造亦可為其他形式。互連線 14 a - d 其垂直厚度的大小在 0.5 到 2.0 微米之間而水平向的厚度可視設計上的需要而變動，但基本上其範圍介於 0.25 到 1 微米。在互連線 14 a - d 形成之後，一薄層的二氧化矽(圖中無示)可視需要沉積在結構之表面上。因為此二氧化矽層為視需要決定是否採用，所以在圖中並沒有顯示出來。

五、發明說明(8)

請在參考圖4，一層介質層材料20沉積在結構之表面，其厚度介於0.2至5.0微米之間。層20所沉積的厚度足以充填互連線14a-d之間的區域。層20可包含織成膠質懸浮材料如聚三氧二矽烷(polysilsequioxane)，矽氧烷，或矽酸鹽。

另外層20可包含蒸氣沉積似膠狀材料，如高度氫化的二氧化矽。甚至"Dow Corning Polysilsequioxane Flowable Oxide"(下文中稱之為"可流動氧化物")可用於較佳實施例中，亦可使用其它的 hydrogen silsesquioxanes(HSQ)。HSQ之一般公式為 $(\text{HSiO}_{1.5})_{2n}$ ，此處n等於3至8。從該式中可看到每一個矽原子對應到1.5個氧原子。圖5所示者為多面結構之三氧二矽烷， $\text{H}_8\text{Si}_8\text{O}_{12}$ 。

圖6為HSQ的FTIR頻譜圖。圖中顯示回復溫度與紅外線吸收度及波數之間的關係。由Si-H及Si-O之紅外線吸收尖峰的改變可得知當回復溫度增加時可重新組合HSQ的形態。X射線的折射在所有建議的溫度下皆形成非晶薄膜。HSQ展現相當優越的間隙充填及平面化的能力，部份原因為起始材料有相當低的玻璃傳輸溫度(約250度C)。

現在請參考圖7，圖4中的結構在沉積之後再予烘烤，基本上烘烤溫度介於150度C至300度C之間。烘烤可從介質層材料層20中將殘餘的溶劑移除，且導至起使懸浮粒子之間的串聯。另外因為溶劑的蒸發可在網中產生多個孔。

五、發明說明 (9)

在圖 8 中，當溫度高於起始烘烤溫度時該結構回復。對於層間的絕緣應用，可能需要高的回復溫度（例如大於 500 度 C）。在開放場區回復互連線 14 c - d 之間的高密度絕緣材料 20。然而在互連線 14 a - c 之間的材料尚未密化，仍為多孔。這可能是因為互連線的網及側壁之間的交互作用防止變密所致。因為多孔的二氧化矽傾向於吸收濕氣，因此材料需要一層防濕材料覆蓋（如電漿氧化物）。

在 HSQ 的互連之間產生多孔。在圖 9 中顯示在平坦的 Si 晶圓中密薄膜之量測厚度及多孔性對溫度的效應。由於密化作用厚度及多孔性隨者溫度的增加而減少。當回復溫度低於 400 度 C 時，薄膜的多孔性為 19%，且當回復溫度到達 450 度 C 時，薄膜的多孔性減為約 13%。

為 MOSCAP 方法所量測的對應介質常數示於圖 10 中。（該值參考熱氧化物 $K = 3.96$ ），線至線之間的電容量測乃是應用 $0.5 / 0.5 \mu m$ 寬度 / 間隔之疏狀結構。當溫度從 450 度 C 減到 300 度 C 時，回復溫度減少，介質常數減為約 3.5 - 2.7 之間，指出在 HSQ 膜內部的孔數低於有效介質常數。線至線間電容使用梳狀結構，且所得到的介質常數見於圖 10 中。與 MOSCAP 數據相同，互連線間的介質常數隨著回復溫度之減少而減少。然而對於一給定的回復溫度其實質上小於 MOSCAP，因此可以知道 HSQ 膜間隙的密度小於開放場中者。然而因為 HSQ 的機械強度小於高密度二氧化矽，所以二氧化矽使用於開放場中，而多孔二氧化矽仍然位在互連線之間。而且頂二氧化矽層及

五、發明說明(10)

材料互連側壁可對多孔二氧化矽提供屏障(限制)。

現在請參可圖11，接點路徑24依據傳統的方法經由二氧化矽層18形成圖樣並加以蝕刻。本發明的一優點為可使用傳統的接點路徑蝕刻而仍有一較短的RC延遲時間，此乃由於該密度二氧化矽層留下所需要的路徑，電低密度多孔二氧化矽用於互連線之間的空間，將產生使線之RC時間常數減低的效應。最後，蝕刻一金屬層且沉積以充填路徑24，而產生圖2的結構。

在圖2之結構形成之後，此程序可重複以形成其他的金屬互連層，如圖12所示。基本上四個金屬互連層中的三個可形成。但是本發明仍可用於只含單一或雙金屬互連或者互連線多於四位階的裝置。

現在請參考圖13，自400度C下經過1小時的處理以回復可留動氧化物16。經由一標準的染色溶解(應用NH₄F及醋酸)經過10秒之後，可將可流動氧化物蝕刻掉。介於線17-19之間的可流動氧化物密度較低，因此其蝕刻率低於開放場區域中的可流動氧化物。估計該材料至少包含20%的孔，且將二氧化矽的介質常數減至低於3.3。

現在請參考圖14，當可流動氧化物在700度C的高溫下回復時，則在線11-15之間的可流動與開放場區域21中的氧化物想必變得較不密。經由一標準的染色溶解經過10秒之後，可將氧化物16蝕刻掉。然而在高溫之下的材料是較不居具多孔性的。此時在可流動16中的多孔性估

五、發明說明(11)

計約為10%。圖10中亦顯示一保護性蓋層及一較低層的材料20。

另外，圖15及圖16為此新的多孔層間介質至一GHz的高頻響應(回復溫度為300度C)。圖15為梳狀結構之反射係數史密斯的極化座標圖，圖中顯示該結構的行為接近一理想的含極小金屬串連電阻的電容。圖16為(墊已去除埋入之後)的電納。電納的斜率為結構的電容，其1MHz至1GHz之間維持固定，指出在此範圍內介電質並沒有吸收反應。

另一種更進一步減低HSQ旋上玻璃(spin-on glass)之介質常數的方法為使用一低分子量的樹脂。低分子量的材料具有更多的氫配合基，且形成密度較低的薄膜。具高分子量的材料其氫配合基較少因此籠結構(cage structure)崩潰，所以變得較不密。低分子量的HSQ有較多的氫連接在立方體上，因此如圖16中所示者所產生的結構其孔數較高。現在由

Dow Corning所生產的HSQ平均分子量為10000amu。

已應用有限的孔性比例及改變低介質材料之多孔性的方法說明本發明的實施例，但需知本發明涵蓋產生低介質材料之程序及多孔性的不同修改方法。例如在相關的申請案TI-19072中所說明的多種改變低介質層材料之多孔性的方法。例如回復溫度，PH值，黏滯性(由稀釋低介質層材料而改變)及，外界大氣狀況(如真空，氮氣，氧

五、發明說明(12)

氣等)可因低介質層的孔性而改變。

另外間隙及開放場之間的密度差可經由浸水蝕刻(leaching etching)而增加,其中在間隙中蝕刻多孔材料快於在開放場中蝕刻少孔材料。例如,可經由在材料中製造一洞且將氣體HF注入洞中以增加多孔性,如此可完成浸水蝕刻。甚且其它在間隙間的介質層材料中增加多孔性的方法可參考相關申請案TI-19179, TI-19305。

本發明以應用較佳實施例加以說明,但此說明並非用於限制本發明。對於熟習於本技術者可對上述實施例加以修訂及更改而不偏離本發明申請專利範圍的精神及關點。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱):

用於減少線至線電容)
之有孔絕緣體

本發明說明一互連結構及方法。首先互連線 14 a - d 在半導體 10 上形成。然後介質層層 20 覆在半導體及互連線 14 a - d 上其厚度足以充填互連線之間間隙。烘烤該介質層層 20 然後在高於烘烤溫度的上升溫度中回覆。應用烘烤及回復，可使間隙內的介質層層 20 的密度低於互連線的上方及開放場中者。可視需要應用背蝕刻 (etch back) 從互連線的頂部移除介質層層。最後在互連線 14 a - d 及介質層層 20 上沉積一層二氧化矽 12。在一實施例中，蝕刻一接觸路徑其經二氧化矽 12 及介質層 20 至互連線 14 a - c。最好介質層材料已織成 (spin on)。本發明的一項優點為提供一金屬化方法其可減低串音及金屬化耗損。本發明的另一優點為在低密度的互連線之間提供一介質層且該互連線的介質常數小於高密度二氧化矽。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

POROUS INSULATOR FOR LINE-TO-LIN CAPACITANCE REDUCTION

ABSTRACT

An interconnect tructure and method is descibed herein. First, interconnect lines 14a-d are formed on a semiconductor body 10. Then, a dielectric layer 20 is coated over the semiconductor body and the intercoconnect lines 14a-d to a thickness sufficient to more than fill the gaps between adjacent interconnect lines. The dielectric layer 20 is baked and then cured at an elevated temperature greater than the baking temperature. By using baking, then curing, the dielectric layer 20 inside the gaps has a lower density than that above interconnect lines and that in open fields. The removal of dielectric layer from the top of the interconnect lines and that is optional. Finally, a layer of silicon dioxide 12 is diposited over the interconnect lines 14a-d and the dielectric layer 20. In one embodiment, contact vias 11 are then etched through the silicon dielectrc layer 20. In one embodiment, contact vias 11 are then etched through the dielectric material is spun on. One advantage of the invention is providing a metallization scheme that reduces line-to-line capacitance. A further advantage of the invention is providing a metallization scheme that reduces crosstalk and power dissipation. A further advantage of the invention is providing a dielectric layer between interconnect lines having a lower density and a lower dielectric constant than dense silicon dioxide.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種在減低的線至線間電容半導體裝置中製造互連線的方法，包含：

- a. 在半導體上形成半導體元件；
- b. 在半導體及該半導體元件上覆上一層介質層；
- c. 烘烤該介質層；及
- d. 將該介質層磨平。

2. 如申請專利範圍第1項之方法，其中該方法更包含在上升溫度中回復該介質層以在該緊密間隔的半導體元件中形成一介質層體，其密度低於間隔相當遠離之半導體元件之間的介質層體，且其中該緊密間隔的半導體元件之間的介質層體其介質常數小於3.7。

3. 如申請專利範圍第2項之方法，其中該回復步驟包含在溫度範圍為200度C到700度C的爐中回復。

4. 如申請專利範圍第1項之方法，其中該方法更包含在該半導體元件及該介質層之下應用電漿沉積法沉積一氧化物襯層。

5. 如申請專利範圍第1項之方法，其中該烘烤程序由熱板執行，其溫度範圍介於室溫到500度C之間。

6. 如申請專利範圍第2項之方法，其中該回復步驟的溫度範圍為小於400度C。

7. 申請專利範圍第1項之方法，其中該方法更包含在該介質層上形成一防濕蓋材料。

8. 如申請專利範圍第1項之方法，其中該方法更包含在該半導體中的多個半導體元件及開放區中移除該介質

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

層。

9. 如申請專利範圍第1項之方法，其中該平面化步驟包含化學機械拋光。

10. 一種在減低的線至線間電容半導體裝置中製造互連線的方法，包含：

a. 在半導體上形成互連線，及中該第一及第二線之間隔小於線寬之1.5倍，而第三及第四線之間隔至少為三條線的寬度；

b. 在半導體及該多個互連線上覆上一層介質層；及

c. 烘烤該介質層。

11. 如申請專利範圍第10項之方法，其中該方法更包含在上升溫度中回復該介質層以在該第一及第二線之間形成一介質層體，其密度低於第三及第四線之間的介質層體，且其中該第一及第二線之間的介質體其介質常數小於3.7。

12. 如申請專利範圍第11項之方法，其中該回復步驟包含在溫度範圍為200度C到700度C的爐中回復。

13. 如申請專利範圍第10項之方法，其中該方法更包含蝕刻該介質層以減少第一及第二線之間介質層的密度。

14. 如申請專利範圍第10項之方法，其中形成介質層的步驟包含織成(spin)介質層。

15. 如申請專利範圍第10項之方法，其中該方法更包含在該半導體中的多個互連線及開放區中移除該介質層。

16. 如申請專利範圍第10項之方法，其中該方法更包

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

專利申請案第84109292號
ROC Patent Appln. No.84109292
申請專利範圍修正頁中文本 - 附件二
Amended Page of Claims in Chinese - Encl. II
(民國85年10月14日送呈)
(Submitted on October 14, 1996)

含在該多個互連線及介質層之間形成一二氧化矽。

17. 如申請專利範圍第16項之方法，其中該方法更包含形成接觸路徑其經由該二氧化矽層及介質層至多個互連線線。

18. 如申請專利範圍第10項之方法，其中該烘烤程序溫度範圍介於室溫到500度C之間。

19. 如申請專利範圍第11項之方法，其中該回復步驟的溫度範圍為小於400度C。

20. 如申請專利範圍第10項之方法，其中該方法更包含在該介質層上形成一防濕蓋材料。

21. 一種在減低的線至線間電容半導體裝置中製造互連線的方法，包含：

a. 形成在半導體上形成半導體元件；

b. 在該半導體元件上應用電漿沉積法沉積一氧化物襯層；

c. 在該氧化物襯裡上經由織成方法覆上一層介質層；

d. 應用熱板烘烤該介質層，其溫度範圍介於室溫到500度C之間；

e. 在該介質層上形成一防濕蓋材料；

f. 應用化學機械拋光使該防濕蓋材料呈平面。

22. 如申請專利範圍第21項之方法，其中該方法更包含在上升溫度中回復該介質層以在該緊密間隔的半導體元件中形成一介質體，其密度低於間隔相當遠離之半導體元件之間的介質體，且其中該緊密間隔的半導體元件之間的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

六、申請專利範圍

介質體其介質常數小於3.7。

23. 如申請專利範圍第22項之方法，其中該回復步驟包含在溫度範圍為200度C到700度C的爐中回復。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

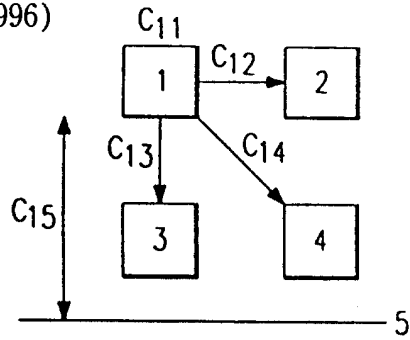
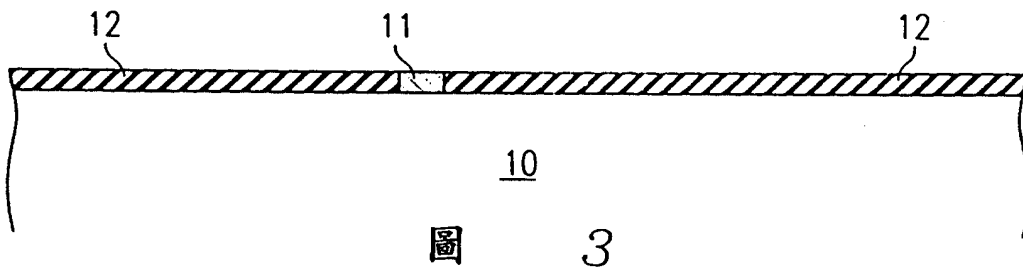
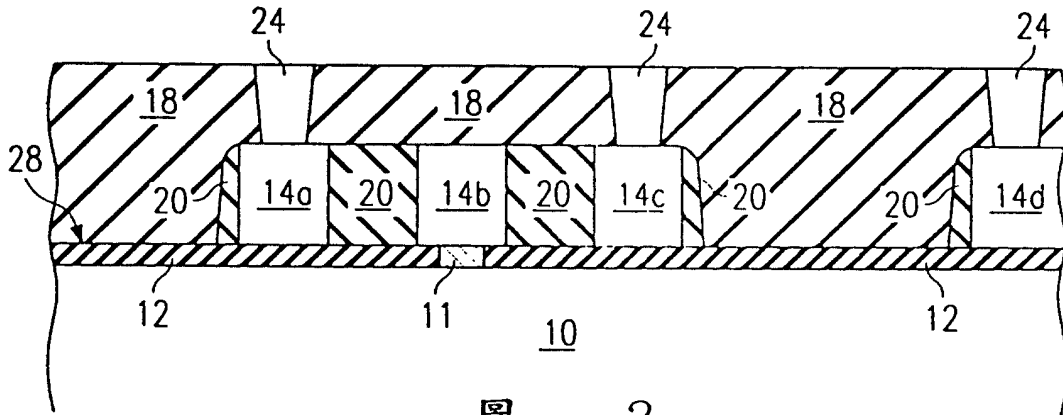


圖 1



修正
85.10.14 補充

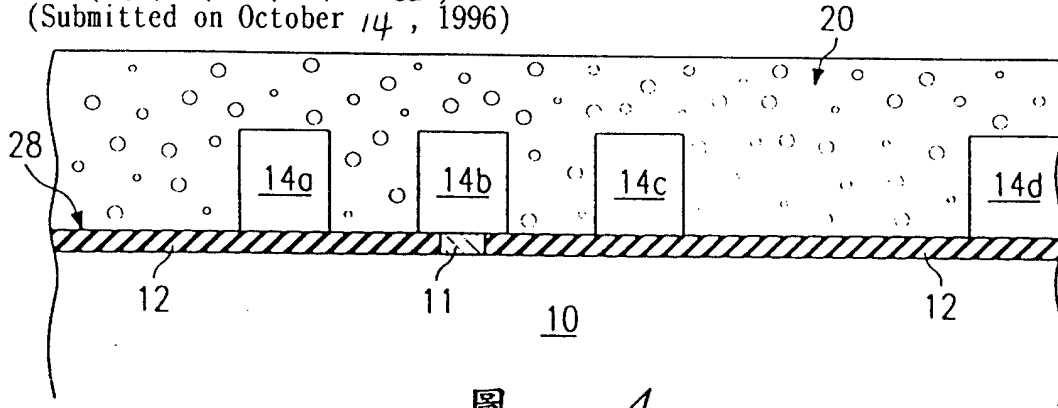


圖 4

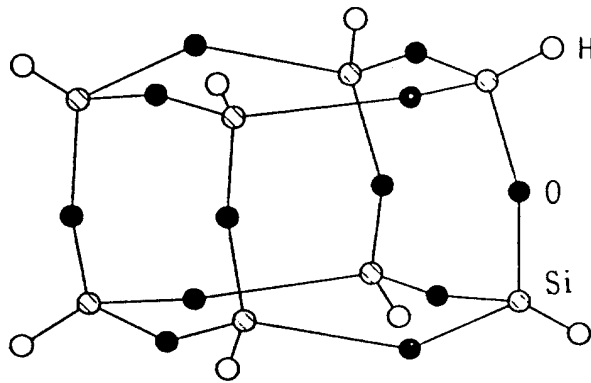


圖 5

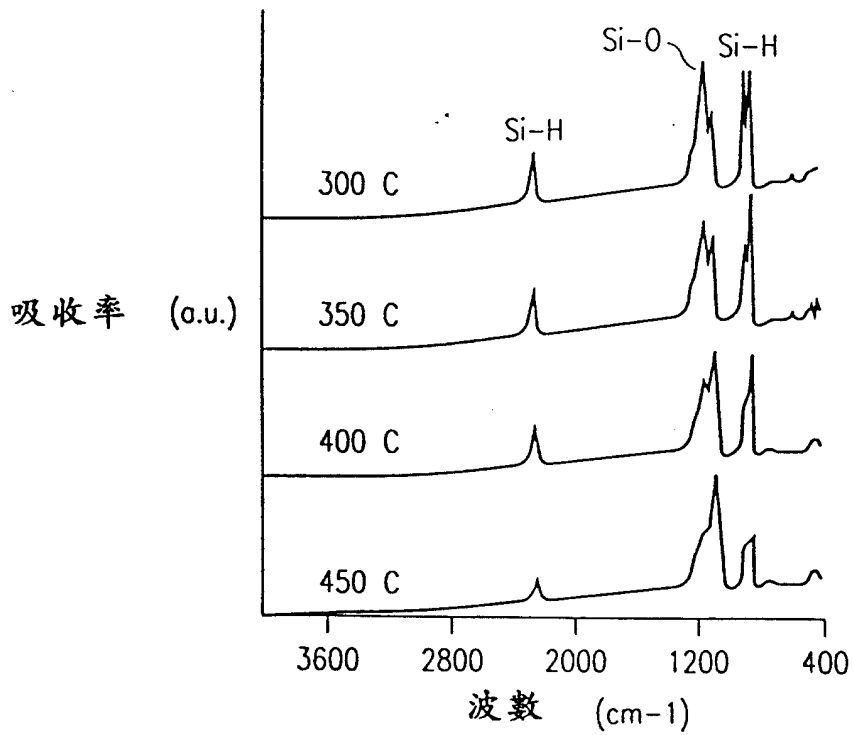


圖 6

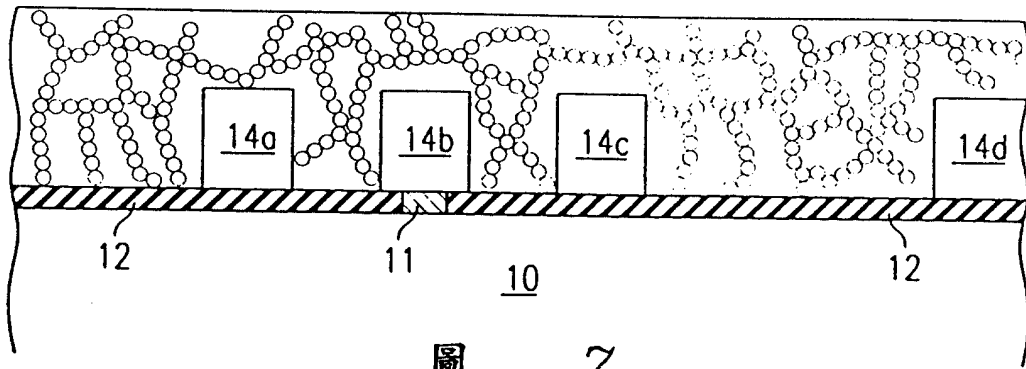


圖 7

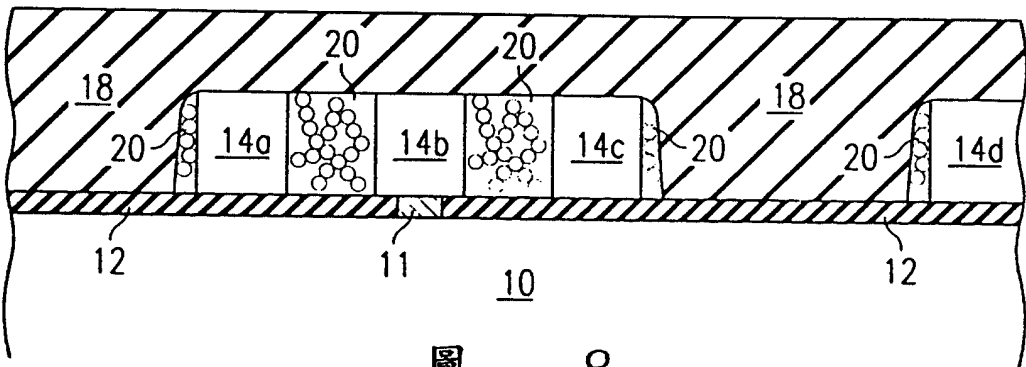


圖 8

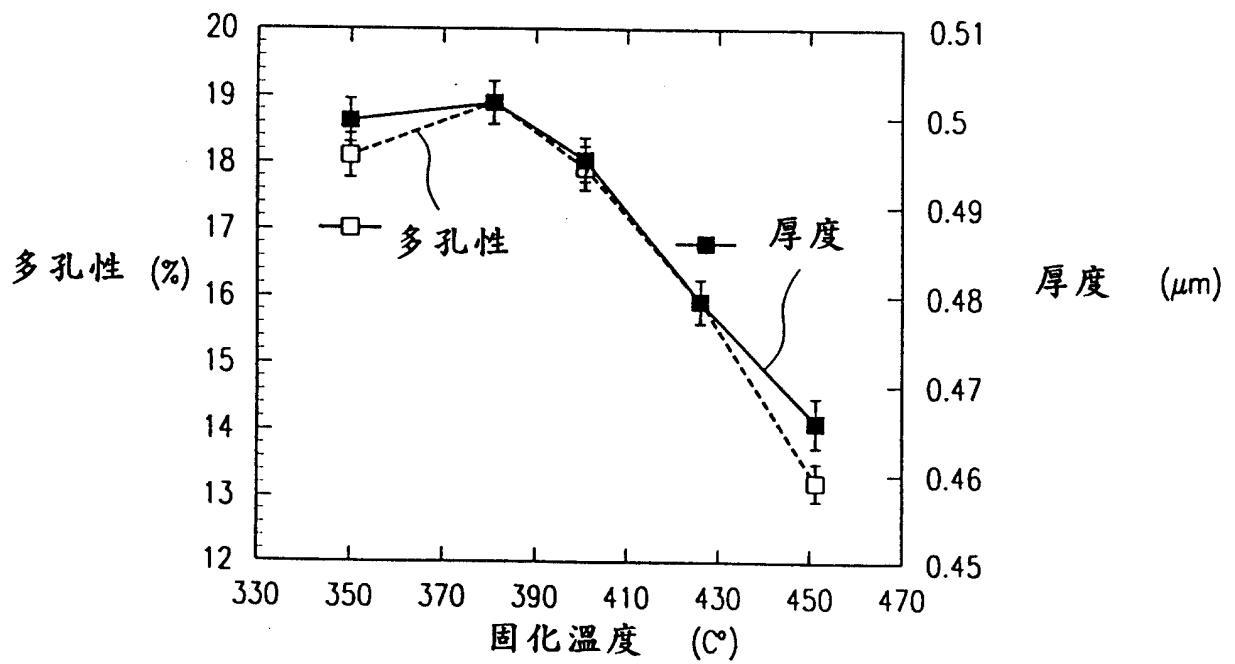


圖 9

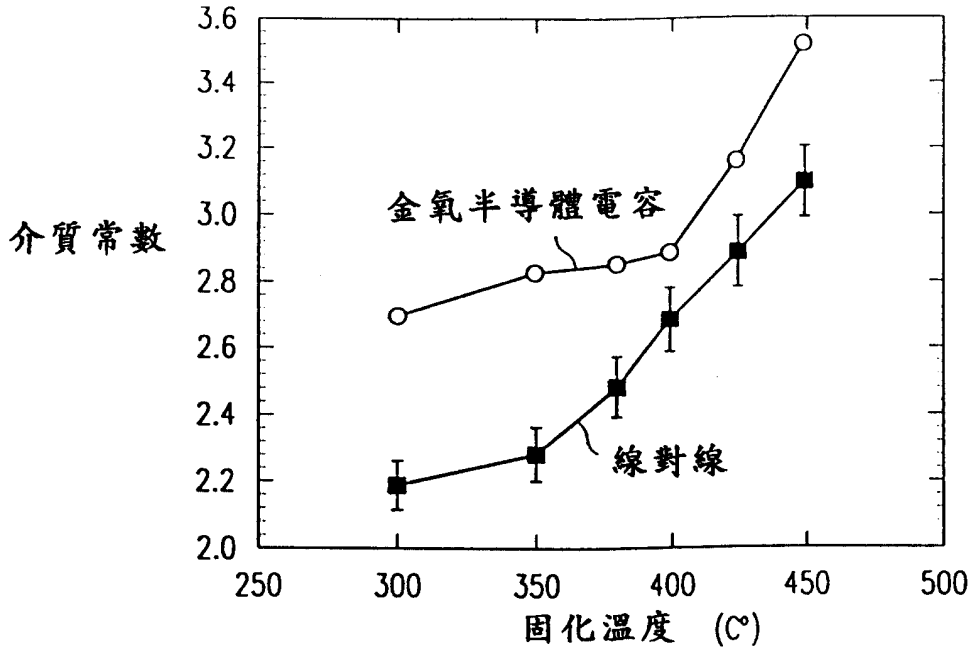


圖 10

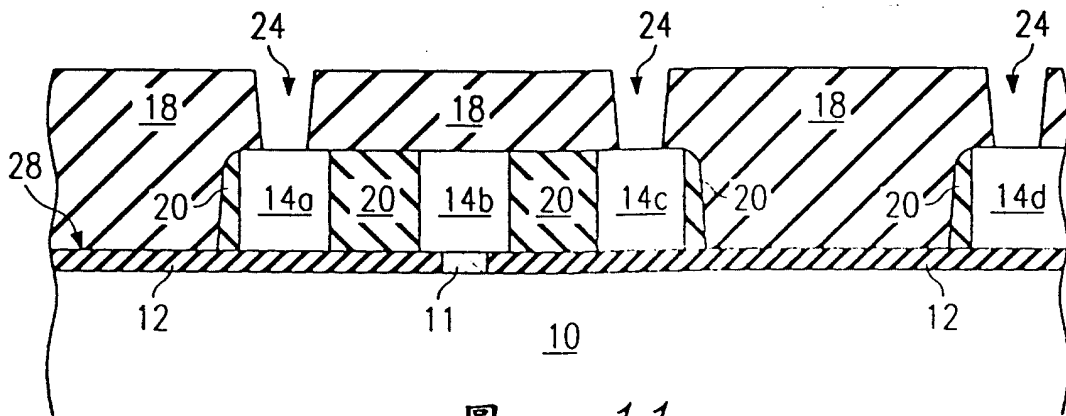


圖 11

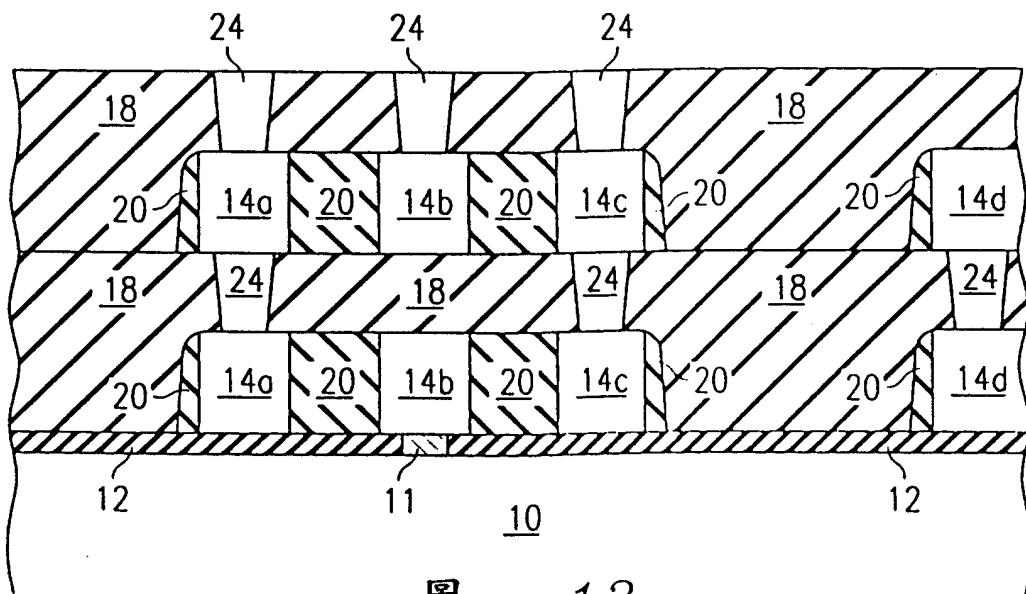


圖 12

301739

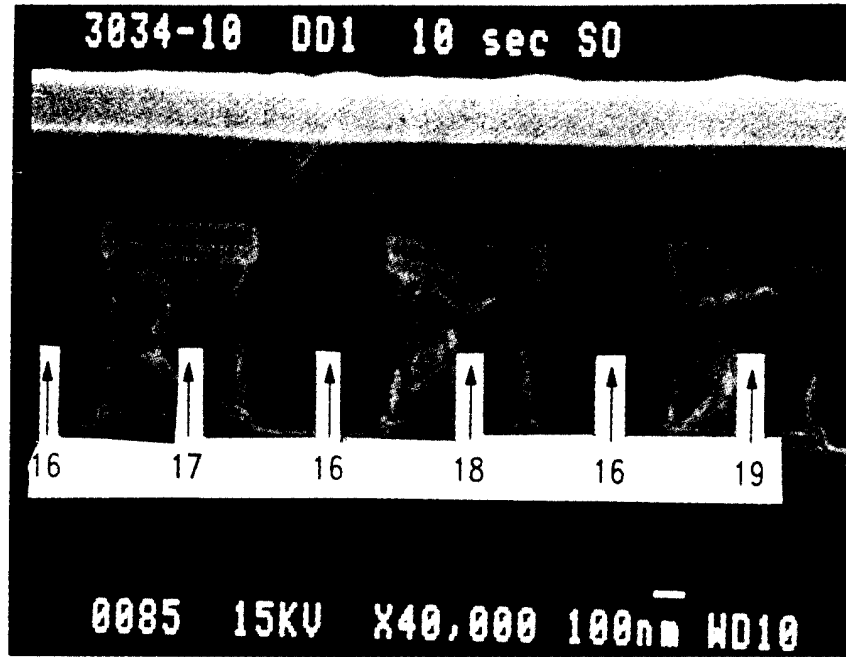


圖 13

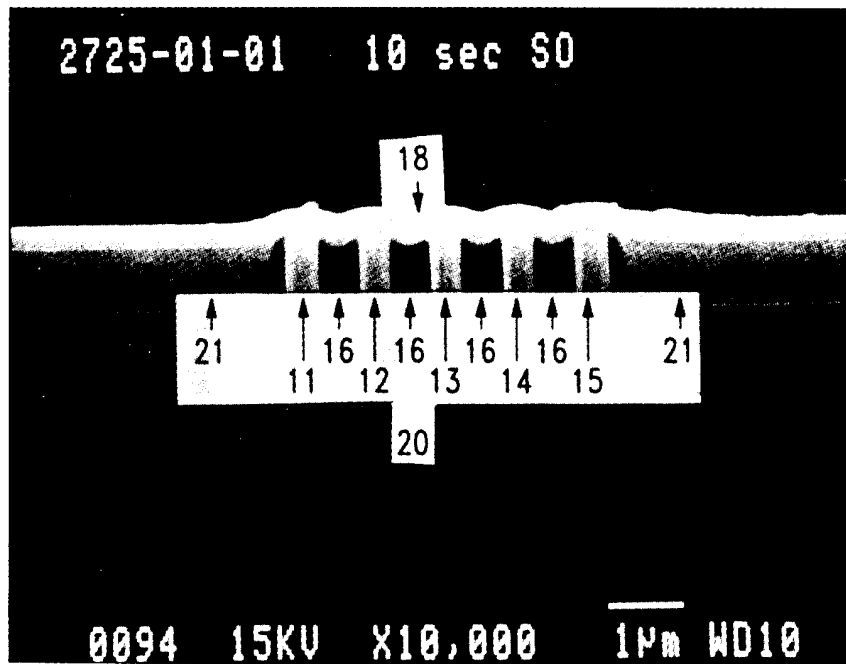


圖 14

301789

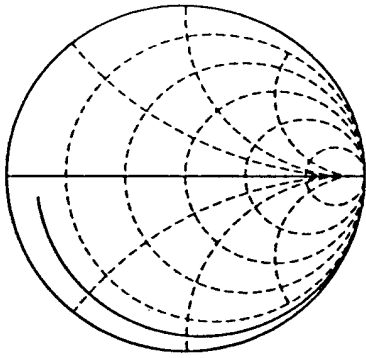


圖 15

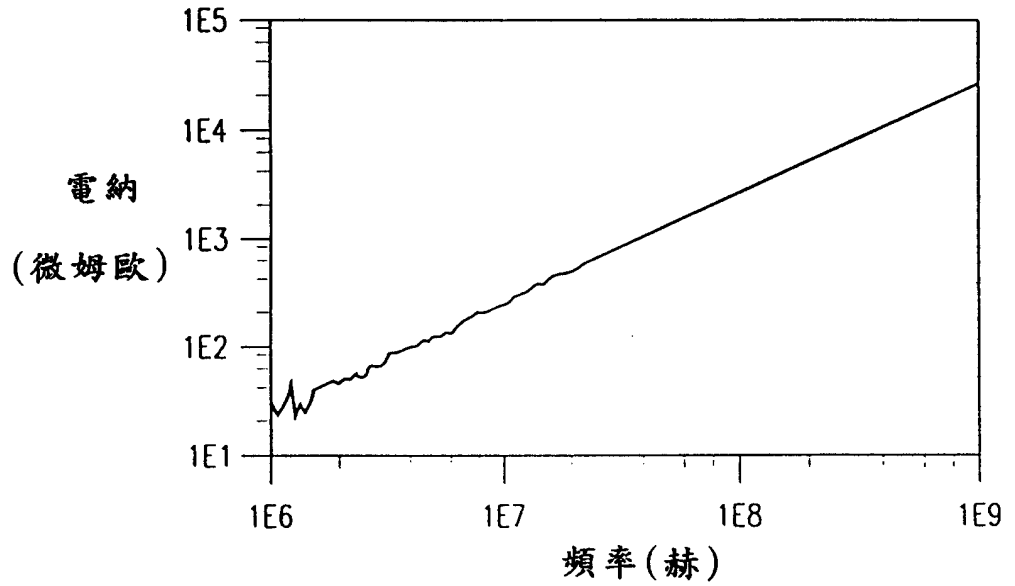


圖 16

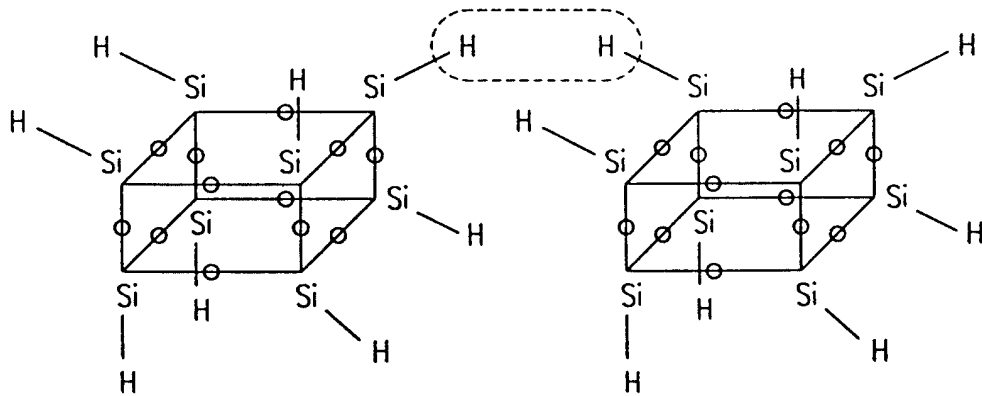


圖 17



圖 18