

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年1月17日(17.01.2019)



(10) 国際公開番号

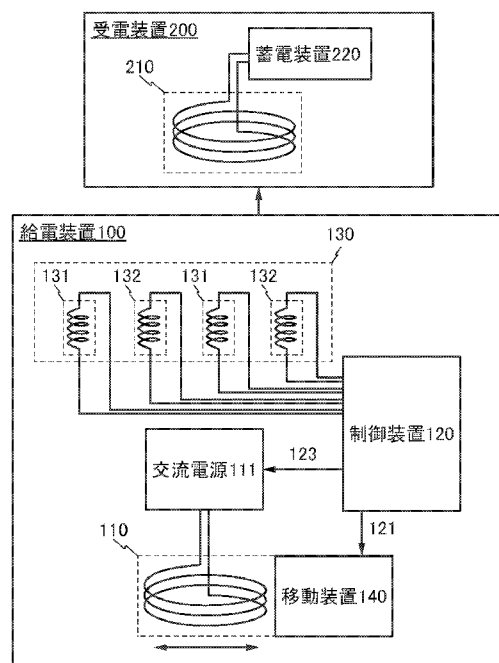
WO 2019/012372 A1

- (51) 国際特許分類:
H02J 50/90 (2016.01) H02J 50/10 (2016.01)
H02J 7/00 (2006.01)
- (21) 国際出願番号: PCT/IB2018/054931
- (22) 国際出願日: 2018年7月4日(04.07.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-138238 2017年7月14日(14.07.2017) JP
- (71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).
- (72) 発明者: 長多剛(OSADA, Takeshi); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: POWER SUPPLY DEVICE AND NON-CONTACT POWER SUPPLY SYSTEM

(54) 発明の名称: 給電装置および非接触給電システム

[図 1]
(A)



- 100 Power supply device
111 Alternating current power supply
120 Control device
140 Moving device
200 Power reception device
220 Power storage device

(57) Abstract: The present invention addresses the problem of improving transmission efficiency of a non-contact power supply system. Provided is a power supply device having a power supply coil, a control device, a detection device, and a moving device. The power supply coil has a function of generating a magnetic field, the control device is electrically connected to the power supply coil and the detection device, and has a function of determining the position of the power supply coil, and a function of transmitting a position control signal, and the moving device has a function of receiving

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

the position control signal, and a function of moving the power supply coil on the basis of the position control signal. The detection device has a first detection coil and a second detection coil, and the first detection coil has a function of generating a magnetic field, and the second detection coil has a function of detecting a change of magnetic flux density.

(57) 要約: 非接触給電システムの伝送効率を高める。給電コイルと、制御装置と、検知装置と、移動装置と、を有し、該給電コイルは、磁界を発生させる機能を有し、該制御装置は、該給電コイルと、該検知装置と、電氣的に接続され、該給電コイルの位置を決定する機能と、位置制御信号を送信する機能と、を有し、該移動装置は、該位置制御信号を受信する機能と、該位置制御信号に基づいて該給電コイルを移動させる機能と、を有し、該検知装置は、第1の検知コイルと、第2の検知コイルと、を有し、該第1の検知コイルは、磁界を発生させる機能を有し、該第2の検知コイルは、磁束密度の変化を検知する機能を有する、給電装置を提供する。

明細書

発明の名称

給電装置および非接触給電システム

技術分野

[0001]

本発明の一態様は、給電装置および非接触給電システムに関する。

[0002]

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、撮像装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

背景技術

[0003]

バッテリーへの充電を非接触で行う方法が開発されている。代表的な方式として、電磁結合方式（電磁誘導方式ともいう）、電磁共鳴方式（電磁共鳴結合方式ともいう）、電波方式（マイクロ波方式ともいう）等が挙げられる。

[0004]

電磁結合方式および電磁共鳴方式の非接触給電方法の場合、電力を受信する装置（以下、受電装置）が有する受電コイルと、電力を供給する装置（以下、給電装置）が有する給電コイルの位置関係を最適化することが、非接触給電の伝送効率を高めるための手段の一つであるといえる。そのため、受電コイルの位置に応じて給電コイルを移動させることで、受電コイルと給電コイルの位置関係を最適化するための技術が開発されてきた。

[0005]

特許文献1には、受電装置が有する受電コイルの位置を検知し、受電コイルの位置に応じて給電コイルを移動させる機能を有する電磁共鳴方式の給電装置が開示されている。

[0006]

また、特許文献2には、受電装置が有する受電コイルの位置を検知し、受電コイルの位置に応じて給電コイルを移動させる機能を有する電磁結合方式の給電装置が開示されている。

[先行技術文献]

[特許文献]

[0007]

[特許文献1] 特開2012-147659号公報

[特許文献2] 特開2013-240276号公報

発明の概要

発明が解決しようとする課題

[0008]

本発明の一態様は、新規な給電装置を提供することを目的の一とする。例えば、本発明の一態様は、受電装置が有する受電コイルの位置を検知し、受電コイルの位置に応じて給電コイルを移動させる機

能を有する電磁誘導方式の給電装置において、受電コイルの位置の検知精度を高めることを目的の一とする。また、本発明の一態様は、当該給電装置において、最適な給電コイルの位置の決定を、より精度よく、より容易に、または、より確実にすることを目的の一とする。

[0009]

また、本発明の一態様は、新規な非接触給電システムを提供することを目的の一とする。また、本発明の一態様は、非接触給電システムの伝送効率を高めることを目的の一とする。また、本発明の一態様は、非接触給電システムの利便性を向上させることを目的の一とする。

[0010]

本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した記載、及び／又は他の課題のうち、少なくとも一つの課題を解決するものである。

課題を解決するための手段

[0011]

本発明の一態様は、給電コイルと、制御装置と、検知装置と、移動装置と、を有し、該給電コイルは、磁界を発生させる機能を有し、該制御装置は、該給電コイルと、該検知装置と、電氣的に接続され、該給電コイルの位置を決定する機能と、位置制御信号を送信する機能と、を有し、該移動装置は、該位置制御信号を受信する機能と、該位置制御信号に基づいて該給電コイルを移動させる機能と、を有し、該検知装置は、第1の検知コイルと、第2の検知コイルと、を有し、該第1の検知コイルは、磁界を発生させる機能を有し、該第2の検知コイルは、磁束密度の変化を検知する機能を有する、給電装置である。

[0012]

また、本発明の一態様は、給電コイルと、制御装置と、検知装置と、移動装置と、を有し、該給電コイルは、磁界を発生させる機能を有し、該制御装置は、該給電コイルと、該検知装置と、電氣的に接続され、該給電コイルの位置を決定する機能と、位置制御信号を送信する機能と、を有し、該移動装置は、該位置制御信号を受信する機能と、該位置制御信号に基づいて該給電コイルを移動させる機能と、を有し、該検知装置は、第1のコイル群と、第2のコイル群とを有し、該第2のコイル群は、該第1のコイル群の含むコイルのいずれかに囲まれる領域に位置する、給電装置である。

[0013]

上記構成の給電装置において、該第1のコイル群および該第2のコイル群のすくなくともいずれか一方は、第1の検知コイルと、第2の検知コイルを含み、該第1の検知コイルは、磁界を発生させる機能を有し、該第2の検知コイルは、磁束密度の変化を検知する機能を有するとより好ましい。

[0014]

また、上記各構成の給電装置において、該制御装置は、ニューラルネットワークを有し、該ニューラルネットワークの入力層には、該検知情報が入力され、該ニューラルネットワークの出力層から、該制御信号が出力されるとより好ましい。

[0015]

また、本発明の一態様は、上記各構成の給電装置と、受電装置と、を有し、該受電装置は、蓄電装置と、受電コイルと、を有し、該蓄電装置は、該受電コイルに電氣的に接続され、該受電コイルに誘導

される電力で充電される機能を有し、該制御装置は、該受電コイルの位置に対応して該電源コイルの位置を決定する機能を有する非接触給電システムである。

発明の効果

[0016]

本発明の一態様により、新規な給電装置を提供することができる。また、本発明の一態様により、受電装置が有する受電コイルの位置を検知し、受電コイルの位置に応じて給電コイルを移動させる機能を有する電磁誘導方式の給電装置において、受電コイルの位置の検知精度を高めることができる。また、本発明の一態様により、当該給電装置において、最適な給電コイルの位置の決定を容易にすること、または、確実にすることができる。

[0017]

また、本発明の一態様により、新規な非接触給電システムを提供することができる。また、本発明の一態様により、非接触給電システムの伝送効率を高めることができる。また、本発明の一態様により、非接触給電システムの利便性を向上させることができる。

[0018]

本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び／又は他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

図面の簡単な説明

[0019]

[図1] 本発明の一態様を説明するブロック図および斜視図。

[図2] 本発明の一態様を説明する上面図および斜視図。

[図3] 本発明の一態様を説明する上面図および斜視図。

[図4] 本発明の一態様を説明する斜視図。

[図5] 本発明の一態様を説明するフローチャート。

[図6] 本発明の一態様を説明するブロック図。

[図7] ニューラルネットワークの構成例を示す図。

[図8] 半導体装置の構成例を示す図。

[図9] 記憶回路の構成例を示す図。

[図10] メモリセルの構成例を示す図。

[図11] 回路の構成例を示す図。

[図12] タイミングチャート。

[図13] トランジスタの構成例を示す図。

[図14] エネルギーバンド構造を示す図。

[図15] 半導体装置の構成例を示す図。

[図16] 電子機器の構成例を示す図。

[図17] 電子機器の構成例を示す図。

[図18] 電子機器の構成例を示す図。

発明を実施するための形態

[0020]

(実施の形態1)

本実施の形態では、図1乃至図5を用いて、本発明の一態様である給電装置および非接触給電システムについて説明する。また、本実施の形態では、本発明の一態様である給電装置および非接触給電システムについて、給電装置100および受電装置200を有する非接触給電システムを例に挙げて説明する。

[0021]

図1(A)に、給電装置100および受電装置200のブロック図を示す。また、図1(B)に、給電装置100と、電子機器300の斜視図を示す。図1(B)において、電子機器300は、蓄電装置220の充電のために給電装置100上に置かれている。また、電子機器300は受電装置200を搭載する。また、受電装置200は、受電コイル210を有する。

[0022]

まず、給電装置100の構成について説明する。

[0023]

図1(A)に示すように、給電装置100は、給電コイル110と、交流電源111と、制御装置120と、検知装置130と、移動装置140と、を有する。また、図1(B)に示すように、給電装置100は、給電コイル110、交流電源111、制御装置120、検知装置130および移動装置140を囲む筐体150を有する。

[0024]

給電装置100において、検知装置130は、受電コイル210の位置を検知する機能と、当該検知の結果を含む検知信号を送信する機能を有する。また、制御装置120は、当該検知信号に基づいて最適な給電コイル110の位置を決定する機能と、当該位置情報を含む位置制御信号121を送信する機能と、当該検知信号に基づいて給電コイル110の出力を調節するための出力制御信号123を送信する機能を有する。移動装置140は、位置制御信号121に基づいて、図1(B)に矢印101で示すように、最適な位置に給電コイル110を移動させる機能を有する。交流電源111は、出力制御信号123に基づいて、給電コイル110に電圧を供給する機能を有する。

[0025]

したがって、給電装置100は、受電コイル210の位置を検知し、受電コイル210の位置に応じて最適な位置に給電コイル110を移動させてから、受電コイル210に給電を行うことが可能である。

[0026]

制御装置120は、交流電源111と、検知装置130と、移動装置140と、電氣的に接続される。また、制御装置120は、検知装置130から送信された検知信号を受信する機能を有する。また、制御装置120は、当該検知信号に基づいて最適な給電コイル110の位置を決定する機能と、当該位置情報を含む位置制御信号121を移動装置140に送信する機能と、を有する。また、制御装置120は、当該検知信号に応じて給電コイル110の出力の大きさを調節するための出力制御信号123を交流電源111に送信する機能と、を有する。

[0027]

また、制御装置120は、給電コイル110が受電コイル210に給電を行っている途中で、給電コ

イル１１０の実際の位置が、最適な給電コイル１１０の位置からずれたと認識したような場合には、給電を一時停止させるための情報を含む出力制御信号１２３を送信する機能を有していてもよい。

[００２８]

また、制御装置１２０は、受電装置２００が有する蓄電装置２２０の満充電を検出する、満充電検出回路を有していてもよい。また、制御装置１２０は、蓄電装置２２０の満充電を検出したときに、給電を終了するための情報を含む出力制御信号１２３（以下、終了信号ともいう）を交流電源１１１に送信する機能を有していてもよい。

[００２９]

制御装置１２０に、ニューラルネットワークを用いることで、検知信号に基づいた最適な給電コイル１１０の位置の決定をより容易に、より精度よく行うことができる。制御装置１２０にニューラルネットワークを用いる構成の詳細については実施の形態２にて説明する。

[００３０]

交流電源１１１は、給電コイル１１０と電氣的に接続される。また、交流電源１１１は、出力制御信号１２３を受信する機能を有する。また、交流電源１１１は、出力制御信号１２３に基づいて給電コイル１１０に電圧を供給する機能を有する。また、交流電源１１１は、出力制御信号１２３に基づいて給電コイル１１０への電圧の供給を一時停止する機能を有する。

[００３１]

給電コイル１１０は、移動装置１４０の動作によって移動する機能と、交流電源１１１から供給される電圧によって磁界を発生させる機能と、を有する。したがって、給電コイル１１０は、受電コイル２１０の位置に応じて最適な位置に移動してから、受電コイル２１０に給電を行うことができる。

[００３２]

なお、給電装置１００は、単一の給電コイル１１０を有していてもよいし、複数の給電コイル１１０を有していてもよい。複数の給電コイル１１０を備える給電装置１００とすることによって、複数の受電装置に対して給電を行うことができる。

[００３３]

図１（Ａ）に示すように、検知装置１３０は、複数の検知コイルを有する。検知装置１３０は、例えば、プリント基板等であって、検知コイルは、基板上に形成されたプリント配線によって構成される。また、検知装置１３０は、基板と、当該基板に設置された小型のコイルまたはチップインダクタ等によって構成することもできる。検知コイルの配置方法、形状およびサイズ等の詳細については後述する。

[００３４]

検知装置１３０の有する検知コイルは、受電コイル２１０の位置を検知して、当該検知の結果を含む検知信号を制御装置１２０に送信する機能を有する。受電コイル２１０の位置の検知は、検知コイルの周囲の磁束密度の変化を検知することによって行うことが可能である。なお、検知装置１３０の有する検知コイルの全てが同一の機能を有していてもよく、また、検知装置１３０の有する検知コイルの一部と、検知装置１３０の有する検知コイルの他の一部とが、それぞれ異なる機能を有していてもよい。

[００３５]

図１（Ａ）には、検知装置１３０が、それぞれ異なる機能を有する検知コイル１３１および検知コイル１３２を有する例を示す。検知コイル１３１は、磁界を発生させる機能を有する。検知コイル１３

2は、磁束密度の変化を検知して、制御装置120に検知信号を送信する機能を有する。

[0036]

なお、検知コイル131が磁界を発生させる目的は、受電コイル210の位置の検知であって、給電コイル110が磁界を発生させる目的とは異なる。したがって、検知コイル131の発生させる磁界の強度の最大値は、給電コイル110が給電のために発生させる磁界の強度の最大値よりも小さいといえる。

[0037]

上述のように制御装置120にニューラルネットワークを用いると、複雑な検知信号であっても、それに基づいて最適な給電コイル110の位置の決定を確実に行うことができ、好ましい。

[0038]

図1(A)に示すように、移動装置140は、位置制御信号121を受信する機能と、位置制御信号121に基づいて給電コイル110を移動する機能を有する。なお、給電コイル110の移動は、検知装置130の有する基板等と水平に行われる。移動装置140の構造の詳細については後述する。

[0039]

以上が、給電装置100の構成についての説明である。

[0040]

次に、受電装置200の構成について説明する。

[0041]

図1(A)に示すように、受電装置200は、蓄電装置220と、受電コイル210とを有する。また、図1(B)に示すように、受電装置200は、電子機器300に搭載されていてもよい。

[0042]

受電コイル210は、給電装置100が有する給電コイル110が発生させた磁界によって、電力を受信する機能を有する。

[0043]

蓄電装置220は、受電コイル210と電氣的に接続され、受電コイル210が受信する電力によって充電される機能を有する。

[0044]

以上が、受電装置200の構成についての説明である。

[0045]

次に、図2を用いて検知装置130が有する検知コイルについて詳細に説明する。

[0046]

検知装置130が有する検知コイルは、第1の検知コイル群乃至第N(Nは2以上の自然数)の検知コイル群のいずれかに分類される。また、第n(nは2以上N以下の自然数)の検知コイル群に分類される検知コイルのうちの複数が、第(n-1)の検知コイル群に分類される検知コイルのいずれかに囲まれる領域に位置する。

[0047]

このような構成とすることによって、それぞれ異なる群に分類される検知コイル間で、磁界の干渉が起きるのを抑制し、同じ群に分類される検知コイル間で、より安定した磁界を発生させることができる。また、同じ群に分類される検知コイル間で、より高い精度で磁束密度の変化を検知することができる。

[0048]

例えば、検知装置130が、磁界を発生させる機能を有する検知コイル131と、磁束密度の変化を検知して、制御装置120に検知信号を送信する機能を有する検知コイル132と、を有する場合、同じ群に分類される検知コイル131間で、より安定した磁界を発生させることができる。また、同じ場合、同じ群に分類される検知コイル132間で、より高い精度で磁束密度の変化を検知することができる。よって、このような構成にすることによって、検知装置の検知精度を高めることが可能である。

[0049]

図2(A)には、検知装置130の上面図の一例を示す。また、図2(B)には、検知装置130の一部の斜視図を示す。

[0050]

なお、図2には、検知装置130の有する検知コイルが、第1のコイル群及び第2の検知コイル群のいずれかーに分類される例を示す。また、図2には、検知装置130が、磁界を発生させる機能を有する検知コイル131と、磁束密度の変化を検知して、制御装置120に検知信号を送信する機能を有する検知コイル132と、を有する場合の例を示す。

[0051]

図2(A)に示す検知装置130は、基板135と、2個の検知コイル131aと、2個の検知コイル132aと、8個の検知コイル131bと、8個の検知コイル132bと、を有する。検知コイル131a、検知コイル132a、検知コイル131bおよび検知コイル132bは、基板135上に形成されたプリント配線である。

[0052]

なお、図2(A)において、第1の検知コイル群に属する検知コイルの具体例として検知コイル131aおよび132aを示す。また、第2の検知コイル群に属する検知コイルの具体例として検知コイル131bおよび検知コイル132bを示す。また、磁界を発生させる機能を有する検知コイル131の具体例として検知コイル131aおよび131bを示す。また、制御装置120に検知信号を送信する機能を有する検知コイル132の具体例として、検知コイル132aおよび検知コイル132bを示す。

[0053]

図2(A)に示す検知装置130において、検知コイル131aと、検知コイル132aとは、サイズが等しい。また、2個の検知コイル131aと、2個の検知コイル132aは、領域133a内に位置する。

[0054]

このような構成とすることによって、2個の検知コイル131a間で、安定した磁界を発生させることが可能である。また、2個の検知コイル132a間で、より高い精度で磁束密度の変化を検知することが可能である。

[0055]

また、図2(A)に示す検知装置130において、検知コイル131bと、検知コイル132bとは、サイズが等しい。また、検知コイル131bおよび検知コイル132bは、検知コイル131aおよび検知コイル132aよりサイズが小さい。また、2個の検知コイル131bと、2個の検知コイル132bとは、検知コイル131aまたは検知コイル132aのいずれかーに囲まれる領域133b

に位置する。

[0056]

このような構成とすることによって、同じ領域133bに位置する2個の検知コイル131b間で安定した磁界を発生させることが可能である。また、同じ領域133bに位置する2個の検知コイル132b間で、より高い精度で磁束密度の変化を検知することが可能である。

[0057]

なお、検知装置130は、検知コイル131bまたは検知コイル132bのいずれかーに囲まれる領域133c（図2（A）参照）に位置する検知コイルを有していてもよい。例えば、4個の検知コイルを、領域133cに設けることで、より詳細に磁束密度の変化を検知することができ、好ましい。

[0058]

なお、図2（A）に示す検知装置130において、2個の検知コイル131aは、それぞれ互いに隣り合わないよう配置される。また、2個の検知コイル132aは、それぞれ互いに隣り合わないよう配置される。また、2個の検知コイル131bは、それぞれ互いに隣り合わないよう配置される。また、2個の検知コイル132bは、それぞれ互いに隣り合わないよう配置される。

[0059]

図2（B）には、領域133aと、領域133aに位置する検知コイル131aおよび検知コイル132aの斜視図を示す。また、図2（B）には、2個の検知コイル131aの間に発生させることのできる磁界を表現する矢印137を示す。このように、図2（A）に示す構成とすることで、2個の検知コイル131aの間に安定した磁界を発生させることが可能になる。また、同様に、2個の検知コイル131bの間に、安定した磁界を発生させることが可能になる。

[0060]

上記の通り、図2（A）に示す構成とすることによって、より安定した磁界の発生と、より精度の高い磁束密度の変化の検知が可能になる。よって、検知装置130を用いることによって、より精度高く、受電コイルの位置を検知することができる。

[0061]

なお、検知装置130の構成は図2（A）に示す構成には特に限られない。

[0062]

次に、図3（A）および図3（B）を用いて、検知装置130の変形例について説明する。

[0063]

図3（A）には、検知装置130の変形例の上面図を示す。図3（A）に示す検知装置130の変形例は、円形の基板135と、円形の検知コイル131aと、円形の検知コイル132aと、円形の検知コイル131bと、円形の検知コイル132bと、を有する。

[0064]

図3（A）に示す検知装置130の変形例のように、検知装置130の有する検知コイルが円形の場合、歪みのない磁場を形成することができ、好ましい。

[0065]

図3（B）には、検知装置130の変形例である検知装置136の斜視図を示す。検知装置136は、検知装置130aと、誘電体138と、検知装置130bと、を有する。検知装置136において、検知装置130aと、検知装置130bとは、それぞれ互いに重なるように配置される。また、誘電体138は、検知装置130aおよび検知装置130bの間に挟まれる位置に配置される。

[0066]

検知装置 130a および検知装置 130b は、それぞれ、図 2 に示した検知装置 130 と同様の構成とすればよい。

[0067]

図 3 (B) で示す検知装置 136 のように、複数の検知装置を重ねた構成とすると、三次元的に磁束密度の検知を行うことができ、好ましい。例えば、検知装置 136 を用いることで、受電コイル 210 を有する受電装置 200 を給電装置 100 に近づける場合の、検知装置 136 と、受電コイル 210 との距離の検知を行いやすくなり、好ましい。

[0068]

以上が、検知装置 130 が有する検知コイルについての詳細な説明である。

[0069]

次に、図 4 を用いて移動装置 140 について詳細に説明する。

[0070]

図 4 (A) には、移動装置 140 の一例の斜視図を示す。また図 4 (B) には、移動装置 140 の別の例を示す。

[0071]

図 4 (A) に示す移動装置 140 は、2 本のレール 141 と、1 本のレール 142 と、1 個のコイル台 143 と、を有する。また、移動装置 140 において、レール 142 は、レール 141 上を滑らかに移動することができる。また、コイル台 143 は、レール 142 上を滑らかに移動することができる。また、コイル台 143 は、電子モーターで駆動するタイヤ 144 を有している。また、コイル台の上には、給電コイル 110 をとりつけることが可能である。

[0072]

このような構成にすることで、移動装置 140 は、給電コイル 110 を検知装置 130 の有する基板等と水平に移動させることが可能である。

[0073]

図 4 (B) に示す移動装置 140 は、2 本のレール 141 と、2 本のレール 142 と、2 個のコイル台 143 と、を有する。このような構成にすることで、複数の給電コイル 110 を移動させることのできる移動装置 140 としてもよい。

[0074]

以上が、移動装置 140 についての詳細な説明である。なお、移動装置 140 の構成は、図 4 に示した構成に限られるわけではない。

[0075]

次に、給電装置 100 の動作方法について詳細に説明する。図 5 には、給電装置 100 の給電方法を説明するフローチャートを示す。

[0076]

まず、受電装置 200 が、給電装置 100 上に置かれ、給電装置 100 は動作を開始する (図 5 (T0) 参照)。

[0077]

《第 1 のステップ》

第 1 のステップにおいて、最適な給電コイルの位置を決定する (図 5 (T1) 参照)。上述のとおり、

最適な給電コイル１１０の位置の決定は、検知装置１３０から送信された検知信号を制御装置１２０において処理することによって行うことができる。

[００７８]

《第２のステップ》

第２のステップにおいて、給電コイル１１０が移動する（図５（Ｔ２）参照）。上述のとおり、移動装置１４０が、給電コイル１１０を移動させる機能を有する。

[００７９]

《第３のステップ》

第３のステップにおいて、給電を開始する（図５（Ｔ３）参照）。上述のとおり、給電コイル１１０が、起電力を誘導する機能を有する。

[００８０]

《第４のステップ》

第４のステップにおいて、受電コイル２１０が移動したかどうかを判別する（図５（Ｔ４）参照）。受電コイル２１０が、給電開始時の位置と異なる位置に移動したと判別した場合は、第５のステップに進み、受電コイル２１０が、給電開始時の位置から移動していないと判別した場合は、第６のステップに進む。

[００８１]

なお、受電コイル２１０の移動は、例えば受電コイル２１０を有する受電装置２００が振動することなどによって発生すると想定される。

[００８２]

《第５のステップ》

第５のステップにおいて、給電装置１００は、給電を一時停止した後、第１のステップに進む（図５（Ｔ５）参照）。これによって、給電の途中に受電コイル２１０と、給電コイル１１０との位置関係がずれるようなことがあっても、無駄な電力を放出することを防ぐことができる。

[００８３]

なお、給電装置１００の動作方法は、第５のステップにおいて、給電を一時停止することに限られない。例えば、出力を低下させてから給電を継続する等の動作をとってもよく、または、第４のステップの後、第５のステップを経由せずに第１のステップに進んでも構わない。このような給電コイル１１０の出力の制御は、制御装置１２０が交流電源１１１に送信する出力制御信号１２３によって行うことが可能である。

[００８４]

《第６のステップ》

第６のステップにおいて、交流電源１１１が、終了信号を受信した場合は、給電を終了し、交流電源１１１が、終了信号を受信しない場合は、第４のステップに進む（図５（Ｔ６）参照）。

[００８５]

終了信号は、例えば、受電装置２００が給電装置から離れたとき、または、受電装置２００が有する蓄電装置２２０が満充電の状態になったとき等に、制御装置１２０から送信される。

[００８６]

以上が、給電装置１００の給電方法である。

[００８７]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[0088]

(実施の形態2)

本実施の形態では、上記実施の形態で説明した非接触給電システムに人工知能(AI: Artificial Intelligence)を用いた構成例について説明する。

[0089]

なお、人工知能とは、人間の知能を模した計算機の総称である。本明細書等において、人工知能には人工ニューラルネットワーク(ANN: Artificial Neural Network)が含まれる。人工ニューラルネットワークは、ニューロンとシナプスで構成される神経網を模した回路である。本明細書等において「ニューラルネットワーク」と記載する場合、特に人工ニューラルネットワークを指す。

[0090]

<制御回路の構成例>

図6に、制御装置120の構成例を示す。

[0091]

図6に示す制御装置120は、位置制御回路122と、出力制御回路124とを有する。

[0092]

位置制御回路122および出力制御回路124は、それぞれ、検知装置130が送信する検知信号が供給される機能を有する。また、位置制御回路122は、位置制御信号121を送信する機能を有する。また、位置制御回路122は、ニューラルネットワークNNを有する。また、出力制御回路124は、出力制御信号123を送信する機能を有する。

[0093]

ニューラルネットワークNNは、入力層IL、出力層OL、及び隠れ層(中間層)HLを有する。入力層ILには、検知装置130によって取得された検知情報が入力される。

[0094]

出力層OL、入力層IL、隠れ層HLはそれぞれ、一又は複数のユニット(ニューロン回路)を有し、各ユニットの出力は、重み(結合強度)を介して異なる層に設けられたユニットに供給される。なお、各層のユニット数は任意に設定することができる。また、ニューラルネットワークNNは、隠れ層HLを複数有するネットワーク(DNN: ディープニューラルネットワーク)であってもよい。ディープニューラルネットワークの学習を深層学習と呼ぶことがある。

[0095]

ニューラルネットワークNNには、検知情報に基づいて最適な給電コイル110の位置を決定する機能が、学習によって付加されている。そして、ニューラルネットワークNNの入力層に、検知情報に対応するデータが入力されると、各層において演算処理が行われる。各層における演算処理は、前層のユニットの出力と重み係数との積和演算などにより実行される。なお、層間の結合は全てのユニット同士が結合された全結合としてもよいし、一部のユニット同士が結合された部分結合としてもよい。そして、最適な給電コイル110の位置を決定した結果に対応するデータが出力層OLから出力される。

[0096]

このように、位置制御回路122にニューラルネットワークNNを用いることにより、検知信号に基

づいて、最適な給電コイル110の位置をより容易に、より精度よく決定することができる。

[0097]

＜ニューラルネットワークの構成例＞

次に、ニューラルネットワークNNのより具体的な構成例について説明する。ニューラルネットワークの構成例を図7に示す。ニューラルネットワークは、ニューロン回路NCと、ニューロン回路NC間に設けられたシナプス回路SCによって構成されている。

[0098]

図7(A)に、ニューロン回路NCとシナプス回路SCの構成例を示す。シナプス回路SCには、入力データ x_1 乃至 x_L (L は自然数)が入力される。また、シナプス回路SCは、重み係数 w_k (k は1以上 L 以下の整数)を記憶する機能を有する。重み係数 w_k は、ニューロン回路NC間の結合の強さに対応する。

[0099]

シナプス回路SCに入力データ x_1 乃至 x_L が入力されると、ニューロン回路NCには、シナプス回路SCに入力された入力データ x_k と、シナプス回路SCに記憶された重み係数 w_k との積($x_k w_k$)を、 $k=1$ 乃至 L について足し合わせた値($x_1 w_1 + x_2 w_2 + \dots + x_L w_L$)、すなわち、 x_k と w_k を用いた積和演算によって得られた値が供給される。この値がニューロン回路NCの閾値 θ を超えた場合、ニューロン回路NCはハイレベルの信号を出力する。この現象を、ニューロン回路NCの発火と呼ぶ。

[0100]

上記のニューロン回路NCとシナプス回路SCを用いた階層型ニューラルネットワークのモデルを図7(B)に示す。ニューラルネットワークは、入力層IL、隠れ層HL、出力層OLを有する。入力層ILは、入力ニューロン回路INを有する。隠れ層HLは、隠れシナプス回路HS及び隠れニューロン回路HNを有する。出力層OLは、出力シナプス回路OS及び出力ニューロン回路ONを有する。また、入力ニューロン回路IN、隠れニューロン回路HN、出力ニューロン回路ONの閾値 θ を、それぞれ θ_I 、 θ_H 、 θ_O と表記する。

[0101]

入力層ILには、検知信号に対応するデータ x_1 乃至 x_i (i は自然数)が供給され、入力層ILの出力は隠れ層HLに供給される。そして、隠れニューロン回路HNには、入力層ILの出力データと、隠れシナプス回路HSに保持された重み係数 w と、を用いた積和演算によって得られた値が供給される。そして、出力ニューロン回路ONには、隠れニューロン回路HNの出力と、出力シナプス回路OSに保持された重み係数 w を用いた積和演算によって得られた値が供給される。そして、最適な給電コイル110の位置に対応するデータ y が出力される。

[0102]

このように、図7(B)に示すニューラルネットワークは、検知情報に基づいて最適な給電コイル110の位置を決定する機能を有する。

[0103]

また、ニューラルネットワークの学習には勾配降下法などを用いることができ、勾配の算出には誤差逆伝播法を用いることができる。図7(C)に、誤差逆伝播法を利用して教師あり学習を行うニューラルネットワークのモデルを示す。

[0104]

誤差逆伝播法は、ニューラルネットワークの出力データと教師データの誤差が小さくなるように、シナプス回路の重み係数を変更する方式の一つである。具体的には、出力データ（データ y ）と教師データ（データ t ）に基づいて決定される誤差 δ_o に応じて、隠れシナプス回路 HS の重み係数 w が変更される。また、隠れシナプス回路 HS の重み係数 w の変更量に応じて、さらに前段のシナプス回路 SC の重み係数 w が変更される。このように、教師データに基づいてシナプス回路 SC の重み係数を順次変更することにより、ニューラルネットワーク NN の学習を行うことができる。

[0105]

なお、図7（B）、（C）には1層の隠れ層 HL を示しているが、隠れ層 HL の層数を2以上としてもよい。これにより、深層学習を行うことができる。

[0106]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[0107]

（実施の形態3）

本実施の形態では、実施の形態2で説明したニューラルネットワークに用いることができる半導体装置の構成例について説明する。

[0108]

ニューラルネットワークがハードウェアによって構成される場合、ニューラルネットワークにおける積和演算は、積和演算素子を用いて行うことができる。本実施の形態では、ニューラルネットワーク NN の積和演算素子として用いることができる半導体装置の構成例について説明する。

[0109]

<半導体装置の構成例>

半導体装置500の構成の一例を図8に示す。図8に示す半導体装置500は、記憶回路510（MEM）と、参照用記憶回路520（RMEM）と、回路530と、回路540と、を有する。半導体装置500は、さらに電流源回路550（CREF）を有していても良い。

[0110]

記憶回路510（MEM）は、メモリセル $MC[p, q]$ 、メモリセル $MC[p+1, q]$ で例示されるメモリセル MC を有する。また、各メモリセル MC は、入力された電位を電流に変換する機能を有する素子を有する。上記機能を有する素子として、例えばトランジスタなどの能動素子を用いることができる。図8では、各メモリセル MC がトランジスタ $Tr11$ を有する場合を例示している。

[0111]

そして、メモリセル MC には、配線 $WD[q]$ で例示される配線 WD から第1のアナログ電位が入力される。第1のアナログ電位は第1のアナログデータに対応する。そして、メモリセル MC は、第1のアナログ電位に応じた第1のアナログ電流を生成する機能を有する。具体的には、トランジスタ $Tr11$ のゲートに第1のアナログ電位を供給したときに得られるトランジスタ $Tr11$ のドレイン電流を、第1のアナログ電流とすることができる。なお、以下、メモリセル $MC[p, q]$ に流れる電流を $I[p, q]$ とし、メモリセル $MC[p+1, q]$ に流れる電流を $I[p+1, q]$ とする。

[0112]

なお、トランジスタ $Tr11$ が飽和領域で動作する場合、そのドレイン電流はソースとドレイン間の電圧に依存せず、ゲート電圧と閾値電圧の差分によって制御される。よって、トランジスタ $Tr11$ は飽和領域で動作させることが望ましい。トランジスタ $Tr11$ を飽和領域で動作させるために、そ

のゲート電圧、ソースとドレイン間の電圧は、飽和領域で動作する範囲の電圧に適切に設定されているものとする。

[0113]

具体的に、図8に示す半導体装置500では、メモリセルMC [p、q] に配線WD [q] から第1のアナログ電位 $V_x[p, q]$ または第1のアナログ電位 $V_x[p, q]$ に応じた電位が入力される。メモリセルMC [p、q] は、第1のアナログ電位 $V_x[p, q]$ に応じた第1のアナログ電流を生成する機能を有する。すなわち、この場合、メモリセルMC [p、q] の電流 $I[p, q]$ は、第1のアナログ電流に相当する。

[0114]

また、具体的に、図8に示す半導体装置500では、メモリセルMC [p+1、q] に配線WD [q] から第1のアナログ電位 $V_x[p+1, q]$ または第1のアナログ電位 $V_x[p+1, q]$ に応じた電位が入力される。メモリセルMC [p+1、q] は、第1のアナログ電位 $V_x[p+1, q]$ に応じた第1のアナログ電流を生成する機能を有する。すなわち、この場合、メモリセルMC [p+1、q] の電流 $I[p+1, q]$ は、第1のアナログ電流に相当する。

[0115]

そして、メモリセルMCは、第1のアナログ電位を保持する機能を有する。すなわち、メモリセルMCは、第1のアナログ電位を保持することで、第1のアナログ電位に応じた第1のアナログ電流を保持する機能を有すると言える。

[0116]

また、メモリセルMCには、配線RW [p]、配線RW [p+1] で例示される配線RWから第2のアナログ電位が入力される。第2のアナログ電位は第2のアナログデータに対応する。メモリセルMCは、既に保持されている第1のアナログ電位に、第2のアナログ電位或いは第2のアナログ電位に応じた電位を加算する機能と、加算することで得られる第3のアナログ電位を保持する機能とを有する。そして、メモリセルMCは、第3のアナログ電位に応じた第2のアナログ電流を生成する機能を有する。すなわち、メモリセルMCは、第3のアナログ電位を保持することで、第3のアナログ電位に応じた第2のアナログ電流を保持する機能を有すると言える。

[0117]

具体的に、図8に示す半導体装置500では、メモリセルMC [p、q] に配線RW [p] から第2のアナログ電位 $V_w[p, q]$ が入力される。そして、メモリセルMC [p、q] は、第1のアナログ電位 $V_x[p, q]$ 及び第2のアナログ電位 $V_w[p, q]$ に応じた第3のアナログ電位を保持する機能を有する。そして、メモリセルMC [p、q] は、第3のアナログ電位に応じた第2のアナログ電流を生成する機能を有する。すなわち、この場合、メモリセルMC [p、q] の電流 $I[p, q]$ は、第2のアナログ電流に相当する。

[0118]

また、図8に示す半導体装置500では、メモリセルMC [p+1、q] に配線RW [p+1] から第2のアナログ電位 $V_w[p+1, q]$ が入力される。そして、メモリセルMC [p+1、q] は、第1のアナログ電位 $V_x[p+1, q]$ 及び第2のアナログ電位 $V_w[p+1, q]$ に応じた第3のアナログ電位を保持する機能を有する。そして、メモリセルMC [p+1、q] は、第3のアナログ電位に応じた第2のアナログ電流を生成する機能を有する。すなわち、この場合、メモリセルMC [p+1、q] の電流 $I[p+1, q]$ は、第2のアナログ電流に相当する。

[0119]

そして、電流 $I[p, q]$ は、メモリセル $MC[p, q]$ を介して配線 $BL[q]$ と配線 $VR[q]$ の間を流れる。電流 $I[p+1, q]$ は、メモリセル $MC[p+1, q]$ を介して配線 $BL[q]$ と配線 $VR[q]$ の間を流れる。よって、電流 $I[p, q]$ と電流 $I[p+1, q]$ との和に相当する電流 $I[q]$ が、メモリセル $MC[p, q]$ 及びメモリセル $MC[p+1, q]$ を介して配線 $BL[q]$ と配線 $VR[q]$ の間を流れることとなる。

[0120]

参照用記憶回路 520 (RMEM) は、メモリセル $MCR[p]$ 、メモリセル $MCR[p+1]$ で例示されるメモリセル MCR を有する。メモリセル MCR には、配線 $WDREF$ から第 1 の参照電位 VPR が入力される。そして、メモリセル MCR は、第 1 の参照電位 VPR に応じた第 1 の参照電流を生成する機能を有する。なお、以下、メモリセル $MCR[p]$ に流れる電流を $IREF[p]$ とし、メモリセル $MCR[p+1]$ に流れる電流を $IREF[p+1]$ とする。

[0121]

そして、具体的に、図 8 に示す半導体装置 500 では、メモリセル $MCR[p]$ に配線 $WDREF$ から第 1 の参照電位 VPR が入力される。メモリセル $MCR[p]$ は、第 1 の参照電位 VPR に応じた第 1 の参照電流を生成する機能を有する。すなわち、この場合、メモリセル $MCR[p]$ の電流 $IREF[p]$ は、第 1 の参照電流に相当する。

[0122]

また、図 8 に示す半導体装置 500 では、メモリセル $MCR[p+1]$ に配線 $WDREF$ から第 1 の参照電位 VPR が入力される。メモリセル $MCR[p+1]$ は、第 1 の参照電位 VPR に応じた第 1 の参照電流を生成する機能を有する。すなわち、この場合、メモリセル $MCR[p+1]$ の電流 $IREF[p+1]$ は、第 1 の参照電流に相当する。

[0123]

そして、メモリセル MCR は、第 1 の参照電位 VPR を保持する機能を有する。すなわち、メモリセル MCR は、第 1 の参照電位 VPR を保持することで、第 1 の参照電位 VPR に応じた第 1 の参照電流を保持する機能を有すると言える。

[0124]

また、メモリセル MCR には、配線 $RW[p]$ 、配線 $RW[p+1]$ で例示される配線 RW から第 2 のアナログ電位が入力される。メモリセル MCR は、既に保持されている第 1 の参照電位 VPR に、第 2 のアナログ電位或いは第 2 のアナログ電位に応じた電位を加算する機能と、加算することで得られる第 2 の参照電位を保持する機能を有する。そして、メモリセル MCR は、第 2 の参照電位に応じた第 2 の参照電流を生成する機能を有する。すなわち、メモリセル MCR は、第 2 の参照電位を保持することで、第 2 の参照電位に応じた第 2 の参照電流を保持する機能を有すると言える。

[0125]

具体的に、図 8 に示す半導体装置 500 では、メモリセル $MCR[p]$ に配線 $RW[p]$ から第 2 のアナログ電位 $Vw[p, q]$ が入力される。そして、メモリセル $MCR[p]$ は、第 1 の参照電位 VPR 及び第 2 のアナログ電位 $Vw[p, q]$ に応じた第 2 の参照電位を保持する機能を有する。そして、メモリセル $MCR[p]$ は、第 2 の参照電位に応じた第 2 の参照電流を生成する機能を有する。すなわち、この場合、メモリセル $MCR[p]$ の電流 $IREF[p]$ は、第 2 の参照電流に相当する。

[0126]

また、図8に示す半導体装置500では、メモリセルMCR [p+1] に配線RW [p+1] から第2のアナログ電位 $V_w [p+1, q]$ が入力される。そして、メモリセルMCR [p+1] は、第1の参照電位 V_{PR} 及び第2のアナログ電位 $V_w [p+1, q]$ に応じた第2の参照電位を保持する機能を有する。そして、メモリセルMCR [p+1] は、第2の参照電位に応じた第2の参照電流を生成する機能を有する。すなわち、この場合、メモリセルMCR [p+1] の電流 $I_{REF} [p+1]$ は、第2の参照電流に相当する。

[0127]

そして、電流 $I_{REF} [p]$ は、メモリセルMCR [p] を介して配線BLREFと配線VRREFの間を流れる。電流 $I_{REF} [p+1]$ は、メモリセルMCR [p+1] を介して配線BLREFと配線VRREFの間を流れる。よって、電流 $I_{REF} [p]$ と電流 $I_{REF} [p+1]$ との和に相当する電流 I_{REF} が、メモリセルMCR [p] 及びメモリセルMCR [p+1] を介して配線BLREFと配線VRREFの間を流れることとなる。

[0128]

電流源回路550は、配線BLREFに流れる電流 I_{REF} と同じ値の電流、もしくは電流 I_{REF} に対応する電流を、配線BLに供給する機能を有する。そして、後述するオフセットの電流を設定する際には、メモリセルMC [p, q] 及びメモリセルMC [p+1, q] を介して配線BL [q] と配線VR [q] の間を流れる電流 $I [q]$ が、メモリセルMCR [p] 及びメモリセルMCR [p+1] を介して配線BLREFと配線VRREFの間を流れる電流 I_{REF} と異なる場合、差分の電流は回路530または回路540に流れる。回路530は電流ソース回路としての機能を有し、回路540は電流シンク回路としての機能を有する。

[0129]

具体的に、電流 $I [q]$ が電流 I_{REF} よりも大きい場合、回路530は、電流 $I [q]$ と電流 I_{REF} の差分に相当する電流 $\Delta I [q]$ を生成する機能を有する。また、回路530は、生成した電流 $\Delta I [q]$ を配線BL [q] に供給する機能を有する。すなわち、回路530は、電流 $\Delta I [q]$ を保持する機能を有すると言える。

[0130]

また、電流 $I [q]$ が電流 I_{REF} よりも小さい場合、回路540は、電流 $I [q]$ と電流 I_{REF} の差分に相当する電流 $\Delta I [q]$ を生成する機能を有する。また、回路540は、生成した電流 $\Delta I [q]$ を配線BL [q] から引き込む機能を有する。すなわち、回路540は、電流 $\Delta I [q]$ を保持する機能を有すると言える。

[0131]

次いで、図8に示す半導体装置500の動作の一例について説明する。

[0132]

まず、メモリセルMC [p, q] に第1のアナログ電位に応じた電位を格納する。具体的には、第1の参照電位 V_{PR} から第1のアナログ電位 $V_x [p, q]$ を差し引いた電位 $V_{PR} - V_x [p, q]$ が、配線WD [q] を介してメモリセルMC [p, q] に入力される。メモリセルMC [p, q] では、電位 $V_{PR} - V_x [p, q]$ が保持される。また、メモリセルMC [p, q] では、電位 $V_{PR} - V_x [p, q]$ に応じた電流 $I [p, q]$ が生成される。例えば第1の参照電位 V_{PR} は、接地電位よりも高いハイレベルの電位とする。具体的には、接地電位よりも高く、電流源回路550に供給されるハイレベルの電位 V_{DD} と同程度か、それ以下の電位であることが望ましい。

[0133]

また、メモリセルMCR [p] に第1の参照電位VPRを格納する。具体的には、第1の参照電位VPRが、配線WDREFを介してメモリセルMCR [p] に入力される。メモリセルMCR [p] では、第1の参照電位VPRが保持される。また、メモリセルMCR [p] では、第1の参照電位VPRに応じた電流IREF [p] が生成される。

[0134]

また、メモリセルMC [p+1, q] に第1のアナログ電位に応じた電位を格納する。具体的には、第1の参照電位VPRから第1のアナログ電位Vx [p+1, q] を差し引いた電位VPR-Vx [p+1, q] が、配線WD [q] を介してメモリセルMC [p+1, q] に入力される。メモリセルMC [p+1, q] では、電位VPR-Vx [p+1, q] が保持される。また、メモリセルMC [p+1, q] では、電位VPR-Vx [p+1, q] に応じた電流I [p+1, q] が生成される。

[0135]

また、メモリセルMCR [p+1] に第1の参照電位VPRを格納する。具体的には、第1の参照電位VPRが、配線WDREFを介してメモリセルMCR [p+1] に入力される。メモリセルMCR [p+1] では、第1の参照電位VPRが保持される。また、メモリセルMCR [p+1] では、第1の参照電位VPRに応じた電流IREF [p+1] が生成される。

[0136]

上記動作において、配線RW [p] 及び配線RW [p+1] は基準電位とする。例えば、基準電位として接地電位、接地電位よりも低いローレベルの電位VSSなどを用いることができる。或いは、基準電位として電位VSSと電位VDDの間の電位を用いると、第2のアナログ電位Vwを正または負にしても、配線RWの電位を接地電位よりも高くできるので信号の生成を容易にすることができ、正または負のアナログデータに対する積演算が可能になるので好ましい。

[0137]

上記動作により、配線BL [q] には、配線BL [q] に接続されたメモリセルMCにおいてそれぞれ生成される電流を合わせた電流が、流れることとなる。具体的に図8では、メモリセルMC [p, q] で生成される電流I [p, q] と、メモリセルMC [p+1, q] で生成される電流I [p+1, q] とを合わせた電流I [q] が流れる。また、上記動作により、配線BLREFには、配線BLREFに接続されたメモリセルMCRにおいてそれぞれ生成される電流を合わせた電流が、流れることとなる。具体的に図8では、メモリセルMCR [p] で生成される電流IREF [p] と、メモリセルMCR [p+1] で生成される電流IREF [p+1] とを合わせた電流IREFが流れる。

[0138]

次いで、配線RW [p] 及び配線RW [p+1] の電位を基準電位としたまま、第1のアナログ電位を入力することによって得られる電流I [q] と第1の参照電位を入力することによって得られる電流IREFとの差分から得られるオフセットの電流Ioffset [q] を、回路530または回路540において保持する。

[0139]

具体的に、電流I [q] が電流IREFよりも大きい場合、回路530は電流Ioffset [q] を配線BL [q] に供給する。すなわち、回路530に流れる電流ICM [q] は電流Ioffset [q] に相当することとなる。そして、当該電流ICM [q] の値は回路530において保持される。また、電流I [q] が電流IREFよりも小さい場合、回路540は電流Ioffset [q]

を配線BL[q]から引き込む。すなわち、回路540に流れる電流ICP[q]は電流Ioffset[q]に相当することとなる。そして、当該電流ICP[q]の値は回路540において保持される。

[0140]

次いで、既にメモリセルMC[p、q]において保持されている第1のアナログ電位または第1のアナログ電位に応じた電位に加算するように、第2のアナログ電位または第2のアナログ電位に応じた電位をメモリセルMC[p、q]に格納する。具体的には、配線RW[p]の電位を基準電位に対してVw[p]だけ高い電位とすることで、第2のアナログ電位Vw[p]が、配線RW[p]を介してメモリセルMC[p、q]に入力される。メモリセルMC[p、q]では、電位VPR-Vx[p、q]+Vw[p]が保持される。また、メモリセルMC[p、q]では、電位VPR-Vx[p、q]+Vw[p]に応じた電流I[p、q]が生成される。

[0141]

また、既にメモリセルMC[p+1、q]において保持されている第1のアナログ電位または第1のアナログ電位に応じた電位に加算するように、第2のアナログ電位または第2のアナログ電位に応じた電位をメモリセルMC[p+1、q]に格納する。具体的には、配線RW[p+1]の電位を基準電位に対してVw[p+1]だけ高い電位とすることで、第2のアナログ電位Vw[p+1]が、配線RW[p+1]を介してメモリセルMC[p+1、q]に入力される。メモリセルMC[p+1、q]では、電位VPR-Vx[p+1、q]+Vw[p+1]が保持される。また、メモリセルMC[p+1、q]では、電位VPR-Vx[p+1、q]+Vw[p+1]に応じた電流I[p+1、q]が生成される。

[0142]

なお、電位を電流に変換する素子として飽和領域で動作するトランジスタTr11を用いる場合、配線RW[p]の電位がVw[p]であり、配線RW[p+1]の電位がVw[p+1]であると仮定すると、メモリセルMC[p、q]が有するトランジスタTr11のドレイン電流が電流I[p、q]に相当するので、第2のアナログ電流は以下の式1で表される。なお、kは係数、VthはトランジスタTr11の閾値電圧である。

[0143]

$$I[p, q] = k (Vw[p] - Vth + VPR - Vx[p, q])^2 \quad (\text{式1})$$

[0144]

また、メモリセルMCR[p]が有するトランジスタTr11のドレイン電流が電流IREF[p]に相当するので、第2の参照電流は以下の式2で表される。

[0145]

$$IREF[p] = k (Vw[p] - Vth + VPR)^2 \quad (\text{式2})$$

[0146]

そして、メモリセルMC[p、q]に流れる電流I[p、q]と、メモリセルMC[p+1、q]に流れる電流I[p+1、q]の和に相当する電流I[q]は、 $I[q] = \sum_i I[p, q]$ であり、メモリセルMCR[p]に流れる電流IREF[p]と、メモリセルMCR[p+1]に流れる電流IREF[p+1]の和に相当する電流IREFは、 $IREF = \sum_i IREF[p]$ となり、その差分に相当する電流ΔI[q]は以下の式3で表される。

[0147]

$$\Delta I[q] = I_{REF} - I[q] = \sum_i I_{REF}[p] - \sum_i I[p, q] \quad (\text{式3})$$

[0148]

式1、式2、式3から、電流 $\Delta I[q]$ は以下の式4のように導き出される。

[0149]

$$\begin{aligned} \Delta I[q] &= \sum_i \{k(V_w[p] - V_{th} + V_{PR})^2 - k(V_w[p] - V_{th} + V_{PR} - V_x[p, q])^2\} \\ &= 2k \sum_i (V_w[p] \cdot V_x[p, q]) - 2k \sum_i (V_{th} - V_{PR}) \cdot V_x[p, q] - k \sum_i V_x[p, q]^2 \quad (\text{式4}) \end{aligned}$$

[0150]

式4において、 $2k \sum_i (V_w[p] \cdot V_x[p, q])$ で示される項は、第1のアナログ電位 $V_x[p, q]$ 及び第2のアナログ電位 $V_w[p]$ の積と、第1のアナログ電位 $V_x[p+1, q]$ 及び第2のアナログ電位 $V_w[p+1]$ の積と、の和に相当する。

[0151]

また、電流 $I_{offset}[q]$ は、配線 $RW[p]$ の電位を全て基準電位としたとき、すなわち第2のアナログ電位 $V_w[p]$ を0、第2のアナログ電位 $V_w[p+1]$ を0としたときの電流 $\Delta I[q]$ とすると、式4から、以下の式5が導き出される。

[0152]

$$I_{offset}[q] = -2k \sum_i (V_{th} - V_{PR}) \cdot V_x[p, q] - k \sum_i V_x[p, q]^2 \quad (\text{式5})$$

[0153]

したがって、式3乃至式5から、第1のアナログデータと第2のアナログデータの積和値に相当する $2k \sum_i (V_w[p] \cdot V_x[p, q])$ は、以下の式6で表されることが分かる。

[0154]

$$2k \sum_i (V_w[p] \cdot V_x[p, q]) = I_{REF} - I[q] - I_{offset}[q] \quad (\text{式6})$$

[0155]

そして、メモリセルMCに流れる電流の和を電流 $I[q]$ 、メモリセルMCRに流れる電流の和を電流 I_{REF} 、回路530または回路540に流れる電流を電流 $I_{offset}[q]$ とすると、配線 $RW[p]$ の電位を $V_w[p]$ 、配線 $RW[p+1]$ の電位を $V_w[p+1]$ としたときに配線 $BL[q]$ から流れ出る電流 $I_{out}[q]$ は、 $I_{REF} - I[q] - I_{offset}[q]$ で表される。

式6から、電流 $I_{out}[q]$ は、 $2k \sum_i (V_w[p] \cdot V_x[p, q])$ であり、第1のアナログ電位 $V_x[p, q]$ 及び第2のアナログ電位 $V_w[p]$ の積と、第1のアナログ電位 $V_x[p+1, q]$ 及び第2のアナログ電位 $V_w[p+1]$ の積と、の和に相当することが分かる。

[0156]

なお、トランジスタ $Tr11$ は飽和領域で動作させることが望ましいが、トランジスタ $Tr11$ の動作領域が理想的な飽和領域と異なっていたとしても、第1のアナログ電位 $V_x[p, q]$ 及び第2のアナログ電位 $V_w[p]$ の積と、第1のアナログ電位 $V_x[p+1, q]$ 及び第2のアナログ電位 $V_w[p+1]$ の積との和に相当する電流を、所望の範囲内の精度で問題なく得ることができる場合は、トランジスタ $Tr11$ は飽和領域で動作しているものとみなせる。

[0157]

本発明の一態様により、アナログデータの演算処理をデジタルデータに変換せずとも実行することができるので、半導体装置の回路規模を小さく抑えることができる。或いは、本発明の一態様により、アナログデータの演算処理をデジタルデータに変換せずとも実行することができるので、アナログデータの演算処理に要する時間を抑えることができる。或いは、本発明の一態様により、アナログデータの演算処理に要する時間を抑えつつ、半導体装置の低消費電力化を実現することができる。

[0158]

<記憶回路の構成例>

次いで、記憶回路510(MEM)と、参照用記憶回路520(RMEM)の具体的な構成の一例について、図9を用いて説明する。

[0159]

図9では、記憶回路510(MEM)が y 行 x 列(x 、 y は自然数)の複数のメモリセルMCを有し、参照用記憶回路520(RMEM)が y 行1列の複数のメモリセルMCRを有する場合を例示している。

[0160]

なお、本明細書等において、トランジスタのソースとは、チャネル形成領域として機能する半導体層の一部であるソース領域や、当該半導体層と接続されたソース電極などを意味する。同様に、トランジスタのドレインとは、当該半導体層の一部であるドレイン領域や、当該半導体層と接続されたドレイン電極などを意味する。また、ゲートとは、ゲート電極などを意味する。

[0161]

また、トランジスタが有するソースとドレインは、トランジスタの導電型及び各端子に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、 n チャネル型トランジスタでは、低い電位が与えられる端子がソースと呼ばれ、高い電位が与えられる端子がドレインと呼ばれる。また、 p チャネル型トランジスタでは、低い電位が与えられる端子がドレインと呼ばれ、高い電位が与えられる端子がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係にしたがってソースとドレインの呼び方が入れ替わる。

[0162]

記憶回路510は、配線RWと、配線WWと、配線WDと、配線VRと、配線BLとに接続されている。図9では、配線RW[1]乃至配線RW[y]が各行のメモリセルMCにそれぞれ接続され、配線WW[1]乃至配線WW[y]が各行のメモリセルMCにそれぞれ接続され、配線WD[1]乃至配線WD[x]が各列のメモリセルMCにそれぞれ接続されて、配線BL[1]乃至配線BL[x]が各列のメモリセルMCにそれぞれ接続されている場合を例示している。また、図9では、配線VR[1]乃至配線VR[x]が各列のメモリセルMCにそれぞれ接続されている場合を例示している。なお、配線VR[1]乃至配線VR[x]は、互いに接続されていても良い。

[0163]

そして、参照用記憶回路520は、配線RWと、配線WWと、配線WDREFと、配線VRREFと、配線BLREFとに接続されている。図9では、配線RW[1]乃至配線RW[y]が各行のメモリセルMCRにそれぞれ接続され、配線WW[1]乃至配線WW[y]が各行のメモリセルMCRにそれぞれ接続され、配線WDREFが一行のメモリセルMCRにそれぞれ接続され、配線BLREFが一行のメモリセルMCRにそれぞれ接続され、配線VRREFが一行のメモリセルMCRにそれぞれ

接続されている場合を例示している。なお、配線VRREFは、配線VR[1]乃至配線VR[x]に接続されていても良い。

[0164]

次いで、図9に示した複数のメモリセルMCのうち、任意の2行2列のメモリセルMCと、図9に示した複数のメモリセルMCRのうち、任意の2行1列のメモリセルMCRとの、具体的な回路構成と接続関係を、一例として図10に示す。

[0165]

具体的に図10では、p行q列目のメモリセルMC[p、q]と、p+1行q列目のメモリセルMC[p+1、q]と、p行q+1列目のメモリセルMC[p、q+1]と、p+1行q+1列目のメモリセルMC[p+1、q+1]とを図示している。また、具体的に図10では、p行目のメモリセルMCR[p]と、p+1行目のメモリセルMCR[p+1]とを図示している。なお、pとp+1はそれぞれ1からyまでの任意の数で、qとq+1はそれぞれ1からxまでの任意の数とする。

[0166]

p行目のメモリセルMC[p、q]と、メモリセルMC[p、q+1]と、メモリセルMCR[p]とは、配線RW[p]及び配線WW[p]に接続されている。また、p+1行目のメモリセルMC[p+1、q]と、メモリセルMC[p+1、q+1]と、メモリセルMCR[p+1]とは、配線RW[p+1]及び配線WW[p+1]に接続されている。

[0167]

q列目のメモリセルMC[p、q]と、メモリセルMC[p+1、q]とは、配線WD[q]、配線VR[q]、及び配線BL[q]に接続されている。また、q+1列目のメモリセルMC[p、q+1]と、メモリセルMC[p+1、q+1]とは、配線WD[q+1]、配線VR[q+1]、及び配線BL[q+1]に接続されている。また、p行目のメモリセルMCR[p]と、p+1行目のメモリセルMCR[p+1]とは、配線WDREF、配線VRREF、及び配線BLREFに接続されている。

[0168]

そして、各メモリセルMCと各メモリセルMCRとは、トランジスタTr11と、トランジスタTr12と、容量素子C11と、を有する。トランジスタTr12は、メモリセルMCまたはメモリセルMCRへの第1のアナログ電位の入力を制御する機能を有する。トランジスタTr11は、ゲートに入力された電位に従って、アナログ電流を生成する機能を有する。容量素子C11は、メモリセルMCまたはメモリセルMCRにおいて保持されている第1のアナログ電位または第1のアナログ電位に応じた電位に、第2のアナログ電位或いは第2のアナログ電位に応じた電位を加算する機能を有する。

[0169]

具体的に、図10に示すメモリセルMCでは、トランジスタTr12は、ゲートが配線WWに接続され、ソース又はドレインの一方が配線WDに接続され、ソース又はドレインの他方がトランジスタTr11のゲートに接続されている。また、トランジスタTr11は、ソース又はドレインの一方が配線VRに接続され、ソース又はドレインの他方が配線BLに接続されている。容量素子C11は、第1の電極が配線RWに接続され、第2の電極がトランジスタTr11のゲートに接続されている。

[0170]

また、図10に示すメモリセルMCRでは、トランジスタTr12は、ゲートが配線WWに接続され、

ソース又はドレインの一方が配線WDREFに接続され、ソース又はドレインの他方がトランジスタTr11のゲートに接続されている。また、トランジスタTr11は、ソース又はドレインの一方が配線VREFに接続され、ソース又はドレインの他方が配線BLREFに接続されている。容量素子C11は、第1の電極が配線RWに接続され、第2の電極がトランジスタTr11のゲートに接続されている。

[0171]

メモリセルMCにおいてトランジスタTr11のゲートをノードNとすると、メモリセルMCでは、トランジスタTr12を介してノードNに第1のアナログ電位が入力され、次いでトランジスタTr12がオフになるとノードNが浮遊状態になり、ノードNにおいて第1のアナログ電位または第1のアナログ電位に応じた電位が保持される。また、メモリセルMCでは、ノードNが浮遊状態になると、容量素子C11の第1の電極に入力された第2のアナログ電位がノードNに与えられる。上記動作により、ノードNは、第1のアナログ電位または第1のアナログ電位に応じた電位に、第2のアナログ電位または第2のアナログ電位に応じた電位が加算されることで得られる電位となる。

[0172]

なお、容量素子C11の第1の電極の電位は容量素子C11を介してノードNに与えられるため、実際には、第1の電極の電位の変化量がそのままノードNの電位の変化量に反映されるわけではない。具体的には、容量素子C11の容量値と、トランジスタTr11のゲート容量の容量値と、寄生容量の容量値とから一意に決まる結合係数を、第1の電極の電位の変化量に乗ずることで、ノードNの電位の変化量を正確に算出することができる。以下、説明を分かり易くするために、第1の電極の電位の変化量がほぼノードNの電位の変化量に反映されるものとして説明を行う。

[0173]

トランジスタTr11は、ノードNの電位にしたがってそのドレイン電流が定まる。よって、トランジスタTr12がオフになることでノードNの電位が保持されると、トランジスタTr11のドレイン電流の値も保持される。上記ドレイン電流には第1のアナログ電位と第2のアナログ電位が反映されている。

[0174]

また、メモリセルMCRにおいてトランジスタTr11のゲートをノードNREFとすると、メモリセルMCRでは、トランジスタTr12を介してノードNREFに第1の参照電位または第1の参照電位に応じた電位が入力され、次いでトランジスタTr12がオフになるとノードNREFが浮遊状態になり、ノードNREFにおいて第1の参照電位または第1の参照電位に応じた電位が保持される。また、メモリセルMCRでは、ノードNREFが浮遊状態になると、容量素子C11の第1の電極に入力された第2のアナログ電位がノードNREFに与えられる。上記動作により、ノードNREFは、第1の参照電位または第1の参照電位に応じた電位に、第2のアナログ電位または第2のアナログ電位に応じた電位が加算されることで得られる電位となる。

[0175]

トランジスタTr11は、ノードNREFの電位にしたがってそのドレイン電流が定まる。よって、トランジスタTr12がオフになることでノードNREFの電位が保持されると、トランジスタTr11のドレイン電流の値も保持される。上記ドレイン電流には第1の参照電位と第2のアナログ電位が反映されている。

[0176]

メモリセルMC [p、q] のトランジスタ T_{r11} に流れるドレイン電流を電流 $I[p、q]$ とし、メモリセルMC [p+1、q] のトランジスタ T_{r11} に流れるドレイン電流を電流 $I[p+1、q]$ とすると、配線BL [q] からメモリセルMC [p、q] 及びメモリセルMC [p+1、q] に供給される電流の和は、電流 $I[q]$ となる。また、メモリセルMC [p、q+1] のトランジスタ T_{r11} に流れるドレイン電流を電流 $I[p、q+1]$ とし、メモリセルMC [p+1、q+1] のトランジスタ T_{r11} に流れるドレイン電流を電流 $I[p+1、q+1]$ とすると、配線BL [q+1] からメモリセルMC [p、q+1] 及びメモリセルMC [p+1、q+1] に供給される電流の和は、電流 $I[q+1]$ となる。また、メモリセルMCR [p] のトランジスタ T_{r11} に流れるドレイン電流を電流 $I_{REF}[p]$ とし、メモリセルMCR [p+1] のトランジスタ T_{r11} に流れるドレイン電流を電流 $I_{REF}[p+1]$ とすると、配線BL $_{REF}$ からメモリセルMCR [p] 及びメモリセルMCR [p+1] に供給される電流の和は、電流 I_{REF} となる。

[0177]

<回路530・回路540・電流源回路の構成例>

次いで、回路530と、回路540と、電流源回路550 (CREF) の具体的な構成の一例について、図11を用いて説明する。

[0178]

図11では、図10に示すメモリセルMCとメモリセルMCRに対応した、回路530、回路540、電流源回路550の構成の一例を示している。具体的に、図11に示す回路530は、q列目のメモリセルMCに対応した回路530 [q] と、q+1列目のメモリセルMCに対応した回路530 [q+1] とを有する。また、図11に示す回路540は、q列目のメモリセルMCに対応した回路540 [q] と、q+1列目のメモリセルMCに対応した回路540 [q+1] とを有する。

[0179]

そして、回路530 [q] 及び回路540 [q] は、配線BL [q] に接続されている。また、回路530 [q+1] 及び回路540 [q+1] は、配線BL [q+1] に接続されている。

[0180]

電流源回路550は、配線BL [q]、配線BL [q+1]、配線BL $_{REF}$ に接続されている。そして、電流源回路550は、配線BL $_{REF}$ に電流 I_{REF} を供給する機能と、電流 I_{REF} と同じ電流または電流 I_{REF} に応じた電流を、配線BL [q] 及び配線BL [q+1] のそれぞれに供給する機能を有する。

[0181]

具体的に、回路530 [q] 及び回路530 [q+1] は、トランジスタ T_{r24} 乃至 T_{r26} と、容量素子C22とをそれぞれ有する。オフセットの電流を設定する際に、回路530 [q] において、トランジスタ T_{r24} は、電流 $I[q]$ が電流 I_{REF} よりも大きい場合に、電流 $I[q]$ と電流 I_{REF} の差分に相当する電流 $I_{CM}[q]$ を生成する機能を有する。また、回路530 [q+1] において、トランジスタ T_{r24} は、電流 $I[q+1]$ が電流 I_{REF} よりも大きい場合に、電流 $I[q+1]$ と電流 I_{REF} の差分に相当する電流 $I_{CM}[q+1]$ を生成する機能を有する。電流 $I_{CM}[q]$ 及び電流 $I_{CM}[q+1]$ は、回路530 [q] 及び回路530 [q+1] から配線BL [q] 及び配線BL [q+1] に供給される。

[0182]

そして、回路530 [q] 及び回路530 [q+1] において、トランジスタ T_{r24} は、ソース又

はドレインの一方が対応する配線BLに接続されており、ソース又はドレインの他方が所定の電位が供給される配線に接続されている。トランジスタTr25は、ソース又はドレインの一方が配線BLに接続されており、ソース又はドレインの他方がトランジスタTr24のゲートに接続されている。トランジスタTr26は、ソース又はドレインの一方がトランジスタTr24のゲートに接続されており、ソース又はドレインの他方が所定の電位が供給される配線に接続されている。容量素子C22は、第1の電極がトランジスタTr24のゲートに接続されており、第2の電極が所定の電位が供給される配線に接続されている。

[0183]

トランジスタTr25のゲートは配線OSMに接続されており、トランジスタTr26のゲートは配線ORMに接続されている。

[0184]

なお、図11では、トランジスタTr24がpチャネル型であり、トランジスタTr25及びTr26がnチャネル型である場合を例示している。

[0185]

また、回路540[q]及び回路540[q+1]は、トランジスタTr21乃至Tr23と、容量素子C21とをそれぞれ有する。オフセットの電流を設定する際に、回路540[q]において、トランジスタTr21は、電流I[q]が電流IREFよりも小さい場合に、電流I[q]と電流IREFの差分に相当する電流ICP[q]を生成する機能を有する。また、回路540[q+1]において、トランジスタTr21は、電流I[q+1]が電流IREFよりも小さい場合に、電流I[q+1]と電流IREFの差分に相当する電流ICP[q+1]を生成する機能を有する。電流ICP[q]及び電流ICP[q+1]は、配線BL[q]及び配線BL[q+1]から回路540[q]及び回路540[q+1]に引き込まれる。

[0186]

なお、電流ICM[q]と電流ICP[q]とが、電流Ioffset[q]に相当する。また、電流ICM[q+1]と電流ICP[q+1]とが、電流Ioffset[q+1]に相当する。

[0187]

そして、回路540[q]及び回路540[q+1]において、トランジスタTr21は、ソース又はドレインの一方が対応する配線BLに接続されており、ソース又はドレインの他方が所定の電位が供給される配線に接続されている。トランジスタTr22は、ソース又はドレインの一方が配線BLに接続されており、ソース又はドレインの他方がトランジスタTr21のゲートに接続されている。トランジスタTr23は、ソース又はドレインの一方がトランジスタTr21のゲートに接続されており、ソース又はドレインの他方が所定の電位が供給される配線に接続されている。容量素子C21は、第1の電極がトランジスタTr21のゲートに接続されており、第2の電極が所定の電位が供給される配線に接続されている。

[0188]

トランジスタTr22のゲートは配線OSPに接続されており、トランジスタTr23のゲートは配線ORPに接続されている。

[0189]

なお、図11では、トランジスタTr21乃至Tr23がnチャネル型である場合を例示している。

[0190]

また、電流源回路550は、配線BLに対応したトランジスタTr27と、配線BLREFに対応したトランジスタTr28とを有する。具体的に、図11に示す電流源回路550は、トランジスタTr27として、配線BL[q]に対応したトランジスタTr27[q]と、配線BL[q+1]に対応したトランジスタTr27[q+1]とを有する場合を例示している。

[0191]

そして、トランジスタTr27のゲートは、トランジスタTr28のゲートに接続されている。また、トランジスタTr27は、ソース又はドレインの一方が対応する配線BLに接続されており、ソース又はドレインの他方が所定の電位が供給される配線に接続されている。トランジスタTr28は、ソース又はドレインの一方が配線BLREFに接続されており、ソース又はドレインの他方が所定の電位が供給される配線に接続されている。

[0192]

トランジスタTr27とトランジスタTr28とは、同じ極性を有している。図11では、トランジスタTr27とトランジスタTr28とが、共にpチャネル型を有する場合を例示している。

[0193]

トランジスタTr28のドレイン電流は電流IREFに相当する。そして、トランジスタTr27とトランジスタTr28とはカレントミラー回路としての機能を有するため、トランジスタTr27のドレイン電流は、トランジスタTr28のドレイン電流とほぼ同じ値、またはトランジスタTr28のドレイン電流に応じた値となる。

[0194]

<半導体装置の動作例>

次いで、図10乃至図12を用いて、本発明の一態様に係る半導体装置500の具体的な動作の一例について説明する。

[0195]

図12は、図10に示すメモリセルMC、メモリセルMCRと、図11に示す回路530、回路540、電流源回路550の動作を示すタイミングチャートの一例に相当する。図12では、時刻T01乃至時刻T04において、メモリセルMC及びメモリセルMCRに第1のアナログデータを格納する動作が行われる。時刻T05乃至時刻T10において、回路530及び回路540に流れるオフセットの電流Ioffsetを設定する動作が行われる。時刻T11乃至時刻T16において、第1のアナログデータと第2のアナログデータとの積和値に対応したデータを取得する動作が行われる。

[0196]

なお、配線VR[q]及び配線VR[q+1]にはローレベルの電位が供給されるものとする。また、回路530に接続される所定の電位を有する配線は、全てハイレベルの電位VDDが供給されるものとする。また、回路540に接続される所定の電位を有する配線は、全てローレベルの電位VSSが供給されるものとする。また、電流源回路550に接続される所定の電位を有する配線は、全てハイレベルの電位VDDが供給されるものとする。

[0197]

また、トランジスタTr11、Tr21、Tr24、Tr27[q]、Tr27[q+1]、Tr28は飽和領域で動作するものとする。

[0198]

まず、時刻T01乃至時刻T02において、配線WW[p]にハイレベルの電位が与えられ、配線W

W[p+1]にローレベルの電位が与えられる。上記動作により、図10に示すメモリセルMC[p、q]、メモリセルMC[p、q+1]、メモリセルMCR[p]においてトランジスタTr12がオンになる。また、メモリセルMC[p+1、q]、メモリセルMC[p+1、q+1]、メモリセルMCR[p+1]においてトランジスタTr12がオフの状態を維持する。

[0199]

また、時刻T01乃至時刻T02では、図10に示す配線WD[q]と配線WD[q+1]とに、第1の参照電位VPRから第1のアナログ電位を差し引いた電位がそれぞれ与えられる。具体的に、配線WD[q]には電位 $VPR - Vx[p, q]$ が与えられ、配線WD[q+1]には電位 $VPR - Vx[p, q+1]$ が与えられる。また、配線WDREFには第1の参照電位VPRが与えられ、配線RW[p]及び配線RW[p+1]には基準電位として電位VSSと電位VDDの間の電位、例えば電位 $(VDD + VSS) / 2$ が与えられる。

[0200]

よって、図10に示すメモリセルMC[p、q]のノードN[p、q]にはトランジスタTr12を介して電位 $VPR - Vx[p, q]$ が与えられ、メモリセルMC[p、q+1]のノードN[p、q+1]にはトランジスタTr12を介して電位 $VPR - Vx[p, q+1]$ が与えられ、メモリセルMCR[p]のノードNREF[p]にはトランジスタTr12を介して第1の参照電位VPRが与えられる。

[0201]

時刻T02が終了すると、図10に示す配線WW[p]に与えられる電位はハイレベルからローレベルに変化し、メモリセルMC[p、q]、メモリセルMC[p、q+1]、メモリセルMCR[p]においてトランジスタTr12がオフになる。上記動作により、ノードN[p、q]には電位 $VPR - Vx[p, q]$ が保持され、ノードN[p、q+1]には電位 $VPR - Vx[p, q+1]$ が保持され、ノードNREF[p]には電第1の参照電位VPRが保持される。

[0202]

次いで、時刻T03乃至時刻T04において、図10に示す配線WW[p]の電位はローレベルに維持され、配線WW[p+1]にハイレベルの電位が与えられる。上記動作により、図10に示すメモリセルMC[p+1、q]、メモリセルMC[p+1、q+1]、メモリセルMCR[p+1]においてトランジスタTr12がオンになる。また、メモリセルMC[p、q]、メモリセルMC[p、q+1]、メモリセルMCR[p]においてトランジスタTr12がオフの状態を維持する。

[0203]

また、時刻T03乃至時刻T04では、図10に示す配線WD[q]と配線WD[q+1]とに、第1の参照電位VPRから第1のアナログ電位を差し引いた電位がそれぞれ与えられる。具体的に、配線WD[q]には電位 $VPR - Vx[p+1, q]$ が与えられ、配線WD[q+1]には電位 $VPR - Vx[p+1, q+1]$ が与えられる。また、配線WDREFには第1の参照電位VPRが与えられ、配線RW[p]及び配線RW[p+1]には基準電位として電位VSSと電位VDDの間の電位、例えば電位 $(VDD + VSS) / 2$ が与えられる。

[0204]

よって、図10に示すメモリセルMC[p+1、q]のノードN[p+1、q]にはトランジスタTr12を介して電位 $VPR - Vx[p+1, q]$ が与えられ、メモリセルMC[p+1、q+1]のノードN[p+1、q+1]にはトランジスタTr12を介して電位 $VPR - Vx[p+1, q+1]$

が与えられ、メモリセルMCR [p + 1] のノードNREF [p + 1] にはトランジスタTr 1 2を介して第1の参照電位VPRが与えられる。

[0205]

時刻T04が終了すると、図10に示す配線WW [p + 1] に与えられる電位はハイレベルからローレベルに変化し、メモリセルMC [p + 1, q]、メモリセルMC [p + 1, q + 1]、メモリセルMCR [p + 1] においてトランジスタTr 1 2がオフになる。上記動作により、ノードN [p + 1, q] には電位 $VPR - Vx [p + 1, q]$ が保持され、ノードN [p + 1, q + 1] には電位 $VPR - Vx [p + 1, q + 1]$ が保持され、ノードNREF [p + 1] には第1の参照電位VPRが保持される。

[0206]

次いで、時刻T05乃至時刻T06において、図11に示す配線ORP及び配線ORMにハイレベルの電位が与えられる。図11に示す回路530 [q] 及び回路530 [q + 1] では、配線ORMにハイレベルの電位が与えられることで、トランジスタTr 2 6がオンになり、トランジスタTr 2 4のゲートは電位VDDが与えられることでリセットされる。また、図11に示す回路540 [q] 及び回路540 [q + 1] では、配線ORPにハイレベルの電位が与えられることで、トランジスタTr 2 3がオンになり、トランジスタTr 2 1のゲートは電位VSSが与えられることでリセットされる。

[0207]

時刻T06が終了すると、図10に示す配線ORP及び配線ORMに与えられる電位はハイレベルからローレベルに変化し、回路530 [q] 及び回路530 [q + 1] においてトランジスタTr 2 6がオフになり、回路540 [q] 及び回路540 [q + 1] においてトランジスタTr 2 3がオフになる。上記動作により、回路530 [q] 及び回路530 [q + 1] においてトランジスタTr 2 4のゲートに電位VDDが保持され、回路540 [q] 及び回路540 [q + 1] においてトランジスタTr 2 1のゲートに電位VSSが保持される。

[0208]

次いで、時刻T07乃至時刻T08において、図11に示す配線OSPにハイレベルの電位が与えられる。また、図10に示す配線RW [p] 及び配線RW [p + 1] には基準電位として電位VSSと電位VDDの間の電位、例えば電位 $(VDD + VSS) / 2$ が与えられる。配線OSPにハイレベルの電位が与えられることにより、回路540 [q] 及び回路540 [q + 1] においてトランジスタTr 2 2がオンになる。

[0209]

配線BL [q] に流れる電流I [q] が配線BLREFに流れる電流IREFよりも小さい場合、すなわち電流 $\Delta I [q]$ が正の場合、図10に示すメモリセルMC [p, q] のトランジスタTr 1 1が引き込むことのできる電流と、メモリセルMC [p + 1, q] のトランジスタTr 1 1が引き込むことのできる電流との和が、トランジスタTr 2 7 [q] のドレイン電流より小さいことを意味する。よって、電流 $\Delta I [q]$ が正の場合、回路540 [q] においてトランジスタTr 2 2がオンになると、トランジスタTr 2 7 [q] のドレイン電流の一部がトランジスタTr 2 1のゲートに流れ込み、当該ゲートの電位が上昇し始める。そして、トランジスタTr 2 1のドレイン電流が電流 $\Delta I [q]$ とほぼ等しくなると、トランジスタTr 2 1のゲートの電位は所定の値に収束する。このときのトランジスタTr 2 1のゲートの電位は、トランジスタTr 2 1のドレイン電流が電流 $\Delta I [q]$ 、すな

わち電流 $I_{offset}[q]$ ($= I_{CP}[q]$) となるような電位に相当する。つまり、回路 540 [q] のトランジスタ $Tr21$ は、電流 $I_{CP}[q]$ を流し得る電流源に設定された状態であると言える。

[0210]

同様に、配線 $BL[q+1]$ に流れる電流 $I[q+1]$ が配線 $BLREF$ に流れる電流 I_{REF} よりも小さい場合、つまり電流 $\Delta I[q+1]$ が正の場合、回路 540 [q+1] においてトランジスタ $Tr22$ がオンになると、トランジスタ $Tr27[q+1]$ のドレイン電流の一部がトランジスタ $Tr21$ のゲートに流れ込み、当該ゲートの電位が上昇し始める。そして、トランジスタ $Tr21$ のドレイン電流が電流 $\Delta I[q+1]$ とほぼ等しくなると、トランジスタ $Tr21$ のゲートの電位は所定の値に収束する。このときのトランジスタ $Tr21$ のゲートの電位は、トランジスタ $Tr21$ のドレイン電流が電流 $\Delta I[q+1]$ 、すなわち電流 $I_{offset}[q+1]$ ($= I_{CP}[q+1]$) となるような電位に相当する。つまり、回路 540 [q+1] のトランジスタ $Tr21$ は、電流 $I_{CP}[q+1]$ を流し得る電流源に設定された状態であると言える。

[0211]

時刻 $T08$ が終了すると、図 11 に示す配線 OSP に与えられる電位はハイレベルからローレベルに変化し、回路 540 [q] 及び回路 540 [q+1] においてトランジスタ $Tr22$ がオフになる。上記動作により、トランジスタ $Tr21$ のゲートの電位は保持される。よって、回路 540 [q] は電流 $I_{CP}[q]$ を流し得る電流源に設定された状態を維持し、回路 540 [q+1] は電流 $I_{CP}[q+1]$ を流し得る電流源に設定された状態を維持する。

[0212]

次いで、時刻 $T09$ 乃至時刻 $T10$ において、図 11 に示す配線 OSM にハイレベルの電位が与えられる。また、図 10 に示す配線 $RW[p]$ 及び配線 $RW[p+1]$ には基準電位として電位 VSS と電位 VDD の間の電位、例えば電位 $(VDD+VSS)/2$ が与えられる。配線 OSM にハイレベルの電位が与えられることにより、回路 530 [q] 及び回路 530 [q+1] においてトランジスタ $Tr25$ がオンになる。

[0213]

配線 $BL[q]$ に流れる電流 $I[q]$ が配線 $BLREF$ に流れる電流 I_{REF} よりも大きい場合、すなわち電流 $\Delta I[q]$ が負の場合、図 10 に示すメモリセル $MC[p, q]$ のトランジスタ $Tr11$ が引き込むことのできる電流と、メモリセル $MC[p+1, q]$ のトランジスタ $Tr11$ が引き込むことのできる電流との和が、トランジスタ $Tr27[q]$ のドレイン電流より大きいことを意味する。よって、電流 $\Delta I[q]$ が負の場合、回路 530 [q] においてトランジスタ $Tr25$ がオンになると、トランジスタ $Tr24$ のゲートから配線 $BL[q]$ に電流が流れ出し、当該ゲートの電位が下降し始める。そして、トランジスタ $Tr24$ のドレイン電流が電流 $\Delta I[q]$ とほぼ等しくなると、トランジスタ $Tr24$ のゲートの電位は所定の値に収束する。このときのトランジスタ $Tr24$ のゲートの電位は、トランジスタ $Tr24$ のドレイン電流が電流 $\Delta I[q]$ 、すなわち電流 $I_{offset}[q]$ ($= I_{CM}[q]$) となるような電位に相当する。つまり、回路 530 [q] のトランジスタ $Tr24$ は、電流 $I_{CM}[q]$ を流し得る電流源に設定された状態であると言える。

[0214]

同様に、配線 $BL[q+1]$ に流れる電流 $I[q+1]$ が配線 $BLREF$ に流れる電流 I_{REF} よりも大きい場合、つまり電流 $\Delta I[q+1]$ が負の場合、回路 530 [q+1] においてトランジスタ

Tr 25 がオンになると、トランジスタ Tr 24 のゲートから配線 BL [q + 1] に電流が流れ出し、当該ゲートの電位が下降し始める。そして、トランジスタ Tr 24 のドレイン電流が電流 $\Delta I [q + 1]$ の絶対値とほぼ等しくなると、トランジスタ Tr 24 のゲートの電位は所定の値に収束する。このときのトランジスタ Tr 24 のゲートの電位は、トランジスタ Tr 24 のドレイン電流が電流 $\Delta I [q + 1]$ 、すなわち電流 $I_{offset} [q + 1]$ ($= I_{CM} [q + 1]$) の絶対値に等しくなるような電位に相当する。つまり、回路 530 [q + 1] のトランジスタ Tr 24 は、電流 $I_{CM} [q + 1]$ を流し得る電流源に設定された状態であると言える。

[0215]

時刻 T10 が終了すると、図 11 に示す配線 OSM に与えられる電位はハイレベルからローレベルに変化し、回路 530 [q] 及び回路 530 [q + 1] においてトランジスタ Tr 25 がオフになる。上記動作により、トランジスタ Tr 24 のゲートの電位は保持される。よって、回路 530 [q] は電流 $I_{CM} [q]$ を流し得る電流源に設定された状態を維持し、回路 530 [q + 1] は電流 $I_{CM} [q + 1]$ を流し得る電流源に設定された状態を維持する。

[0216]

なお、回路 540 [q] 及び回路 540 [q + 1] において、トランジスタ Tr 21 は電流を引き込む機能を有する。そのため、時刻 T07 乃至時刻 T08 において配線 BL [q] に流れる電流 $I [q]$ が配線 BL REF に流れる電流 I_{REF} よりも大きく電流 $\Delta I [q]$ が負の場合、或いは、配線 BL [q + 1] に流れる電流 $I [q + 1]$ が配線 BL REF に流れる電流 I_{REF} よりも大きく電流 $\Delta I [q + 1]$ が負の場合、回路 540 [q] または回路 540 [q + 1] から過不足なく配線 BL [q] または配線 BL [q + 1] に電流を供給するのが難しくなる恐れがある。この場合、配線 BL [q] または配線 BL [q + 1] に流れる電流と、配線 BL REF に流れる電流とのバランスを取るために、メモリセル MC のトランジスタ Tr 11 と、回路 540 [q] または回路 540 [q + 1] のトランジスタ Tr 21 と、トランジスタ Tr 27 [q] または Tr 27 [q + 1] とが、共に飽和領域で動作することが困難になる可能性がある。

[0217]

時刻 T07 乃至時刻 T08 において電流 $\Delta I [q]$ が負の場合でも、トランジスタ Tr 11、Tr 21、Tr 27 [q] または Tr 27 [q + 1] における飽和領域での動作を確保するために、時刻 T05 乃至時刻 T06 において、トランジスタ Tr 24 のゲートを電位 VDD にリセットするのではなく、トランジスタ Tr 24 のゲートの電位を所定のドレイン電流が得られる程度の高さに設定しておくても良い。上記構成により、トランジスタ Tr 27 [q] または Tr 27 [q + 1] のドレイン電流に加えてトランジスタ Tr 24 から電流が供給されるため、トランジスタ Tr 11 において引き込めない分の電流を、トランジスタ Tr 21 においてある程度引き込むことができるため、トランジスタ Tr 11、Tr 21、Tr 27 [q] または Tr 27 [q + 1] における飽和領域での動作を確保することができる。

[0218]

なお、時刻 T09 乃至時刻 T10 において、配線 BL [q] に流れる電流 $I [q]$ が配線 BL REF に流れる電流 I_{REF} よりも小さい場合、すなわち電流 $\Delta I [q]$ が正の場合、時刻 T07 乃至時刻 T08 において回路 540 [q] が電流 $I_{CP} [q]$ を流し得る電流源に既に設定されているため、回路 530 [q] においてトランジスタ Tr 24 のゲートの電位はほぼ電位 VDD のままとなる。同様に、配線 BL [q + 1] に流れる電流 $I [q + 1]$ が配線 BL REF に流れる電流 I_{REF} よりも

小さい場合、すなわち電流 $\Delta I [q+1]$ が正の場合、時刻 $T07$ 乃至時刻 $T08$ において回路 $540 [q+1]$ が電流 $I_{CP} [q+1]$ を流し得る電流源に既に設定されているため、回路 $530 [q+1]$ においてトランジスタ $Tr24$ のゲートの電位はほぼ電位 VDD のままとなる。

[0219]

次いで、時刻 $T11$ 乃至時刻 $T12$ において、図 10 に示す配線 $RW [p]$ に第 2 のアナログ電位 $Vw [p]$ が与えられる。また、配線 $RW [p+1]$ には、基準電位として電位 VSS と電位 VDD の間の電位、例えば電位 $(VDD+VSS)/2$ が与えられたままである。具体的に、配線 $RW [p]$ の電位は、基準電位である電位 VSS と電位 VDD の間の電位、例えば電位 $(VDD+VSS)/2$ に対して電位差 $Vw [p]$ だけ高い電位となるが、以下説明を分かり易くするために、配線 $RW [p]$ の電位は第 2 のアナログ電位 $Vw [p]$ であると仮定する。

[0220]

配線 $RW [p]$ が第 2 のアナログ電位 $Vw [p]$ になると、容量素子 $C11$ の第 1 の電極の電位の変化量がほぼノード N の電位の変化量に反映されるものと仮定すると、図 10 に示すメモリセル $MC [p, q]$ におけるノード $N [p, q]$ の電位は $VPR - Vx [p, q] + Vw [p]$ となり、メモリセル $MC [p, q+1]$ におけるノード $N [p, q+1]$ の電位は $VPR - Vx [p, q+1] + Vw [p]$ となる。そして、上記の式 6 から、メモリセル $MC [p, q]$ に対応する第 1 のアナログデータと第 2 のアナログデータの積和値は、電流 $\Delta I [q]$ から電流 $I_{offset} [q]$ を差し引いた電流、すなわち、配線 $BL [q]$ から流れ出る電流 $I_{out} [q]$ に反映されることが分かる。また、メモリセル $MC [p, q+1]$ に対応する第 1 のアナログデータと第 2 のアナログデータの積和値は、電流 $\Delta I [q+1]$ から電流 $I_{offset} [q+1]$ を差し引いた電流、すなわち、配線 $BL [q+1]$ から流れ出る電流 $I_{out} [q+1]$ に反映されることが分かる。

[0221]

時刻 $T12$ が終了すると、配線 $RW [p]$ には、再度、基準電位である電位 VSS と電位 VDD の間の電位、例えば電位 $(VDD+VSS)/2$ が与えられる。

[0222]

次いで、時刻 $T13$ 乃至時刻 $T14$ において、図 10 に示す配線 $RW [p+1]$ に第 2 のアナログ電位 $Vw [p+1]$ が与えられる。また、配線 $RW [p]$ には、基準電位として電位 VSS と電位 VDD の間の電位、例えば電位 $(VDD+VSS)/2$ が与えられたままである。具体的に、配線 $RW [p+1]$ の電位は、基準電位である電位 VSS と電位 VDD の間の電位、例えば電位 $(VDD+VSS)/2$ に対して電位差 $Vw [p+1]$ だけ高い電位となるが、以下説明を分かり易くするために、配線 $RW [p+1]$ の電位は第 2 のアナログ電位 $Vw [p+1]$ であると仮定する。

[0223]

配線 $RW [p+1]$ が第 2 のアナログ電位 $Vw [p+1]$ になると、容量素子 $C11$ の第 1 の電極の電位の変化量がほぼノード N の電位の変化量に反映されるものと仮定すると、図 10 に示すメモリセル $MC [p+1, q]$ におけるノード $N [p+1, q]$ の電位は $VPR - Vx [p+1, q] + Vw [p+1]$ となり、メモリセル $MC [p+1, q+1]$ におけるノード $N [p+1, q+1]$ の電位は $VPR - Vx [p+1, q+1] + Vw [p+1]$ となる。そして、上記の式 6 から、メモリセル $MC [p+1, q]$ に対応する第 1 のアナログデータと第 2 のアナログデータの積和値は、電流 $\Delta I [q]$ から電流 $I_{offset} [q]$ を差し引いた電流、すなわち、電流 $I_{out} [q]$ に反映されることが分かる。また、メモリセル $MC [p+1, q+1]$ に対応する第 1 のアナログデータと第 2

のアナログデータの積和値は、電流 $\Delta I[q+1]$ から電流 $I_{offset}[q+1]$ を差し引いた電流、すなわち、電流 $I_{out}[q+1]$ に反映されることが分かる。

[0224]

時刻 T_{14} が終了すると、配線 $RW[p+1]$ には、再度、基準電位である電位 V_{SS} と電位 V_{DD} の間の電位、例えば電位 $(V_{DD}+V_{SS})/2$ が与えられる。

[0225]

次いで、時刻 T_{15} 乃至時刻 T_{16} において、図 10 に示す配線 $RW[p]$ に第 2 のアナログ電位 $V_w[p]$ が与えられ、配線 $RW[p+1]$ に第 2 のアナログ電位 $V_w[p+1]$ が与えられる。具体的に、配線 $RW[p]$ の電位は、基準電位である電位 V_{SS} と電位 V_{DD} の間の電位、例えば電位 $(V_{DD}+V_{SS})/2$ に対して電位差 $V_w[p]$ だけ高い電位となり、配線 $RW[p+1]$ の電位は、基準電位である電位 V_{SS} と電位 V_{DD} の間の電位、例えば電位 $(V_{DD}+V_{SS})/2$ に対して電位差 $V_w[p+1]$ だけ高い電位となるが、以下説明を分かり易くするために、配線 $RW[p]$ の電位は第 2 のアナログ電位 $V_w[p]$ であり、配線 $RW[p+1]$ の電位は第 2 のアナログ電位 $V_w[p+1]$ であると仮定する。

[0226]

配線 $RW[p]$ が第 2 のアナログ電位 $V_w[p]$ になると、容量素子 C_{11} の第 1 の電極の電位の変化量がほぼノード N の電位の変化量に反映されるものと仮定すると、図 10 に示すメモリセル $MC[p, q]$ におけるノード $N[p, q]$ の電位は $V_{PR}-V_x[p, q]+V_w[p]$ となり、メモリセル $MC[p, q+1]$ におけるノード $N[p, q+1]$ の電位は $V_{PR}-V_x[p, q+1]+V_w[p]$ となる。また、配線 $RW[p+1]$ が第 2 のアナログ電位 $V_w[p+1]$ になると、容量素子 C_{11} の第 1 の電極の電位の変化量がほぼノード N の電位の変化量に反映されるものと仮定すると、図 10 に示すメモリセル $MC[p+1, q]$ におけるノード $N[p+1, q]$ の電位は $V_{PR}-V_x[p+1, q]+V_w[p+1]$ となり、メモリセル $MC[p+1, q+1]$ におけるノード $N[p+1, q+1]$ の電位は $V_{PR}-V_x[p+1, q+1]+V_w[p+1]$ となる。

[0227]

そして、上記の式 6 から、メモリセル $MC[p, q]$ とメモリセル $MC[p+1, q]$ とに対応する第 1 のアナログデータと第 2 のアナログデータの積和値は、電流 $\Delta I[q]$ から電流 $I_{offset}[q]$ を差し引いた電流、すなわち、電流 $I_{out}[q]$ に反映されることが分かる。また、メモリセル $MC[p, q+1]$ とメモリセル $MC[p+1, q+1]$ とに対応する第 1 のアナログデータと第 2 のアナログデータの積和値は、電流 $\Delta I[q+1]$ から電流 $I_{offset}[q+1]$ を差し引いた電流、すなわち、電流 $I_{out}[q+1]$ に反映されることが分かる。

[0228]

時刻 T_{16} が終了すると、配線 $RW[p]$ 及び配線 $RW[p+1]$ には、再度、基準電位である電位 V_{SS} と電位 V_{DD} の間の電位、例えば電位 $(V_{DD}+V_{SS})/2$ が与えられる。

[0229]

上記構成により、積和演算を小さな回路規模で行うことができる。また、上記構成により、積和演算を高速で行うことができる。また、上記構成により、低消費電力で積和演算を行うことができる。

[0230]

なお、トランジスタ Tr_{12} 、 Tr_{22} 、 Tr_{23} 、 Tr_{25} 、または Tr_{26} は、オフ電流が極めて低いトランジスタを用いることが望ましい。トランジスタ Tr_{12} にオフ電流が極めて低いトラン

ジスタを用いることにより、ノードNの電位の保持を長時間に渡って行うことができる。また、トランジスタTr22及びTr23にオフ電流が極めて低いトランジスタを用いることにより、トランジスタTr21のゲートの電位の保持を、長時間に渡って行うことができる。また、トランジスタTr25及びTr26にオフ電流が極めて低いトランジスタを用いることにより、トランジスタTr24のゲートの電位の保持を、長時間に渡って行うことができる。

[0231]

オフ電流が極めて低いトランジスタとしてOSトランジスタを用いればよい。チャネル幅で規格化したOSトランジスタのオフ電流は、ソースドレイン間電圧が10V、室温(25℃程度)の状態で $10 \times 10^{-21} \text{ A} / \mu\text{m}$ (10zeptoA/ μm) 以下とすることが可能である。

[0232]

以上説明した半導体装置を用いることにより、ニューラルネットワークNNにおける積和演算を行うことができる。

[0233]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[0234]

(実施の形態4)

本実施の形態では、上記実施の形態において用いることができるOSトランジスタの構成例について説明する。

[0235]

<トランジスタの構成例>

図13(A)は、トランジスタの構成例を示す上面図である。図13(B)は、図13(A)のX1-X2線断面図であり、図13(C)はY1-Y2線断面図である。ここでは、X1-X2線方向をチャネル長方向と、Y1-Y2線方向をチャネル幅方向と呼称する場合がある。図13(B)は、トランジスタのチャネル長方向の断面構造を示す図であり、図13(C)は、トランジスタのチャネル幅方向の断面構造を示す図である。なお、デバイス構造を明確にするため、図13(A)では、一部の構成要素が省略されている。

[0236]

本発明の一態様に係る半導体装置は、絶縁層812乃至820、金属酸化物膜821乃至824、導電層850乃至853を有する。トランジスタ801は絶縁表面に形成される。図13では、トランジスタ801が絶縁層811上に形成される場合を例示している。トランジスタ801は絶縁層818及び絶縁層819で覆われている。

[0237]

なお、トランジスタ801を構成している絶縁層、金属酸化物膜、導電層等は、単層であっても、複数の膜が積層されたものであってもよい。これらの作製には、スパッタリング法、分子線エピタキシー法(MBE法)、パルスレーザアブレーション法(PLA法)、CVD法、原子層堆積法(ALD法)などの各種の成膜方法を用いることができる。なお、CVD法は、プラズマCVD法、熱CVD法、有機金属CVD法などがある。

[0238]

導電層850は、トランジスタ801のゲート電極として機能する領域を有する。導電層850は、それぞれ異なる材料からなる導電層850aおよび導電層850bの積層で構成されていてもよい。

導電層 851、導電層 852 は、ソース電極又はドレイン電極として機能する領域を有する。導電層 853 は、バックゲート電極として機能する領域を有する。導電層 853 は、それぞれ異なる材料からなる導電層 853a および導電層 853b の積層で構成されていてもよい。絶縁層 817 は、ゲート電極（フロントゲート電極）側のゲート絶縁層として機能する領域を有し、絶縁層 814 乃至絶縁層 816 の積層で構成される絶縁層は、バックゲート電極側のゲート絶縁層として機能する領域を有する。絶縁層 818 は層間絶縁層としての機能を有する。絶縁層 819 はバリア層としての機能を有する。

[0239]

金属酸化物膜 821 乃至 824 をまとめて酸化物層 830 と呼ぶ。図 13 (B)、図 13 (C) に示すように、酸化物層 830 は、金属酸化物膜 821、金属酸化物膜 822、金属酸化物膜 824 が順に積層されている領域を有する。また、一対の金属酸化物膜 823 は、それぞれ導電層 851、導電層 852 上に位置する。トランジスタ 801 がオン状態のとき、チャネル形成領域は酸化物層 830 のうち主に金属酸化物膜 822 に形成される。

[0240]

金属酸化物膜 824 は、金属酸化物膜 821 乃至 823、導電層 851、導電層 852 を覆っている。絶縁層 817 は金属酸化物膜 823 と導電層 850 との間に位置する。導電層 851、導電層 852 はそれぞれ、金属酸化物膜 823、金属酸化物膜 824、絶縁層 817 を介して、導電層 850 と重なる領域を有する。

[0241]

導電層 851 及び導電層 852 は、金属酸化物膜 821 及び金属酸化物膜 822 を形成するためのハードマスクから作製されている。そのため、導電層 851 及び導電層 852 は、金属酸化物膜 821 および金属酸化物膜 822 の側面に接する領域を有していない。例えば、次のような工程を経て、金属酸化物膜 821、822、導電層 851、導電層 852 を作製することができる。まず、積層された 2 層の金属酸化物膜上に導電膜を形成する。この導電膜を所望の形状に加工（エッチング）して、ハードマスクを形成する。ハードマスクを用いて、2 層の金属酸化物膜の形状を加工し、積層された金属酸化物膜 821 及び金属酸化物膜 822 を形成する。次に、ハードマスクを所望の形状に加工して、導電層 851 及び導電層 852 を形成する。

[0242]

絶縁層 811 乃至 818 に用いられる絶縁材料には、窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニウム、酸化窒化アルミニウム、酸化マグネシウム、窒化シリコン、酸化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル、アルミニウムシリケートなどがある。絶縁層 811 乃至 818 はこれらの絶縁材料でなる単層、又は積層で構成される。絶縁層 811 乃至 818 を構成する層は、複数の絶縁材料を含んでいてもよい。

[0243]

なお、本明細書等において、酸化窒化物とは、酸素の含有量が窒素よりも多い化合物であり、窒化酸化物とは、窒素の含有量が酸素よりも多い化合物のことを意味する。

[0244]

酸化物層 830 の酸素欠損の増加を抑制するため、絶縁層 816 乃至絶縁層 818 は、酸素を含む絶縁層であることが好ましい。絶縁層 816 乃至絶縁層 818 は、加熱により酸素が放出される絶縁膜

(以下、「過剰酸素を含む絶縁膜」ともいう)で形成されることがより好ましい。過剰酸素を含む絶縁膜から酸化物層 830 に酸素を供給することで、酸化物層 830 の酸素欠損を補償することができる。その結果、トランジスタ 801 の信頼性および電気的特性を向上することができる。

[0245]

過剰酸素を含む絶縁層とは、TDS (Thermal Desorption Spectroscopy: 昇温脱離ガス分光法)において、膜の表面温度が 100°C 以上 700°C 以下、又は 100°C 以上 500°C 以下の範囲における酸素分子の放出量が 1.0×10^{18} 分子/ cm^3 以上である膜とする。酸素分子の放出量は、 3.0×10^{20} 分子/ cm^3 以上であることがより好ましい。

[0246]

過剰酸素を含む絶縁膜は、絶縁膜に酸素を添加する処理を行って形成することができる。酸素を添加する処理は、酸素雰囲気下による熱処理や、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、又はプラズマ処理などを用いて行うことができる。酸素を添加するためのガスとしては、 $^{16}\text{O}_2$ もしくは $^{18}\text{O}_2$ などの酸素ガス、亜酸化窒素ガス又はオゾンガスなどを用いることができる。

[0247]

酸化物層 830 の水素濃度の増加を防ぐために、絶縁層 812 乃至 819 中の水素濃度を低減することが好ましい。特に絶縁層 813 乃至 818 の水素濃度を低減することが好ましい。具体的には、水素濃度は、 2×10^{20} atoms/ cm^3 以下であり、好ましくは 5×10^{19} atoms/ cm^3 以下が好ましく、 1×10^{19} atoms/ cm^3 以下がより好ましく、 5×10^{18} atoms/ cm^3 以下がさらに好ましい。

[0248]

上掲の水素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) で測定された値である。

[0249]

トランジスタ 801 において、酸素および水素に対してバリア性をもつ絶縁層 (以下、バリア層ともいう)によって酸化物層 830 が包み込まれる構造であることが好ましい。このような構造であることで、酸化物層 830 から酸素が放出されること、酸化物層 830 に水素が侵入することを抑えることができる。その結果、トランジスタ 801 の信頼性、電気的特性を向上できる。

[0250]

例えば、絶縁層 819 をバリア層として機能させ、かつ絶縁層 811、812、814 の少なくとも 1 つをバリア層として機能させればよい。バリア層は、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、窒化シリコンなどの材料で形成することができる。

[0251]

絶縁層 811 乃至 819 の構成例を記す。この例では、絶縁層 811、812、815、819 は、それぞれ、バリア層として機能する。絶縁層 816 乃至 818 は過剰酸素を含む酸化物層である。絶縁層 811 は窒化シリコンであり、絶縁層 812 は酸化アルミニウムであり、絶縁層 813 は酸化窒化シリコンである。バックゲート電極側のゲート絶縁層としての機能を有する絶縁層 814 乃至 816 は、酸化シリコン、酸化アルミニウム、酸化シリコンの積層である。フロントゲート側のゲート絶縁層としての機能を有する絶縁層 817 は、酸化窒化シリコンである。層間絶縁層としての機能を有

する絶縁層 818 は、酸化シリコンである。絶縁層 819 は酸化アルミニウムである。

[0252]

導電層 850 乃至 853 に用いられる導電性材料には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属、又は上述した金属を成分とする金属窒化物（窒化タンタル、窒化チタン、窒化モリブデン、窒化タングステン）等がある。インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を用いることができる。

[0253]

導電層 850 乃至 853 の構成例を記す。導電層 850 は窒化タンタル、又はタングステン単層である。あるいは、導電層 850 は窒化タンタル、タンタルおよび窒化タンタルでなる積層である。導電層 851 は、窒化タンタル単層、又は窒化タンタルとタングステンとの積層である。導電層 852 の構成は導電層 851 と同じである。導電層 853 は窒化タンタルの単層、または窒化タンタルとタングステンとの積層である。

[0254]

トランジスタ 801 のオフ電流の低減のために、金属酸化物膜 822 は、例えば、エネルギーギャップが大きいことが好ましい。金属酸化物膜 822 のエネルギーギャップは、2.5 eV 以上 4.2 eV 以下であり、2.8 eV 以上 3.8 eV 以下が好ましく、3 eV 以上 3.5 eV 以下がさらに好ましい。

[0255]

酸化物層 830 は、結晶性を有することが好ましい。少なくとも、金属酸化物膜 822 は結晶性を有することが好ましい。上記構成により、信頼性、および電気的特性の良いトランジスタ 801 を実現できる。

[0256]

金属酸化物膜 822 に適用できる酸化物は、例えば、In-Ga 酸化物、In-Zn 酸化物、In-M-Zn 酸化物（M は Al、Ga、Y、又は Sn）である。金属酸化物膜 822 は、インジウムを含む酸化物層に限定されない。金属酸化物膜 822 は、例えば、Zn-Sn 酸化物、Ga-Sn 酸化物、Zn-Mg 酸化物等で形成することができる。金属酸化物膜 821、823、824 も、金属酸化物膜 822 と同様の酸化物で形成することができる。特に、金属酸化物膜 821、823、824 は、それぞれ、Ga 酸化物で形成することができる。

[0257]

金属酸化物膜 822 と金属酸化物膜 821 の界面に界面準位が形成されると、界面近傍の領域にもチャネル形成領域が形成されるために、トランジスタ 801 の閾値電圧が変動してしまう。そのため、金属酸化物膜 821 は、構成要素として、金属酸化物膜 822 を構成する金属元素の少なくとも 1 つを含むことが好ましい。これにより、金属酸化物膜 822 と金属酸化物膜 821 の界面には、界面準位が形成されにくくなり、トランジスタ 801 の閾値電圧等の電気的特性のばらつきを低減することができる。

[0258]

金属酸化物膜 824 は、構成要素として、金属酸化物膜 822 を構成する金属元素の少なくとも 1 つを含むことが好ましい。これにより、金属酸化物膜 822 と金属酸化物膜 824 との界面では、界面

散乱が起こりにくくなり、キャリアの動きが阻害されにくくなるので、トランジスタ 801 の電界効果移動度を高くすることができる。

[0259]

金属酸化物膜 821 乃至 824 のうち、金属酸化物膜 822 のキャリア移動度が最も高いことが好ましい。これにより、絶縁層 816、817 から離れた位置に設けられた金属酸化物膜 822 にチャネルを形成することができる。

[0260]

例えば、 $In-M-Zn$ 酸化物等の In 含有金属酸化物は、 In の含有率を高めることで、キャリア移動度を高めることができる。インジウムの含有率が多い酸化物はインジウムの含有率が少ない酸化物と比較して移動度が高くなる。そのため、金属酸化物膜にインジウムの含有量が多い酸化物を用いることで、キャリア移動度を高めることができる。

[0261]

そのため、例えば、 $In-Ga-Zn$ 酸化物で金属酸化物膜 822 を形成し、 Ga 酸化物で金属酸化物膜 821、823 を形成する。例えば、 $In-M-Zn$ 酸化物で、金属酸化物膜 821 乃至 823 を形成する場合、 In の含有率は金属酸化物膜 822 の In の含有率を金属酸化物膜 821、823 の In の含有率よりも高くする。 $In-M-Zn$ 酸化物をスパッタリング法で形成する場合、ターゲットの金属元素の原子数比を変えることで、 In 含有率を変化させることができる。

[0262]

例えば、金属酸化物膜 822 の成膜に用いるターゲットの金属元素の原子数比 $In:M:Zn$ は、 $1:1:1$ 、 $3:1:2$ 、又は $4:2:4$ 、 1 が好ましい。例えば、金属酸化物膜 821、823 の成膜に用いるターゲットの金属元素の原子数比 $In:M:Zn$ は、 $1:3:2$ 、又は $1:3:4$ が好ましい。 $In:M:Zn=4:2:4$ のターゲットで成膜した $In-M-Zn$ 酸化物の原子数比は、およそ $In:M:Zn=4:2:3$ である。

[0263]

トランジスタ 801 に安定した電気的特性を付与するには、酸化物層 830 の不純物濃度を低減することが好ましい。金属酸化物において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンおよび炭素は金属酸化物中で不純物準位の形成に寄与する。不純物準位はトラップとなり、トランジスタの電気的特性を劣化させることがある。

[0264]

例えば、酸化物層 830 は、シリコン濃度が $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは、 $2 \times 10^{17} \text{ atoms/cm}^3$ 以下の領域を有する。酸化物層 830 の炭素濃度も同様である。

[0265]

酸化物層 830 は、アルカリ金属濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以下の、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下の領域を有する。酸化物層 830 のアルカリ土類金属の濃度についても同様である。

[0266]

酸化物層 830 は、水素濃度が $1 \times 10^{20} \text{ atoms/cm}^3$ 未満の、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満の、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満の、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満の領域を有する。

[0267]

上掲した酸化物層 830 の不純物濃度は、SIMS により得られる値である。

[0268]

金属酸化物膜 822 が酸素欠損を有する場合、酸素欠損のサイトに水素が入り込むことでドナー準位を形成することがある。その結果、トランジスタ 801 のオン電流を低下させる要因となる。なお、酸素欠損のサイトは、水素が入るよりも酸素が入る方が安定する。したがって、金属酸化物膜 822 中の酸素欠損を低減することで、トランジスタ 801 のオン電流を大きくすることができる場合がある。よって、金属酸化物膜 822 の水素を低減することで、酸素欠損のサイトに水素が入りこまないようにすることが、オン電流特性に有効である。

[0269]

金属酸化物に含まれる水素は、金属原子に結合している酸素と反応して水になるため、酸素欠損を形成することがある。酸素欠損に水素が入ることで、キャリアである電子が生成されることがある。また、水素の一部が金属原子に結合している酸素と結合して、キャリアである電子を生成することがある。金属酸化物膜 822 にチャネル形成領域が設けられるので、金属酸化物膜 822 に水素が含まれていると、トランジスタ 801 はノーマリーオン特性となりやすい。このため、金属酸化物膜 822 中の水素はできる限り低減されていることが好ましい。

[0270]

なお、金属酸化物膜 822 は、導電層 851 又は導電層 852 と接する領域においては、 n 型化された領域 822 n を有していてもよい。領域 822 n は、金属酸化物膜 822 中の酸素が導電層 851 又は導電層 852 に引き抜かれる、又は、導電層 851 又は導電層 852 に含まれる導電性材料が金属酸化物膜 822 中の元素と結合する、などの現象によって形成される。領域 822 n が形成されることにより、導電層 851 又は導電層 852 と金属酸化物膜 822 との接触抵抗を低減することができる。

[0271]

図 13 は、酸化物層 830 が 4 層構造の例であるが、これに限定されない。例えば、酸化物層 830 を金属酸化物膜 821 又は金属酸化物膜 823 のない 3 層構造とすることができる。又は、酸化物層 830 の任意の層の間、酸化物層 830 の上、酸化物層 830 の下のいずれか二箇所以上に、金属酸化物膜 821 乃至 824 と同様の金属酸化物膜を 1 層又は複数を設けることができる。

[0272]

図 14 を参照して、金属酸化物膜 821、822、824 の積層によって得られる効果を説明する。図 14 は、トランジスタ 801 のチャネル形成領域のエネルギーバンド構造の模式図である。

[0273]

図 14 中、 E_{c816e} 、 E_{c821e} 、 E_{c822e} 、 E_{c824e} 、 E_{c817e} は、それぞれ、絶縁層 816、金属酸化物膜 821、金属酸化物膜 822、金属酸化物膜 824、絶縁層 817 の伝導帯下端のエネルギーを示している。

[0274]

ここで、真空準位と伝導帯下端のエネルギーとの差（「電子親和力」ともいう）は、真空準位と価電子帯上端のエネルギーとの差（イオン化ポテンシャルともいう）からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリプソメータ（HORIBA JOBIN YVON 社 UT-300）を用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線

光電子分光分析 (UPS: Ultraviolet Photoelectron Spectroscopy) 装置 (PHI社 VersaProbe) を用いて測定できる。

[0275]

絶縁層816、817は絶縁体であるため、 E_{c816e} と E_{c817e} は、 E_{c821e} 、 E_{c822e} 、および E_{c824e} よりも真空準位に近い (電子親和力が小さい)。

[0276]

金属酸化物膜822は、金属酸化物膜821、824よりも電子親和力が大きい。例えば、金属酸化物膜822と金属酸化物膜821との電子親和力の差、および金属酸化物膜822と金属酸化物膜824との電子親和力の差は、それぞれ、0.07 eV以上1.3 eV以下である。電子親和力の差は、0.1 eV以上0.7 eV以下が好ましく、0.15 eV以上0.4 eV以下がさらに好ましい。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

[0277]

トランジスタ801のゲート電極 (導電層850) に電圧を印加すると、金属酸化物膜821、金属酸化物膜822、金属酸化物膜824のうち、電子親和力が大きい金属酸化物膜822に主にチャンネルが形成される。

[0278]

インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、金属酸化物膜824がインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合 $[Ga / (In + Ga)]$ は、例えば、70%以上、好ましくは80%以上、さらに好ましくは90%以上とする。

[0279]

また、金属酸化物膜821と金属酸化物膜822の間には金属酸化物膜821と金属酸化物膜822の混合領域が存在する場合がある。また、金属酸化物膜824と金属酸化物膜822の間には金属酸化物膜824と金属酸化物膜822の混合領域が存在する場合がある。混合領域は、界面準位密度が低くなるため、金属酸化物膜821、822、824の積層されている領域は、それぞれの界面近傍においてエネルギーが連続的に変化する (連続接合ともいう) バンド構造となる。

[0280]

このようなエネルギーバンド構造を有する酸化物層830において、電子は主に金属酸化物膜822を移動することになる。そのため、金属酸化物膜821と絶縁層816との界面に、又は、金属酸化物膜824と絶縁層817との界面に準位が存在したとしても、これらの界面準位により、酸化物層830中を移動する電子の移動が阻害されにくくなるため、トランジスタ801のオン電流を高くすることができる。

[0281]

また、図14に示すように、金属酸化物膜821と絶縁層816の界面近傍、および金属酸化物膜824と絶縁層817の界面近傍には、それぞれ、不純物や欠陥に起因したトラップ準位 E_{t826e} 、 E_{t827e} が形成され得るものの、金属酸化物膜821、824があることにより、金属酸化物膜822をトラップ準位 E_{t826e} 、 E_{t827e} から遠ざけることができる。

[0282]

なお、 E_{c821e} と E_{c822e} との差が小さい場合、金属酸化物膜822の電子が該エネルギー差を越えてトラップ準位 E_{t826e} に達することがある。トラップ準位 E_{t826e} に電子が捕獲されることで、絶縁膜の界面にマイナスの固定電荷が生じ、トランジスタの閾値電圧はプラス方向に

シフトしてしまう。Ec822eとEc824eとのエネルギー差が小さい場合も同様である。

[0283]

トランジスタ801の閾値電圧の変動が低減され、トランジスタ801の電気的特性を良好なものとするため、Ec821eとEc822eとの差、Ec824eとEc822eと差を、それぞれ0.1eV以上とすることが好ましく、0.15eV以上とすることがより好ましい。

[0284]

なお、トランジスタ801はバックゲート電極を有さない構造とすることもできる。

[0285]

<積層構造の例>

次に、OSトランジスタと他のトランジスタの積層によって構成される半導体装置の構造について説明する。

[0286]

図15に、SiトランジスタであるトランジスタTr100と、OSトランジスタであるTr200と、容量素子C100と、が積層された半導体装置860の積層構造の例を示す。

[0287]

半導体装置860は、CMOS層871、配線層W₁乃至W₅、トランジスタ層872、配線層W₆、W₇の積層で構成されている。

[0288]

CMOS層871には、トランジスタTr100が設けられている。トランジスタTr100のチャネル形成領域は、単結晶シリコンウエハ870に設けられている。トランジスタTr100のゲート電極873は、配線層W₁乃至W₅を介して、容量素子C100の一方の電極875と接続されている。

[0289]

トランジスタ層872には、トランジスタTr200が設けられている。図15では、トランジスタTr200がトランジスタ801（図13）と同様の構造を有する。トランジスタTr200のソース又はドレインの一方に相当する電極874は、容量素子C100の一方の電極875と接続されている。なお、図15には、トランジスタTr200がバックゲート電極を配線層W₅に有する場合を例示している。また、配線層W₆には、容量素子C100が設けられている。

[0290]

以上のように、OSトランジスタとその他の素子を積層することにより、回路の面積を縮小することができる。

[0291]

上記の構造は、実施の形態2において説明した半導体装置500などに適用することができる。例えば、図10におけるトランジスタTr11としてトランジスタTr100を用い、トランジスタTr12としてトランジスタTr200を用い、容量素子C11として容量素子C100を用いることができる。また、図11におけるトランジスタTr21又はTr24としてトランジスタTr100を用い、トランジスタTr22、Tr23、Tr25、又はTr26としてトランジスタTr200を用い、容量素子C21又はC22として容量素子C100を用いることができる。

[0292]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[0293]

(実施の形態5)

本実施の形態では、上記実施の形態で説明したOSトランジスタに用いることができる、金属酸化物について説明する。以下では特に、金属酸化物とCAC(Cloud-Aligned Composite)の詳細について説明する。

[0294]

CAC-OSまたはCAC-metal oxideは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OSまたはCAC-metal oxideを、トランジスタのチャネル形成領域に用いる場合、導電性の機能は、キャリアとなる電子(またはホール)を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能(On/Offさせる機能)をCAC-OSまたはCAC-metal oxideに付与することができる。CAC-OSまたはCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

[0295]

また、CAC-OSまたはCAC-metal oxideは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

[0296]

また、CAC-OSまたはCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

[0297]

また、CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSまたはCAC-metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

[0298]

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材(matrix composite)、または金属マトリックス複合材(metal matrix composite)と呼称することもできる。

[0299]

CAC-OSは、例えば、金属酸化物を構成する元素が、0.5nm以上10nm以下、好ましくは、

1 nm以上2 nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つあるいはそれ以上の金属元素が偏在し、該金属元素を有する領域が、0.5 nm以上10 nm以下、好ましくは、1 nm以上2 nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

[0300]

なお、金属酸化物は、少なくともインジウムを含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0301]

例えば、 In-Ga-Zn 酸化物におけるCAC-OS (CAC-OSの中でも In-Ga-Zn 酸化物を、特にCAC-IGZOと呼称してもよい。)とは、インジウム酸化物 (以下、 InO_{x1} ($x1$ は0よりも大きい実数) とする。)、またはインジウム亜鉛酸化物 (以下、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ ($x2$ 、 $y2$ 、および $z2$ は0よりも大きい実数) とする。)) と、ガリウム酸化物 (以下、 GaO_{x3} ($x3$ は0よりも大きい実数) とする。)、またはガリウム亜鉛酸化物 (以下、 $\text{Ga}_{x4}\text{Zn}_{y4}\text{O}_{z4}$ ($x4$ 、 $y4$ 、および $z4$ は0よりも大きい実数) とする。)) などと、に材料が分離することでモザイク状となり、モザイク状の InO_{x1} 、または $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ が、膜中に均一に分布した構成 (以下、クラウド状ともいう。) である。

[0302]

つまり、CAC-OSは、 GaO_{x3} が主成分である領域と、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 、または InO_{x1} が主成分である領域とが、混合している構成を有する複合金属酸化物である。なお、本明細書において、例えば、第1の領域の元素Mに対するInの原子数比が、第2の領域の元素Mに対するInの原子数比よりも大きいことを、第1の領域は、第2の領域と比較して、Inの濃度が高いとする。

[0303]

なお、IGZOは通称であり、In、Ga、Zn、およびOによる1つの化合物をいう場合がある。代表例として、 $\text{InGaO}_3(\text{ZnO})_{m1}$ ($m1$ は自然数)、または $\text{In}_{(1+x0)}\text{Ga}_{(1-x0)}\text{O}_3(\text{ZnO})_{m0}$ ($-1 \leq x0 \leq 1$ 、 $m0$ は任意数) で表される結晶性の化合物が挙げられる。

[0304]

上記結晶性の化合物は、単結晶構造、多結晶構造、またはCAAC (c-axis aligned crystal) 構造を有する。なお、CAAC構造とは、複数のIGZOのナノ結晶がc軸配向を有し、かつa-b面においては配向せずに連結した結晶構造である。

[0305]

一方、CAC-OSは、金属酸化物の材料構成に関する。CAC-OSとは、In、Ga、Zn、およびOを含む材料構成において、一部にGaを主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。従って、CAC-OSにおいて、結晶構造は副次的な要素である。

[0306]

なお、CAC-OSは、組成の異なる二種類以上の膜の積層構造は含まないものとする。例えば、Inを主成分とする膜と、Gaを主成分とする膜との2層からなる構造は、含まない。

[0307]

なお、 GaO_{x3} が主成分である領域と、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域とは、明確な境界が観察できない場合がある。

[0308]

なお、ガリウムの代わりに、アルミニウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれている場合、CAC-OSは、一部に該金属元素を主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。

[0309]

CAC-OSは、例えば基板を加熱しない条件で、スパッタリング法により形成することができる。また、CAC-OSをスパッタリング法で形成する場合、成膜ガスとして、不活性ガス（代表的にはアルゴン）、酸素ガス、及び窒素ガスの中から選ばれたいずれか一つまたは複数を用いればよい。また、成膜時の成膜ガスの総流量に対する酸素ガスの流量比は低いほど好ましく、例えば酸素ガスの流量比を0%以上30%未満、好ましくは0%以上10%以下とすることが好ましい。

[0310]

CAC-OSは、X線回折（XRD: X-ray diffraction）測定法のひとつであるOut-of-plane法による $\theta/2\theta$ スキャンを用いて測定したときに、明確なピークが観察されないという特徴を有する。すなわち、X線回折から、測定領域のa-b面方向、およびc軸方向の配向は見られないことが分かる。

[0311]

またCAC-OSは、プローブ径が1nmの電子線（ナノビーム電子線ともいう。）を照射することで得られる電子線回折パターンにおいて、リング状に輝度の高い領域と、該リング領域に複数の輝点が観測される。従って、電子線回折パターンから、CAC-OSの結晶構造が、平面方向、および断面方向において、配向性を有さないnc（nano-crystal）構造を有することがわかる。

[0312]

また例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、 GaO_{x3} が主成分である領域と、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域とが、偏在し、混合している構造を有することが確認できる。

[0313]

CAC-OSは、金属元素が均一に分布したIGZO化合物とは異なる構造であり、IGZO化合物と異なる性質を有する。つまり、CAC-OSは、 GaO_{x3} などが主成分である領域と、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域と、に互いに相分離し、各元素を主成分とする領域がモザイク状である構造を有する。

[0314]

ここで、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域は、 GaO_{x3} などが主成分である領域と比較して、導電性が高い領域である。つまり、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域を、キャリアが流れることにより、酸化物半導体としての導電性が発現する。従って、

$\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 、または InO_{x1} が主成分である領域が、酸化物半導体中にクラウド状に分布することで、高い電界効果移動度 (μ) が実現できる。

[0315]

一方、 GaO_{x3} などが主成分である領域は、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 、または InO_{x1} が主成分である領域と比較して、絶縁性が高い領域である。つまり、 GaO_{x3} などが主成分である領域が、酸化物半導体中に分布することで、オフ電流を抑制し、良好なスイッチング動作を実現できる。

[0316]

従って、CAC-OS を半導体素子に用いた場合、 GaO_{x3} などに起因する絶縁性と、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 、または InO_{x1} に起因する導電性とが、相補的に作用することにより、高いオン電流 (I_{on})、および高い電界効果移動度 (μ) を実現することができる。

[0317]

また、CAC-OS を用いた半導体素子は、信頼性が高い。従って、CAC-OS は、さまざまな半導体装置に最適である。

[0318]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[0319]

(実施の形態6)

本実施の形態では、上記実施の形態で説明した受電装置を搭載することが可能な電子機器について説明する。

[0320]

図16(A)乃至図16(F)は、電子機器を示す図である。これらの電子機器は、筐体5000、表示部5001、スピーカ5003、LEDランプ5004、操作キー5005(電源スイッチ、又は操作スイッチを含む)、接続端子5006、センサ5007(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に於て又は赤外線を測定する機能を含むもの)、マイクロフォン5008、等を有することができる。

[0321]

図16(A)はモバイルコンピュータであり、上述したものの他に、スイッチ5009、赤外線ポート5010、等を有することができる。図16(B)は記録媒体を備えた携帯型の画像再生装置(たとえば、DVD再生装置)であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図16(C)はゴーグル型ディスプレイであり、上述したものの他に、第2表示部5002、支持部5012、イヤホン5013、等を有することができる。図16(D)は携帯型遊技機であり、上述したものの他に、記録媒体読込部5011、等を有することができる。図16(E)はテレビ受像機能付きデジタルカメラであり、上述したものの他に、アンテナ5014、シャッターボタン5015、受像部5016、等を有することができる。図16(F)は携帯型遊技機であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。

[0322]

図16(A)乃至図16(F)に示す電子機器は、様々な機能を有することができる。例えば、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能、タッチパネル機能、カレンダー

一、日付又は時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、または、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像を記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図１６（Ａ）乃至図１６（Ｆ）に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。

[０３２３]

本実施の形態において述べた電子機器はバッテリーを内蔵し、上記実施の形態で説明した無線給電を行うことができる。

[０３２４]

また、図１７（Ａ）及び図１７（Ｂ）に電子機器の使用例について説明する。

[０３２５]

図１７（Ａ）は、車などの移動体の車内で情報端末を操作している例を示す。

[０３２６]

５１０３はハンドルであり、内部にアンテナを有している。ハンドル５１０３内部のアンテナから電子機器５１００に電力供給できるようにする。電子機器５１００はバッテリーを有しており、無線給電によって充電される。ハンドル５１０３に電子機器５１００を固定できるような治具を設けてもよい。ハンドル５１０３に電子機器５１００を固定すれば、ハンドフリーで電話、またはテレビ電話をかけることもできる。また、電子機器５１００に設けたマイクで音声認証し、操縦者の音声によって車を操縦することもできる。

[０３２７]

例えば、電子機器５１００を停車中に操作して位置情報を表示部５１０２に表示させることができる。また、車の表示部５１０１に表示していない情報、例えばエンジン回転数、ハンドル角度、温度、タイヤ空気圧などを表示部５１０２に表示させてもよい。表示部５１０２はタッチ入力機能を有する。また、車外を撮影する１つまたは複数のカメラを用いて車外の様子を表示部５１０２に表示させることもでき、例えばバックモニターとしても用いることができる。また、居眠り運転を防止するために、車から走行速度などの情報を無線で受信し、走行速度をモニタリングしながら走行時は、電子機器５１００から運転手を撮影し、目を閉じている状態が長いと電子機器５１００を振動させる、または、警告音や、音楽が流れるようにする設定などを運転手が適宜選択できる。また、車の停止時には運転手の撮影を停止して省電力を図り、さらに停止中には無線で電子機器５１００のバッテリーを充電することができるようにしてもよい。

[０３２８]

車などの移動体においては、上述したように様々な利用が考えられ、電子機器５１００は、そのいろいろな機能を持たせるために多くのセンサや、複数のアンテナが内蔵されることが望まれる。車などの移動体は、電源を有しているが制限があり、移動体を駆動させる電力などを考慮すると、電子機器

5100に使用する電力はなるべく少なく抑えることが好ましく、特に電気自動車などは電子機器5100が使用する消費電力によって走行距離が短くなる恐れがある。電子機器5100にいろいろな機能を持たせても同時に全ての機能を使用することは少なく、必要に応じて1つの機能または2つの機能だけ使用することが多い。機能ごとにバッテリーを用意し、複数のバッテリーを有する電子機器5100にいろいろな機能を持たせる場合、使用したい機能だけをオン状態としてそれぞれの機能に対応するバッテリーから電力を供給することで省電力化が図れる。さらに、複数のバッテリーのうち、停止している機能に対応するバッテリーは、車に設けたアンテナから無線充電することができる。

[0329]

また、図17(B)は、飛行機などの機内で情報端末を操作している例を示す。飛行機などの機内においては個人の情報端末を使用できる時間などが制限されることもあり、長時間のフライトである場合には飛行機に備え付けの情報端末が使用できることが望まれる。

[0330]

電子機器5200は、映画やゲームや宣伝などの映像を表示する表示部5202を有しており、通信機能により現在の飛行位置や、残りの到着時間などをリアルタイムに取得できる情報端末である。また、表示部5202はタッチ入力機能を有する。

[0331]

また、シート5201に設けられた凹部に電子機器5200をはめこみ、電子機器5200と重なる位置にアンテナ設置部5203を設け、はめ込んでいる間は無線給電できるようにする。また、電子機器5200は、使用者が体調不良などを乗務員に連絡したい場合の電話や連絡ツールとしても機能させることができる。電子機器5200に翻訳機能などを持たせておけば、乗務員とは言語の異なる乗員であっても電子機器5200の表示部5202を用いてコミュニケーションをとることができる。また、隣り合った言語の異なる乗員同士でも電子機器5200の表示部5202を用いてコミュニケーションをとることができる。また、例えば、乗員が寝ている間、表示部5202に「起こさないでください」と英語表示させ続ける、など伝言板としても機能させることもできる。

[0332]

電子機器5200は、機能ごとにバッテリーを複数有していてもよく、使用したい機能だけをオン状態とし、使用していない機能をオフ状態とすることにより、省電力化が図れる。さらに、複数のバッテリーのうち、停止している機能に対応するバッテリーは、アンテナ設置部5203から無線給電することができる。

[0333]

また、飛行機の電力システムの異常があった場合、複数のシートにそれぞれある電子機器5200のバッテリーを非常用に使用できるように設計してもよい。複数のシートにそれぞれある電子機器5200は全て同じ製品であり、同じ設計であるため、非常用電源として直列接続できるようにシステムを構築してもよい。

[0334]

電子機器5200が有する複数の小型バッテリーとしては、リチウムポリマー電池などのリチウムイオン二次電池、リチウムイオンキャパシタ、電気二重層キャパシタ、レドックスキャパシタのいずれか一、または複数種用いることができる。

[0335]

次に、上記実施の形態で説明した受電部に用いることが可能な電子機器の他の例として、人工臓器に

について説明する。図18は、ペースメーカーの一例を示す断面模式図である。

[0336]

ペースメーカー本体5300は、バッテリー5301a、5301bと、レギュレータと、制御回路と、アンテナ5304と、右心房へのワイヤ5302、右心室へのワイヤ5303とを少なくとも有している。

[0337]

ペースメーカー本体5300は手術により体内に設置され、二本のワイヤは、人体の鎖骨下静脈5305及び上大静脈5306を通過させて一方のワイヤ先端が右心室、もう一方のワイヤ先端が右心房に設置されるようにする。

[0338]

また、アンテナ5304で電力が受信でき、その電力はバッテリー5301aおよび5301bに充電され、ペースメーカーの交換頻度を少なくすることができる。ペースメーカー本体5300は複数のバッテリーを有しているため、安全性が高く、一方が故障したとしてももう一方が機能させることができるため、補助電源としても機能する。また、ペースメーカーに設けるバッテリーをさらに複数に分けて薄型のバッテリーとすれば、CPUなどを含む制御回路が設けられているプリント基板に搭載し、ペースメーカー本体5300の小型化や、ペースメーカー本体5300の厚さを薄くすることができる。

[0339]

また、電力を受信できるアンテナ5304とは別に、生理信号を送信できるアンテナを有していてもよく、例えば、脈拍、呼吸数、心拍数、体温などの生理信号を外部のモニタ装置で確認できるような心臓活動を監視するシステムを構成してもよい。

[0340]

なお、このペースメーカーの設置方法も一例であって、心臓疾患に合わせて様々な形態となる場合がある。

[0341]

また、本実施の形態は、ペースメーカーに限定されない。ペースメーカーよりも普及している人工臓器として人工内耳がある。人工内耳は音を電気信号に変え、蝸牛の中に入れた刺激装置で聴神経を直接刺激する装置である。

[0342]

人工内耳は手術で耳の奥などに埋め込む第1の装置と、音をマイクで拾って埋め込んだ第1の装置へ送る第2の装置とで構成される。第1の装置と第2の装置は電気的には接続されておらず、ワイヤレスで送受信するシステムである。第1の装置は、音を変換した電気信号を受信するアンテナと、蝸牛に達するワイヤとを少なくとも有している。また、第2の装置は、音を電気信号に変換するための音声処理部と、その電気信号を第1の装置に送信する送信回路とを少なくとも有している。

[0343]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[符号の説明]

[0344]

100 給電装置、101 矢印、110 給電コイル、120 制御装置、121 位置制御信号、122 位置制御回路、123 出力制御信号、124 出力制御回路、130 検知装置、130a 検知装置、130b 検知装置、131 検知コイル、131a 検知コイル、131b 検知

コイル、132 検知コイル、132a 検知コイル、132b 検知コイル、133a 領域、133b 領域、133c 領域、135 基板、136 検知装置、137 矢印、138 誘電体、140 移動装置、141 レール、142 レール、143 コイル台、144 タイヤ、150 筐体、200 受電装置、210 受電コイル、220 蓄電装置、300 電子機器、500：半導体装置、510：記憶回路、520：参照用記憶回路、530：回路、540：回路、550：電流源回路、801：トランジスタ、811：絶縁層、812：絶縁層、813：絶縁層、814：絶縁層、815：絶縁層、816：絶縁層、817：絶縁層、818：絶縁層、819：絶縁層、820：絶縁層、821：金属酸化物膜、822：金属酸化物膜、822n：領域、823：金属酸化物膜、824：金属酸化物膜、830：酸化物層、850：導電層、850a：導電層、850b：導電層、851：導電層、852：導電層、853：導電層、853a：導電層、853b：導電層、860：半導体装置、870：単結晶シリコンウエハ、871：CMOS層、872：トランジスタ層、873：ゲート電極、874：電極、875：電極、5000：筐体、5001：表示部、5002：表示部、5003：スピーカ、5004：LEDランプ、5005：操作キー、5006：接続端子、5007：センサ、5008：マイクロフォン、5009：スイッチ、5010：赤外線ポート、5011：記録媒体読込部、5012：支持部、5013：イヤホン、5014：アンテナ、5015：シャッターボタン、5016：受像部、5100：電子機器、5101：表示部、5102：表示部、5103：ハンドル、5200：電子機器、5201：シート、5202：表示部、5203：アンテナ設置部、5300：ペースメーカー本体、5301a：バッテリー、5301b：バッテリー、5302：ワイヤ、5303：ワイヤ、5304：アンテナ、5305：鎖骨下静脈、5306：上大静脈

請求の範囲

[請求項 1]

給電コイルと、制御装置と、検知装置と、移動装置と、を有し、

前記給電コイルは、磁界を発生させる機能を有し、

前記制御装置は、前記給電コイルと、前記検知装置と、電氣的に接続され、前記給電コイルの位置を決定する機能と、位置制御信号を送信する機能と、を有し、

前記移動装置は、前記位置制御信号を受信する機能と、前記位置制御信号に基づいて前記給電コイルを移動させる機能と、を有し、

前記検知装置は、第 1 の検知コイルと、第 2 の検知コイルと、を有し、

前記第 1 の検知コイルは、磁界を発生させる機能を有し、

前記第 2 の検知コイルは、磁束密度の変化を検知する機能を有する、給電装置。

[請求項 2]

給電コイルと、制御装置と、検知装置と、移動装置と、を有し、

前記給電コイルは、磁界を発生させる機能を有し、

前記制御装置は、前記給電コイルと、前記検知装置と、電氣的に接続され、前記給電コイルの位置を決定する機能と、位置制御信号を送信する機能と、を有し、

前記移動装置は、前記位置制御信号を受信する機能と、前記位置制御信号に基づいて前記給電コイルを移動させる機能と、を有し、

前記検知装置は、第 1 のコイル群と、第 2 のコイル群とを有し、

前記第 2 のコイル群は、前記第 1 のコイル群の含むコイルのいずれかに囲まれる領域に位置する、給電装置。

[請求項 3]

請求項 2 において、

前記第 1 のコイル群および前記第 2 のコイル群のすくなくともいずれか一方は、第 1 の検知コイルと、第 2 の検知コイルを含み、

前記第 1 の検知コイルは、磁界を発生させる機能を有し、

前記第 2 の検知コイルは、磁束密度の変化を検知する機能を有する、給電装置。

[請求項 4]

請求項 1 乃至 3 のいずれかにおいて、

前記制御装置は、ニューラルネットワークを有し、

前記ニューラルネットワークの入力層には、前記検知情報が入力され、

前記ニューラルネットワークの出力層から、前記制御信号が出力される給電装置。

[請求項 5]

請求項 1 乃至 3 のいずれかにおいて記載の給電装置と、受電装置と、を有し、

前記受電装置は、蓄電装置と、受電コイルと、を有し、

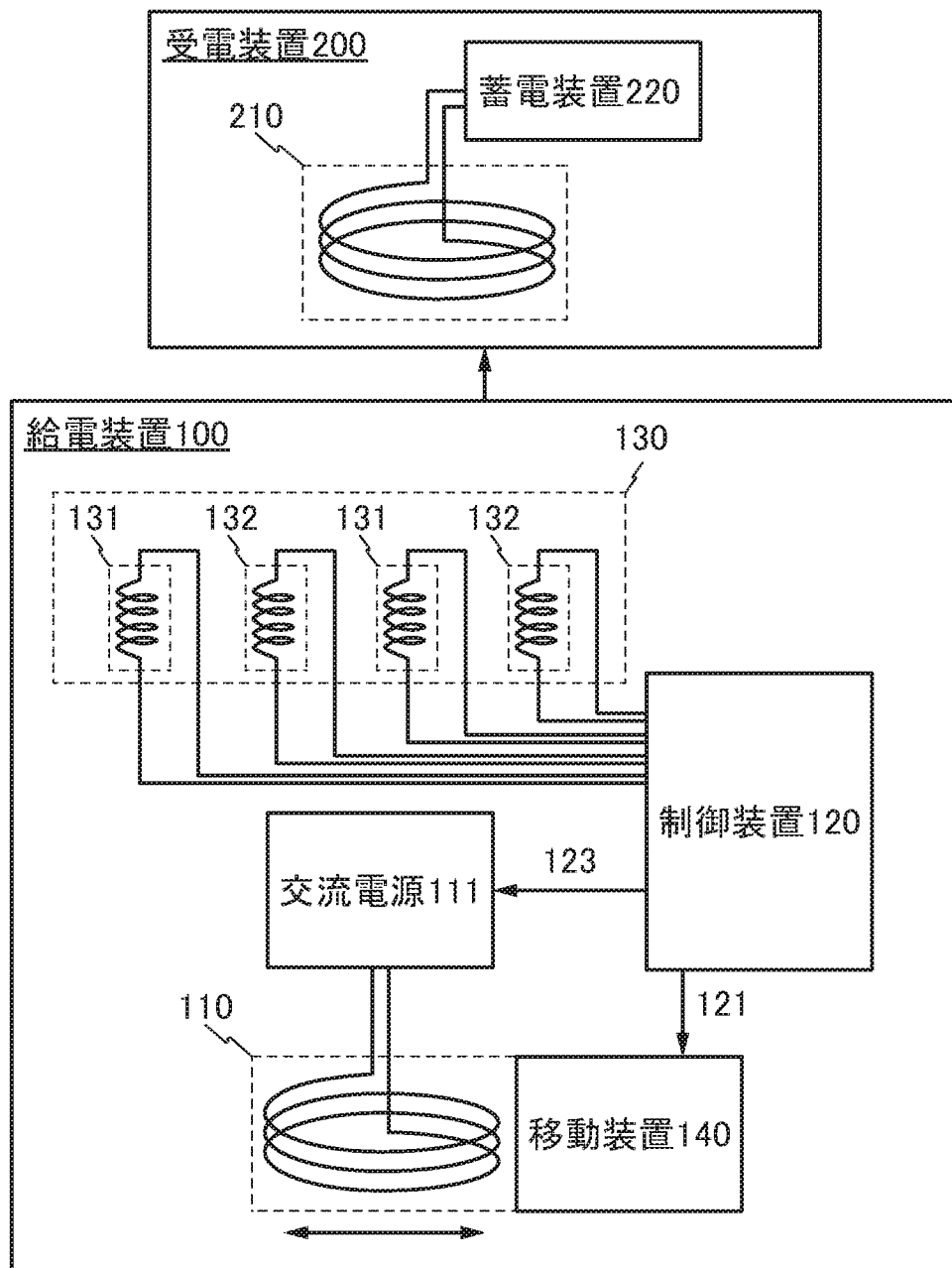
前記蓄電装置は、前記受電コイルに電氣的に接続され、前記受電コイルに誘導される電力で充電される機能を有し、

前記制御装置は、前記受電コイルの位置に対応して前記電源コイルの位置を決定する機能を有する非接触給電システム。

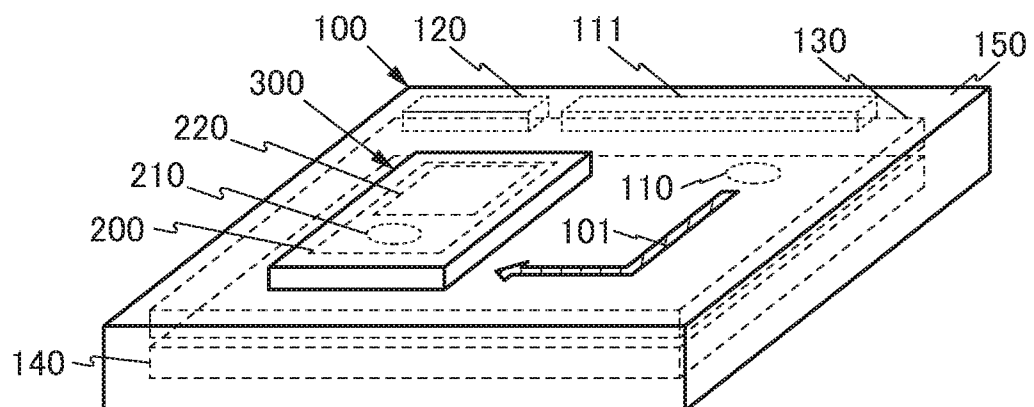
[図 1]

1/18

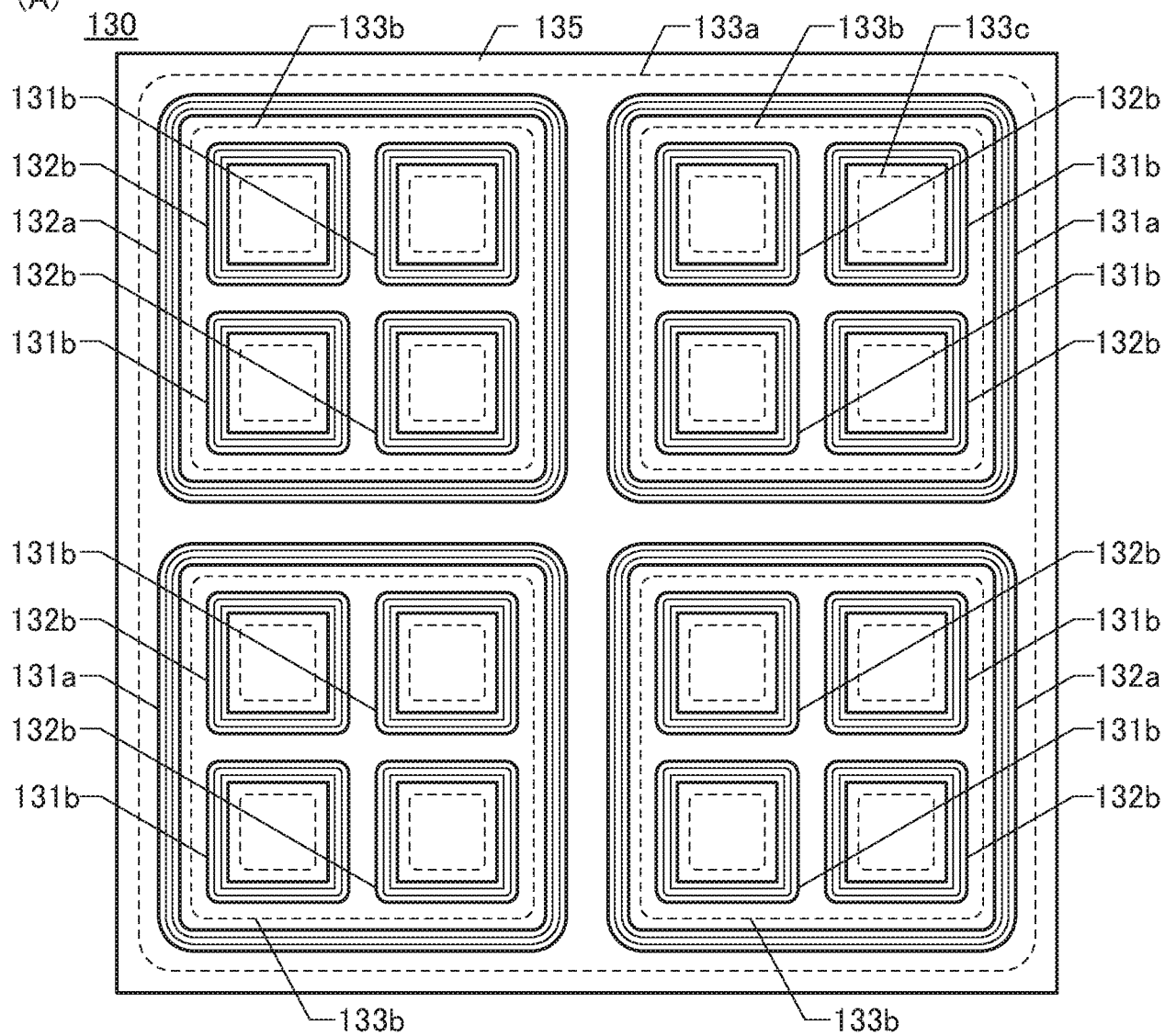
(A)



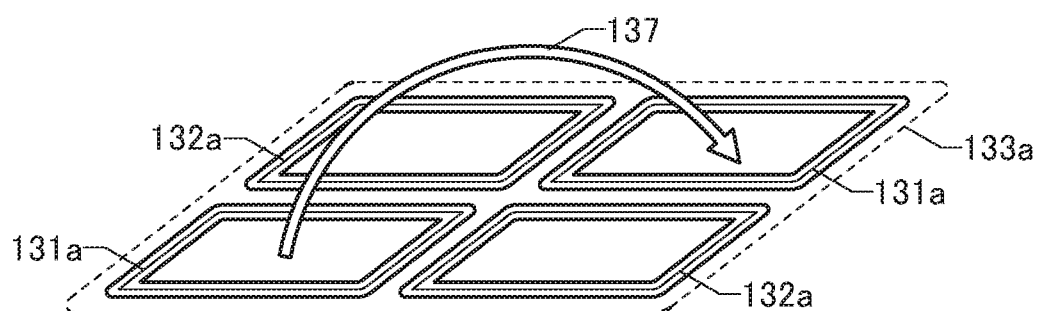
(B)



(A)



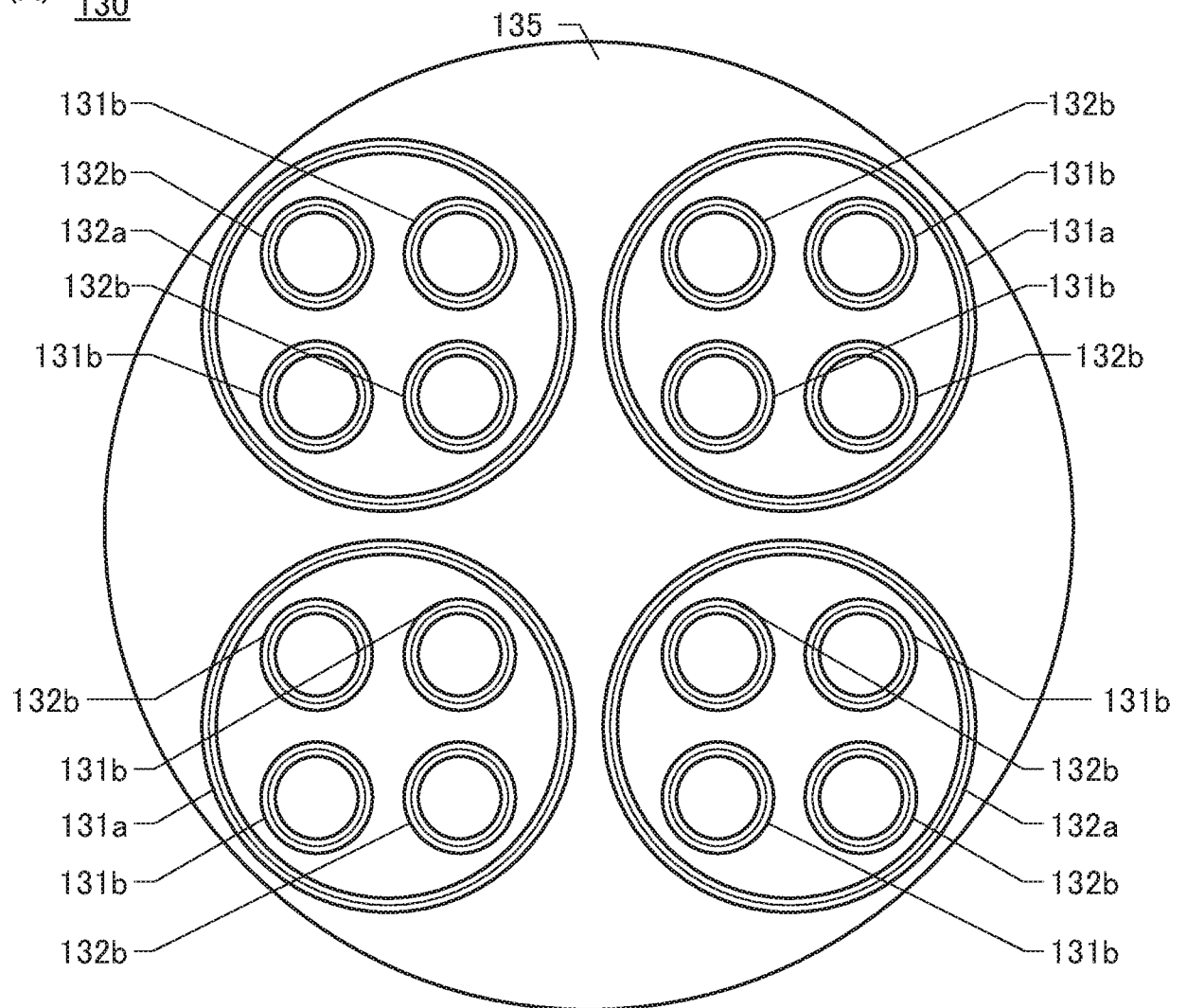
(B)



[] 3

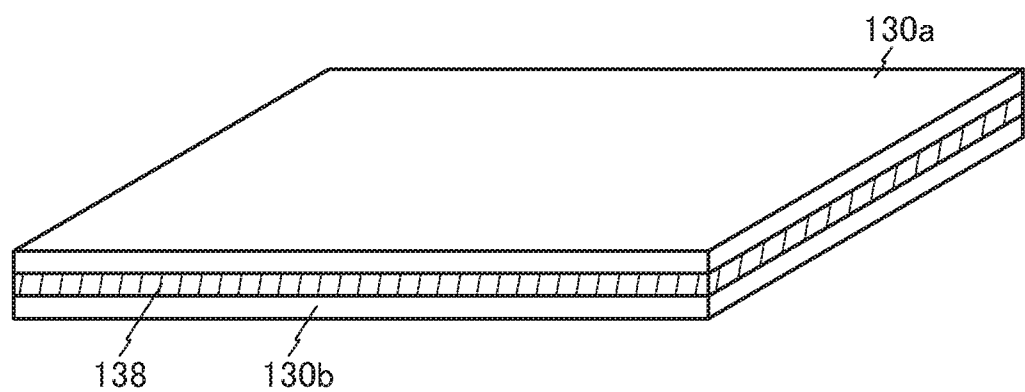
3/18

(A) 130



(B)

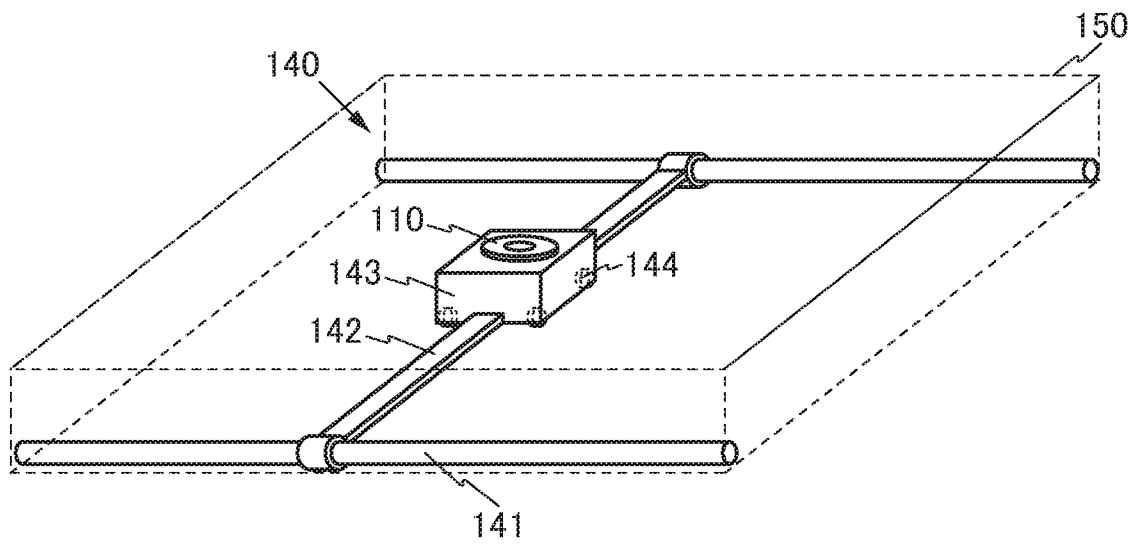
136



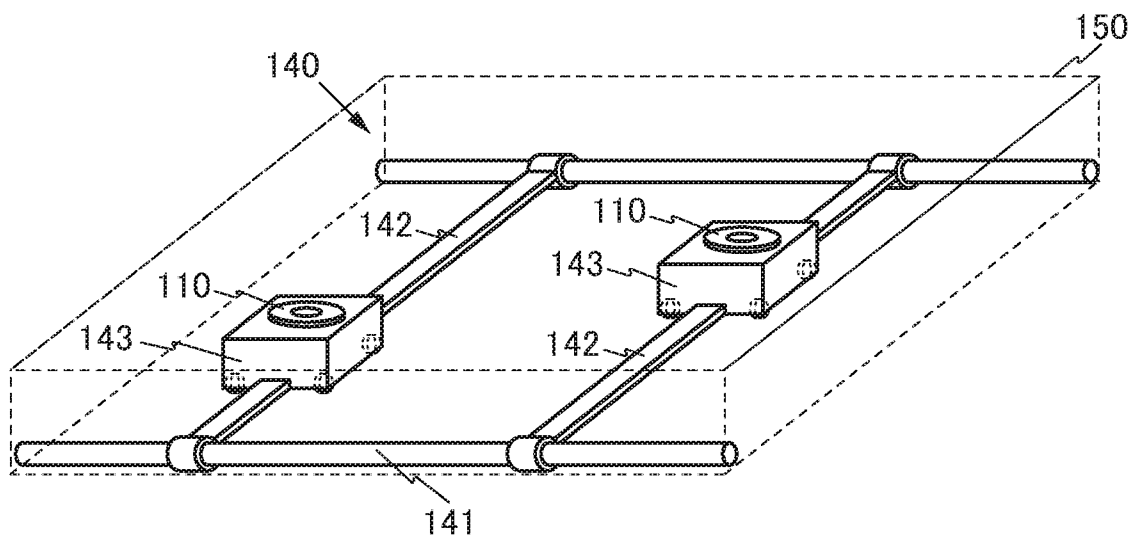
[ 4]

4/18

(A)

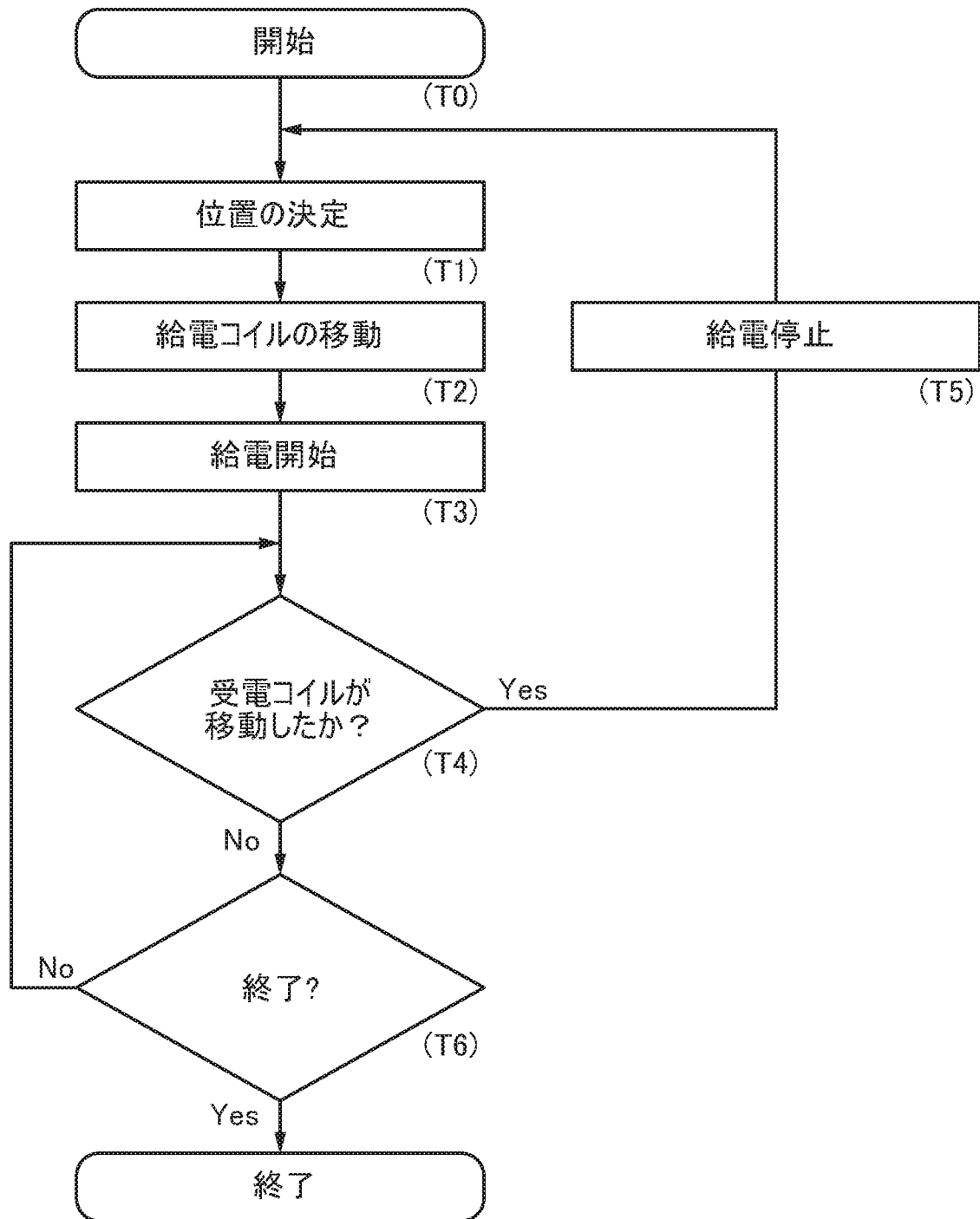


(B)

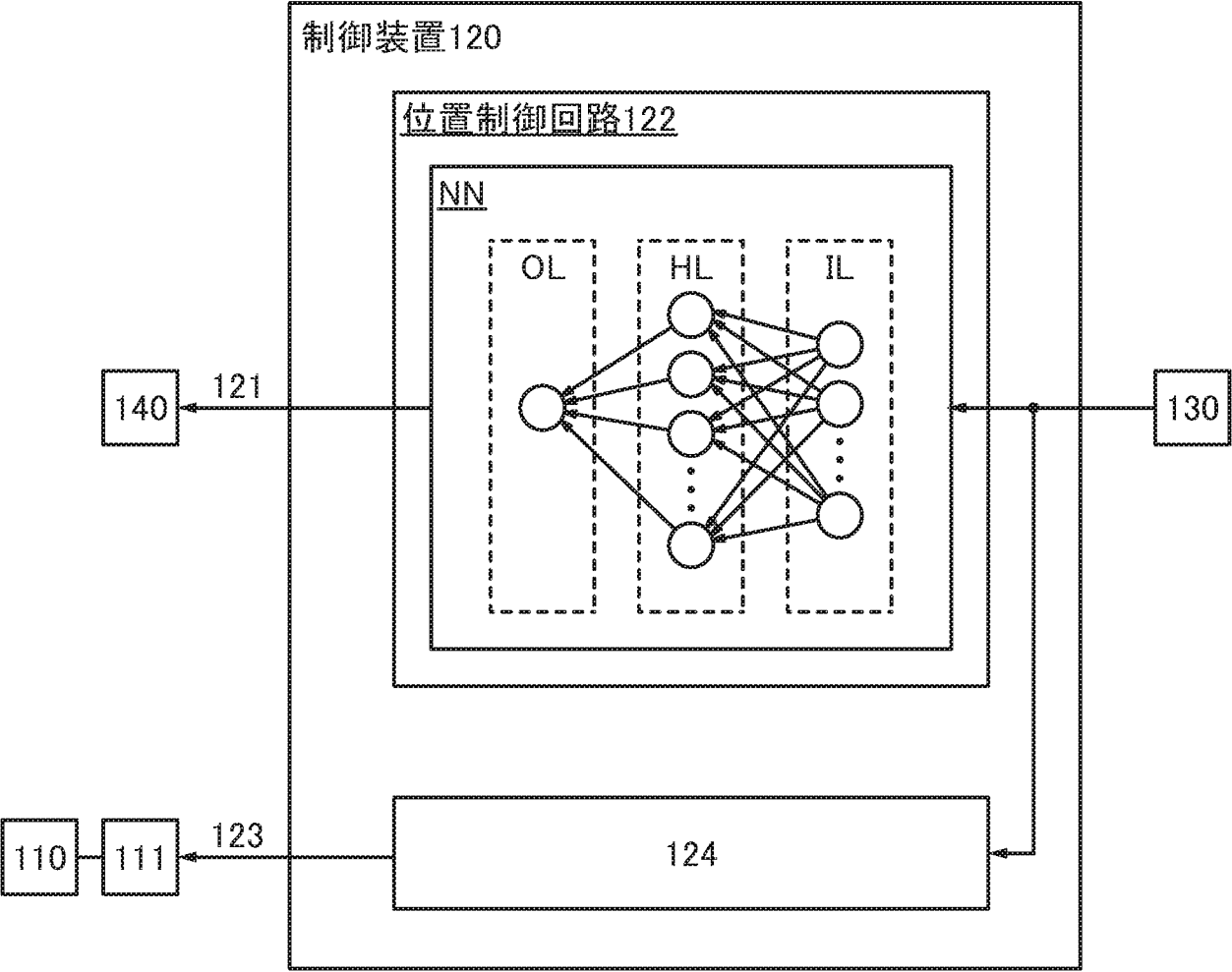


[図 5]

5/18

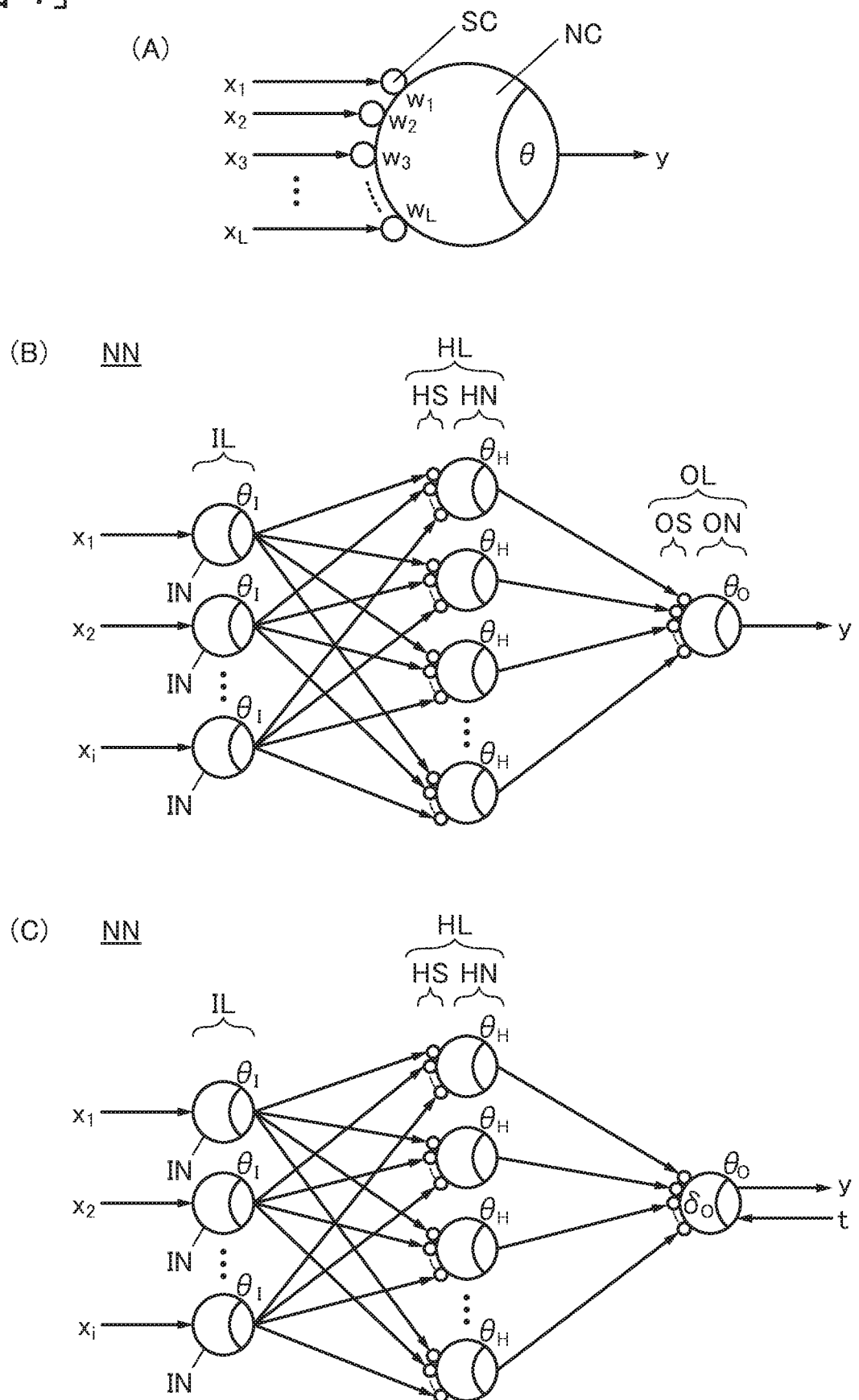


[図 6]



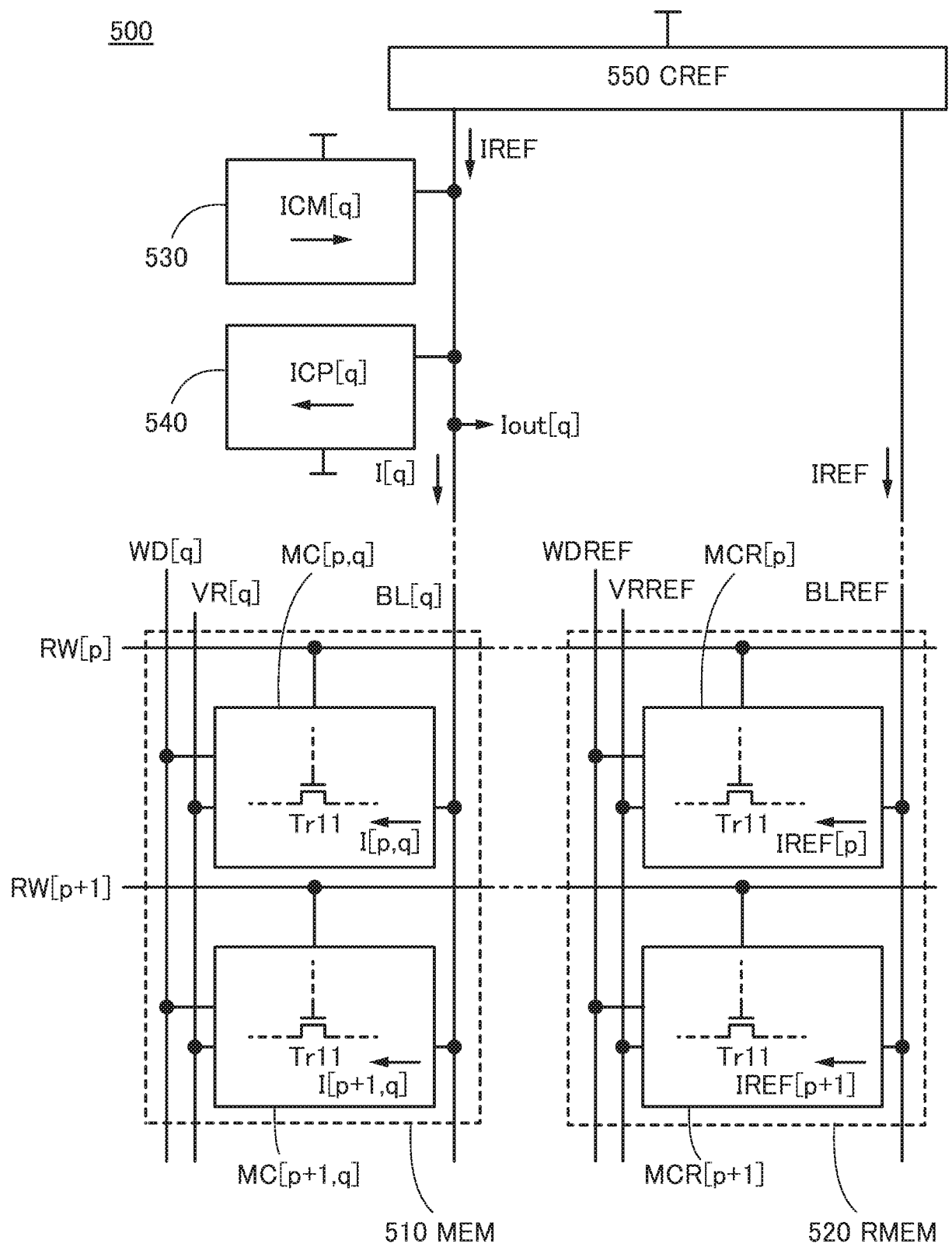
[図 7]

7/18

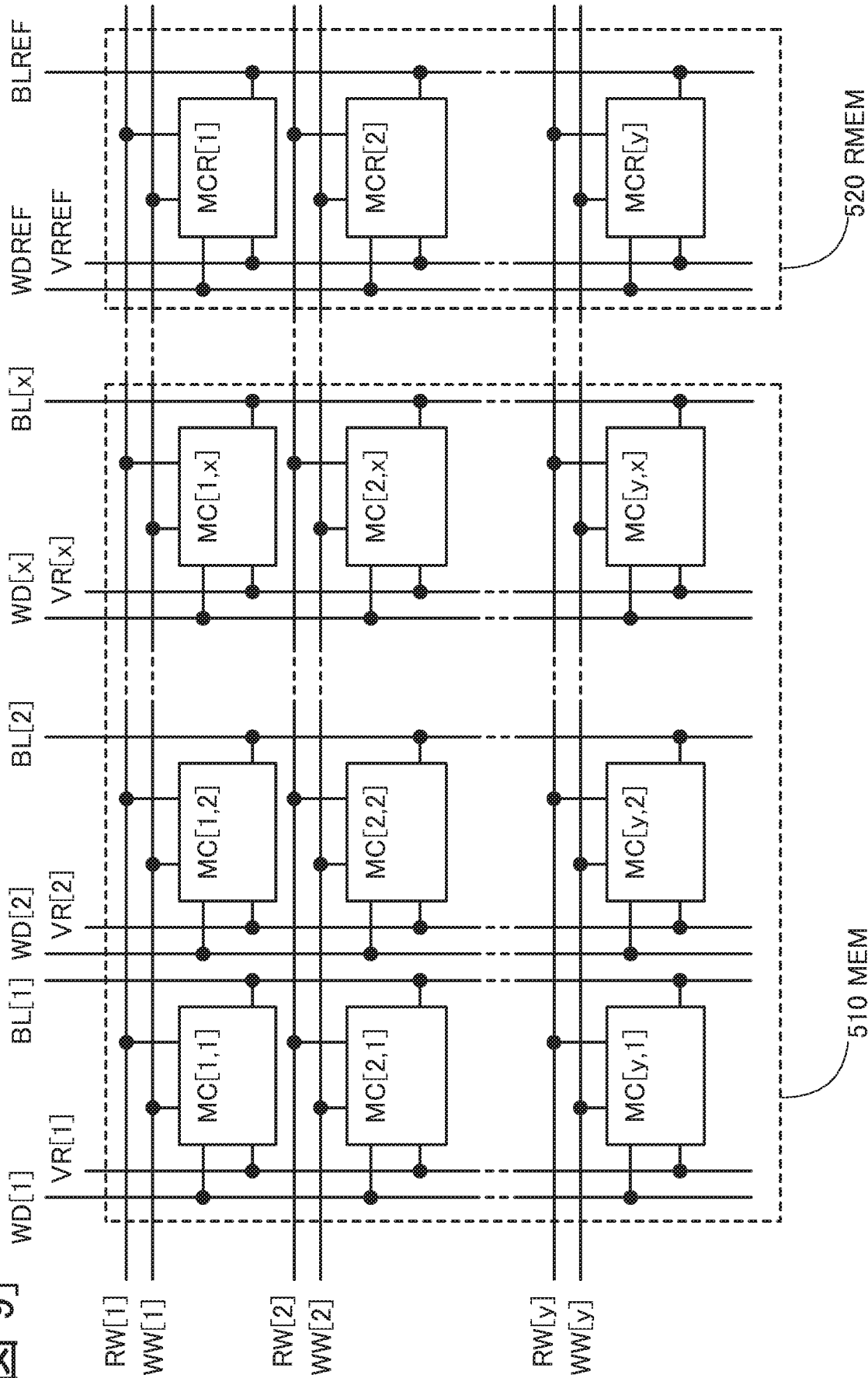


[圖 8]

8/18

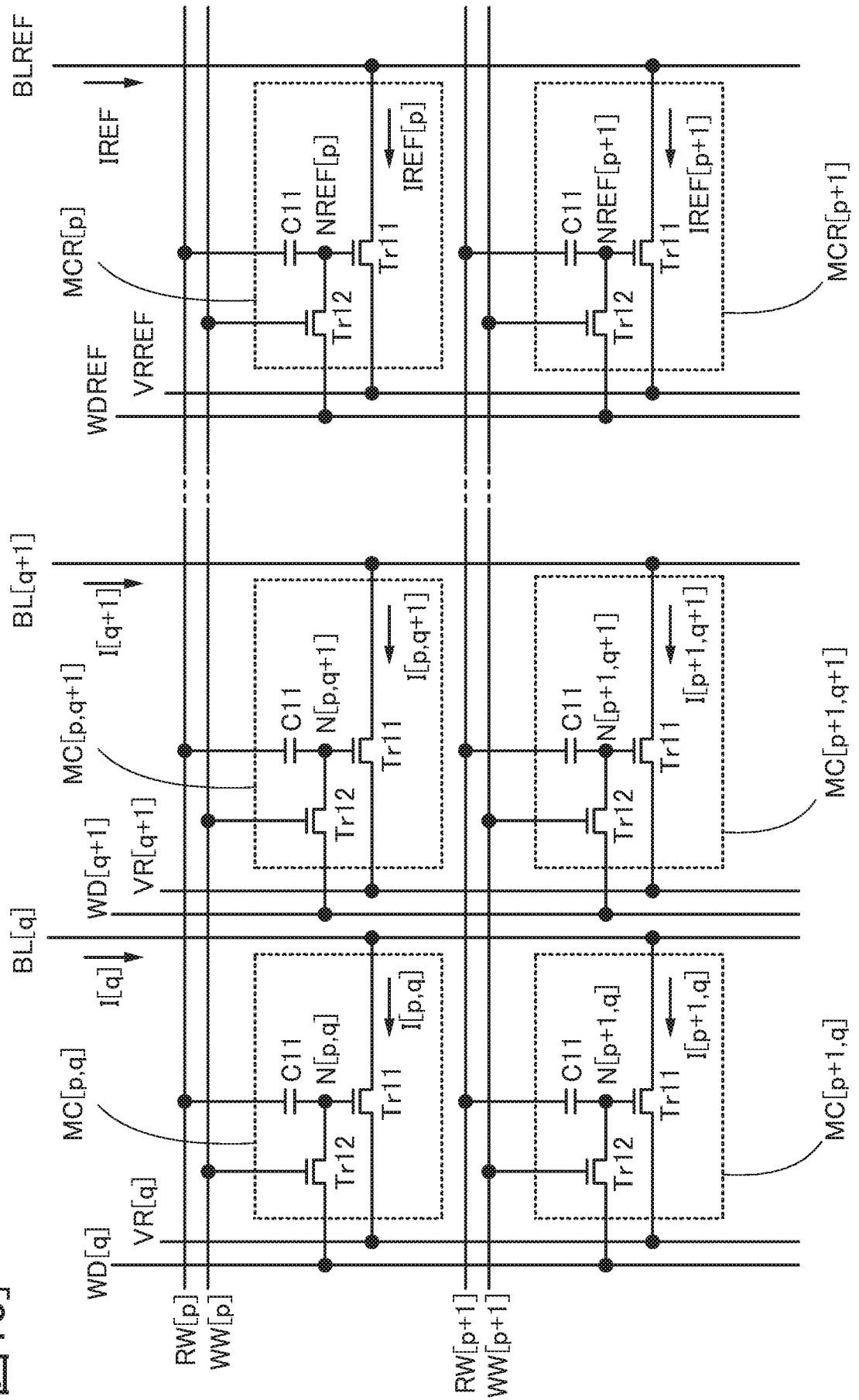


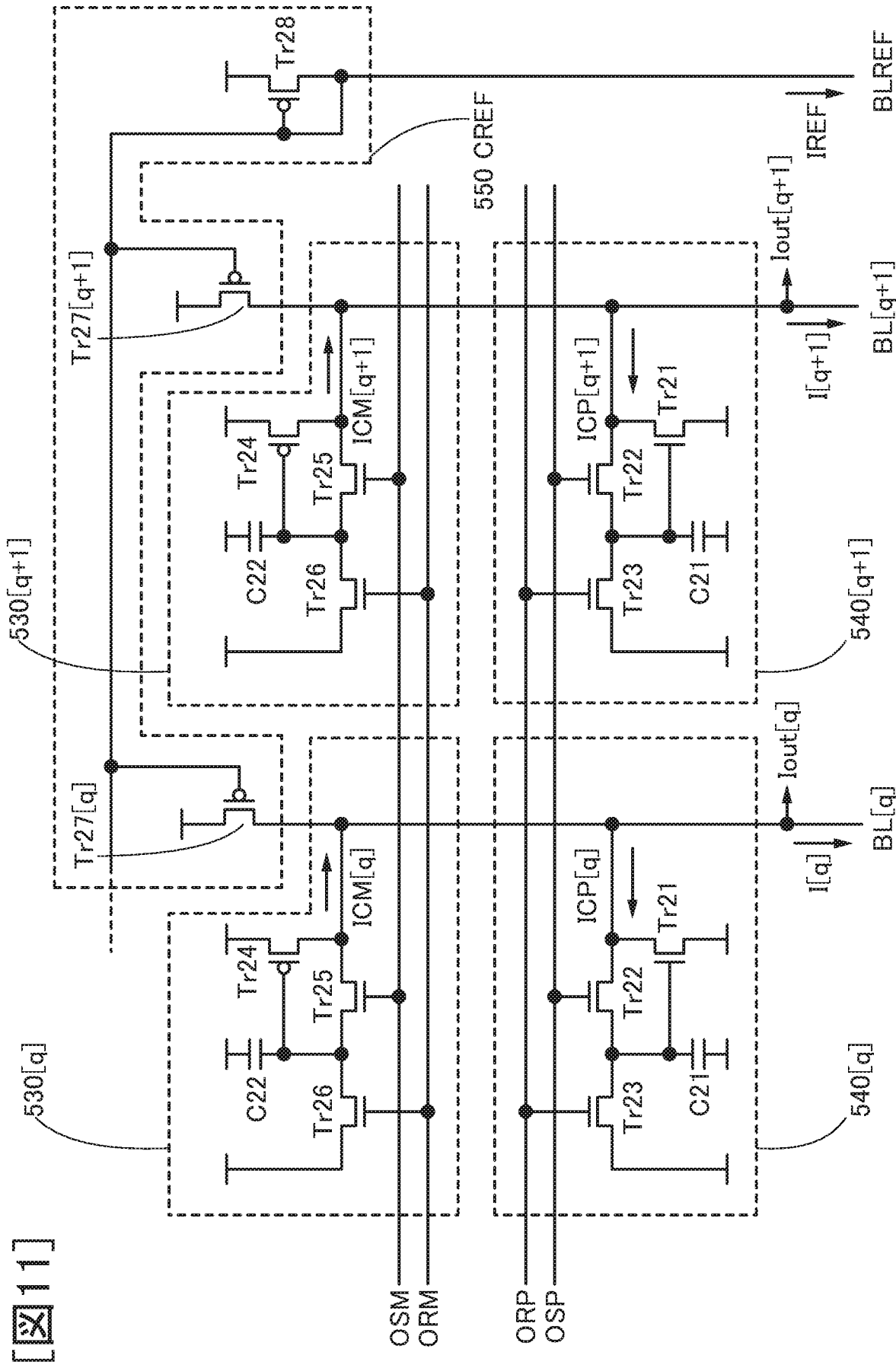
[図 9]



10/18

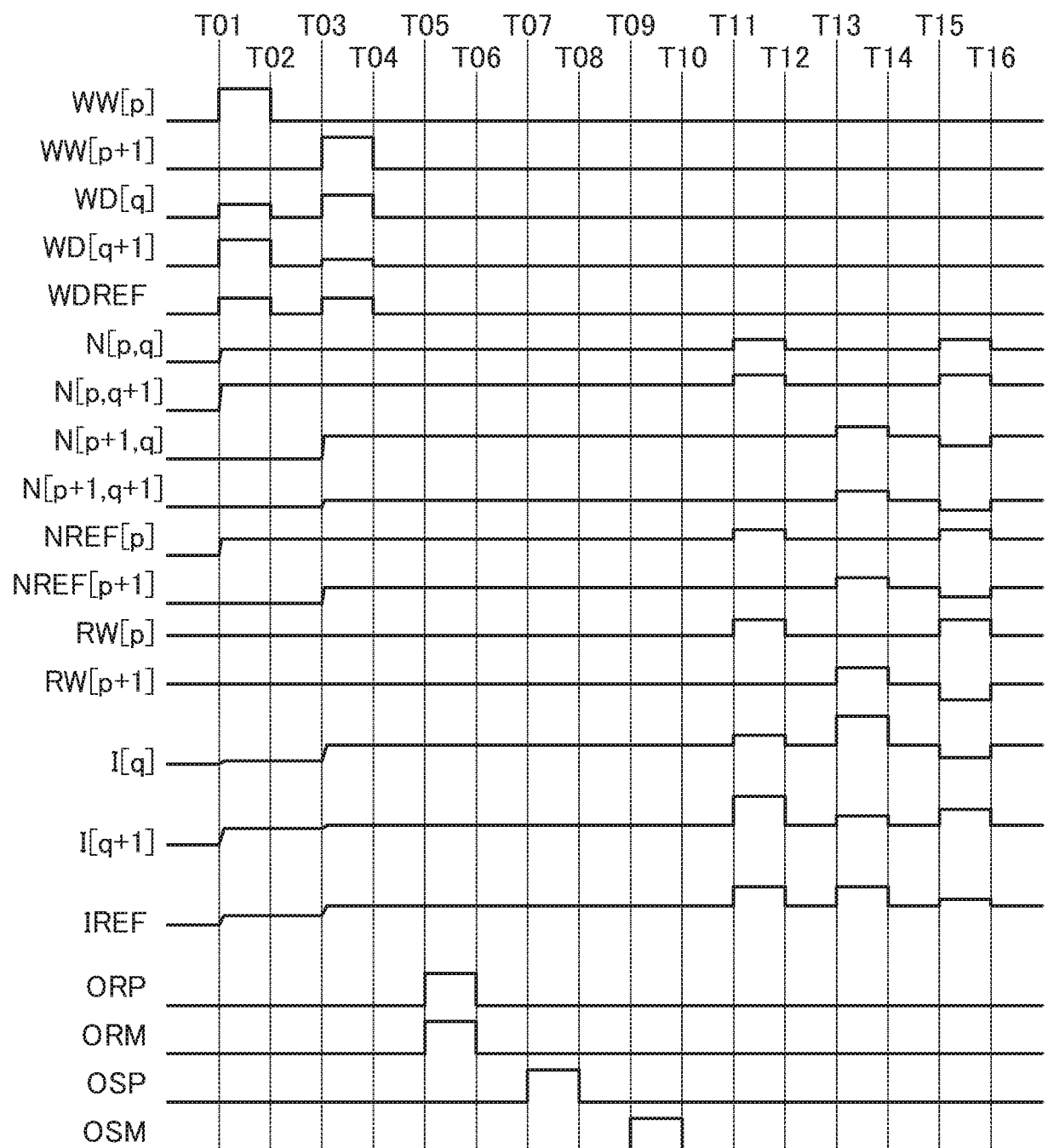
[**図**10]





[図 12]

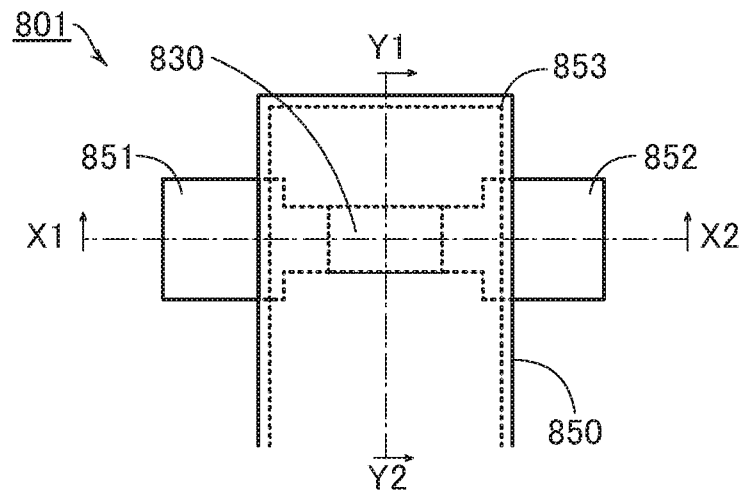
12/18



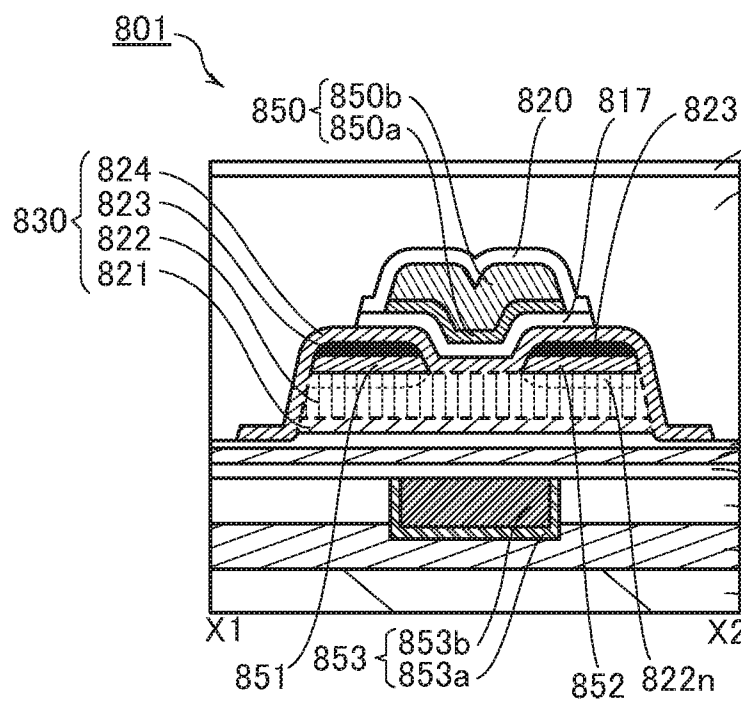
[ 13]

13/18

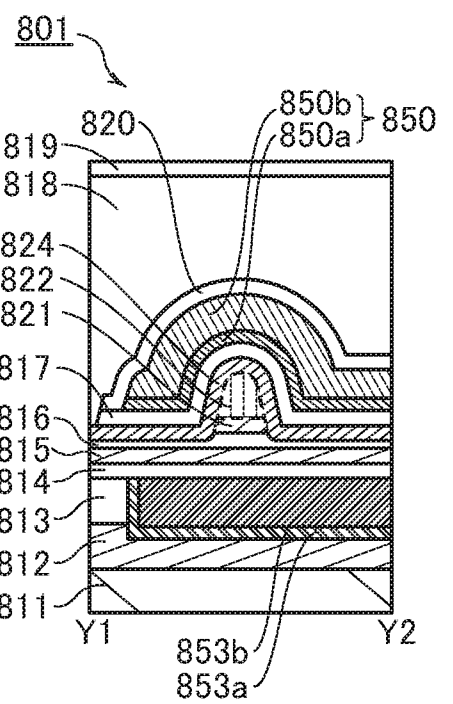
(A)



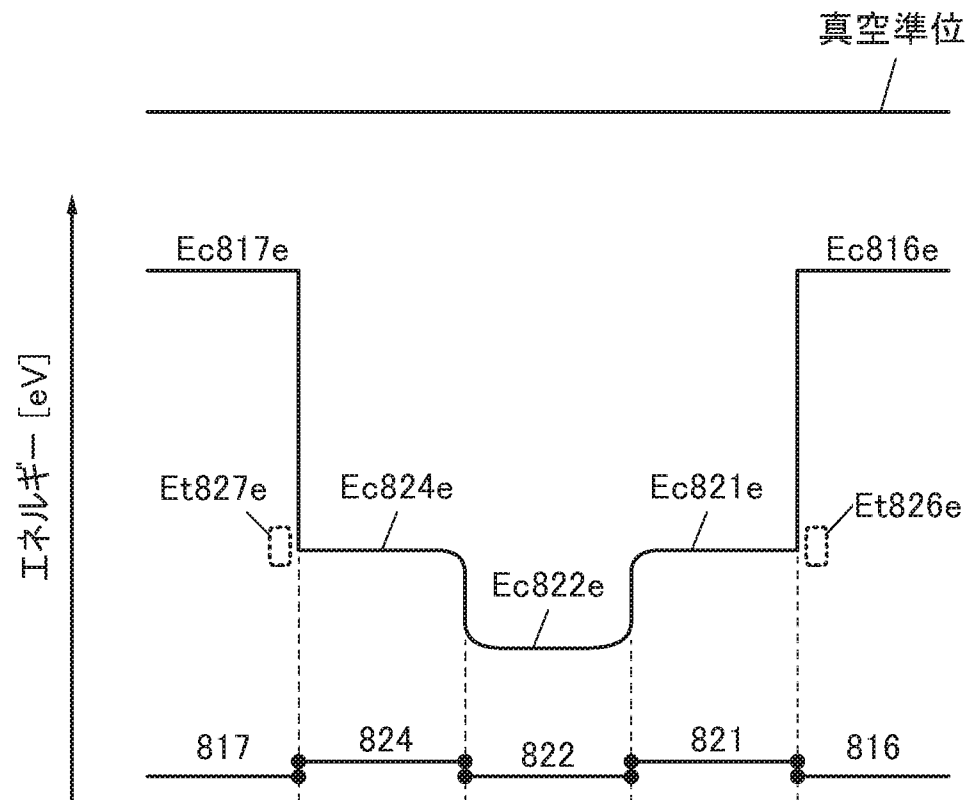
(B)



(C)



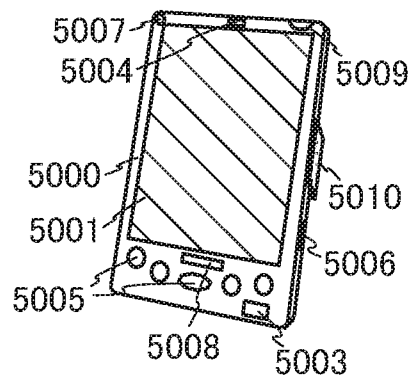
[図14]



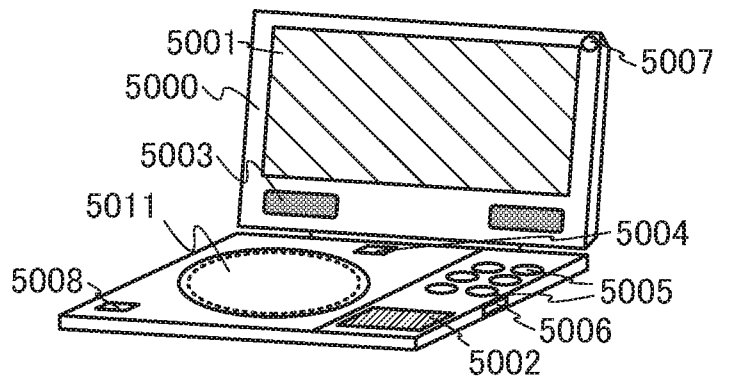
[図16]

16/18

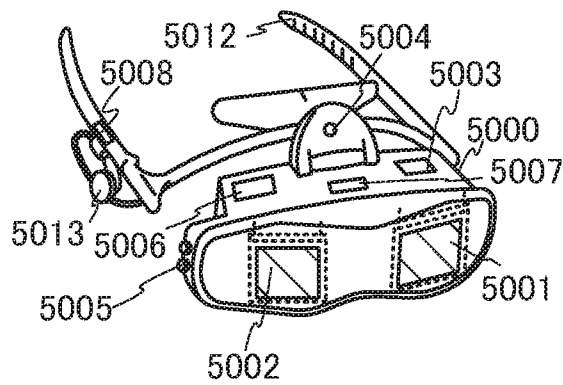
(A)



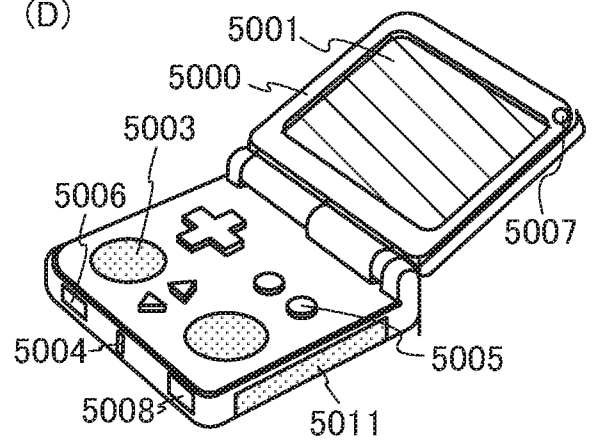
(B)



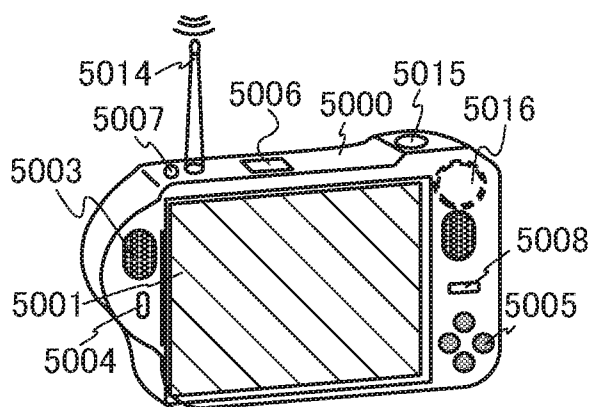
(C)



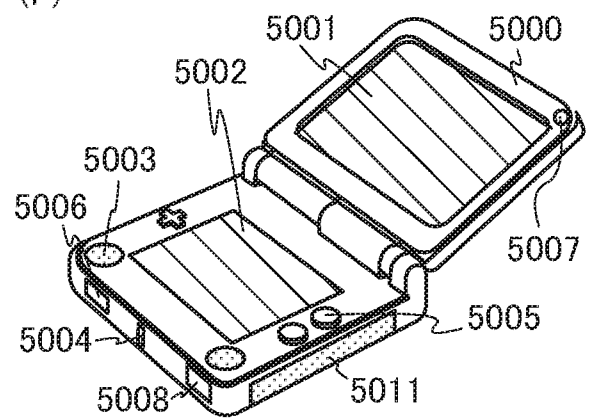
(D)



(E)



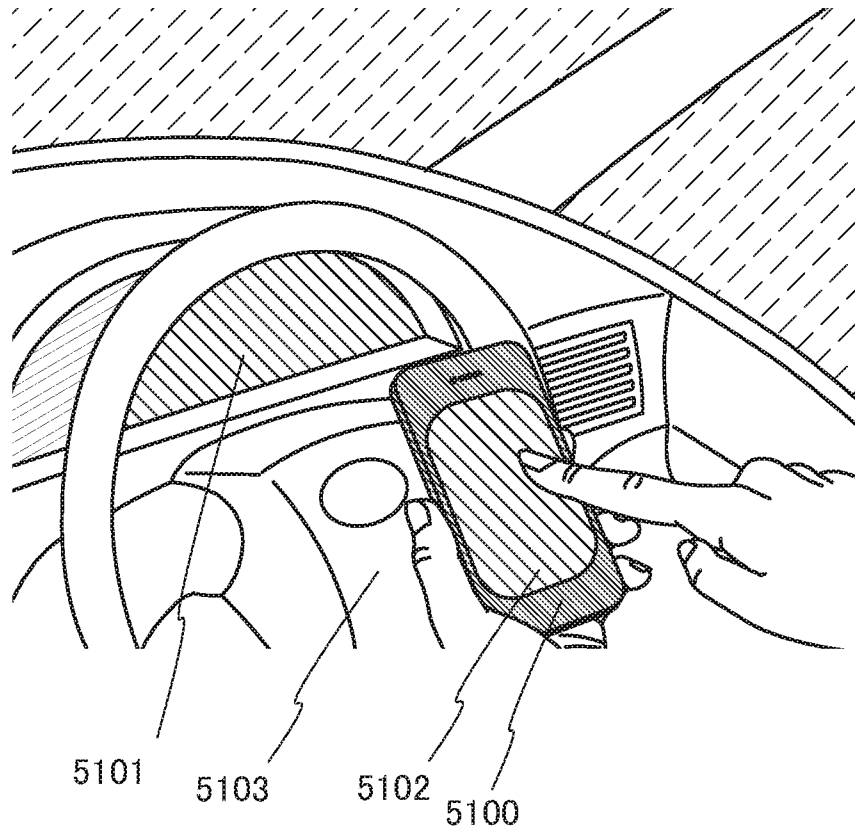
(F)



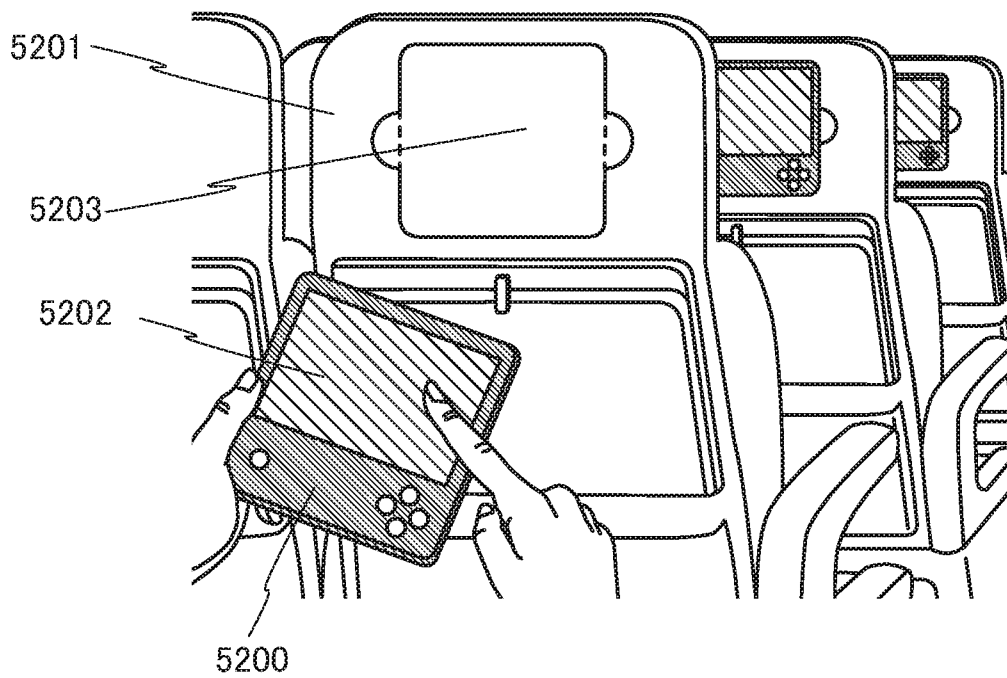
[圖 17]

17/18

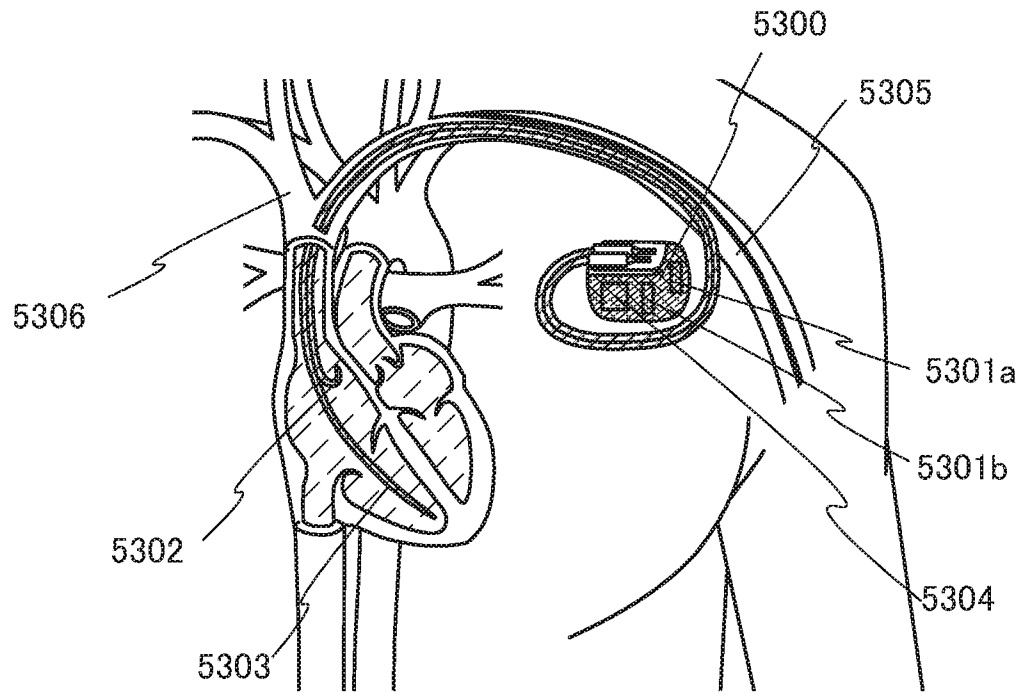
(A)



(B)



[図 18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/054931

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H02J50/90 (2016.01) i, H02J7/00 (2006.01) i, H02J50/10 (2016.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H02J50/90, H02J7/00, H02J50/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2015/177994 A1 (PANASONIC IP MANAGEMENT CO., LTD.) 26 November 2015, fig. 2-12, paragraph [0116]	2, 5
Y		4
A	& US 2017/0054320 A1, fig. 2-12 & EP 3151365 A1 & CN 106415977 A	1, 3
Y	WO 2016/088261 A1 (MITSUBISHI ELECTRIC ENGINEERING CO., LTD.) 09 June 2016, claim 8, abstract & US 2017/0325182 A1, claim 23, abstract & JP 5877930 B1 & EP 3229342 A1 & CN 107155384 A	4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
17 August 2018 (17.08.2018)

Date of mailing of the international search report
28 August 2018 (28.08.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/054931

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-215211 A (SUMITOMO WIRING SYSTEMS LTD.) 15 August 1997, entire text, all drawings & US 5821731 A, entire text, all drawings & EP 788212 A2 & EP 1061631 A1	1-5
A	JP 2009-089464 A (PANASONIC CORP.) 23 April 2009, fig. 24 & US 2010/0201315 A1, fig. 24 & WO 2009/041058 A1 & CN 101809842 A	1-5
A	WO 2017/017959 A1 (PANASONIC IP MANAGEMENT CO., LTD.) 02 February 2017, entire text, all drawings & DE 112016003391 T	1-5

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02J50/90(2016.01)i, H02J7/00(2006.01)i, H02J50/10(2016.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02J50/90, H02J7/00, H02J50/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	WO 2015/177994 A1（パナソニックIPマネジメント株式会社） 2015.11.26, 図2-12、段落[0116] & US 2017/0054320 A1, 図2-12 & EP 3151365 A1 & CN 106415977 A	2, 5 4 1, 3
Y	WO 2016/088261 A1（三菱電機エンジニアリング株式会社） 2016.06.09, 請求項8、要約 & US 2017/0325182 A1, 請求項23、要約 & JP 5877930 B1 & EP 3229342 A1 & CN 107155384 A	4

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

17.08.2018

国際調査報告の発送日

28.08.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小池 堂夫

5T

4683

電話番号 03-3581-1101 内線 3568

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 9-215211 A (住友電装株式会社) 1997.08.15, 全文、全図 & US 5821731 A, 全文、全図 & EP 788212 A2 & EP 1061631 A1	1-5
A	JP 2009-089464 A (パナソニック株式会社) 2009.04.23, 図24 & US 2010/0201315 A1, 図24 & WO 2009/041058 A1 & CN 101809842 A	1-5
A	WO 2017/017959 A1 (パナソニック IPマネジメント株式会社) 2017.02.02, 全文、全図 & DE 112016003391 T	1-5