



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년07월05일
(11) 등록번호 10-1282908
(24) 등록일자 2013년07월01일

(51) 국제특허분류(Int. C1.)
H01L 21/205 (2006.01)
(21) 출원번호 10-2011-0039227
(22) 출원일자 2011년04월26일
심사청구일자 2012년04월05일
(65) 공개번호 10-2011-0119581
(43) 공개일자 2011년11월02일
(30) 우선권주장

JP-P-2010-102405 2010년04월27일 일본(JP)
JP-P-2011-044014 2011년03월01일 일본(JP)

(56) 선행기술조사문헌
US20090291232 A1*
KR1020090037821 A*
US20090142874 A1*
*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 12 항

심사관 : 김한수

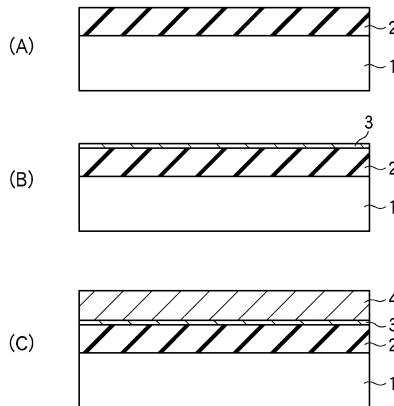
(54) 발명의 명칭 어모퍼스 실리콘막의 성막 방법 및 성막 장치

(57) 요 약

(과제) 표면 거칠기의 정밀도를 더욱 개선할 수 있어, 진전되는 콘택트 홀이나 라인 등의 미세화에 대응 가능한 어모퍼스 실리콘의 성막 방법을 제공하는 것이다.

(해결 수단) 하지(2)를 가열하고, 가열한 하지(2)에 아미노실란계 가스를 흘려 하지(2)의 표면에 시드층(3)을 형성하는 공정과, 하지(2)를 가열하고 가열한 하지(2)의 표면의 시드층(3)에 아미노기를 포함하지 않는 실란계 가스를 공급하여, 아미노기를 포함하지 않는 실란계 가스를 열분해시킴으로써, 시드층(3) 상에 어모퍼스 실리콘막을 형성하는 공정을 구비한다.

대 표 도 - 도2



특허청구의 범위

청구항 1

하지(base) 상에 어모퍼스 실리콘막을 포함하는 막을 성막하는 성막 방법으로서,

(1) 상기 하지를 가열하고, 상기 가열한 하지에 아미노실란계 가스를 흘려, 상기 하지 표면에 시드층을 형성하는 공정과,

(2) 상기 하지를 가열하고, 상기 가열한 하지 표면의 시드층에 아미노기를 포함하지 않는 실란계 가스를 공급하고, 상기 아미노기를 포함하지 않는 실란계 가스를 열분해시킴으로써, 상기 시드층 상에 어모퍼스 실리콘막을 형성하는 공정을 구비하며,

상기 아미노실란계 가스가,

BAS(부틸아미노실란)

BTBAS(비스터셔리부틸아미노실란)

DMAS(디메틸아미노실란)

BDMAS(비스디메틸아미노실란)

TDMAS(트리스디메틸아미노실란)

DEAS(디에틸아미노실란)

BDEAS(비스디에틸아미노실란)

DPAS(디프로필아미노실란) 및,

DIPAS(디이소프로필아미노실란)의 적어도 하나를 포함하는 가스로부터 선택되고,

상기 아미노기를 포함하지 않는 실란계 가스가,

SiH_4

Si_2H_6

트리실란(Si_3H_8)

테트라실란(Si_4H_{10})

펜타실란(Si_5H_{12})

헥사실란(Si_6H_{14})

헵타실란(Si_7H_{16})

사이클로트리실란(Si_3H_6)

사이클로테트라실란(Si_4H_8)

사이클로펜타실란(Si_5H_{10})

사이클로헥사실란(Si_6H_{12})

사이클로헵타실란(Si_7H_{14})의 적어도 어느 하나로부터 선택되는 것을 특징으로 하는 어모퍼스 실리콘막의 성막 방법.

청구항 2

제1항에 있어서,

상기 (1) 공정에 있어서의 상기 하지의 가열 온도가, 상기 (2) 공정에 있어서의 상기 하지의 가열 온도보다도 낮고,

상기 (1) 공정에 있어서의 상기 시드층을 형성하기 위한 처리 시간이, 상기 (2) 공정에 있어서의 상기 어모퍼스 실리콘막을 형성하기 위한 처리 시간보다도 짧은 것을 특징으로 하는 어모퍼스 실리콘막의 성막 방법.

청구항 3

제1항 또는 제2항에 있어서,

상기 시드층의 두께가 0.1nm 이상 0.3nm 이하인 것을 특징으로 하는 어모퍼스 실리콘막의 성막 방법.

청구항 4

제3항에 있어서,

상기 어모퍼스 실리콘막의 두께가 50nm 이상 100nm 이하인 것을 특징으로 하는 어모퍼스 실리콘막의 성막 방법.

청구항 5

삭제

청구항 6

제1항 또는 제2항에 있어서,

상기 아미노실란계 가스가 DIPAS(디이소프로필아미노실란)이고,

상기 아미노기를 포함하지 않는 실란계 가스가 SiH₄와 Si₂H₆ 중 어느 하나로부터 선택되는 것을 특징으로 하는 어모퍼스 실리콘막의 성막 방법.

청구항 7

제1항 또는 제2항에 있어서,

상기 아미노실란계 가스가 TDMAS(트리스디메틸아미노실란)와 DEAS(디에틸아미노실란) 중 어느 하나로부터 선택되고,

상기 아미노기를 포함하지 않는 실란계 가스가 SiH₄와 Si₂H₆ 중 어느 하나로부터 선택되는 것을 특징으로 하는 어모퍼스 실리콘막의 성막 방법.

청구항 8

삭제

청구항 9

제1항 또는 제2항에 있어서,

상기 시드층의 두께는 단원자층 레벨의 두께인 것을 특징으로 하는 어모퍼스 실리콘막의 성막 방법.

청구항 10

제1항 또는 제2항에 있어서,

상기 아미노실란계 가스의 아미노실란은 분해시키지 않고, 상기 하지상에 흡착시키는 것을 특징으로 하는 어모퍼스 실리콘막의 성막 방법.

청구항 11

제1항 또는 제2항에 있어서,

상기 하지는 실리콘 산화막 또는 실리콘 질화막을 포함하는 것을 특징으로 하는 어모퍼스 실리콘막의 성막 방법.

청구항 12

제1항 또는 제2항에 있어서,

상기 어모퍼스 실리콘막의 성막 방법이, 반도체 장치의 제조 프로세스에 이용되는 것을 특징으로 하는 어모퍼스 실리콘막의 성막 방법.

청구항 13

제12항에 있어서,

상기 어모퍼스 실리콘막이, 상기 반도체 장치 내부의 콘택트 홀과 라인 중 어느 한쪽 또는 양쪽 모두의 매입에 사용되는 것을 특징으로 하는 어모퍼스 실리콘막의 성막 방법.

청구항 14

하지 상에 어모퍼스 실리콘막을 성막하는 성막 장치로서,

상기 어모퍼스 실리콘막이 형성되는 하지를 가진 피처리체를 수용하는 처리실과,

상기 처리실 내에, 처리에 사용하는 가스를 공급하는 처리 가스 공급 기구와,

상기 처리실 내에 수용된 상기 피처리체를 가열하는 가열 장치와,

상기 처리실 내를 배기하는 배기 기구와,

상기 처리 가스 공급 기구, 상기 가열 장치 및, 상기 배기 기구를 제어하는 컨트롤러를 구비하고,

상기 컨트롤러가, 제1항에 기재된 (1) 공정 및 (2) 공정이 실시되도록 상기 처리 가스 공급 기구, 상기 가열 장치 및, 상기 배기 기구를 제어하는 것을 특징으로 하는 성막 장치.

청구항 15

삭제

명세서

기술 분야

[0001] 본 발명은, 어모퍼스 실리콘막의 성막 방법 및 성막 장치에 관한 것이다.

배경기술

[0002] 반도체 집적 회로 장치의 콘택트 홀이나 라인의 매입에는, 어모퍼스 실리콘이 사용되고 있다. 어모퍼스 실리콘의 성막 방법은, 예를 들면, 특허문현 1, 2에 기재되어 있다. 특히, 특허문현 2에는, 디실란을 400~500°C에서 분해하여, 표면이 평활한 도전체층을 얻는 방법이 기재되어 있다.

[0003] 최근, 반도체 집적 회로 장치의 미세화에 수반하여, 콘택트 홀이나 라인의 매입 요구가 점점 더 엄격해지고 있다.

선행기술문헌

특허문현

[0004] (특허문현 0001) 일본공개특허공보 소63-29954호

(특허문현 0002) 일본공개특허공보 평1-217956호

발명의 내용

해결하려는 과제

- [0005] 그러나, 디실란을 이용한 어모퍼스 실리콘으로 미세화가 진행된 콘택트홀이나 라인을 매입하려고 하면, 성막 후의 어모퍼스 실리콘은 콘택트홀부분에서의 커버리지가 나쁘고, 큰 보이드(Void)가 발생해 버린다. 큰 보이드가, 콘택트홀이나 라인 내에 발생하면, 예를 들면, 저항값의 증대를 일으키는 요인의 하나가 된다. 또한, 표면 거칠기의 정밀도가 나쁜 것도 그의 요인이다.
- [0006] 본 발명은, 상기 사정을 감안하여 이루어진 것으로, 표면 거칠기의 정밀도를 더욱 개선할 수 있어, 콘택트 홀이나 라인 등의 미세화의 진전에 대응 가능한 어모퍼스 실리콘막의 성막 방법 및 성막 장치를 제공한다.

과제의 해결 수단

- [0007] 본 발명의 제1 실시 형태에 따른 어모퍼스 실리콘막의 성막 방법은, 하지(base) 상에 어모퍼스 실리콘막을 포함하는 막을 성막하는 성막 방법으로서, (1) 상기 하지를 가열하고, 상기 가열한 하지에 아미노실란계 가스를 흘려, 상기 하지 표면에 시드층(seed layer)을 형성하는 공정과, (2) 상기 하지를 가열하고, 상기 가열한 하지 표면의 시드층에 아미노기를 포함하지 않는 실란계 가스를 공급하여, 상기 아미노기를 포함하지 않는 실란계 가스를 열분해시킴으로써, 상기 시드층 상에 어모퍼스 실리콘막을 형성하는 공정을 구비한다.
- [0008] 본 발명의 제2 실시 형태에 따른 성막 장치는, 하지 상에 어모퍼스 실리콘 막을 성막하는 성막장치로서, 상기 어모퍼스 실리콘막이 형성되는 하지를 가진 피(被)처리체를 수용하는 처리실과, 상기 처리실 내에, 처리에 사용하는 가스를 공급하는 처리 가스 공급 기구와, 상기 처리실 내에 수용된 상기 피처리체를 가열하는 가열장치와, 상기 처리실 내를 배기하는 배기 기구와, 상기 처리 가스 공급 기구, 상기 가열 장치 및, 상기 배기 기구를 제어하는 컨트롤러를 구비하고, 상기 컨트롤러가, 제1 실시 형태에 따른 어모퍼스 실리콘막의 성막 방법이 실시되도록 상기 처리 가스 공급 기구, 상기 가열 장치 및, 상기 배기 기구를 제어한다.

발명의 효과

- [0009] 본 발명에 의하면, 표면 거칠기의 정밀도를 더욱 개선할 수 있어, 콘택트 홀이나 라인 등의 미세화의 진전에 대응 가능한 어모퍼스 실리콘막의 성막 방법 및 성막 장치를 제공할 수 있다.

도면의 간단한 설명

- [0010] 도 1은 본 발명의 일 실시 형태에 따른 어모퍼스 실리콘막의 성막 방법의 시퀀스의 일 예를 나타내는 흐름도이다.
- 도 2는 시퀀스 중의 샘플의 상태를 개략적으로 나타내는 단면도이다.
- 도 3은 퇴적 시간과 어모퍼스 실리콘막의 막두께와의 관계를 나타내는 도면이다.
- 도 4는 퇴적 시간과 어모퍼스 실리콘막의 막두께와의 관계를 나타내는 도면이다.
- 도 5는 도 3 중의 파선 범위(A) 내를 확대한 확대도이다.
- 도 6은 도 4 중의 파선 범위(B) 내를 확대한 확대도이다.
- 도 7a는 어모퍼스 실리콘막의 표면 및 단면의 2차 전자상(electron image)을 나타내는 도면 대용 사진이다.
- 도 7b는 어모퍼스 실리콘막의 표면 및 단면의 2차 전자상을 나타내는 도면 대용 사진이다.
- 도 8a는 어모퍼스 실리콘막의 표면 및 단면의 2차 전자상을 나타내는 도면 대용 사진이다.
- 도 8b는 어모퍼스 실리콘막의 표면 및 단면의 2차 전자상을 나타내는 도면 대용 사진이다.
- 도 9는 어모퍼스 실리콘막의 막두께와 어모퍼스 실리콘막 표면의 평균 면 거칠기(Ra)와의 관계를 나타내는 도면이다.
- 도 10은 어모퍼스 실리콘막의 막두께와 어모퍼스 실리콘막 표면의 헤이즈(haze)와의 관계를 나타내는 도면이다.
- 도 11은 충간 절연막 중에 형성된 콘택트 홀의 구조예를 나타내는 단면도이다.

도 12는 도 11 중의 파선 원(C) 내에 상당하는 확대도이다.

도 13은 본 발명의 일 실시 형태에 따른 어모퍼스 실리콘막의 성막 방법을 실시하는 것이 가능한 성막 장치의 일 예를 개략적으로 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0011] (발명을 실시하기 위한 형태)

[0012] 본 발명자들은, 어모퍼스 실리콘막의 표면 거칠기가, 어모퍼스 실리콘막의 인큐베이션(incubation) 시간에 관계하는 것은 아닌가라고 추측했다. 인큐베이션 시간이 길어지면 길어질수록 핵(core)의 사이즈가 불균일해지기 쉬워져, 핵의 발생 후에 퇴적이 시작되는 어모퍼스 실리콘의 표면 거칠기의 정밀도에 영향을 준다는 가정이다.

[0013] 그러나, 어모퍼스 실리콘막의 인큐베이션 시간을 단축시키는 수법은 알려져 있지 않다.

[0014] 본 발명자들은, 이하 설명하는 바와 같이, 어모퍼스 실리콘막의 인큐베이션 시간의 단축에 성공하여, 그의 결과, 어모퍼스 실리콘막의 표면 거칠기의 정밀도를 더욱 개선하는 것에 성공했다.

[0015] 이하, 본 발명의 일 실시 형태를, 도면을 참조하여 설명한다. 또한, 전체 도면에 걸쳐, 공통의 부분에는 공통의 참조 부호를 붙인다.

[0016] 또한, 본 명세서에 있어서는, 어모퍼스 실리콘을, 어모퍼스 실리콘만을 가르키는 용어가 아니라, 어모퍼스 실리콘, 본 명세서에 있어서 개시하는 표면 거칠기의 정밀도를 달성할 수 있는 어모퍼스~나노 사이즈의 결정립이 모인 나노 결정 실리콘 및 상기 어모퍼스 실리콘과 상기 나노 결정 실리콘이 혼재된 실리콘 모두를 포함하는 용어로 정의한다.

[0017] 도 1은 본 발명의 일 실시 형태에 따른 어모퍼스 실리콘막의 성막 방법의 시퀀스의 일 예를 나타내는 흐름도이고, 도 2의 (A)~도 2의 (C)는 시퀀스 중의 샘플의 상태를 개략적으로 나타내는 단면도이다.

[0018] 우선, 도 2의 (A)에 나타내는 반도체 기판, 예를 들면, 실리콘 기판(1) 상에 두께 약 100nm의 하지(2)가 형성된 샘플(도 2의 (A) 참조)을, 성막 장치의 처리실에 반입한다. 하지(2)의 예는, 실리콘 산화막 및, 실리콘 질화막이다.

[0019] 다음으로, 도 1 및 도 2의 (B)에 나타내는 바와 같이, 하지(2)의 표면에 시드층(3)을 형성한다. 본 예에서는, 하지(2)를 가열하고, 가열한 하지(2)의 표면에 아미노실란계 가스를 훌림으로써, 하지(2)의 표면에 시드층(3)을 형성한다(스텝 1).

[0020] 아미노실란계 가스의 예로서는,

[0021] BAS(부틸아미노실란)

[0022] BTBAS(비스터셔리부틸아미노실란)

[0023] DMAS(디메틸아미노실란)

[0024] BDMAS(비스디메틸아미노실란)

[0025] TDMAS(트리스디메틸아미노실란)

[0026] DEAS(디에틸아미노실란)

[0027] BDEAS(비스디에틸아미노실란)

[0028] DPAS(디프로필아미노실란)

[0029] DIPAS(디이소프로필아미노실란) 등을 들 수 있다. 본 예에서는, DIPAS을 이용했다.

[0030] 스텝 1에 있어서의 처리 조건의 일 예는,

[0031] DIPAS 유량 : 500sccm

[0032] 처리 시간 : 5분

[0033] 처리 온도 : 400°C

- [0034] 처리 압력 : 53.2Pa(0.4Torr)이다. 스텝 1의 공정을, 본 명세서에서는 이하 프리플로우(preflow)라고 부른다.
- [0035] 다음으로, 도 1 및 도 2의 (C)에 나타내는 바와 같이, 시드층(3) 상에 어모페스 실리콘막(4)을 형성한다.
- [0036] 본 예에서는, 하지(2)를 가열하고, 가열한 하지(2)의 표면의 시드층(3)에 아미노기를 포함하지 않는 실란계 가스를 공급하고, 이 아미노기를 포함하지 않는 실란계 가스를 열분해시킴으로써, 시드층(3) 상에 어모페스 실리콘막(4)을 형성한다(스텝 2).
- [0037] 아미노기를 포함하지 않는 실란계 가스의 예로서는,
- [0038] SiH_2
- [0039] SiH_4
- [0040] SiH_6
- [0041] Si_2H_4
- [0042] Si_2H_6
- [0043] $\text{Si}_m\text{H}_{2m+2}$ (단, m 은 3 이상의 자연수)의 식으로 나타나는 실리콘의 수소화물 및,
- [0044] Si_nH_{2n} (단, n 은 3 이상의 자연수)의 식으로 나타나는 실리콘의 수소화물의 적어도 하나를 포함하는 가스를 들 수 있다. 본 예에서는, SiH_4 (모노실란)을 이용했다.
- [0045] 스텝 2에 있어서의 처리 조건의 일 예는,
- [0046] SiH_4 유량 : 500sccm
- [0047] 퇴적 시간 : 30분/45분/60분
- [0048] 처리 온도 : 500°C
- [0049] 처리 압력 : 53.2Pa(0.4Torr)이다.
- [0050] 이와 같이, 일 실시 형태에 따른 어모페스 실리콘막의 성막 방법에 의하면, 하지(2)의 표면에 아미노실란계 가스를 프리플로우한 후, 시드층(3) 상에 어모페스 실리콘막(4)을 형성한다.
- [0051] 도 3 및 도 4에, 퇴적 시간과 어모페스 실리콘막(4)의 막두께와의 관계를 나타낸다. 도 3은 하지(2)를 실리콘 산화막(SiO_2)으로 한 경우이고, 도 4는 하지(2)를 실리콘 질화막(SiN)으로 한 경우이다. 어모페스 실리콘막(4)의 막두께는, 퇴적 시간을 30분으로 했을 때, 45분으로 했을 때 및, 60분으로 했을 때의 세 점에서 측정했다.
- [0052] 도 3 및 도 4 중의 선 I, III은 프리플로우 있음의 경우, 선 II, IV는 프리플로우 없음의 경우의 결과를 나타내고 있다. 선 I~IV는, 측정된 3개의 막두께를 최소 이승법으로 직선에 근사한 직선이며, 식은 다음과 같다.
- [0053] 선 I : $y = 17.572x - 20.855 \quad \dots(1)$
- [0054] 선 II : $y = 17.605x - 34.929 \quad \dots(2)$
- [0055] 선 III : $y = 18.011x - 27.739 \quad \dots(3)$
- [0056] 선 IV : $y = 18.091x - 41.277 \quad \dots(4)$
- [0057] 도 3 및 도 4에 나타내는 바와 같이, 프리플로우 있음의 경우, 프리플로우 없음과 비교하여 어모페스 실리콘막(4)의 막두께가 증가하는 경향이 분명해졌다.
- [0058] 상기 (1)~(4) 식을 $y=0$, 즉, 어모페스 실리콘막의 막두께를 “0”으로 했을 때, 선 I~IV와 퇴적 시간과의 교점을 구한 것을 도 5 및 도 6에 나타낸다. 또한, 도 5는 도 3 중의 파선 범위(A) 내를 확대한 확대도이고, 도 6은 도 4 중의 파선 범위(B) 내를 확대한 확대도에 상당한다.
- [0059] 도 5에 나타내는 바와 같이, 하지(2)가 프리플로우 있음의 실리콘 산화막일 때 어모페스 실리콘막(4)의 퇴적이

처리 개시로부터 약 1.2분($x=1.189$)으로부터 시작되는 것에 대하여, 프리플로우 없음의 실리콘 산화막일 때에는, 어모퍼스 실리콘막(4)의 퇴적이 처리 개시로부터 약 2.0분($x=1.984$)으로부터 시작된다.

[0060] 또한, 도 6에 나타내는 바와 같이, 하지(2)가 프리플로우 있음의 실리콘 질화막일 때 어모퍼스 실리콘막(4)의 퇴적이 처리 개시로부터 약 1.5분($x=1.540$)으로부터 시작되는 것에 대하여, 프리플로우 없음의 실리콘 질화막일 때에는, 어모퍼스 실리콘막(4)의 퇴적이 처리 개시로부터 약 2.3분($x=2.282$)으로부터 시작된다.

[0061] 이와 같이, 하지(2)에 대하여 아미노실란계 가스의 프리플로우를 행함으로써, 인큐베이션 시간을, 하지(2)가 실리콘 산화막의 경우에는 약 2.0분으로부터 약 1.2분으로, 하지(2)가 실리콘 질화막의 경우에는 약 2.3분으로부터 약 1.5분으로 단축시킬 수 있었다.

[0062] 도 7a~도 8b에, 주사형 전자 현미경(Scanning Electron Microscope; SEM)에 의한 어모퍼스 실리콘막 표면의 관찰 결과를 나타낸다. 도 7a 및 도 7b는 막두께가 50nm인 어모퍼스 실리콘막의 표면 및 단면의 2차 전자상이고, 도 8a 및 도 8b는 막두께가 100nm인 어모퍼스 실리콘막의 표면 및 단면의 2차 전자상이다. SEM의 가속 전압은 5.0kV로 하고, 배율은 100000배($\times 100k$)이다. 또한, 하지는 실리콘 산화막이다.

[0063] 도 7a에 나타내는 바와 같이, 아미노실란계 가스의 프리플로우 있음의 경우, 프리플로우 없음(도 7b)과 비교하여 어모퍼스 실리콘막의 표면이 매끄러워져, 표면 거칠기가 개선되어 있는 것이 육안 관찰에 의해 분명해졌다.

[0064] 또한, 도 8a에 나타내는 바와 같이, 막두께가 약 100nm인 어모퍼스 실리콘막에 있어서도 동일하고, 프리플로우 없음(도 8b)과 비교하여, 어모퍼스 실리콘막의 표면 거칠기가 개선되어 있다.

[0065] 이와 같이, 일 실시 형태에 따른 어모퍼스 실리콘막의 성막 방법에 의하면, SEM에 의한 표면 육안 관찰에 있어서, 표면 거칠기가 개선되어 있는 것을 알았다.

[0066] 도 9에, 원자간력 현미경(Atomic Force Microscope; AFM)을 이용하여 측정한 어모퍼스 실리콘막 표면의 평균 면 거칠기(표면 거칠기)(Ra)를 나타낸다. 도 9에 나타내는 결과에 있어서는, AFM의 스캔 사이즈를 $1\mu\text{m}$, 스캔 레이트를 1.993Hz로 설정했다.

[0067] 도 9에 나타내는 바와 같이, 아미노실란계 가스의 프리플로우 있음의 경우, 프리플로우 없음과 비교하여, 막두께 50nm 이상 막두께 100nm 이하의 범위에 있어서, 평균 면 거칠기(표면 거칠기)(Ra)가 $0.101\sim 0.157\text{nm}$ 개선되어 있는 것을 알았다. 이 AFM에 의한 측정 결과로부터, 일 실시 형태에 따른 어모퍼스 실리콘막의 성막 방법은, 특히, 어모퍼스 실리콘막의 막두께가 얇은 경우에, 프리플로우 없음과 비교하여 평균 면 거칠기(표면 거칠기)(Ra)의 개선 효과가 높은 것이 판명되었다. 예를 들면, 막두께가 약 50nm인 어모퍼스 실리콘막에 있어서는, 프리플로우 없음의 경우 $\text{Ra}=0.411$ 이었던 것에 대하여, 프리플로우 있음의 경우에는 $\text{Ra}=0.254$ 로, Ra 가 0.157nm 개선되어 있다. 이 결과는, 일 실시 형태에 따른 어모퍼스 실리콘막의 성막 방법이, 예를 들면, 반도체 장치의 미세화가 진전되면 진전될수록 유효하다는 것을 나타내고 있다.

[0068] 도 10에, 표면 검사 장치를 이용하여 측정한 어모퍼스 실리콘막 표면의 헤이즈를 나타낸다. 도 10에 나타내는 헤이즈는, DWO 모드(Dark Field Wide Oblique)에서의 헤이즈이다.

[0069] 도 10에 나타내는 바와 같이, 아미노실란계 가스의 프리플로우 있음의 경우, 프리플로우 없음과 비교하여, 막두께 50nm 이상 막두께 100nm 이하의 범위에 있어서 헤이즈가 약 2.1ppm 개선되어 있는 것을 알았다.

[0070] 이상, 주사형 전자 현미경, 원자간력 현미경 및, 표면 검사 장치를 이용한 관찰, 또한 측정 결과로부터, 일 실시 형태에 따른 어모퍼스 실리콘막의 성막 방법은, 아미노실란계 가스를 이용하여 하지(2)의 표면을 프리플로우하고, 하지(2)의 표면에 시드충(3)을 형성한 후, 아미노기를 포함하지 않는 실란계 가스를 시드충(3) 상에 공급하여 열분해시킴으로써, 표면 거칠기의 정밀도가 높은, 즉, 표면 거칠기가 작은 어모퍼스 실리콘막(4)을 형성할 수 있다.

[0071] 이러한 어모퍼스 실리콘막은, 도 11에 나타내는 바와 같이, 예를 들면, 실리콘 산화막 또는 실리콘 질화막을 포함하는 충간 절연막 중에 형성된 콘택트 홀(5)의 매입이나, 충간 절연막 중에 형성된 라인, 예를 들면, 내부 배선용의 흄의 매입에 유용하다. 콘택트 홀(5) 내에 있어서의 어모퍼스 실리콘막(4)의 표면 끼리의 접촉부(6)의 확대도를 도 12의 (A) 및 (B)에 나타낸다. 도 12의 (A) 및 (B)는 도 11 중의 과선 원(C) 내의 확대도에 상당한다.

[0072] 어모퍼스 실리콘막(4)의 표면 거칠기가 큰 경우에는, 도 12의 (A)에 나타내는 바와 같이, 접촉부(6)에 큰 보이드(7)가 발생하는 것에 대하여, 일 실시 형태에 따른 성막 방법을 이용하여 형성된 표면 거칠기가 작은 어모퍼

스 실리콘막(4)에 의하면, 도 12의 (B)에 나타내는 바와 같이, 접촉부(6)에 발생하는 보이드(7)는 작아진다. 보이드(7)가 작아지면, 콘택트 홀(5)의 내부에 매입된 어모퍼스 실리콘막(4)의 저항값의 증대를 억제할 수 있다.

[0073] 또한, 종래부터 표면 거칠기가 양호하다고 여겨지는 디실란 가스를 이용한 시드충과 그 후의 실란 가스에 의한 어모퍼스 실리콘을 이용한 연속 성막 방법에 의하면, 우선, 콘택트홀의 상부 코너부에서의 성막의 증대에 의한 커버리지의 열화(보이드의 발생)가 생겨버리기 때문에 미세한 콘택트홀로의 적용이 곤란하다.

[0074] 이것에 대하여, 일 실시 형태에 의하면, 성막의 커버리지가 향상할 뿐만 아니라, 표면 거칠기도 상기 연속 성막 방법에 비교하여 더욱 개선시킬 수 있다.

[0075] 따라서, 일 실시 형태에 의하면, 어모퍼스 실리콘막(4)의 표면 거칠기의 정밀도를 더욱 개선할 수 있어, 반도체 장치 내부의 콘택트 홀이나 라인 등의 미세화의 진전에 대응 가능한 어모퍼스 실리콘막의 성막 방법을 제공할 수 있다. 그리고, 일 실시 형태에 따른 성막 방법을 이용하여 형성된 어모퍼스 실리콘막(4)은, 충간 절연막 중에 형성된 콘택트 홀(5)이나, 라인의 매입에 유용하다.

[0076] 다음으로, 상기 일 실시 형태에 따른 어모퍼스 실리콘막의 성막 방법을 실시하는 것이 가능한 성막 장치의 일 예를 설명한다.

[0077] 도 13은, 일 실시 형태에 따른 어모퍼스 실리콘막의 성막 방법을 실시하는 것이 가능한 성막 장치의 일 예를 개략적으로 나타내는 단면도이다.

[0078] 도 13에 나타내는 바와 같이, 성막 장치(100)는, 하단(下端)이 개구된 천장이 있는 원통체 형상의 처리실(101)을 갖고 있다. 처리실(101)의 전체는, 예를 들면, 석영에 의해 형성되어 있다. 처리실(101) 내의 천장에는, 석영제의 천장판(102)이 설치되어 있다. 처리실(101)의 하단 개구부에는, 예를 들면, 스테인리스 스틸에 의해 원통체 형상으로 성형된 매니폴드(manifold; 103)가 0 링 등의 시일 부재(sealing member; 104)를 개재하여 연결되어 있다.

[0079] 매니폴드(103)는 처리실(101)의 하단을 지지하고 있다. 매니폴드(103)의 하방으로부터는, 피처리체로서 복수개, 예를 들면, 50~100매의 반도체 기판, 본 예에서는, 실리콘 기판(1)을 다단으로 재치 가능한 석영제의 웨이퍼 보트(105)가 처리실(101) 내에 삽입 가능하게 되어 있다. 이에 따라, 처리실(101) 내에 피처리체, 예를 들면, 반도체 기판, 본 예에서는, 예를 들면, 하지로서 SiO_2 막이 미리 퇴적된 실리콘 기판(1)이 수용된다. 웨이퍼 보트(105)는 복수개의 지주(pillar; 106)를 갖고, 지주(106)에 형성된 홈에 의해 복수개의 실리콘 기판(1)이 지지되도록 되어 있다.

[0080] 웨이퍼 보트(105)는, 석영제의 보온통(107)을 개재하여 테이블(108) 상에 올려놓여져 있다. 테이블(108)은, 매니폴드(103)의 하단 개구부를 개폐하는, 예를 들면, 스테인리스 스틸제의 덮개부(109)를 관통하는 회전축(110) 상에 지지된다. 회전축(110)의 관통부에는, 예를 들면, 자성 유체 시일(111)이 설치되어, 회전축(110)을 기밀하게 시일하면서 회전 가능하게 지지하고 있다. 덮개부(109)의 주변부와 매니폴드(103)의 하단부와의 사이에는, 예를 들면, 0 링으로 이루어지는 시일 부재(112)가 사이에 설치되어 있다. 이에 따라 처리실(101) 내의 시일성이 유지되고 있다. 회전축(110)은, 예를 들면, 보트 엘리베이터 등의 승강 기구(도시하지 않음)에 지지된 아암(113)의 선단(先端)에 부착되어 있다. 이에 따라, 웨이퍼 보트(105) 및 덮개부(109) 등은, 일체적으로 승강되어 처리실(101) 내에 대하여 삽입 및 이탈된다.

[0081] 성막 장치(100)는, 처리실(101) 내에, 처리에 사용하는 가스를 공급하는 처리 가스 공급 기구(114)를 갖고 있다.

[0082] 처리 가스 공급 기구(114)는, 아미노실란계 가스 공급원(117), 아미노기를 포함하지 않는 실란계 가스 공급원(118)을 포함하고 있다.

[0083] 아미노실란계 가스 공급원(117)은, 유량 제어기(121a) 및 개폐 밸브(122a)를 개재하여, 분산 노즐(123)에 접속되어 있다. 분산 노즐(123)은 석영판으로 이루어지고, 매니폴드(103)의 측벽을 내측으로 관통하여 상방향으로 굴곡되어 수직으로 연장된다. 분산 노즐(123)의 수직 부분에는, 복수의 가스 토출공(124)이 소정의 간격을 두고 형성되어 있다. 아미노실란계 가스는, 각 가스 토출공(124)으로부터 수평 방향으로 처리실(101) 내를 향하여 대략 균일하게 토출된다.

[0084] 아미노기를 포함하지 않는 실란계 가스 공급원(118)은, 유량 제어기(121b) 및 개폐 밸브(122b)를 통하여, 분산

노즐(125)에 접속되어 있다. 분산 노즐(125)은 석영관으로 이루어지고, 매니폴드(103)의 측벽을 내측으로 관통하여 상방향으로 굽어져 수직으로 연장된다. 분산 노즐(125)의 수직 부분에는, 복수의 가스 토출공(126)이 소정의 간격을 두고 형성되어 있다. 아미노기를 포함하지 않는 실란계 가스는, 각 가스 토출공(126)으로부터 수평 방향으로 처리실(101) 내를 향하여 대략 균일하게 토출된다.

[0085] 처리실(101) 내의, 분산 노즐(123 및 125)과 반대측 부분에는, 처리실(101) 내를 배기하기 위한 배기구(129)가 설치되어 있다. 배기구(129)는 처리실(101)의 측벽을 상하 방향으로 깎음으로써 가늘고 길게 형성되어 있다. 처리실(101)의 배기구(129)에 대응하는 부분에는, 배기구(129)를 덮도록 단면이 D자 형상으로 성형된 배기구 커버 부재(130)가 용접에 의해 부착되어 있다. 배기구 커버 부재(130)는, 처리실(101)의 측벽을 따라서 상방으로 연장되어 있고, 처리실(101)의 상방에 가스 출구(131)를 규정하고 있다. 가스 출구(131)에는, 진공 펌프 등을 포함하는 배기 기구(132)가 접속된다. 배기 기구(132)는, 처리실(101) 내를 배기함으로써 처리에 사용한 처리 가스의 배기 및, 처리실(101) 내의 압력을 처리에 따른 처리 압력으로 한다.

[0086] 처리실(101)의 외주에는 통체 형상의 가열 장치(133)가 설치되어 있다. 가열 장치(133)는, 처리실(101) 내에 공급된 가스를 활성화함과 함께, 처리실(101) 내에 수용된 피처리체, 예를 들면, 반도체 기판, 본 예에서는 실리콘 기판(1)을 가열한다.

[0087] 성막 장치(100)의 각 부의 제어는, 예를 들면 마이크로 프로세서(컴퓨터)로 이루어지는 컨트롤러(150)에 의해 행해진다. 컨트롤러(150)에는, 오퍼레이터가 성막 장치(100)를 관리하기 위해 커맨드의 입력 조작 등을 행하는 키보드나, 성막 장치(100)의 가동 상황을 가시화하여 표시하는 디스플레이 등으로 이루어지는 유저 인터페이스(151)가 접속되어 있다.

[0088] 컨트롤러(150)에는 기억부(152)가 접속되어 있다. 기억부(152)는, 성막 장치(100)에서 실행되는 각종 처리를 컨트롤러(150)의 제어로 실현하기 위한 제어 프로그램이나, 처리 조건에 따라서 성막 장치(100)의 각 구성부에 처리를 실행시키기 위한 프로그램 즉 레시피가 격납된다. 레시피는, 예를 들면, 기억부(152) 안의 기억 매체에 기억된다. 기억 매체는, 하드 디스크나 반도체 메모리라도 좋고, CD-ROM, DVD, 플래시 메모리 등의 가반성(portable type)의 것이라도 좋다. 또한, 다른 장치로부터, 예를 들면 전용 회선을 개재하여 레시피를 적절히 전송시키도록 해도 좋다. 레시피는, 필요에 따라서, 유저 인터페이스(151)로부터의 지시 등으로 기억부(152)로부터 읽혀지고, 읽혀진 레시피에 따른 처리를 컨트롤러(150)가 실행함으로써, 성막 장치(100)는, 컨트롤러(150)의 제어 아래, 원하는 처리가 실시된다.

[0089] 본 예에서는, 컨트롤러(150)의 제어 아래, 상기 일 실시 형태에 따른 성막 방법에 따른 처리가 순차 실시된다.

[0090] 상기 일 실시 형태에 따른 성막 방법은, 도 13에 나타내는 바와 같은 성막 장치(100)에 의해 실시할 수 있다. 물론, 성막 장치로서는 도 13에 나타내는 바와 같은 배치식(batch type)에 한정하지 않고, 매엽식(single wafer type)의 성막 장치라도 좋다.

[0091] 이상, 본 발명을 몇 개의 실시 형태에 따라 설명했지만, 본 발명은, 상기 몇개의 실시 형태에 한정되는 것은 아니며, 여러 가지 변형 가능하다.

[0092] 예를 들면, 상기 일 실시 형태에 있어서는, 처리 조건을 구체적으로 예시했지만, 처리 조건은, 상기 구체적인 예시에 한정되는 것은 아니다.

[0093] 본 발명에 따른 이점인 어모퍼스 실리콘막의 표면 거칠기의 개선은, 아미노실란계 가스를 이용하여 하지(2)의 표면을 프리풀로우하고, 하지(2)의 표면에 시드층(3)을 형성한 후, 아미노기를 포함하지 않는 실란계 가스를 시드층(3) 상에 공급하여 열분해시킴으로써 어모퍼스 실리콘막(4)을 형성한다는 구성을 구비함으로써 얻어지는 것이다.

[0094] 따라서, 처리 조건은, 상기 일 실시 형태에 기재한 구체적인 예시에 한정되는 것은 아니고, 실리콘 기판(1)의 크기, 처리실의 용적 변화 등에 따라서, 상기 이점을 손상시키지 않는 범위에서 변경할 수 있는 것은 물론이다.

[0095] 또한, 상기 실시 형태에 기재한 성막 방법은, 표면 거칠기, 예를 들면, 평균 면 거칠기(Ra)를 0.1nm 오더로 개선할 수 있는 것이기 때문에, 반도체 장치의 제조 프로세스에 매우 적합하다.

[0096] 또한, 시드층(3)은, 두껍게 하면 어모퍼스 실리콘막(4)의 막두께를 증가시켜, 반도체 장치의 미세화를 손상시키게 된다. 또한, 시드층(3)은, 어모퍼스 실리콘의 핵을 균일하게 발생시키는 것이다. 이 때문에, 시드층(3)의 두께는 얇은 것이 바람직하고, 바람직하게는 단원자층 레벨의 두께 정도인 것이 좋다. 구체적인 시드층(3)의

두께를 언급하면, 0.1nm 이상 0.3nm 이하인 것이 좋다.

[0097] 또한, 아미노 실란계 가스로서는 1가의 아미노 실란계 가스, 예를 들면, DIPAS가 바람직하다.

[0098] 또한, 아미노 실란은 분해시키지 않고, 예를 들면, 하지(2) 상에, 흡착시키도록 하는 것이 바람직하다. 예를 들면, DIPAS는 450°C 이상에서 열분해한다. 아미노 실란이 열분해되면, 성막되는 막 중에 탄소(C), 질소(N) 등의 불순물이 말려 들어가 버리는 일이 있다. 아미노 실란은 열분해시키지 않고, 예를 들면, 하지(2) 상에 흡착시키도록 하는 것으로, 성막되는 막 중에 불순물이 말려 들어가 버리는 사정을 억제할 수 있다고 하는 이점을 얻을 수 있다.

[0099] 또한, 어모페스 실리콘막(4)의 두께는, 상기 일 실시 형태의 개시로부터, 50nm 이상 100nm 이하인 것이 바람직하지만, 예를 들면, 50nm 이하 또는 100nm 이상의 범위의 두께로 하는 것도 가능하다.

[0100] 또한, 상기 일 실시 형태에 있어서는, 아미노기를 포함하지 않는 실란계 가스로서,

[0101] $\text{Si}_m\text{H}_{2m+2}$ (단, m은 3 이상의 자연수)의 식으로 나타나는 실리콘의 수소화물 및, Si_nH_{2n} (단, n은 3 이상의 자연수)의 식으로 나타나는 실리콘의 수소화물의, 소위 고차(高次) 실란을 예시했다.

[0102] 고차 실란으로서는, 예를 들면, $\text{Si}_m\text{H}_{2m+2}$ (단, m은 3 이상의 자연수)의 식으로 나타나는 실리콘의 수소화물이,

[0103] 트리실란(Si_3H_8)

[0104] 테트라실란(Si_4H_{10})

[0105] 펜타실란(Si_5H_{12})

[0106] 헥사실란(Si_6H_{14})

[0107] 헬타실란(Si_7H_{16})의 적어도 하나로부터 선택되는 것이 좋다.

[0108] 또한, 예를 들면, Si_nH_{2n} (단, n은 3 이상의 자연수)의 식으로 나타나는 실리콘의 수소화물이,

[0109] 사이클로트리실란(Si_3H_6)

[0110] 사이클로테트라실란(Si_4H_8)

[0111] 사이클로펜타실란(Si_5H_{10})

[0112] 사이클로헥사실란(Si_6H_{12})

[0113] 사이클로헵타실란(Si_7H_{14})의 적어도 하나로부터 선택되는 것이 좋다.

[0114] 또한, 아미노 실란계 가스와 아미노기를 포함하지 않는 실란계 가스(실리콘 소스)와의 조합을 고려한 경우에는, 아미노 실란계 가스가 열분해하는 온도의 근방에서 열분해하기 쉬운 모노 실란(SiH_4), 디실란(Si_2H_6)이 바람직하다.

[0115] 그 외, 본 발명은 그의 요지를 일탈하지 않는 범위에서 여러 가지로 변형할 수 있다.

부호의 설명

[0116] 1 : 실리콘 기판

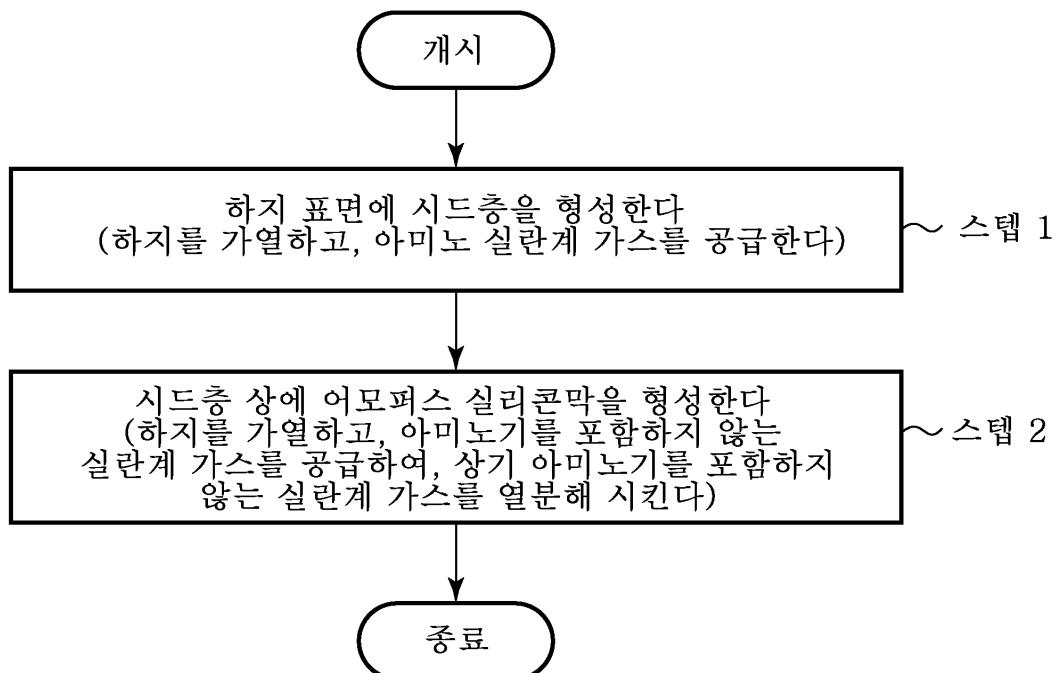
2 : 하지

3 : 시드층

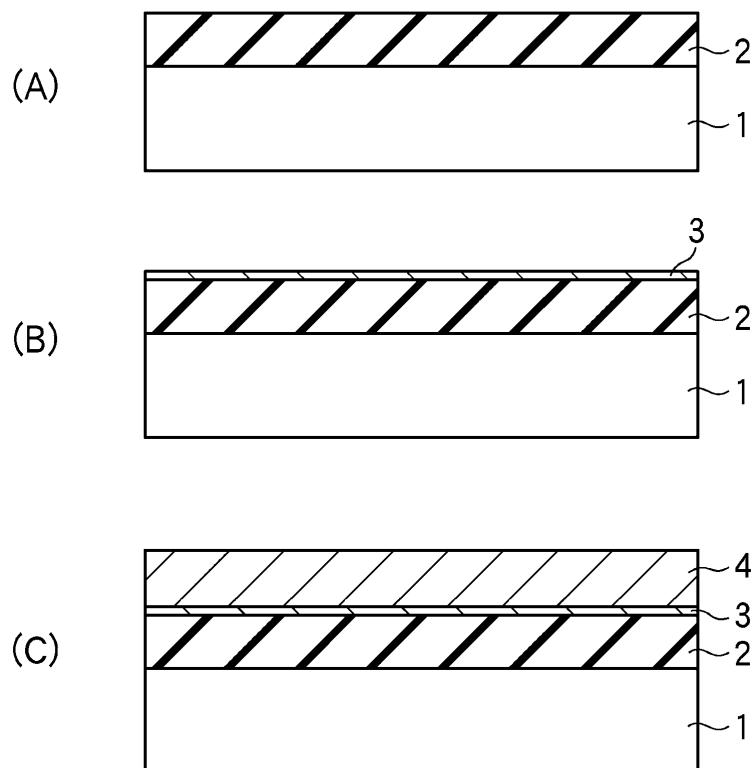
4 : 어모페스 실리콘막

도면

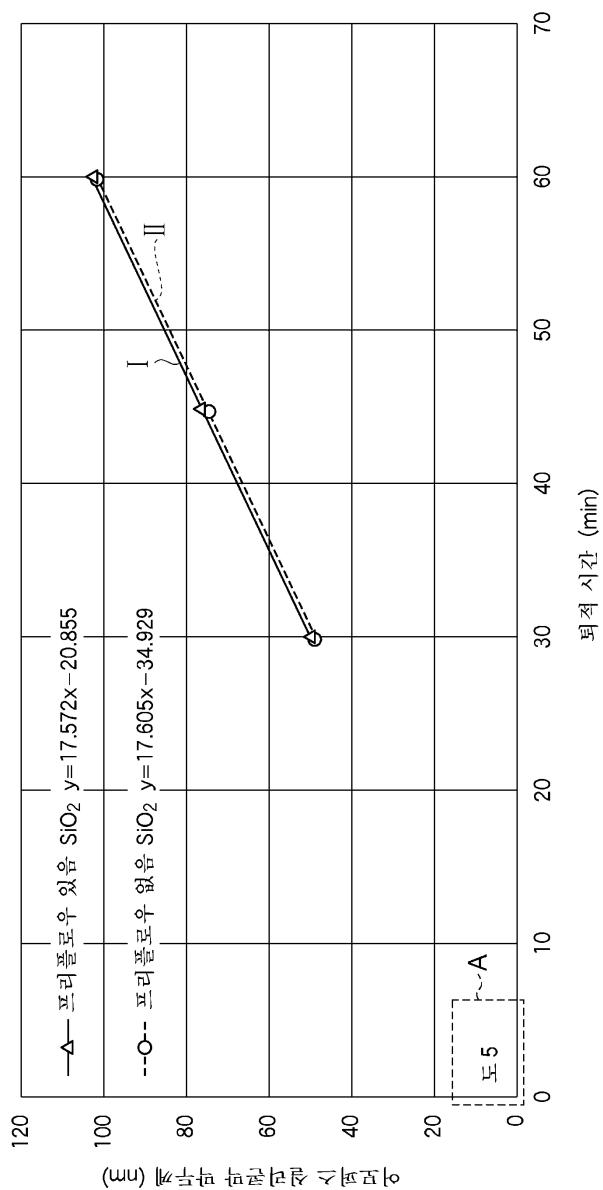
도면1



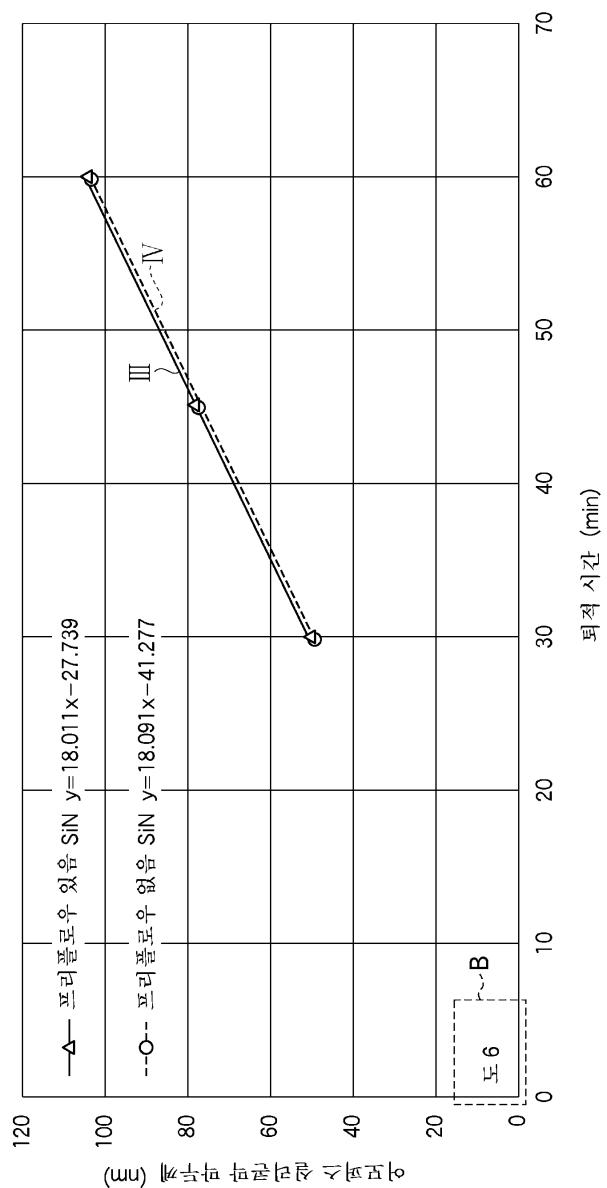
도면2



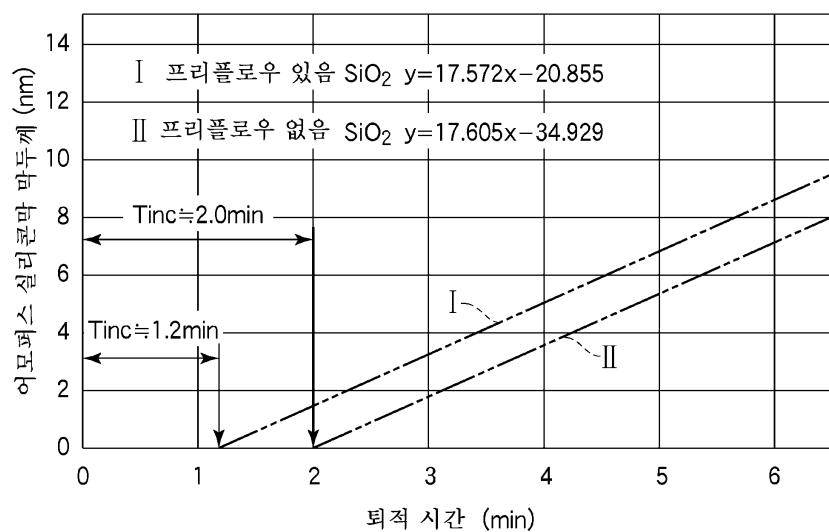
도면3



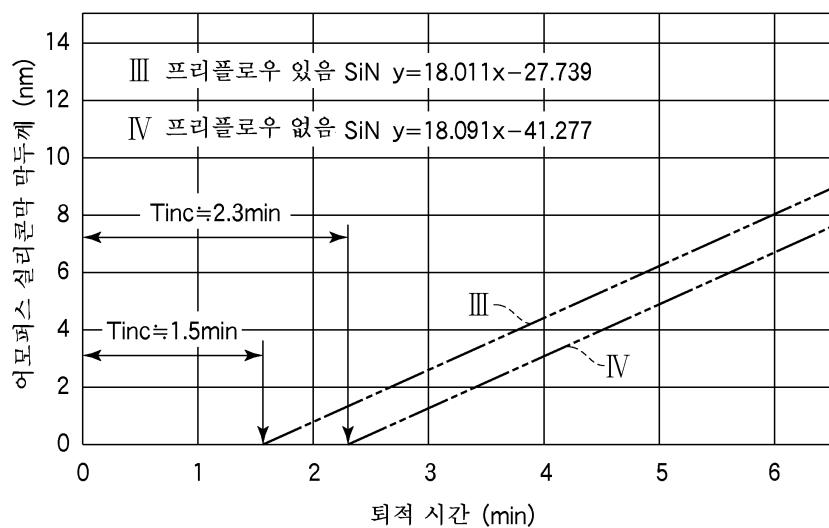
도면4



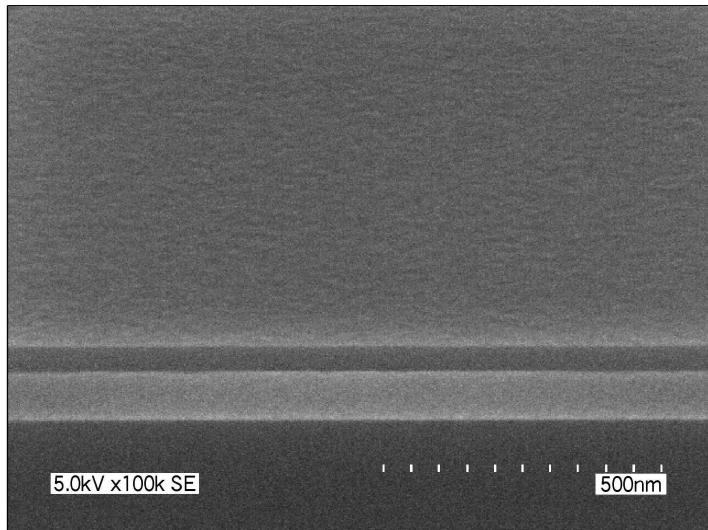
도면5



도면6



도면7a

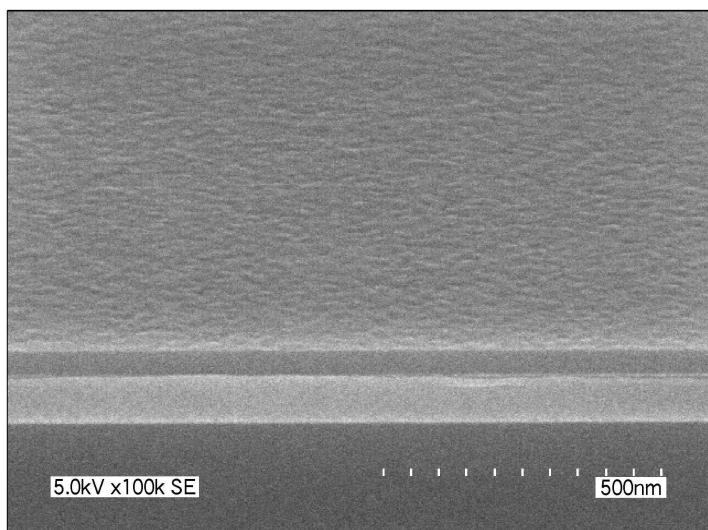


프리플로우 있음

퇴적 시간: 30min

막두께: 약50nm

도면7b



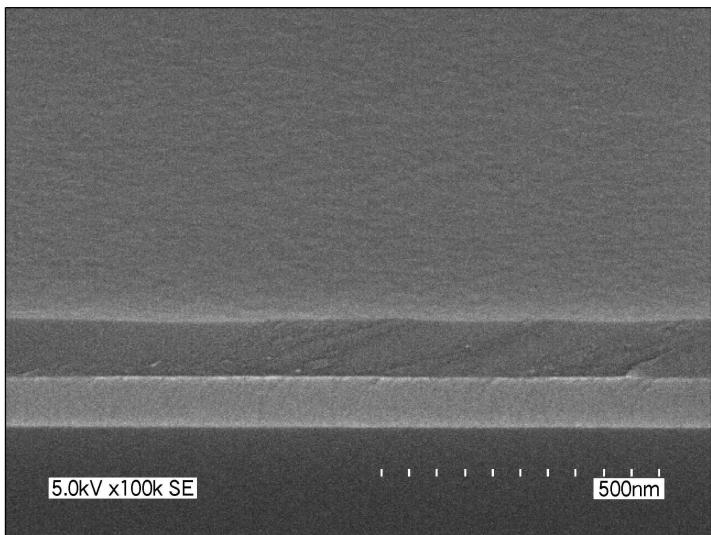
(비교 예)

프리플로우 없음

퇴적 시간: 30min

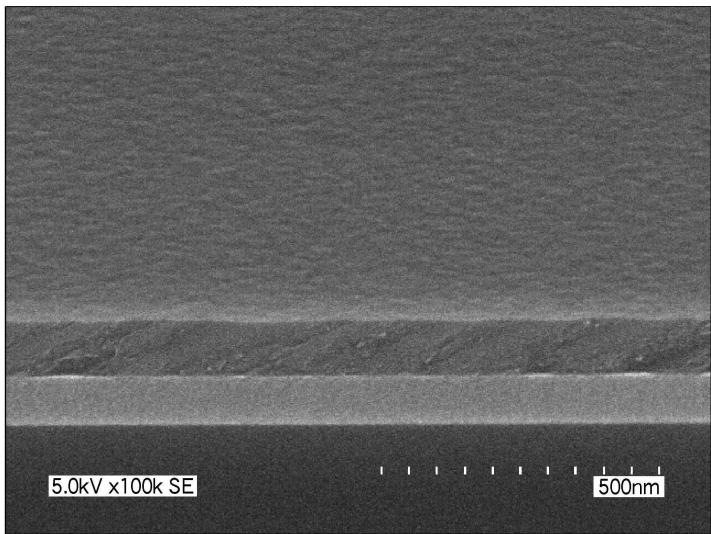
막두께: 약50nm

도면8a



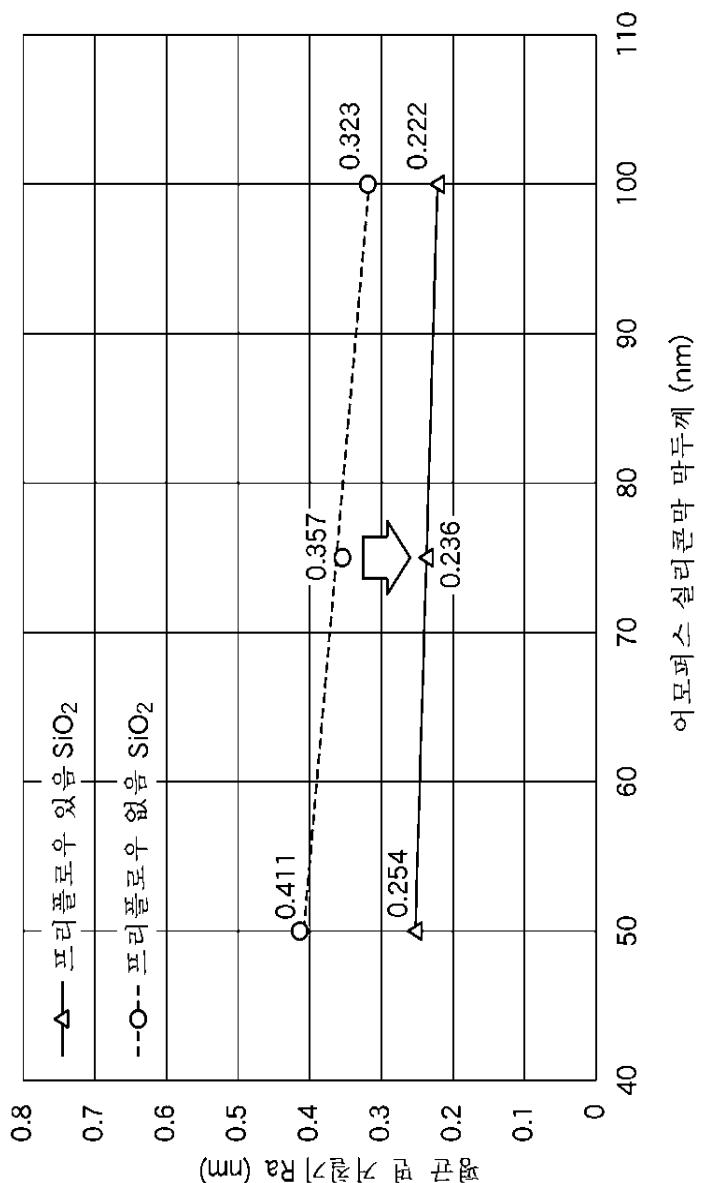
프리플로우 있음
퇴적 시간: 60min
막두께: 약100nm

도면8b



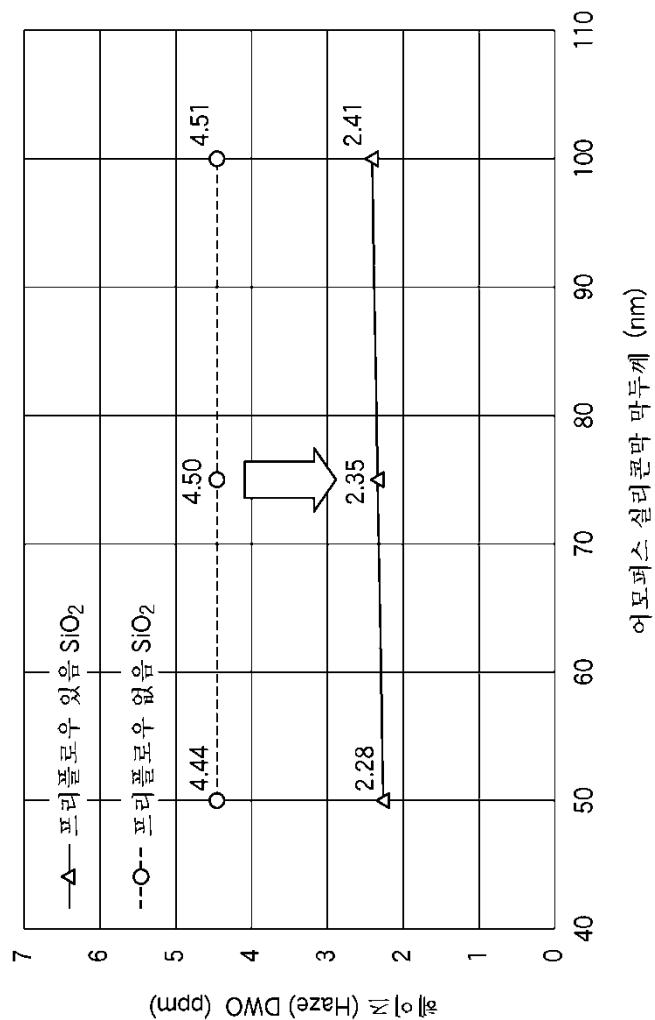
(비교 예)
프리플로우 없음
퇴적 시간: 60min
막두께: 약100nm

도면9

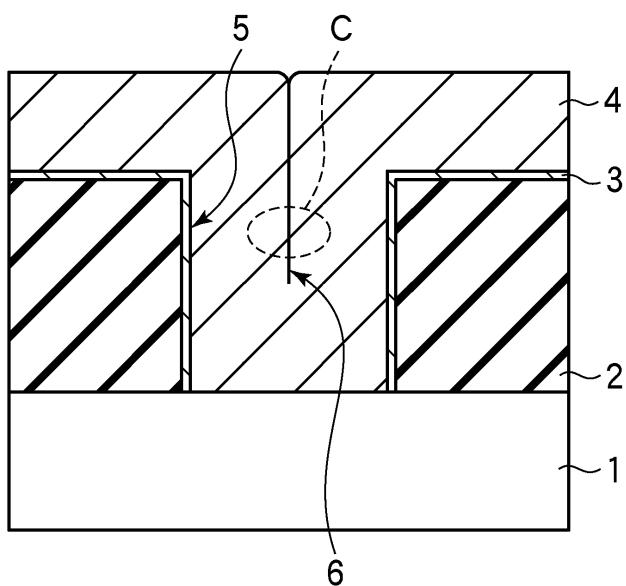


어모퍼스 실리콘막 막두께 (nm)

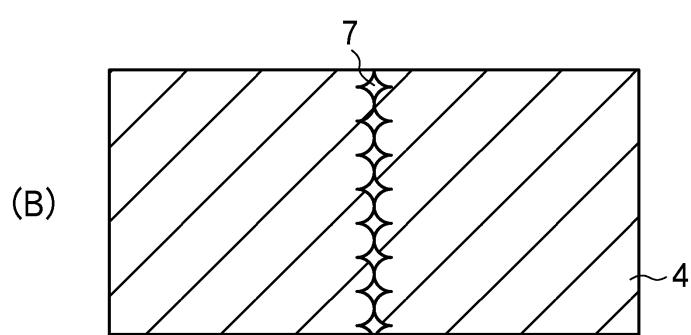
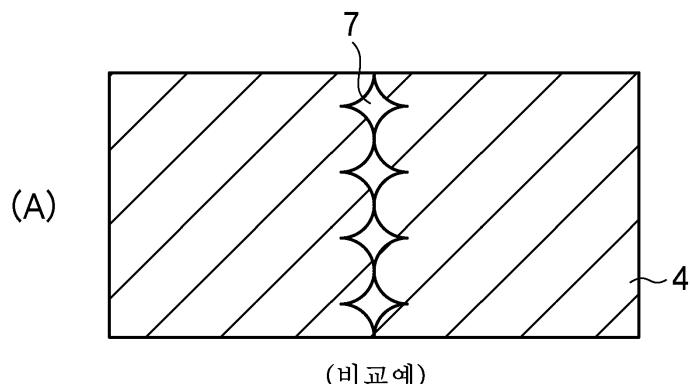
도면10



도면11



도면12



도면13

