



(10) 申请公布号 CN 104704571 A

(43) 申请公布日 2015.06.10

代理人 沈锦华

(51) Int. Cl.

G11C 16/24(2006.01)

G11C 16/28(2006.01)

G11C 7/06(2006.01)

G11C 7/14(2006.01)

G11C 13/00(2006.01)

PCT/US2013/060302 2013. 09. 18

W02014/047114 EN 2014.03.27

地址 美国亚利桑那州

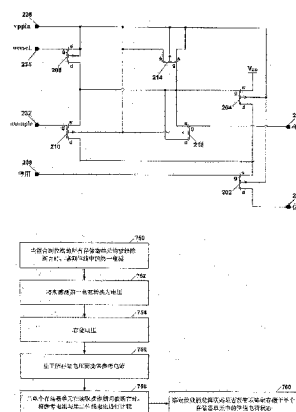
(74) 专利代理机构 北京律盟知识产权代理有限公司 11287

权利要求书2页 说明书6页 附图5页

自偏置电流参考

(57) 摘要

可在执行读取之前的位线预充电时间期间使用在存储器单元未被断言的情况下显现在位线上的电流以便对连接于所述位线与处于 VDD 电位的电力供应器之间的栅极-漏极短接式 PMOS 上拉装置进行偏置。一旦所述预充电时间完成,便可在漏极被切断连接时使用连接到此 PMOS 上拉装置的栅极的电容来“存储”所得栅极-源极电压。一旦读取操作开始,便再使用具有所述“所存储”的所得栅极-源极电压的所述 PMOS 上拉装置的电流作为参考以在连接到所述位线的经断言存储器单元的读取操作期间感测所述经断言存储器单元的状态。



1. 一种用于确定具有浮动栅极的存储器单元的电荷状态的方法,所述方法包括以下步骤:

当耦合到位线的所有存储器单元均被解除断言时,感测所述位线中的第一电流;

将所述第一电流转换为电压;

存储所述电压;

基于所述所存储电压而提供参考电流;

当连接到所述位线的单个存储器单元在其读取操作期间被断言时,将所述参考电流与所述位线中的第二电流进行比较;以及

根据所述参考电流与所述第二电流的所述比较来确定存储于所述单个存储器单元中的位值电荷状态。

2. 根据权利要求1所述的方法,其中所述感测所述第一电流的步骤包括以下步骤:当耦合到所述位线的所有存储器单元均被解除断言时,将第一晶体管的栅极及漏极耦合到所述位线。

3. 根据权利要求2所述的方法,其中所述将所述第一电流转换为所述电压的步骤包括以下步骤:根据所述所感测第一电流而跨越所述第一晶体管的所述栅极及源极产生所述电压。

4. 根据权利要求3所述的方法,其中所述存储所述电压的步骤包括以下步骤:跨越第二晶体管的栅极及连接在一起的源极-漏极耦合所述电压,其中所述电压存储于在所述第二晶体管的栅极与源极-漏极之间形成的电容之间。

5. 根据权利要求3所述的方法,其中所述存储所述电压的步骤包括以下步骤:跨越电容器耦合所述电压。

6. 根据权利要求4所述的方法,其中所述提供所述参考电流的步骤包括以下步骤:基于存储于所述第二晶体管中的所述电压而借助所述第一晶体管产生所述参考电流。

7. 根据权利要求5所述的方法,其中所述提供所述参考电流的步骤包括以下步骤:基于存储于所述电容器中的所述电压而借助所述第一晶体管产生所述参考电流。

8. 根据权利要求1所述的方法,其中所述将所述参考电流与所述第二电流进行比较的步骤包括以下步骤:在所述存储器单元已被断言之后,监测与所述存储器单元相关联的所述位线的所述电压。

9. 根据权利要求1所述的方法,其中所述确定存储于所述单个存储器单元中的所述位值电荷状态的步骤包括以下步骤:检测与所述经断言存储器单元相关联的所述位线的逻辑状态存在改变还是不存在改变。

10. 根据权利要求6所述的方法,其中所述第一晶体管的所述漏极耦合到所述位线,且所述第一晶体管的所述源极耦合到电力供应电压,且存储于所述第二晶体管中的所述电压对所述第一晶体管进行偏置以提供所述参考电流。

11. 根据权利要求1所述的方法,其中在所述经断言存储器单元的读取操作期间,使用所述第二晶体管中的所述所存储电压来确定所述参考电流以感测耦合到所述位线的所述经断言存储器单元的所述位值电荷状态。

12. 根据权利要求4所述的方法,其中所述第一及第二晶体管为p型金属氧化物半导体PMOS晶体管。

13. 根据权利要求 4 所述的方法, 其中所述第一及第二晶体管为 n 型金属氧化物半导体 NMOS 晶体管。

14. 一种用于确定具有浮动栅极的存储器单元的电荷状态的设备, 其包括:

第一晶体管, 其具有耦合到位线的栅极及漏极以及耦合到电力供应电压的源极, 当耦合到所述位线的所有存储器单元均被解除断言时, 其中感测所述位线中的第一电流;

所述第一晶体管将所述第一电流转换为电压;

第二晶体管存储所述电压;

所述第一晶体管基于来自所述第二晶体管的所述所存储电压而提供参考电流;

其中当连接到所述位线的单个存储器单元在其读取操作期间被断言时, 将所述参考电流与所述位线中的第二电流进行比较; 且

根据所述参考电流与所述第二电流的所述比较来确定存储于所述单个存储器单元中的位值电荷状态。

15. 根据权利要求 14 所述的设备, 其中穿过所述第一晶体管的所述第一电流在所述第一晶体管的所述栅极与源极之间产生所述电压。

16. 根据权利要求 14 所述的设备, 其中所述电压存储于在所述第二晶体管的栅极与源极 - 漏极之间形成的电容之间。

17. 根据权利要求 14 所述的设备, 其中所述电压存储于电容器上。

18. 根据权利要求 14 所述的设备, 其中借助于与所述经断言存储器单元相关联的所述位线将所述参考电流与所述第二电流进行比较。

19. 根据权利要求 14 所述的设备, 其中通过检测与所述经断言存储器单元相关联的所述位线的逻辑状态存在改变还是不存在改变来确定存储于所述单个存储器单元中的所述位值电荷状态。

20. 根据权利要求 14 所述的设备, 其中所述第一及第二晶体管为 p 型金属氧化物半导体 PMOS 晶体管。

21. 根据权利要求 14 所述的设备, 其中所述第一及第二晶体管为 n 型金属氧化物半导体 NMOS 晶体管。

22. 一种用于确定具有浮动栅极的存储器单元的电荷状态的设备, 其包括:

第一晶体管, 其具有耦合到位线的栅极及漏极以及耦合到电力供应电压的源极, 当耦合到所述位线的所有存储器单元均被解除断言时, 其中感测所述位线中的第一电流;

所述第一晶体管将所述第一电流转换为电压;

电容器存储所述电压;

所述第一晶体管基于来自所述电容器的所述所存储电压而提供参考电流;

其中当连接到所述位线的单个存储器单元在其读取操作期间被断言时, 将所述参考电流与所述位线中的第二电流进行比较; 且

根据所述参考电流与所述第二电流的所述比较来确定存储于所述单个存储器单元中的位值电荷状态。

自偏置电流参考

[0001] 相关专利申请案

[0002] 本申请案主张对大卫·弗朗西斯·米图斯 (David Francis Mietus) 在 2012 年 9 月 18 日提出申请且标题为“自偏置电流参考 (Self-Biasing Current Reference)”的共同拥有的第 61/702,338 号美国临时专利申请案的优先权,且所述美国临时专利申请案出于所有目的特此以引用的方式并入本文中。

技术领域

[0003] 本发明涉及一种自偏置电流参考,特定来说,涉及一种在存储器单元中使用的自偏置电流参考。

背景技术

[0004] 电可擦除且可编程只读存储器 (EEPROM) 是可在无电力的情况下保持其存储器内容的可重写存储器装置。EEPROM 在写入层级上是位或字节可寻址的,这意味着必须在擦除位或字节之后才可对其进行重写。EEPROM 通常在电路板上用于存储指令及数据。参考图 1,“浮动栅极”将所存储位电荷保持在 EEPROM 中。通常使用基于互补金属氧化物半导体 (CMOS) 的晶体管技术且其具有用以保持所存储位电荷的“浮动栅极”。当浮动栅极上无电荷时,晶体管正常地起作用,且控制栅极上的脉冲致使电流流动。当浮动栅极被充电时,此电荷阻止存储器单元晶体管的正常控制栅极动作,且在控制栅极上的脉冲期间电流不流动。通过以下操作来完成充电:将源极端子及漏极端子接地,并将充足电压置于控制栅极上,使得电荷穿过氧化物隧穿到浮动栅极。从另一晶体管输送的反向电压通过致使浮动栅极电荷耗散到集成电路衬底中而清除所述电荷。

[0005] 存储器装置需要高可靠性。举例来说,用于形成串行 EEPROM 产品的技术可能在装置从存储器阵列读出恰当数据的能力方面具有局限性。举例来说,过多的“单元”泄漏可最小化/消除在正被读取的经断言存储器单元的“接通”单元电流与“关断”单元电流之间进行区分的能力。可能会因使用连接到位线的“泄漏”晶体管而引起偏移。自定时读取方案的使用可允许在读取之前进行位线放电。读取电荷泵的使用可最小化“接通”单元电流的供应变化。

[0006] 此外,“接通”单元电流及/或不受控制/不正确参考电流电平的降级限制了感测放大器性能。“接通”单元电流存在耐久性相关降级。所使用的参考电压/电流电平可能过度地随着所使用的过程而变化及/或不追踪“接通”单元电流对电压供应及/或温度的关系。无法通过固定参考电流来补偿位线泄漏电流。

发明内容

[0007] 因此,需要如下的 EEPROM 存储器产品:对存储器单元电流的耐久性降级具有经改进的免受性,从而消除外部参考电流及/或泄漏补偿、通过最小化泄漏电流在高温下的影响而改进电流功能,及通过不需要在读取操作期间将位线预充电到全 V_{DD} 电位而实现较低

功率操作。

[0008] 根据一实施例,一种用于确定具有浮动栅极的存储器单元的电荷状态的方法可包括以下步骤:当耦合到位线的所有存储器单元可被解除断言时,感测所述位线中的第一电流;将所述第一电流转换为电压;存储所述电压;基于所述所存储电压而提供参考电流;当连接到所述位线的单个存储器单元可在其读取操作期间被断言时,将所述参考电流与所述位线中的第二电流进行比较;及根据所述参考电流与所述第二电流的所述比较来确定存储于所述单个存储器单元中的位值电荷状态。

[0009] 根据所述方法的另一实施例,所述感测所述第一电流的步骤可包括以下步骤:当耦合到所述位线的所有存储器单元可被解除断言时,将第一晶体管的栅极及漏极耦合到所述位线。根据所述方法的另一实施例,所述将所述第一电流转换为所述电压的步骤可包括以下步骤:根据所述所感测第一电流而跨越所述第一晶体管的所述栅极及源极产生所述电压。根据所述方法的另一实施例,所述存储所述电压的步骤可包括以下步骤:跨越第二晶体管的栅极及连接在一起的源极-漏极耦合所述电压,其中所述电压可存储于在所述第二晶体管的栅极与源极-漏极之间形成的电容之间。根据所述方法的另一实施例,所述存储所述电压的步骤可包括以下步骤:跨越电容器耦合所述电压。根据所述方法的另一实施例,所述提供所述参考电流的步骤可包括以下步骤:基于存储于所述第二晶体管中的所述电压而借助所述第一晶体管产生所述参考电流。

[0010] 根据所述方法的另一实施例,所述提供所述参考电流的步骤可包括以下步骤:基于存储于所述电容器中的所述电压而借助所述第一晶体管产生所述参考电流。根据所述方法的另一实施例,所述将所述参考电流与所述第二电流进行比较的步骤可包括以下步骤:在所述存储器单元已被断言之后,监测与所述存储器单元相关联的所述位线的所述电压。根据所述方法的另一实施例,所述确定存储于所述单个存储器单元中的所述位值电荷状态的步骤可包括以下步骤:检测与所述经断言存储器单元相关联的所述位线的逻辑状态存在改变还是不存在改变。根据所述方法的另一实施例,所述第一晶体管的所述漏极可耦合到所述位线,且所述第一晶体管的所述源极可耦合到电力供应电压,且存储于所述第二晶体管中的所述电压对所述第一晶体管进行偏置以提供所述参考电流。根据所述方法的另一实施例,在所述经断言存储器单元的读取操作期间,可使用所述第二晶体管中的所述所存储电压来确定所述参考电流以感测耦合到所述位线的所述经断言存储器单元的所述位值电荷状态。根据所述方法的另一实施例,所述第一及第二晶体管可为 p 型金属氧化物半导体 (PMOS) 晶体管。根据所述方法的另一实施例,所述第一及第二晶体管可为 n 型金属氧化物半导体 (NMOS) 晶体管。

[0011] 根据另一实施例,一种用于确定具有浮动栅极的存储器单元的电荷状态的设备可包括:第一晶体管,其具有耦合到位线的栅极及漏极以及耦合到电力供应电压的源极,当耦合到所述位线的所有存储器单元可被解除断言时,其中可感测所述位线中的第一电流;所述第一晶体管将所述第一电流转换为电压;第二晶体管存储所述电压;所述第一晶体管基于来自所述第二晶体管的所述所存储电压而提供参考电流;其中当连接到所述位线的单个存储器单元可在其读取操作期间被断言时,可将所述参考电流与所述位线中的第二电流进行比较;且可根据所述参考电流与所述第二电流的所述比较来确定存储于所述单个存储器单元中的位值电荷状态。

[0012] 根据另一实施例,穿过所述第一晶体管的所述第一电流在所述第一晶体管的所述栅极与源极之间产生所述电压。根据另一实施例,所述电压可存储于在所述第二晶体管的栅极与源极-漏极之间形成的电容之间。根据另一实施例,所述电压可存储于电容器上。根据另一实施例,可借助于与所述经断言存储器单元相关联的所述位线将所述参考电流与所述第二电流进行比较。根据另一实施例,可通过检测与所述经断言存储器单元相关联的所述位线的逻辑状态存在改变还是不存在改变来确定存储于所述单个存储器单元中的所述位值电荷状态。根据另一实施例,所述第一及第二晶体管可为 p 型金属氧化物半导体 (PMOS) 晶体管。根据另一实施例,所述第一及第二晶体管可为 n 型金属氧化物半导体 (NMOS) 晶体管。

[0013] 根据又一实施例,一种用于确定具有浮动栅极的存储器单元的电荷状态的设备可包括:第一晶体管,其具有耦合到位线的栅极及漏极以及耦合到电力供应电压的源极,当耦合到所述位线的所有存储器单元可被解除断言时,其中可感测所述位线中的第一电流;所述第一晶体管将所述第一电流转换为电压;电容器存储所述电压;所述第一晶体管基于来自所述电容器的所述所存储电压而提供参考电流;其中当连接到所述位线的单个存储器单元可在其读取操作期间被断言时,可将所述参考电流与所述位线中的第二电流进行比较;且可根据所述参考电流与所述第二电流的所述比较来确定存储于所述单个存储器单元中的位值电荷状态。

附图说明

[0014] 结合附图参照以下说明可更完全地理解本发明,附图中:

[0015] 图 1 图解说明根据本发明的教示的电可擦除且可编程只读存储器 (EEPROM) 晶体管的示意性横截面图;

[0016] 图 2 图解说明根据本发明的特定实例性实施例的自偏置电流参考的示意图;

[0017] 图 3 图解说明用于对图 2 中所展示的自偏置电流参考进行建模的示意图;

[0018] 图 4 图解说明针对经断言存储器单元的“接通”及“关断”两种状态图 3 中所展示的电路的时序波形;以及

[0019] 图 5 图解说明根据本发明的特定实例性实施例利用自偏置电流参考的应用的流程图。

[0020] 尽管本发明易于作出各种修改及替代形式,但在图式中展示并在本文中详细描述其特定实例性实施例。然而,应理解,本文对特定实例性实施例的描述并非打算将本发明限制于本文所揭示的特定形式,而是相反,本发明打算涵盖所附权利要求书所界定的所有修改及等效形式。

具体实施方式

[0021] 根据本发明的各种实施例,可感测未经断言存储器阵列位线上存在的电流并将其存储为电压。可接着利用此所存储电压在于经断言存储器单元的读取操作期间感测感测所述经断言存储器单元的状态时产生参考电流。此外,根据各种实施例,可通过最小化泄漏电流在高温下的影响来提供经改进的电路功能。各种实施例实现了较低功率操作,这是因为在经断言存储器单元的读取期间,位线可被预充电到小于 V_{DD} 电位。

[0022] 根据各种实施例,改进了对存储器单元电流的耐久性降级的免受性,且可消除对外部参考电压、电流及 / 或泄漏补偿的需要。

[0023] 根据各种实施例,可在执行读取之前的位线预充电时间期间使用在存储器单元未被断言的情况下显现在位线上的电流以便对连接于所述位线与处于 V_{DD} 电位的电力供应器之间的栅极-漏极短接式 PMOS 上拉装置进行偏置。一旦所述预充电时间完成,便可在漏极被切断连接时使用连接到此 PMOS 上拉装置的栅极的电容来“存储”所得栅极-源极电压。一旦读取操作开始,便再使用具有所述“所存储”的所得栅极-源极电压的所述 PMOS 上拉装置的电流作为参考以在连接到所述位线的经断言存储器单元的读取操作期间感测所述经断言存储器单元的状态。

[0024] 现在参考图式,示意性地图解说明特定实例性实施例的细节。图式中的相同元件将由相同编号表示,且相似元件将由带有不同小写字母后缀的相同编号表示。

[0025] 参考图 2,其描绘根据本发明的特定实例性实施例的自偏置电流参考的示意图。晶体管 202、204、208、210、214 及 218 可为如图 2 中所展示的那样布置并连接在一起的 P 型金属氧化物半导体 (PMOS) 晶体管,且如下共同地发挥作用:当与位线 230 附接的 EEPROM 存储器阵列 (未展示) 的所有存储器单元均被解除断言时,通过在 nsample 节点 232 上断言逻辑低 (“0”) 从而致使晶体管 204 的栅极与漏极经由晶体管 210 耦合在一起来感测位线 230 上的电流。电流接着流动穿过晶体管 204,借此产生跨越晶体管 214 的栅极-源极显现的电压,所述栅极-源极还充当此电压的“保持”电容器。预期且在本发明的范围内,可代替 PMOS 晶体管而使用 N 型金属氧化物半导体 (NMOS) 晶体管,且半导体与存储器电路设计领域的且受益于本发明的普通技术人员可使用 NMOS 晶体管来设计此种电路。

[0026] 当 nsample 节点 232 被解除断言到逻辑高 (“1”) 时,晶体管 204 现在充当电流参考,其中参考电流由跨越晶体管 214 的充当“保持”电容器的栅极-源极所存储的电压而确定。接着,可在连接到位线节点 230 的单个经断言存储器单元 (未展示) 的读取操作期间将此参考电流与来自所述经断言存储器单元的电流进行比较。取决于来自此经断言存储器单元的电流,可观察到在位线节点 230 (晶体管 202 的漏极) 上显现的电压基于此经断言存储器单元的接通 (高电流) 或关断 (低电流) 状态而改变其逻辑状态,例如,位线节点 230 在参考电流大于经断言存储器单元电流时处于第一电压电平且在参考电流小于经断言存储器单元电流时处于第二电压电平。此操作与连接到位线节点 230 的存储器单元的数目无关,因为所观察到的电流改变是由正断言的单个存储器单元的状态改变引起的,如下文更全面地解释。

[0027] 当 nreset 节点 234 被断言到逻辑低时,晶体管 208 可用于在电力循环期间将晶体管 204 的栅极端子放电到在 vppin 节点 236 上存在的 V_{DD} 电位或用于开始 / 结束读取操作。晶体管 218 连同节点 240 上的样本信号一起可用作电荷补偿以抵消因将晶体管 210 解除断言而产生的“保持”步阶电压。可需要此抵消来确保由晶体管 204 产生的参考电流等于或大于最初存在于存储器阵列位线节点 230 上的电流。晶体管 202 为任选的,但优选地可用于将在写入操作期间存在于位线节点 230 上的高电压与根据本发明的各种实施例所利用的其它晶体管隔离。注意,根据本发明的特定实例性实施例,可替代地通过使用实际电容器来提供包括晶体管 214 的栅极-源极的“保持”电容器。

[0028] 参考图 3,其描绘用于对利用图 2 中所展示的自偏置电流参考 (电路块 442) 的电

路进行建模的示意图。电流源 446 用于包含由连接到位线节点 230 的其它电路块（未展示）产生的泄漏电流。晶体管 448 用于包含连接到位线节点 230 的其余经解除断言存储器单元。晶体管 450 表示针对读取操作借助于 w1 节点 452 被断言的连接到位线节点 230 的单个存储器单元。电容器 454 用于包含与位线节点 230 相关联的寄生电容。

[0029] 参考图 4, 其描绘针对经断言存储器单元的“接通”及“关断”两种状态与图 3 中所展示的电路模型相关联的读取操作时序波形。当 nreset 节点 234 被短暂地断言到逻辑低（这将晶体管 204 的栅极端子放电到 vppin 节点 236 上存在的 V_{DD} 电位）时, 读取操作开始。这也用于将晶体管 214 的栅极端子上存在的任何所存储电荷放电。读取操作通过使 nsample 节点 232 及样本节点 240 循环（这导致由晶体管 204 经由晶体管 202 产生电流 I_{store} , 如晶体管 214 的栅极端子上存在的所存储电荷所确定）而继续。可将 I_{store} 的值近似为：

$$[0030] \quad I_{store} \sim I_{446} + I_{448} + I_{450, de-asserted}$$

[0031] 这还导致将位线节点 230 强制为低于 vppin 节点 236 上存在的 V_{DD} 电位的电压（如晶体管 204 上存在的栅极-源极电压所确定）。一旦已完成 nsample 节点 232 及样本节点 240 的循环, w1 节点 452 即会转变, 这对存储器单元晶体管 450 进行断言。在存储器单元晶体管 450 被断言的情况下, 位线节点 230 现在将以两种方式中的一者做出响应：

[0032] 1) 如果存储器单元晶体管 450 处于“关断”状态, 那么位线节点 230 将基于如下事实而保持不变（接近 V_{DD} 电位）：

$$[0033] \quad I_{store} > I_{446} + I_{448} + I_{450, asserted}$$

[0034] 因此, 可将位线节点 230 视为处于逻辑高状态。

[0035] 2) 如果存储器单元晶体管 450 处于“接通”状态, 那么位线节点 230 将基于如下事实而被放电到接近接地电位：

$$[0036] \quad I_{store} < I_{446} + I_{448} + I_{450, asserted}$$

[0037] 因此, 可将位线节点 230 视为处于逻辑低状态。

[0038] 因此, 可通过监测位线节点 230 上存在的电压而容易地确定存储器单元晶体管 450 的“接通”或“关断”状态。当通过使 w1 节点 452（图 4 中未展示）转变而将存储器单元晶体管 450 解除断言时, 读取操作终止。

[0039] 参考图 5, 其描绘根据本发明的特定实例性实施例与利用自偏置电流参考的电路相关联的流程图。在步骤 750 中, 当耦合到位线的所有存储器单元均被解除断言时, 感测第一位线电流。在步骤 752 中, 将所感测第一位线电流转换为电压, 且在步骤 754 中, 将所述电压存储于（例如）晶体管 214 的充当电压存储电容器的栅极-源极结中。在步骤 756 中, 基于所存储电压而提供参考电流。在步骤 758 中, 当耦合到所述位线的单个存储器单元在读取操作期间被断言时, 将参考电流与第二位线电流进行比较。在步骤 760 中, 做出位线的逻辑状态是否改变的确定, 以确定存储于单个存储器单元中的位值电荷状态。

[0040] 根据本发明的教导, 可产生“自偏置式”电流参考, 其有效地消除现有解决方案的局限性以从 EEPROM 阵列恰当地读出数据。对小于供应电压的预充电电压的使用会减少功率消耗。本发明的各种实施例可用于减少制作成本且实现例如但不限于串行 EEPROM 产品的更稳健存储器装置。

[0041] 尽管已参考本发明的实例性实施例来描绘、描述及界定本发明的各实施例, 但此

参考并不意味着限制本发明,且不应推断出存在此种限制。所揭示的标的物能够在形式及功能上具有大量修改、变更及等效形式,所属领域的且受益于本发明的普通技术人员将会联想到这些修改、变更及等效形式。所描绘及所描述的本发明实施例仅作为实例,而并非是对本发明范围的穷尽性说明。

电可擦除且可编程只读存储器及快闪晶体管

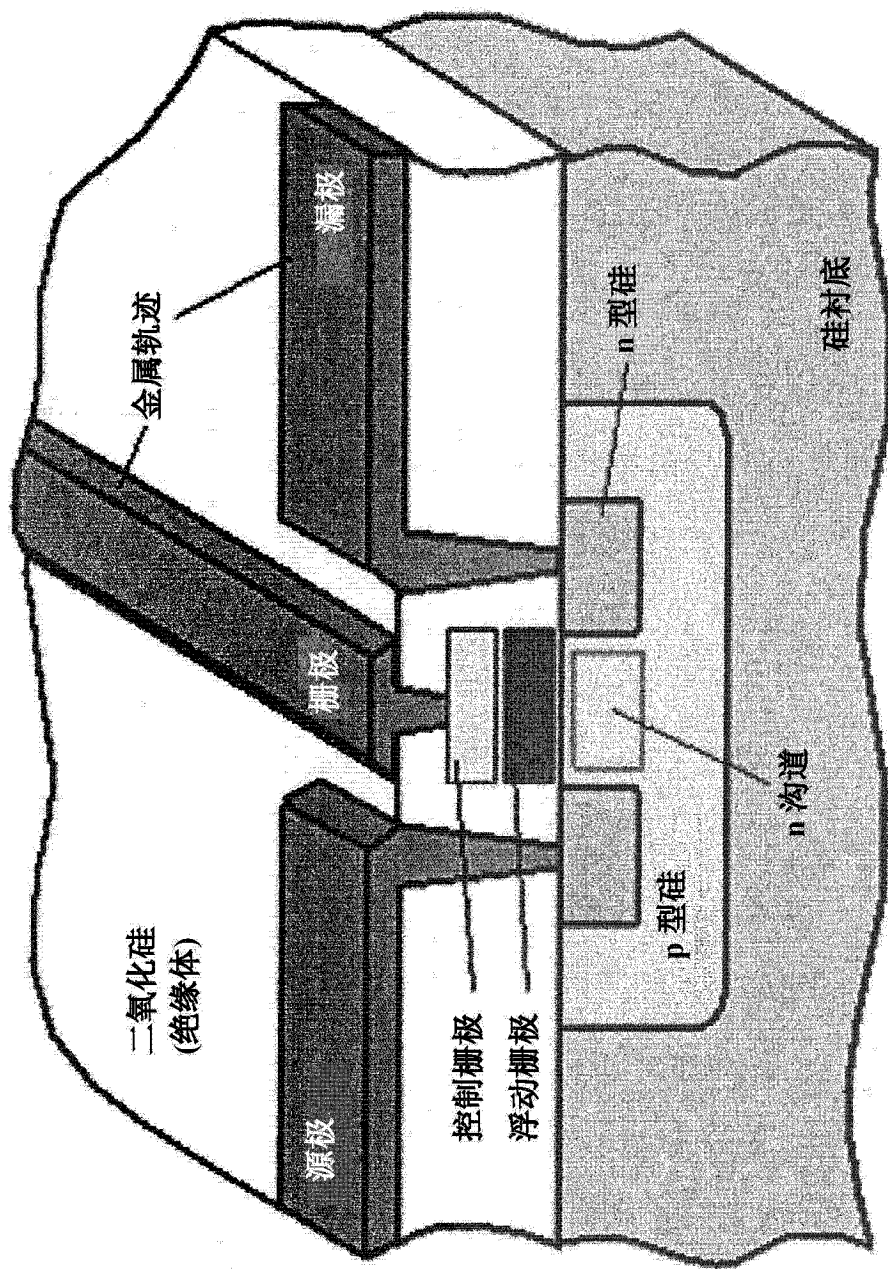


图 1

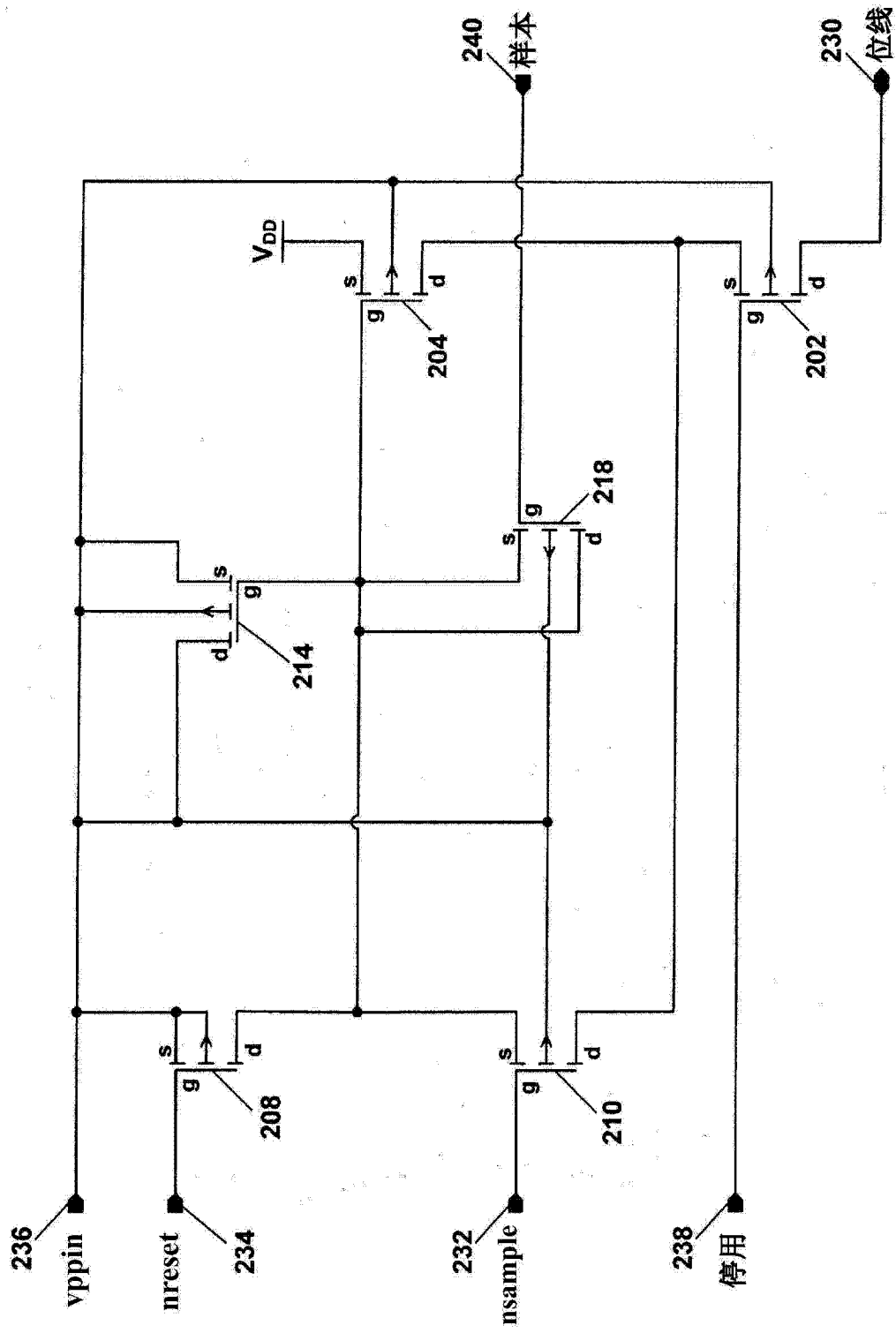


图 2

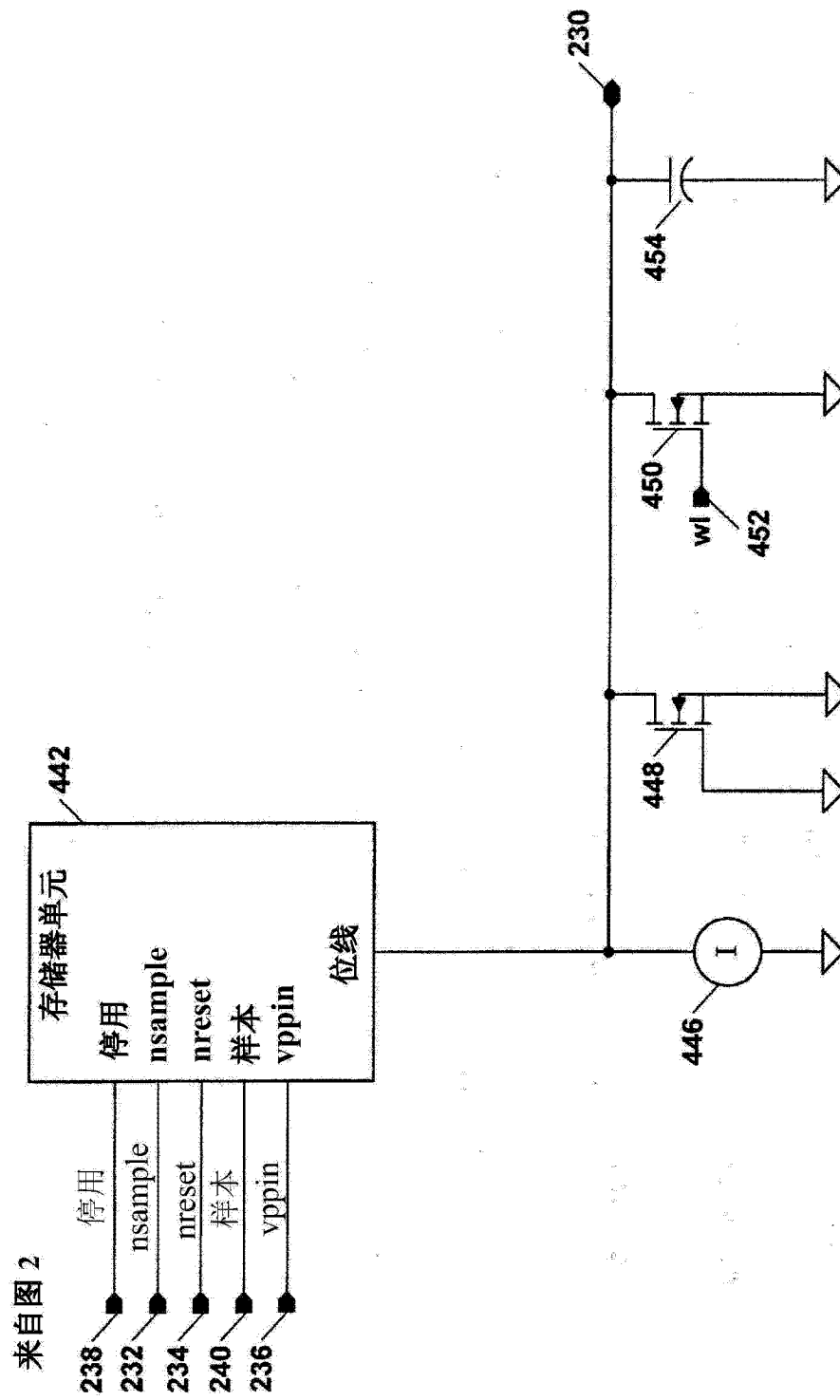


图 3

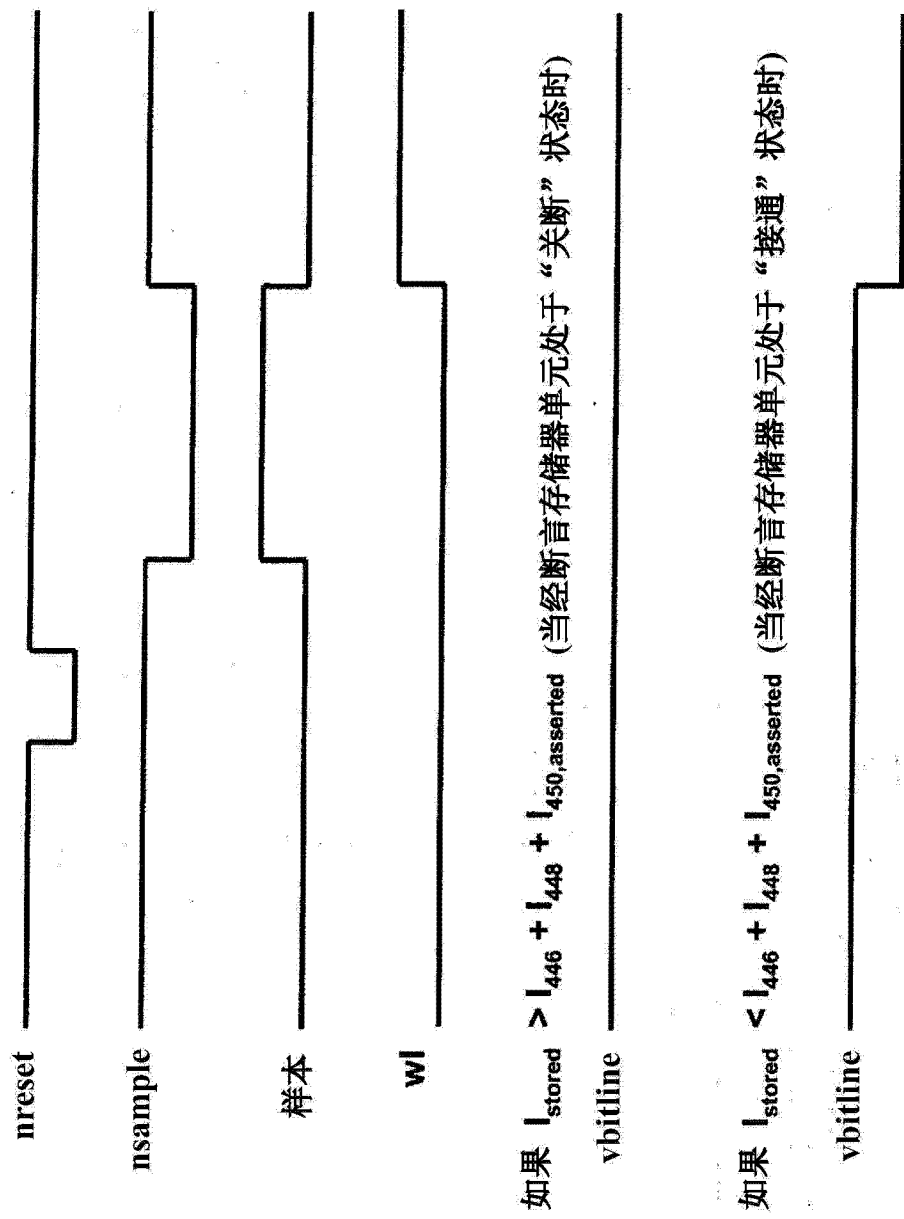


图 4

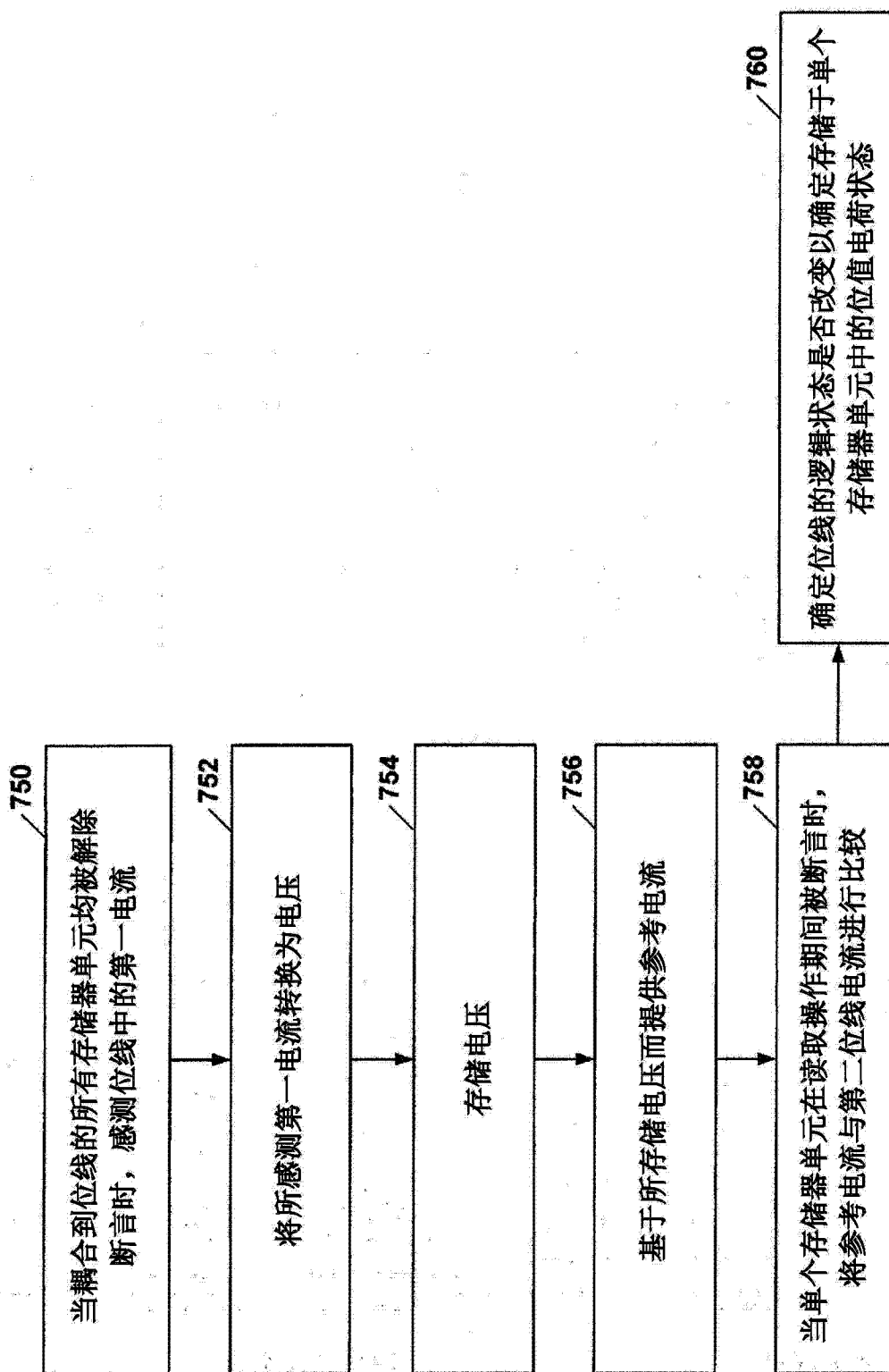


图 5