(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2003 年5 月30 日 (30.05.2003)

PCT

(10) 国際公開番号
WO 03/044953 A1

(51) 国際特許分類7: H03K 3/037

(21) 国際出願番号: PCT/JP02/11979

(22) 国際出願日: 2002 年11 月15 日 (15.11.2002)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2001-353848 2001 年11 月19 日 (19.11.2001) JP

(71) 出願人 *(米国を除く全ての指定国について)*: ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒615-8585 京都府 京都市 右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者; および
(75) 発明者/出願人 *(米国についてのみ)*: 藤森 敬和 (FUJIMORI,Yoshikazu) [JP/JP]; 〒615-8585 京都府 京都市 右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 田川 幸一 (TAGAWA,Koichi); 〒543-0051 大阪府 大阪市 天王寺区四天王寺１－１４－２２ 日進ビル５階 Osaka (JP).

(81) 指定国 *(国内)*: JP, US.

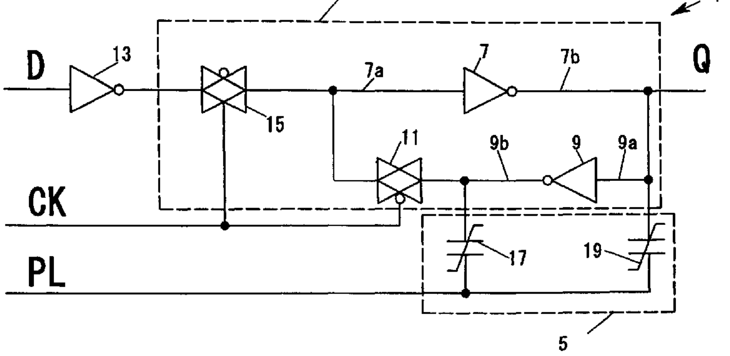
(84) 指定国 *(広域)*: ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) **Title:** DATA HOLDING APPARATUS AND DATA READ OUT METHOD

(54) 発明の名称: データ保持装置およびデータ読み出し方法



(57) **Abstract:** A data holding apparatus capable of holding data even when power supply is cut off and having a high reliability of data holding. A data holding apparatus (1) includes a data latch circuit (3) and a ferroelectric storage unit (5). In ferroelectric capacitors (17, 19), it is possible to store data in non-volatile manner. The ferroelectric capacitor (17) has one end connected via a transfer gate (11) to an input node (7a) of an inverter circuit (7). When data is passing, the transfer gate (11) is disconnected. Accordingly, even when the input data D changes during data passing, the change is rapidly transferred to the input node (7a). Consequently, the reliability of the latch operation is not lowered even when operated at normal operation speed.

[続葉有]

WO 03/044953 A1

(57) 要約:

電源が遮断されてもデータを保持することができ、かつ、データ保持の信頼性が高いデータ保持装置を提供する。データ保持装置１は、データラッチ回路３および強誘電体記憶部５を備えている。強誘電体コンデンサ１７、１９にデータを不揮発的に記憶させることができる。強誘電体コンデンサ１７の一端はトランスファゲート１１を介して, インバータ回路７の入力ノード７ａに接続されている。データ通過時にはトランスファゲート１１が断状態になっている。このため、データ通過時に入力データＤが変化しても、その変化は入力ノード７ａに速やかに伝達される。したがって、通常の動作速度で動作させても、ラッチ動作の信頼性が低下することはない。

明細書

データ保持装置およびデータ読み出し方法

関連出願の参照

日本国特許出願２００１年第３５３８４８号（２００１年１１月１９日出願）の明細書、請求の範囲、図面および要約を含む全開示内容は、これら全開示内容を参照することによって本出願に合体される。

技術分野

この発明はデータ保持装置およびデータ読み出し方法に関する。

背景技術

ラッチ回路などの順序回路に用いられるデータ保持回路として、たとえば、２つのインバータを直列にループ状に接続した回路が知られている。しかし、このようなデータ保持回路は、通常、データを揮発的にしか保持できないため、電源が遮断されるとデータが失われてしまう。つまり、電源を再投入しても、電源遮断前のデータを復元することができない。

したがって、たとえば、このような順序回路を利用したシーケンス処理を何らかの理由により中断する場合、データを保持しておくためには電源をＯＮにしたままにしなければならないので、その分、電力を消費する。また、停電事故等によりシーケンス処理が中断された場合、最初から処理をやり直さなければならず、時間的ロスが大きい。

このような問題を解決するために、強誘電体コンデンサを用いた図１１に示すような回路９０１が提案されている。回路９０１においては、入力データＤは、クロックパルスＣＫの立ち下がりでデータラッチ回路９０２にラッチされる。

ラッチ状態でプレートラインＰＬに書き込み用信号が与えられと、一対の強誘電体コンデンサ９１１，９１３は、それぞれ、ラッチされているデータに対応した分極状態となる。その後、電源が遮断されても、強誘電体コンデンサ９１１，

９１３には前記データに対応した残留分極が保持される。

その後、電源を再投入する前に、まず、プレートラインＰＬに読み出し用信号を与えると、強誘電体コンデンサ９１１，９１３の一端９１１ａ、９１３ａには、それぞれ、保持されていた残留分極に応じた電圧が生ずる。その後、電源を投入すると、この電圧に基づいて、データラッチ回路９０２に、元のデータが復元される。このようにして、電源遮断前のデータを復元することができる。

しかしながら、上述の回路９０１には、つぎのような問題がある。クロックパルスＣＫが“Ｈ”のとき、入力データＤはデータラッチ回路９０２に入力されるが、強誘電体コンデンサ９１１の一端９１１ａがインバータ回路９０７の入力ノード９０７ａに接続されているため、入力データＤが変化しても、インバータ回路９０７の入力ノード９０７ａの電位はすぐには変化しない。

このため、クロックパルスＣＫの周波数が大きいと、入力データＤを正確にラッチすることが困難となる。これでは、高速動作を必要とする装置に用いることは難しい。

また、上述の回路９０１には、つぎのような問題もある。データラッチ回路９０２に含まれるインバータ回路、たとえばインバータ回路９０９、を構成するｐＭＯＳＦＥＴ（ｐチャネルMＯＳＦＥＴ）９１５においては、図１２Ａおよび図１２Ｂに示すように、そのウェル領域９１９は、ソース領域９２１と共に電源線ＶＤＤに接続されるようになっている。

つまり、電源再投入前には、ウェル領域９１９は、ソース領域９２１と同様に、高インピーダンス状態となっている。したがって、電源を再投入する前にプレートラインＰＬに読み出し用信号を与えることによって強誘電体コンデンサ９１１の一端９１１ａから大量の電荷が放出されたとしても、その多くは、ＰＮ接合部９２０を介して、ドレイン領域９２３からウェル領域９１９へと移動してしまう。

このため、図１３に示すように、プレートラインＰＬに読み出し用信号を与えることによって強誘電体コンデンサ９１１が分極反転を起こした場合（例えば、データ“Ｈ”に対応）に強誘電体コンデンサ９１１の一端９１１ａに生ずる電圧V1と、分極反転を起こさない場合（例えば、データ“Ｌ”に対応）に強誘電体コンデンサ９１１の一端９１１ａに生ずる電圧V2との差は、それほど大きくならな

い。

すなわち、電源を再投入してデータを復元する際の検出マージンが小さく、データ復元の信頼性が低い。

発明の開示

この発明は、このような従来のデータ保持回路の問題点を解消し、電源が遮断されてもデータを保持することができ、かつ、高速動作時におけるデータ保持の信頼性が高いデータ保持装置およびデータ読み出し方法を提供することを目的とする。この発明は、また、電源が遮断されてもデータを保持することができ、かつ、電源再投入時におけるデータ復元の信頼性が高いデータ保持装置およびデータ読み出し方法を提供することを目的とする。すなわち、この発明は、電源が遮断されてもデータを保持することができ、かつ、データ保持の信頼性が高いデータ保持装置およびデータ読み出し方法を提供することを目的とする。

この発明によるデータ保持装置は、主信号路に配置されたインバータ回路と帰還路に配置されたインバータ回路とを直列にループ状に接続することによってデータを保持可能としたデータ保持回路、を備えたデータ保持装置であって、帰還路に配置されたインバータ回路の出力ノードと主信号路に配置されたインバータ回路の入力ノードとの間に配置され、データ保持時には継状態となりデータ通過時には断状態となるよう継断制御される第１の継断用ゲートと、帰還路に配置されたインバータ回路の出力ノードにその一端が接続された第１の強誘電体コンデンサと、を備え、第１の強誘電体コンデンサの他端に書き込み用信号を付与することにより、データ保持回路に保持されているデータに対応した分極状態を第１の強誘電体コンデンサに記憶させ、当該他端に読み出し用信号を付与することにより、第１の強誘電体コンデンサに記憶させてあった分極状態に対応したデータをデータ保持回路に復元させるよう構成したこと、を特徴とする。

この発明によるデータ保持装置は、読み出し用信号が付与されると、記憶しているデータに対応した量の電荷を電荷放出ノードに放出するデータ記憶回路と、放出された電荷によって電荷放出ノードに生ずる電圧に基づいて、データ記憶回路に記憶されていたデータの内容を復元するデータ復元回路と、実質的に電荷放

出ノードに接続されるドレイン領域、を有する電界効果トランジスタであって、ドレイン領域から基部半導体領域への接合方向が、放出された電荷にとって順方向となるような接合部を有する電界効果トランジスタと、を備えたデータ保持装置であって、データ記憶回路に対する読み出し用信号の付与を行うと同時にまたはその前に、電界効果トランジスタのソース領域に付与すべきソース電圧と実質的に同一の電圧の基部半導体領域への付与を開始し、データ記憶回路に対する読み出し用信号の付与を行った後、ソース領域にソース電圧を付与するよう構成したこと、を特徴とする。

この発明によるデータ保持装置は、主信号路に配置されたインバータ回路と帰還路に配置されたインバータ回路とを直列にループ状に接続することによってデータを保持可能としたデータ保持回路、を備えたデータ保持装置であって、帰還路に配置されたインバータ回路の出力ノードと主信号路に配置されたインバータ回路の入力ノードとの間に配置され、データ保持時には継状態となりデータ通過時には断状態となるよう継断制御される第１の継断用ゲートと、帰還路に配置されたインバータ回路の出力ノードにその一端が接続された第１の強誘電体コンデンサと、を備え、第１の強誘電体コンデンサの一端の電位に対する他端の電位に基づいて、データ保持回路に存するデータに対応した分極状態を第１の強誘電体コンデンサに記憶させ、当該他端に読み出し用信号を付与することにより、第１の強誘電体コンデンサに記憶させてあった分極状態に対応したデータをデータ保持回路に復元させるよう構成したこと、を特徴とする。

この発明によるデータ読み出し方法は、読み出し用信号が付与されると、記憶しているデータに対応した量の電荷を電荷放出ノードに放出するデータ記憶回路と、放出された電荷によって電荷放出ノードに生ずる電圧に基づいて、データ記憶回路に記憶されていたデータの内容を復元するデータ復元回路と、実質的に電荷放出ノードに接続されるドレイン領域、を有する電界効果トランジスタであって、ドレイン領域から基部半導体領域への接合方向が、前記放出された電荷にとって順方向となるような接合部を有する電界効果トランジスタと、を備えたデータ保持装置、を用いたデータ読み出し方法であって、データ記憶回路に対する読み出し用信号の付与を行うと同時にまたはその前に、電界効果トランジスタのソ

ース領域に付与すべきソース電圧と実質的に同一の電圧の基部半導体領域への付与を開始し、データ記憶回路に対する読み出し用信号の付与を行った後、ソース領域にソース電圧を付与するよう構成したこと、を特徴とする。

本発明の特徴は、上記のように広く示すことができるが、その構成や内容は、目的および特徴とともに、図面を考慮に入れた上で、以下の開示によりさらに明らかになるであろう。

図面の簡単な説明

図１は、この発明の一実施形態によるデータ保持装置１を示す回路図である。

図２は、図１に示すデータ保持装置１の動作を説明するためのタイミングチャートである。

図３Ａは、データを強誘電体記憶部５に記憶させる場合の動作を説明するための図面である。図３Ｂ～図３Ｃは、強誘電体記憶部５からデータを復元する場合の動作を説明するための図面である。

図４は、この発明の他の実施形態によるデータ保持装置２１を示す回路図である。

図５は、この発明のさらに他の実施形態によるデータ保持装置３１を示す回路図である。

図６は、インバータ回路４３の実体的な構成を示す模式図である。

図７は、図５に示すデータ保持装置３１の動作を説明するためのタイミングチャートである。

図８は、データ保持装置３１におけるデータ読み出しの際、強誘電体コンデンサ１７の一端１７ａに生ずる電圧V1、電圧V2を表した図面である。

図９は、この発明のさらに他の実施形態によるデータ保持装置のデータ記憶時における動作を説明するためのタイミングチャートである。

図１０は、この発明のさらに他の実施形態によるデータ保持装置のデータ記憶時における動作を説明するためのタイミングチャートである。

図１１は、強誘電体コンデンサを用いた従来の回路９０１を示す図面である。

図１２Ａは、従来の回路９０１を構成するインバータ回路９０９を示す回路図

である。図１２Ｂは、インバータ回路９０９を構成するｐＭＯＳＦＥＴ９１５の実体的構成を示す模式図である。

図１３は、従来の回路９０９におけるデータ読み出しの際、強誘電体コンデンサ９１１の一端９１１ａに生ずる電圧V1、電圧V2を表した図面である。

発明を実施するための最良の形態

図１は、この発明の一実施形態によるデータ保持装置１を示す回路図である。データ保持装置１は、データ保持回路であるデータラッチ回路３および強誘電体記憶部５を備えている。

データラッチ回路３は、直列にループ状に接続可能な一対のインバータ回路７，９を備えている。帰還路に配置されたインバータ回路９の出力ノード９ｂは、第１の継断用ゲートであるトランスファゲート１１を介して、主信号路に配置されたインバータ回路７の入力ノード７ａに接続されている。

トランスファゲート１１は、クロック信号線ＣＫに付与されるクロックパルスＣＫによって制御される。すなわち、トランスファゲート１１は、データ保持時には継状態となりデータ通過時には断状態となるよう、クロックパルスＣＫによって継断制御される。インバータ回路７の出力ノード７ｂは、直接、インバータ回路９の入力ノード９ａに接続されている。

なお、この実施形態では、トランスファゲートは、ｎＭＯＳＦＥＴ（ｎＭＯＳ型電界効果トランジスタ）とｐＭＯＳＦＥＴ（ｐＭＯＳ型電界効果トランジスタ）とにより構成されており、クロックパルスＣＫは２つのトランジスタのいずれか一方のゲートに印加される。また、図示を省略するが、クロックパルスＣＫの反転パルスが、他方のトランジスタのゲートに印加される。以下、特に断らない限り、他のトランスファゲートも同様の構成とする。

データ入力線Ｄに与えられたデータ（入力データＤ）は、インバータ回路１３およびトランスファゲート１５を介して、インバータ回路７の入力ノード７ａに与えられる。トランスファゲート１５は、クロックパルスＣＫによって制御される。出力ノード７ｂには、出力データＱを出力するデータ出力線Ｑが接続されている。

強誘電体記憶部５は、第１の強誘電体コンデンサである強誘電体コンデンサ１７，および、第２の強誘電体コンデンサである強誘電体コンデンサ１９により構成されている。強誘電体コンデンサ１７，１９の一端は、それぞれ、インバータ回路９の出力ノード９ｂおよび入力ノード９ａに接続され、強誘電体コンデンサ１７，１９の他端は、ともに、読み書き用信号線であるプレートラインＰＬに接続されている。

プレートラインＰＬを介して、強誘電体コンデンサ１７，１９の他端に書き込み用信号を付与することにより、データラッチ回路３に保持されているデータに対応した分極状態を強誘電体コンデンサ１７，１９に記憶させる。また、データ保持装置１への電力供給再開時に、プレートラインＰＬを介して、当該他端に読み出し用信号を付与することにより、強誘電体コンデンサ１７，１９に記憶させてあった分極状態に対応したデータをデータラッチ回路３に復元させるよう構成している。

図２は、図１に示すデータ保持装置１の動作を説明するためのタイミングチャートである。図３Ａは、データを強誘電体記憶部５に記憶させる場合の動作を説明するための図面であり、図３Ｂ～図３Ｃは、強誘電体記憶部５からデータを復元する場合の動作を説明するための図面である。図１～図２および図３Ａ～図３Ｃを参照しつつ、データ保持装置１の動作を説明する。

図１に示すように、データ入力線Ｄから入力された入力データＤはインバータ回路１３により反転されるとともに、インバータ回路７により再び反転され、クロック信号線ＣＫが“Ｈ”の間、そのまま、出力データＱとなる。クロックパルスＣＫが“Ｈ”の間、トランスファゲート１１は断状態となるため、主信号路への強誘電体コンデンサ１７の影響を排除することができる。

したがって、入力データＤが変化すると、主信号路に配置されたインバータ回路７の入力ノード７ａの電位は、強誘電体コンデンサ１７の容量の影響を受けることなく、速やかに変化する。つまり、動作速度の低下を抑えることができる。

また、トランスファゲート１１は、インバータ回路７の入力ノード７ａにおける、入力データＤとインバータ回路９からの帰還信号との競合を防止する機能もあるから、少ない素子数で機能の高いデータ保持装置１を得ることができる。

さらに、トランスファゲート１１を継断制御するための信号として、データ保持状態とデータ通過状態とを切り替えるためのクロックパルスＣＫを用いることができるから、専用の信号を生成する必要がなく、データ保持装置１全体の回路構成を単純化することができる。

また、データ通過時に入力データＤが変化しても強誘電体コンデンサ１７の分極状態は変化しないから、分極状態の変動による強誘電体コンデンサ１７の劣化を抑えることができる。

図２に戻って、データ入力線Ｄから入力された入力データＤは、クロック信号線ＣＫに付与されたクロックパルスＣＫの立ち下がりでラッチされ、このクロックパルスＣＫが“Ｌ”レベルの間、データラッチ回路３に保持される。図２に示すように、通常動作においては、プレートラインＰＬは、接地電位ＧＮＤに保たれている。

なお、入力データＤおよび出力データＱは、ともに、“Ｈ”レベルデータが電源電圧ＶＤＤに等しく、“Ｌ”レベルデータが接地電位ＧＮＤに等しい。

電源線ＶＤＤに付与されている電源電圧ＶＤＤを遮断する前に、クロックパルスＣＫを“Ｌ”に固定し、その後、プレートラインＰＬに書き込み用信号８１を付与する。書き込み用信号８１は、下端電位が接地電位ＧＮＤで、上端電位が電源電圧ＶＤＤであるようなパルス信号である。

データラッチ回路３に保持されているデータ（出力データＱに等しい）が、たとえば“Ｈ”であるとすると、プレートラインＰＬに書き込み用信号８１を付与することにより、図３Ａに示すように、強誘電体コンデンサ１７には、図中、上向きの分極状態が生じ、強誘電体コンデンサ１９には、図中、下向きの分極状態が生ずるものとする。

プレートラインＰＬに書き込み用信号８１を付与したあと、図２に示すように、電源電圧ＶＤＤを遮断する。電源電圧ＶＤＤが遮断されても、強誘電体コンデンサ１７，１９は、それぞれの分極方向に応じた残留分極を保持している。

電源電圧ＶＤＤを再投入する前に、クロックパルスＣＫを“Ｌ”に固定しておき、その後、プレートラインＰＬに読み出し用信号８３を付与する。読み出し用信号８３は、下端電位が接地電位ＧＮＤで、上端電位が電源電圧ＶＤＤであるよ

うなパルス信号である。このパルス信号は、書き込み用信号８１よりかなり長い。

プレートラインＰＬに読み出し用信号８３を付与することにより、図３Ｂに示すように、強誘電体コンデンサ１７においては、分極反転は生じないが、強誘電体コンデンサ１９においては、分極反転が生ずる。このため、データラッチ回路３のインバータ回路９の入力ノード９ａに放出される電荷量は、出力ノード９ｂに放出される電荷量に比し、多い。

つぎに、プレートラインＰＬの書き込み用信号８３を保持させたまま、電源電圧ＶＤＤを再投入する（図２の８５参照）。電源電圧ＶＤＤを再投入することにより、入力ノード９ａおよび出力ノード９ｂに放出されていた電荷量に応じて、データラッチ回路３の論理値が決定される。

すなわち、図３Ｃに示すように、データラッチ回路３のインバータ回路９の入力ノード９ａ側が“Ｈ”、出力ノード９ｂ側が“Ｌ”になるよう、データラッチ回路３の論理値が決定される。このようにして、データを復元することができる。

このように、プレートラインＰＬに書き込み用信号８３を付与した後、電源電圧ＶＤＤを再投入することで、強誘電体コンデンサ１７から放出された電荷とインバータ回路９の出力とが競合することを防止することができる。また、強誘電体コンデンサ１９から放出された電荷とインバータ回路７の出力とが競合することを防止することができる。このため、データ復元の信頼性を高めることができる。

なお、この実施形態においては、強誘電体記憶部５として一対の強誘電体コンデンサ１７、１９を用いるようにしたが、この発明はこれに限定されるものではない。たとえば、強誘電体記憶部５として１つの強誘電体コンデンサ１７のみを用いるようにしてもよい。

つぎに、図４は、この発明の他の実施形態によるデータ保持装置２１を示す回路図である。データ保持装置２１は、強誘電体コンデンサ１９の一端とインバータ回路９の入力ノード９ａとの間に第２の継断用ゲートであるトランスファゲート２３が接続されている点以外は、図１に示すデータ保持装置１と同じ構成である。

このトランスファゲート２３は、トランスファゲート１１と同様、データ保持

時には継状態となりデータ通過時には断状態となるよう、クロックパルスＣＫにより継断制御される。

トランスファゲート２３を設けることにより、データ通過時に、帰還路に配置されたインバータ回路９の入力ノード９ａと強誘電体コンデンサ１９とが切り離された状態となる。このため、主信号路に配置されたインバータ回路７の出力が、速やかに、帰還路に配置されたインバータ回路９の入力ノード９ａに到達する。このため、データ通過状態からデータ保持状態に移行する際のデータの確定を速やかに行うことが可能となる。

なお、上述の各実施形態においては、第１および第２の継断用ゲートとしてトランスファゲートを例に説明したが、第１および第２の継断用ゲートはこれに限定されるものではない。第１または第２の継断用ゲートとして、たとえば、ＦＥＴ等のトランジスタを単独で用いることもできる。

また、上述の各実施形態においては、データ保持回路として、順序回路の一種であるデータラッチ回路を例に説明したが、この発明はこれに限定されるものではない。他の順序回路、たとえば、フリップフロップ回路等にも、この発明を適用することができる。

つぎに、図５は、この発明のさらに他の実施形態によるデータ保持装置３１を示す回路図である。データ保持装置３１は、図１に示すデータ保持装置１と類似しているが、データラッチ回路３３に含まれる一対のインバータ回路３７，４３，およびトランスファゲート４９の各構成が、図１に示すデータ保持装置１のそれと異なる。

すなわち、データ保持装置１においては、インバータ回路７，９、トランスファゲート１１をそれぞれ構成するｐＭＯＳＦＥＴ（ｐチャネルMＯＳＦＥＴ）のウェル領域（基部半導体領域）は、電源線ＶＤＤに接続されているが、データ保持装置３１においては、インバータ回路３７，４３、トランスファゲート４９をそれぞれ構成するｐＭＯＳＦＥＴ（ｐチャネルMＯＳＦＥＴ）３９，４５、５１のウェル領域（基部半導体領域）は、ウェル電圧制御線Ｖｓに接続されている。

なお、データ保持装置３１のインバータ回路３７，４３、トランスファゲート４９をそれぞれ構成するｎＭＯＳＦＥＴ（ｎチャネルMＯＳＦＥＴ）４１，４７、

５３の基板領域（基部半導体領域）は、図１に示すデータ保持装置１の場合と同様に、接地線ＧＮＤに接続されている。データ保持装置３１の他の構成は、データ保持装置１と同様である。

なお、データ保持装置３１において、強誘電体コンデンサ１７，１９は、それぞれ、データ記憶回路に対応する。強誘電体コンデンサ１７がデータ記憶回路に対応すると考えると、インバータ回路３７が第１のインバータ回路（データ復元回路）に対応し、インバータ回路４３が第２のインバータ回路に対応し、インバータ回路４３のｐＭＯＳＦＥＴ４５が電界効果トランジスタに対応する。図６は、インバータ回路４３の実体的な構成を示す模式図である。

一方、強誘電体コンデンサ１９がデータ記憶回路に対応すると考えると、インバータ回路４３が第１のインバータ回路（データ復元回路）に対応し、インバータ回路３７が第２のインバータ回路に対応し、インバータ回路３７のｐＭＯＳＦＥＴ３９が電界効果トランジスタに対応する。

図７は、図５に示すデータ保持装置３１の動作を説明するためのタイミングチャートである。データ保持装置３１の動作は、図２のタイミングチャートで表されるデータ保持装置１の動作と類似しているが、次の点が、データ保持装置１と異なる。

すなわち、データ保持装置３１においては、電源線ＶＤＤの制御とは別に、ウェル電圧制御線Ｖsの制御を行っている。ウェル電圧制御線Ｖsには、“Ｈ”レベル電圧として電源電圧ＶＤＤ、“Ｌ”レベル電圧として接地電位ＧＮＤが付与可能となっている。

通常動作時においては、ウェル電圧制御線Ｖsに電源電圧ＶＤＤが付与されている。また、電源線ＶＤＤへの電力の供給が遮断されると、ウェル電圧制御線Ｖsへの電力の供給も遮断されるよう構成されている。

データ保持装置３１においては、遮断された電力が再び供給される際、強誘電体コンデンサ１７，１９に対する読み出し用信号の付与（図７の８３参照）を行う前に、ｐＭＯＳＦＥＴ３９，４５、５１のウェル領域（図６の６３参照）への電源電圧ＶＤＤの付与（図７の８７参照）を開始している。

そして、強誘電体コンデンサ１７，１９に対する読み出し用信号の付与（図７

の８３参照）を行った後、ｐＭＯＳＦＥＴ３９，４５のソース領域（図6の６５参照）に電源電圧ＶＤＤ（ソース電圧）を付与するようにしている。その他の動作は、データ保持装置１の場合と同様である。

このように、データ保持装置３１においては、強誘電体コンデンサ１７，１９に対する読み出し用信号の付与を行う前に、ｐＭＯＳＦＥＴ３９，４５、５１のウェル領域への電源電圧ＶＤＤの付与を開始しているから、強誘電体コンデンサ１７，１９に対する読み出し用信号の付与に伴って電荷が放出されたときには、ｐＭＯＳＦＥＴ３９，４５、５１のウェル領域に電源電圧ＶＤＤが付与されている。

したがって、図6に示すように、たとえばｐＭＯＳＦＥＴ４５のウェル領域６３には電源電圧ＶＤＤが付与されているから、強誘電体コンデンサ１７の一端１７ａに放出された電荷は、ｐＭＯＳＦＥＴ４５のドレイン領域６７を介してウェル領域６３に流出することはない。このため、強誘電体コンデンサ１７の一端１７ａには、放出された電荷がそのまま蓄積され、この蓄積された電荷に対応する電圧が生ずる。

図8は、データ保持装置３１のプレートラインＰＬに読み出し用信号８３を与えることによって強誘電体コンデンサ１７が分極反転を起こした場合（例えば、データ“H”に対応）に強誘電体コンデンサ１７の一端１７ａに生ずる電圧V1、および、分極反転を起こさない場合（例えば、データ“L”に対応）に強誘電体コンデンサ１７の一端１７ａに生ずる電圧V2をそれぞれ縦軸に、経過時間を横軸にとって、表したグラフである。

図8から、電圧V1と電圧V2との差は、従来技術におけるそれ（図１３参照）と比べ、格段に大きいことがわかる。また、電圧V1と電圧V2との差は、プレートラインＰＬの電圧が電源電圧ＶＤＤ（この例では3ボルト）に到達する以前に、既に、かなり大きい値になっていることも分かる。

したがって、データ復元の際の信号検出マージンが極めて大きく、動作の安定性が極めて高い。また、データ復元の際の信号検出マージンが大きいので、小容量の強誘電体コンデンサを用いることができる。このため、データラッチ回路３３の動作速度の低下を抑えることができる。さらに、データ復元の際の信号検出

マージンが大きいので、図７に示す読み出し用信号８３の立ち上がりが完了する前に、電源線ＶＤＤに電源電圧ＶＤＤを付与する（図７の８５よりも早いタイミング）ことも可能となる。このため、データ復元のための時間を短縮することができる。

なお、図５に示す実施形態においては、ウェル電圧制御線Ｖsを立ち上げた後、プレートラインＰＬを立ち上げるようにしたが、これらを同時に立ち上げるようにしてもよい。要は、電荷放出ノードに電荷が放出された時点でウェル領域に電源電圧ＶＤＤが印加されていればよい。

また、図５に示す実施形態においては、電荷放出ノードに接続される全てのｐＭＯＳＦＥＴ３９，４５、５１のウェル領域をウェル電圧制御線Ｖsに接続するよう構成したが、この発明はこれに限定されるものではない。ただし、電荷放出ノードに接続される全てのｐＭＯＳＦＥＴのウェル領域をウェル電圧制御線Ｖsに接続することで、電荷放出ノードに放出された電荷の流出をほぼ完全に防止できるので、データ検出のマージンが極めて大きくなる。

また、図５に示す実施形態においては、強誘電体コンデンサ１７の一端１７ａを、インバータ回路４３とトランスファゲート４９との間に接続するよう構成したが、この発明はこれに限定されるものではない。

たとえば、強誘電体コンデンサ１７の一端１７ａを、トランスファゲート４９の出力ノードとインバータ回路３７の入力ノードとの間に接続するよう構成することもできる。さらに、トランスファゲート４９を設けないよう構成することもできる。すなわち、インバータ回路４３の出力ノードとインバータ回路３７の入力ノードとを、トランスファゲート４９を介して接続するのではなく、直接的に接続するようにしてもよい。このような場合、トランスファゲート１５を構成するｐＭＯＳＦＥＴのウェル領域をウェル電圧制御線Ｖsに接続するのが好ましい。

また、図示しないが、データ出力線Ｑにインバータ回路の出力ノードやトランスファゲートが接続される場合には、それらを構成するｐＭＯＳＦＥＴのウェル領域をウェル電圧制御線Ｖsに接続するのが好ましい。

また、図５に示す実施形態においては、強誘電体記憶部５として一対の強誘電体コンデンサを用いた場合を例に説明したが、この発明はこれに限定されるもの

ではない。たとえば、強誘電体記憶部として１つの強誘電体コンデンサを用いる場合にもこの発明を適用することができる。

また、図５に示す実施形態においては、データ保持回路として、順序回路の一種であるデータラッチ回路を例に説明したが、この発明はこれに限定されるものではない。他の順序回路、たとえば、フリップフロップ回路等にも、この発明を適用することができる。さらに、この発明を適用できるデータ保持回路としては、順序回路の他に、たとえば、メモリ回路等を挙げることができる。

また、データ保持回路として、直列にループ状に接続可能な一対のインバータ回路を含む場合を例に説明したが、データ保持回路はこれに限定されるものではない。データを揮発的に保持することができる回路全てに、この発明を適用することができる。

また、図５に示す実施形態においては、データ記憶回路として強誘電体コンデンサを備えた回路を例に説明したが、データ記憶回路はこれに限定されるものでない。この発明におけるデータ記憶回路としては、要は、何らかの読み出し用信号が付与されると、記憶しているデータに対応した量の電荷を電荷放出ノードに放出する回路であればよい。

さらに、図５に示す実施形態においては、電界効果トランジスタとして、ｐＭＯＳＦＥＴを例に説明したが、この発明はこれに限定されるものではない。たとえば、電荷放出ノードに放出される電荷が負電荷である場合には、ｎＭＯＳＦＥＴが、この発明における電界効果トランジスタに該当する。

なお、上述の各実施形態においては、電源を遮断する直前のデータに対応した分極状態を強誘電体記憶部に記憶させるよう構成したが、任意の時点のデータに対応した分極状態を強誘電体記憶部に記憶させるよう構成することもできる。

図９は、任意の時点におけるデータ保持回路のデータに対応した分極状態を強誘電体記憶部に記憶させる場合のタイミングチャートの一例である。図９に基づいて、データ記憶時（データ書き込み時）におけるデータ保持装置の動作を説明する。

前述のように、図２および図７の例では、通常動作において、プレートラインＰＬを接地電位ＧＮＤに保っておき、電源を遮断する直前に、書き込み用信号８

１（下端電位が接地電位ＧＮＤで、上端電位が電源電圧ＶＤＤであるようなパルス信号）をプレートラインＰＬに与えるようにしている。

しかし、図９の例では、通常動作において、プレートラインＰＬを、接地電位ＧＮＤと電源電圧ＶＤＤとの間の所定の電圧（非書き込み時プレート電圧Ｖplnw）に保っておき、任意の時点で、書き込み用信号９１をプレートラインＰＬに与えるようにしている。

書き込み用信号９１は、少なくとも一対の書き込み用プレート低電圧Ｖplwlと書き込み用プレート高電圧Ｖplwhとにより構成されている。書き込み用プレート低電圧Ｖplwlは非書き込み時プレート電圧Ｖplnwより低く、書き込み用プレート高電圧Ｖplwhは非書き込み時プレート電圧Ｖplnwより高い。

図９の例において、強誘電体コンデンサ１７および１９が通常動作時に分極反転を起こさないためには、非書き込み時プレート電圧Ｖplnwと電位強誘電体コンデンサ１７および１９の抗電圧Ｖcとの関係を、次のように設定すればよい。

電源電圧ＶＤＤ－Ｖplnw＜Ｖc、かつ、Ｖplnw－接地電位ＧＮＤ＜Ｖc

たとえば、Ｖplnw＝（ＶＤＤ－ＧＮＤ）／２＜Ｖcとなるよう、非書き込み時プレート電圧Ｖplnwと、電位強誘電体コンデンサ１７および１９の抗電圧Ｖcとを定めれば、上記関係を満足することができる。

一方、図９の例において、データ書き込み時に強誘電体コンデンサ１７および１９が分極反転を起こすためには、書き込み用プレート低電圧Ｖplwlと強誘電体コンデンサ１７および１９の抗電圧Ｖcとの関係、および、書き込み用プレート高電圧Ｖplwhと上記抗電圧Ｖcとの関係を、それぞれ次のように設定すればよい。

電源電圧ＶＤＤ－Ｖplwl＞Ｖc、かつ、Ｖplwh－接地電位ＧＮＤ＞Ｖc

たとえば、Ｖplwl＝ＧＮＤ、Ｖplwh＝ＶＤＤ、ＶＤＤ＞Ｖcとなるよう、書き込み用プレート低電圧Ｖplwl、書き込み用プレート高電圧Ｖplwh、電位強誘電体コンデンサ１７および１９の抗電圧Ｖcを定めれば、上記関係を満足することができる。

図９の場合、たとえば、エラーが発生した瞬間（またはその直前）におけるデータ保持回路のデータを、強誘電体部５に記憶するよう構成することができる。このように構成すれば、エラー発生後の信頼性の低いデータではなく、エラーが

発生した瞬間（またはその直前）の信頼性の高いデータを選択的に記憶しておくことができる。このため、電源を投入した場合、信頼性の高い箇所から処理を再スタートすることができる。

なお、図９の場合におけるデータ復元動作は、図２または図７の例と同様である。また、図９の例に用いられるデータ保持装置として、強誘電体コンデンサ１７、１９の抗電圧Vcとプレートライン ＰＬに印加される各電圧値との関係、並びに、上述のデータ記憶時の動作を除き、図２および図７の例に用いられるデータ保持装置と同じ構成のものを使用することができる。

また、上述の各実施形態においては、データ保持回路に保持されているデータを、強誘電体記憶部に記憶するよう構成したが、データ保持回路を通過中のデータを強誘電体記憶部に記憶するよう構成することもできる。要はデータ保持回路に存するデータを強誘電体回路に記憶すればよい。

また、上述の各実施形態においては、データ保持回路に存するデータに対応した分極状態を強誘電体部に記憶させるために、第１の強誘電体コンデンサ、または、第１および第２の強誘電体コンデンサの他端に書き込み用信号を付与するよう構成したが、この発明はこれに限定されるものではない。

要は、第１の強誘電体コンデンサ、または、第１および第２の強誘電体コンデンサの一端の電位に対する他端の電位に基づいて、データ保持回路に存するデータに対応した分極状態を、第１の強誘電体コンデンサ、または、第１および第２の強誘電体コンデンサに記憶させるよう構成すればよい。

図１０は、第１の強誘電体コンデンサ、または、第１および第２の強誘電体コンデンサの一端に一定のプレートライン電圧Vplを与えるだけで、常にデータ保持回路に存するデータに対応した分極状態を強誘電体記憶部に記憶させる場合のタイミングチャートの一例である。図１０に基づいて、データ記憶動作（データ書き込み時の動作）におけるデータ保持装置の動作を説明する。

前述のように、図２、図７および図９の例では、データ保持回路のデータを強誘電体記憶部に書き込む際に、通常動作時における信号とは異なる書き込み用信号８１または９１を、プレートライン ＰＬに与えるようにしている。

しかし、図１０の例では、データ保持回路のデータを強誘電体記憶部に書き込

む際にも、通常動作時と同じ一定の電圧すなわちプレートライン電圧Ｖpl、をプレートラインＰＬに与え続けているだけである。

図１０の例において、データ保持回路のデータすなわち出力データＱが変化するごとに強誘電体コンデンサ１７および１９が分極反転を起こすためには、プレート電圧Ｖplと強誘電体コンデンサ１７および１９の抗電圧Ｖcとの関係を次のように設定すればよい。

電源電圧ＶＤＤ－Ｖpl＞Ｖc、かつ、Ｖpl－接地電位ＧＮＤ＞Ｖc

たとえば、Ｖc＜Ｖpl＝（電源電圧ＶＤＤ－接地電位ＧＮＤ）／２となるよう、プレート電圧Ｖpl、強誘電体コンデンサ１７および１９の抗電圧Ｖcを定めれば、上記関係を満足することができる。

このように構成すれば、図１０に示すように、データ保持回路の出力データＱが接地電位ＧＮＤから電源電圧ＶＤＤに変化すると（図１０の９３参照）自動的に強誘電体コンデンサ１７および１９の分極方向がそれぞれ反転し、データ保持回路の出力データＱが電源電位ＶＤＤから接地電位ＧＮＤに変化すると（図１０の９５参照）自動的に強誘電体コンデンサ１７および１９の分極方向がそれぞれ再反転する。

すなわち、プレートラインＰＬに一定のプレートライン電圧Ｖplを与えておくだけで、常にデータ保持回路に存するデータに対応した分極状態を強誘電体記憶部に記憶させることができる。したがって、電源遮断前に特に書き込み用信号を与えなくても、電源遮断直前のデータ保持回路に存するデータに対応した分極状態を、強誘電体記憶部に記憶させることができる。

なお、図１０の場合におけるデータ復元動作は、図２または図７の例と同様である。また、図１０の例に用いられるデータ保持装置として、強誘電体コンデンサ１７、１９の抗電圧Ｖcとプレートラインに印加される電圧値との関係、並びに、上述のデータ記憶時の動作を除き、図２および図７の例に用いられるデータ保持装置と同じ構成のものを使用することができる。

この発明によるデータ保持装置は、主信号路に配置されたインバータ回路と帰還路に配置されたインバータ回路とを直列にループ状に接続することによってデータを保持可能としたデータ保持回路、を備えたデータ保持装置であって、帰還

路に配置されたインバータ回路の出力ノードと主信号路に配置されたインバータ回路の入力ノードとの間に配置され、データ保持時には継状態となりデータ通過時には断状態となるよう継断制御される第１の継断用ゲートと、帰還路に配置されたインバータ回路の出力ノードにその一端が接続された第１の強誘電体コンデンサと、を備え、第１の強誘電体コンデンサの他端に書き込み用信号を付与することにより、データ保持回路に保持されているデータに対応した分極状態を第１の強誘電体コンデンサに記憶させ、当該他端に読み出し用信号を付与することにより、第１の強誘電体コンデンサに記憶させてあった分極状態に対応したデータをデータ保持回路に復元させるよう構成したこと、を特徴とする。

したがって、データ通過時に、第１の継断用ゲートは断状態となるから、主信号路に配置されたインバータ回路の入力ノードと第１の強誘電体コンデンサとが切り離された状態となる。このため、入力データが変化すると、主信号路に配置されたインバータ回路の入力ノードの電位は、第１の強誘電体コンデンサの容量の影響を受けることなく、速やかに変化する。

すなわち、電源が遮断されてもデータを保持することができ、かつ、高速動作時におけるデータ保持の信頼性が高いデータ保持装置を実現することができる。

また、第１の継断用ゲートは、主信号路に配置されたインバータ回路の入力ノードにおける、入力データと帰還信号との競合を防止する機能もあるから、少ない素子数で機能の高いデータ保持装置を得ることができる。

さらに、第１の継断用ゲートを継断制御するための信号として、データ保持状態とデータ通過状態とを切り替えるためのクロックパルスを用いることができるから、専用の信号を生成する必要がなく、装置全体の回路構成を単純化することができる。

また、データ通過時に入力データが変化しても第１の強誘電体コンデンサの分極状態は変化しないから、分極状態の変動による第１の強誘電体コンデンサの劣化を抑えることができる。

この発明によるデータ保持装置においては、帰還路に配置されたインバータ回路の入力ノードにその一端が接続された第２の強誘電体コンデンサを備え、第１および第２の強誘電体コンデンサの他端に書き込み用信号を付与することにより、

データ保持回路に保持されているデータに対応した分極状態を第１および第２の強誘電体コンデンサに記憶させ、当該他端に読み出し用信号を付与することにより、第１および第２の強誘電体コンデンサに記憶させてあった分極状態に対応したデータをデータ保持回路に復元させるよう構成したこと、を特徴とする。

したがって、データ保持回路に保持されているデータに対応した分極状態を２つの強誘電体コンデンサに、それぞれ記憶させておき、これらの分極状態に基づいてデータ復元させるから、データ復元の信頼性が高い。

この発明によるデータ保持装置においては、第２の継断用ゲートであって、データ保持時には継状態となりデータ通過時には断状態となるよう継断制御される第２の継断用ゲートと、第２の継断用ゲートを介して、帰還路に配置されたインバータ回路の入力ノードに、その一端が接続された第２の強誘電体コンデンサとを備え、第１および第２の強誘電体コンデンサの他端に書き込み用信号を付与することにより、データ保持回路に保持されているデータに対応した分極状態を第１および第２の強誘電体コンデンサに記憶させ、当該他端に読み出し用信号を付与することにより、第１および第２の強誘電体コンデンサに記憶させてあった分極状態に対応したデータをデータ保持回路に復元させるよう構成したこと、を特徴とする。

したがって、データ保持回路に保持されているデータに対応した分極状態を２つの強誘電体コンデンサに、それぞれ記憶させておき、これらの分極状態に基づいてデータ復元させるから、データ復元の信頼性が高い。

また、データ通過時に、第２の継断用ゲートは断状態となるから、帰還路に配置されたインバータ回路の入力ノードと第２の強誘電体コンデンサとが切り離された状態となる。このため、主信号路に配置されたインバータ回路の出力が、速やかに、帰還路に配置されたインバータ回路の入力ノードに到達する。

このため、データ通過状態からデータ保持状態に移行する際のデータの確定を速やかに行うことが可能となる。

また、第２の継断用ゲートを継断制御するための信号は、第１の継断用ゲートを継断制御するための信号と同じく、データ保持状態とデータ通過状態とを切り替えるためのクロックパルスを用いることができるから、専用の信号を生成する

必要がなく、装置全体の回路構成を単純化することができる。

さらに、データ通過時に入力データが変化しても第２の強誘電体コンデンサの分極状態は変化しないから、分極状態の変動による第２の強誘電体コンデンサの劣化を抑えることができる。

この発明によるデータ保持装置は、読み出し用信号が付与されると、記憶しているデータに対応した量の電荷を電荷放出ノードに放出するデータ記憶回路と、放出された電荷によって電荷放出ノードに生ずる電圧に基づいて、データ記憶回路に記憶されていたデータの内容を復元するデータ復元回路と、実質的に電荷放出ノードに接続されるドレイン領域、を有する電界効果トランジスタであって、ドレイン領域から基部半導体領域への接合方向が、放出された電荷にとって順方向となるような接合部を有する電界効果トランジスタと、を備えたデータ保持装置であって、データ記憶回路に対する読み出し用信号の付与を行うと同時にまたはその前に、電界効果トランジスタのソース領域に付与すべきソース電圧と実質的に同一の電圧の基部半導体領域への付与を開始し、データ記憶回路に対する読み出し用信号の付与を行った後、ソース領域にソース電圧を付与するよう構成したこと、を特徴とする。

したがって、データ記憶回路への読み出し用信号の付与に伴って電荷が放出されたときには電界効果トランジスタの基部半導体領域にソース電圧と実質的に同一の電圧が付与されているから、放出された電荷が基部半導体領域に流出することはない。このため、データ記憶回路の電荷放出ノードには、放出された電荷に対応する電圧が生ずる。

すなわち、データ記憶回路に対する読み出し用信号の付与を行った後に電界効果トランジスタの電源をＯＮにしなければならないような場合であっても、電荷が電荷放出ノードに留まるから、データ復元回路を用いて、データ記憶回路に記憶されていたデータの内容を確実に復元することができる。

この発明によるデータ保持装置においては、データ記憶回路は、強誘電体コンデンサを備えており、電荷放出ノードは強誘電体コンデンサの一端であり、読み出し用信号は強誘電体コンデンサの他端に付与され、データ復元回路は、電荷放出ノードに接続される入力ノード、を有する第１のインバータ回路であり、電界

効果トランジスタを有する第２のインバータ回路であって、その入力ノードは第１のインバータ回路の出力ノードに接続され、その出力ノードは電荷放出ノードに接続される、第２のインバータ回路を備えたこと、を特徴とする。

第１および第２のインバータ回路を直列にループ状に接続したデータ保持回路に、強誘電体コンデンサに記憶していたデータを復元する場合、第２のインバータ回路の電源を遮断した状態で読み出し用信号の付与を行うことで、強誘電体コンデンサから電荷放出ノードに放出された電荷と第２のインバータ回路の出力とが競合することを防止することができるが、このような場合においても、電荷放出ノードに放出された電荷が第２のインバータ回路を構成する電界効果トランジスタの基部半導体領域に流出することを防止することができる。したがって、データ復元の際の信号検出マージンが大きく、動作の安定性が極めて高い。

また、データ復元の際の信号検出マージンが大きいので、小容量の強誘電体コンデンサを用いることができる。このため、データ保持回路の動作速度の低下を抑えることができる。

また、データ復元の際の信号検出マージンが大きいので、読み出し用信号の付与時間を短縮したり、第２のインバータ回路の電源投入タイミングを前倒しすることが可能となる。このため、データ復元のための時間を短縮することができる。

なお、請求項および明細書において「基部半導体領域」とは、ソース領域およびドレイン領域の導電型と異なる導電型の半導体領域であって、ソース領域およびドレイン領域が直接その中に形成されている半導体領域を言う。実施形態においては、ｐＭＯＳＦＥＴのウェル領域が、これに該当する。

上記においては、本発明を好ましい実施形態として説明したが、各用語は、限定のために用いたのではなく、説明のために用いたものであって、本発明の範囲および精神を逸脱することなく、添付のクレームの範囲において、変更することができるものである。

請求の範囲

１．　主信号路に配置されたインバータ回路と帰還路に配置されたインバータ回路とを直列にループ状に接続することによってデータを保持可能としたデータ保持回路、を備えたデータ保持装置であって、

帰還路に配置されたインバータ回路の出力ノードと主信号路に配置されたインバータ回路の入力ノードとの間に配置され、データ保持時には継状態となりデータ通過時には断状態となるよう継断制御される第１の継断用ゲートと、

帰還路に配置されたインバータ回路の出力ノードにその一端が接続された第１の強誘電体コンデンサと、を備え、

第１の強誘電体コンデンサの他端に書き込み用信号を付与することにより、データ保持回路に保持されているデータに対応した分極状態を第１の強誘電体コンデンサに記憶させ、当該他端に読み出し用信号を付与することにより、第１の強誘電体コンデンサに記憶させてあった分極状態に対応したデータをデータ保持回路に復元させるよう構成したこと、

を特徴とするデータ保持装置。

２．　請求項１のデータ保持装置において、

帰還路に配置されたインバータ回路の入力ノードにその一端が接続された第２の強誘電体コンデンサを備え、

第１および第２の強誘電体コンデンサの他端に書き込み用信号を付与することにより、データ保持回路に保持されているデータに対応した分極状態を第１および第２の強誘電体コンデンサに記憶させ、当該他端に読み出し用信号を付与することにより、第１および第２の強誘電体コンデンサに記憶させてあった分極状態に対応したデータをデータ保持回路に復元させるよう構成したこと、

を特徴とするもの。

３．　請求項１のデータ保持装置において、

第２の継断用ゲートであって、データ保持時には継状態となりデータ通過時に

は断状態となるよう継断制御される第２の継断用ゲートと、

第２の継断用ゲートを介して、帰還路に配置されたインバータ回路の入力ノードに、その一端が接続された第２の強誘電体コンデンサとを備え、

第１および第２の強誘電体コンデンサの他端に書き込み用信号を付与することにより、データ保持回路に保持されているデータに対応した分極状態を第１および第２の強誘電体コンデンサに記憶させ、当該他端に読み出し用信号を付与することにより、第１および第２の強誘電体コンデンサに記憶させてあった分極状態に対応したデータをデータ保持回路に復元させるよう構成したこと、

を特徴とするもの。

４．　請求項１のデータ保持装置において、

前記帰還路に配置されたインバータ回路は、前記第１の強誘電体コンデンサの一端に接続されるドレイン領域、を有する電界効果トランジスタであって、ドレイン領域から基部半導体領域への接合方向が、前記読み出し用信号の付与によって前記第１の強誘電体コンデンサの一端に放出された電荷にとって順方向となるような接合部を有する電界効果トランジスタ、を備え、

前記読み出し用信号の付与を行うと同時にまたはその前に、前記電界効果トランジスタのソース領域に付与すべきソース電圧と実質的に同一の電圧の前記基部半導体領域への付与を開始し、前記読み出し用信号の付与を行った後、前記ソース領域にソース電圧を付与するよう構成したこと、

を特徴とするもの。

５．　請求項１のデータ保持装置において、

前記第１の継断用ゲートは、前記第１の強誘電体コンデンサの一端に接続されるドレイン領域、を有する電界効果トランジスタであって、ドレイン領域から基部半導体領域への接合方向が、前記読み出し用信号の付与によって前記第１の強誘電体コンデンサの一端に放出された電荷にとって順方向となるような接合部を有する電界効果トランジスタ、を備え、

前記読み出し用信号の付与を行うと同時にまたはその前に、前記電界効果トラ

ンジスタのソース領域に付与すべきソース電圧と実質的に同一の電圧の前記基部半導体領域への付与を開始し、前記読み出し用信号の付与を行った後、前記ソース領域にソース電圧を付与するよう構成したこと、

を特徴とするもの。

６．　請求項１のデータ保持装置において、

前記帰還路に配置されたインバータ回路および前記第１の継断用ゲートは、前記第１の強誘電体コンデンサの一端に接続されるドレイン領域、を有する電界効果トランジスタであって、ドレイン領域から基部半導体領域への接合方向が、前記読み出し用信号の付与によって前記第１の強誘電体コンデンサの一端に放出された電荷にとって順方向となるような接合部を有する電界効果トランジスタ、をそれぞれ備え、

前記読み出し用信号の付与を行うと同時にまたはその前に、前記電界効果トランジスタのソース領域に付与すべきソース電圧と実質的に同一の電圧の前記基部半導体領域への付与を開始し、前記読み出し用信号の付与を行った後、前記ソース領域にソース電圧を付与するよう構成したこと、

を特徴とするもの。

７．　請求項６のデータ保持装置において、

前記電界効果トランジスタは、ｐＭＯＳ型電界効果トランジスタであること、

を特徴とするもの。

８．　請求項２のデータ保持装置において、

前記帰還路に配置されたインバータ回路は、前記第１の強誘電体コンデンサの一端に接続されるドレイン領域、を有する電界効果トランジスタであって、ドレイン領域から基部半導体領域への接合方向が、前記読み出し用信号の付与によって前記第１の強誘電体コンデンサの一端に放出された電荷にとって順方向となるような接合部を有する電界効果トランジスタ、を備え、

前記読み出し用信号の付与を行うと同時にまたはその前に、前記電界効果トラ

ンジスタのソース領域に付与すべきソース電圧と実質的に同一の電圧の前記基部半導体領域への付与を開始し、前記読み出し用信号の付与を行った後、前記ソース領域にソース電圧を付与するよう構成したこと、

を特徴とするもの。

９． 請求項２のデータ保持装置において、

前記第１の継断用ゲートは、前記第１の強誘電体コンデンサの一端に接続されるドレイン領域、を有する電界効果トランジスタであって、ドレイン領域から基部半導体領域への接合方向が、前記読み出し用信号の付与によって前記第１の強誘電体コンデンサの一端に放出された電荷にとって順方向となるような接合部を有する電界効果トランジスタ、を備え、

前記読み出し用信号の付与を行うと同時にまたはその前に、前記電界効果トランジスタのソース領域に付与すべきソース電圧と実質的に同一の電圧の前記基部半導体領域への付与を開始し、前記読み出し用信号の付与を行った後、前記ソース領域にソース電圧を付与するよう構成したこと、

を特徴とするもの。

１０． 請求項２のデータ保持装置において、

前記帰還路に配置されたインバータ回路および前記第１の継断用ゲートは、前記第１の強誘電体コンデンサの一端に接続されるドレイン領域、を有する電界効果トランジスタであって、ドレイン領域から基部半導体領域への接合方向が、前記読み出し用信号の付与によって前記第１の強誘電体コンデンサの一端に放出された電荷にとって順方向となるような接合部を有する電界効果トランジスタ、をそれぞれ備え、

前記読み出し用信号の付与を行うと同時にまたはその前に、前記電界効果トランジスタのソース領域に付与すべきソース電圧と実質的に同一の電圧の前記基部半導体領域への付与を開始し、前記読み出し用信号の付与を行った後、前記ソース領域にソース電圧を付与するよう構成したこと、

を特徴とするもの。

１１． 請求項２のデータ保持装置において、

前記主信号路に配置されたインバータ回路は、前記第２の強誘電体コンデンサの一端に接続されるドレイン領域、を有する電界効果トランジスタであって、ドレイン領域から基部半導体領域への接合方向が、前記読み出し用信号の付与によって前記第２の強誘電体コンデンサの一端に放出された電荷にとって順方向となるような接合部を有する電界効果トランジスタ、を備え、

前記読み出し用信号の付与を行うと同時にまたはその前に、前記電界効果トランジスタのソース領域に付与すべきソース電圧と実質的に同一の電圧の前記基部半導体領域への付与を開始し、前記読み出し用信号の付与を行った後、前記ソース領域にソース電圧を付与するよう構成したこと、

を特徴とするもの。

１２． 請求項２のデータ保持装置において、

前記帰還路に配置されたインバータ回路および前記第１の継断用ゲートは、前記第１の強誘電体コンデンサの一端に接続されるドレイン領域、を有する電界効果トランジスタであって、ドレイン領域から基部半導体領域への接合方向が、前記読み出し用信号の付与によって前記第１の強誘電体コンデンサの一端に放出された電荷にとって順方向となるような接合部を有する電界効果トランジスタ、をそれぞれ備え、

前記主信号路に配置されたインバータ回路は、前記第２の強誘電体コンデンサの一端に接続されるドレイン領域、を有する電界効果トランジスタであって、ドレイン領域から基部半導体領域への接合方向が、前記読み出し用信号の付与によって前記第２の強誘電体コンデンサの一端に放出された電荷にとって順方向となるような接合部を有する電界効果トランジスタ、を備え、

前記読み出し用信号の付与を行うと同時にまたはその前に、前記電界効果トランジスタのソース領域に付与すべきソース電圧と実質的に同一の電圧の前記基部半導体領域への付与を開始し、前記読み出し用信号の付与を行った後、前記ソース領域にソース電圧を付与するよう構成したこと、

を特徴とするもの。

１３．　請求項１２のデータ保持装置において、

前記電界効果トランジスタは、ｐＭＯＳ型電界効果トランジスタであること、

を特徴とするもの。

１４．　読み出し用信号が付与されると、記憶しているデータに対応した量の電荷を電荷放出ノードに放出するデータ記憶回路と、

前記放出された電荷によって電荷放出ノードに生ずる電圧に基づいて、データ記憶回路に記憶されていたデータの内容を復元するデータ復元回路と、

実質的に電荷放出ノードに接続されるドレイン領域、を有する電界効果トランジスタであって、ドレイン領域から基部半導体領域への接合方向が、前記放出された電荷にとって順方向となるような接合部を有する電界効果トランジスタと、

を備えたデータ保持装置であって、

データ記憶回路に対する読み出し用信号の付与を行うと同時にまたはその前に、前記電界効果トランジスタのソース領域に付与すべきソース電圧と実質的に同一の電圧の前記基部半導体領域への付与を開始し、データ記憶回路に対する読み出し用信号の付与を行った後、前記ソース領域にソース電圧を付与するよう構成したこと、

を特徴とするデータ保持装置。

１５．　請求項１４のデータ保持装置において、

前記データ記憶回路は、強誘電体コンデンサを備えており、

前記電荷放出ノードは強誘電体コンデンサの一端であり、

前記読み出し用信号は強誘電体コンデンサの他端に付与され、

前記データ復元回路は、前記電荷放出ノードに接続される入力ノード、を有する第１のインバータ回路であり、

前記電界効果トランジスタを有する第２のインバータ回路であって、その入力ノードは第１のインバータ回路の出力ノードに接続され、その出力ノードは前記

電荷放出ノードに接続される、第２のインバータ回路を備えたこと、
を特徴とするもの。

１６．　請求項１５のデータ保持装置において、
前記電界効果トランジスタは、ｐＭＯＳ型電界効果トランジスタであること、
を特徴とするもの。

１７．　主信号路に配置されたインバータ回路と帰還路に配置されたインバータ回路とを直列にループ状に接続することによってデータを保持可能としたデータ保持回路、を備えたデータ保持装置であって、
帰還路に配置されたインバータ回路の出力ノードと主信号路に配置されたインバータ回路の入力ノードとの間に配置され、データ保持時には継状態となりデータ通過時には断状態となるよう継断制御される第１の継断用ゲートと、
帰還路に配置されたインバータ回路の出力ノードにその一端が接続された第１の強誘電体コンデンサと、を備え、
第１の強誘電体コンデンサの一端の電位に対する他端の電位に基づいて、データ保持回路に存するデータに対応した分極状態を第１の強誘電体コンデンサに記憶させ、当該他端に読み出し用信号を付与することにより、第１の強誘電体コンデンサに記憶させてあった分極状態に対応したデータをデータ保持回路に復元させるよう構成したこと、
を特徴とするデータ保持装置。

１８．　読み出し用信号が付与されると、記憶しているデータに対応した量の電荷を電荷放出ノードに放出するデータ記憶回路と、
前記放出された電荷によって電荷放出ノードに生ずる電圧に基づいて、データ記憶回路に記憶されていたデータの内容を復元するデータ復元回路と、
実質的に電荷放出ノードに接続されるドレイン領域、を有する電界効果トランジスタであって、ドレイン領域から基部半導体領域への接合方向が、前記放出された電荷にとって順方向となるような接合部を有する電界効果トランジスタと、

を備えたデータ保持装置、を用いたデータ読み出し方法であって、

データ記憶回路に対する読み出し用信号の付与を行うと同時にまたはその前に、前記電界効果トランジスタのソース領域に付与すべきソース電圧と実質的に同一の電圧の前記基部半導体領域への付与を開始し、データ記憶回路に対する読み出し用信号の付与を行った後、前記ソース領域にソース電圧を付与するよう構成したこと、

を特徴とするデータ読み出し方法。

１９． 請求項１８のデータ読み出し方法において、

前記データ記憶回路は、強誘電体コンデンサを備えており、

前記電荷放出ノードは強誘電体コンデンサの一端であり、

前記読み出し用信号は強誘電体コンデンサの他端に付与され、

前記データ復元回路は、前記電荷放出ノードに接続される入力ノード、を有する第１のインバータ回路であり、

前記データ保持装置は、前記電界効果トランジスタを有する第２のインバータ回路であって、その入力ノードは第１のインバータ回路の出力ノードに接続され、その出力ノードは前記電荷放出ノードに接続される、第２のインバータ回路を備えたこと、

を特徴とするもの。

２０． 請求項１９のデータ読み出し方法において、

前記電界効果トランジスタは、ｐＭＯＳ型電界効果トランジスタであること、

を特徴とするもの。

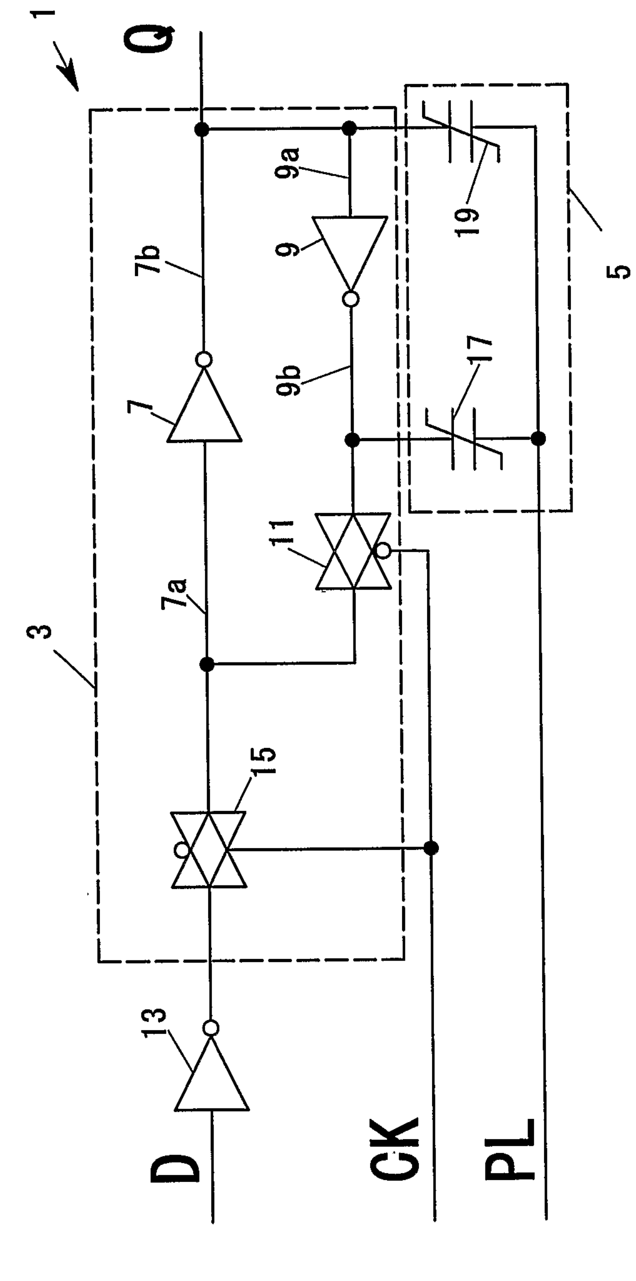


Fig. 1

Fig. 2

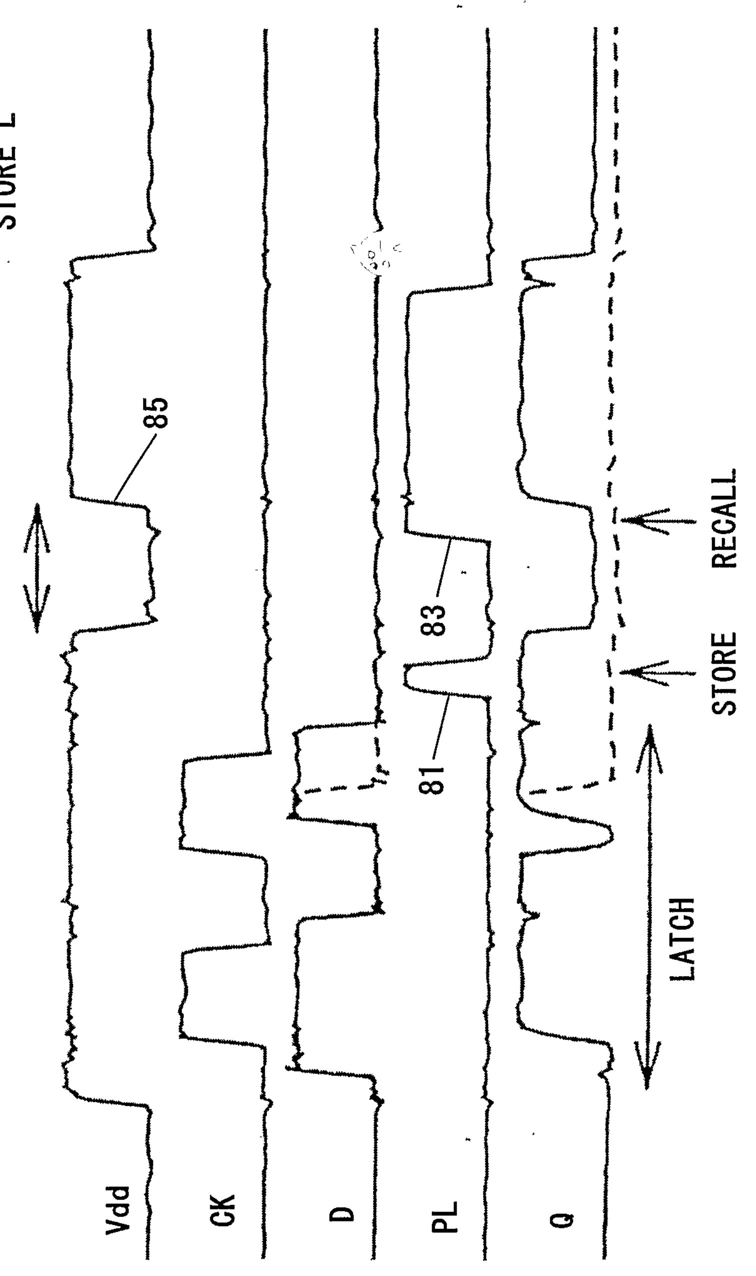

STORE"H"
STORE"L"
Retention
85
Vdd
CK
D
PL
Q
81
83
LATCH
STORE
RECALL

Fig. 3A

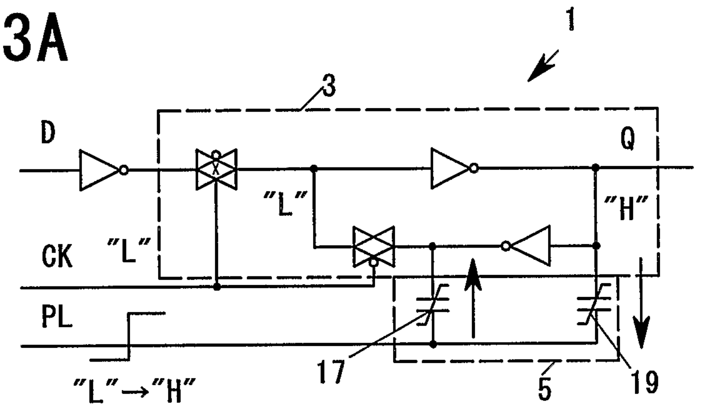


Fig. 3B

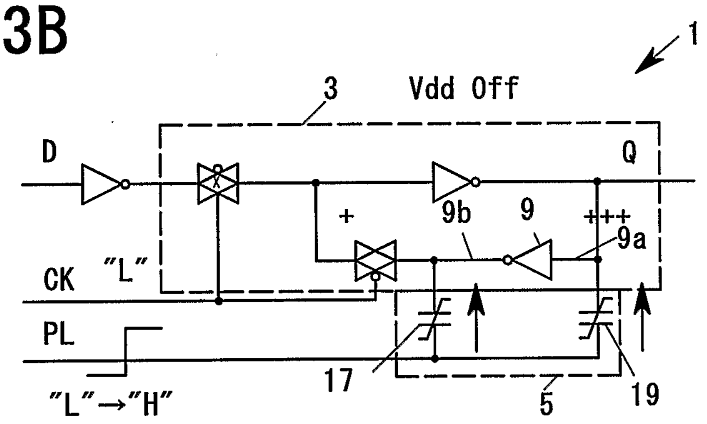


Fig. 3C

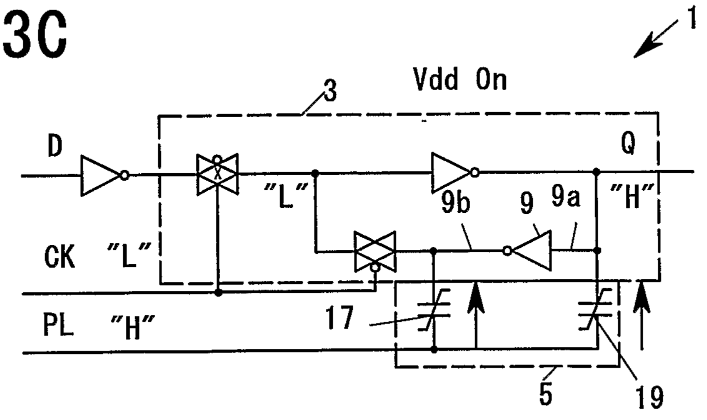


Fig. 4

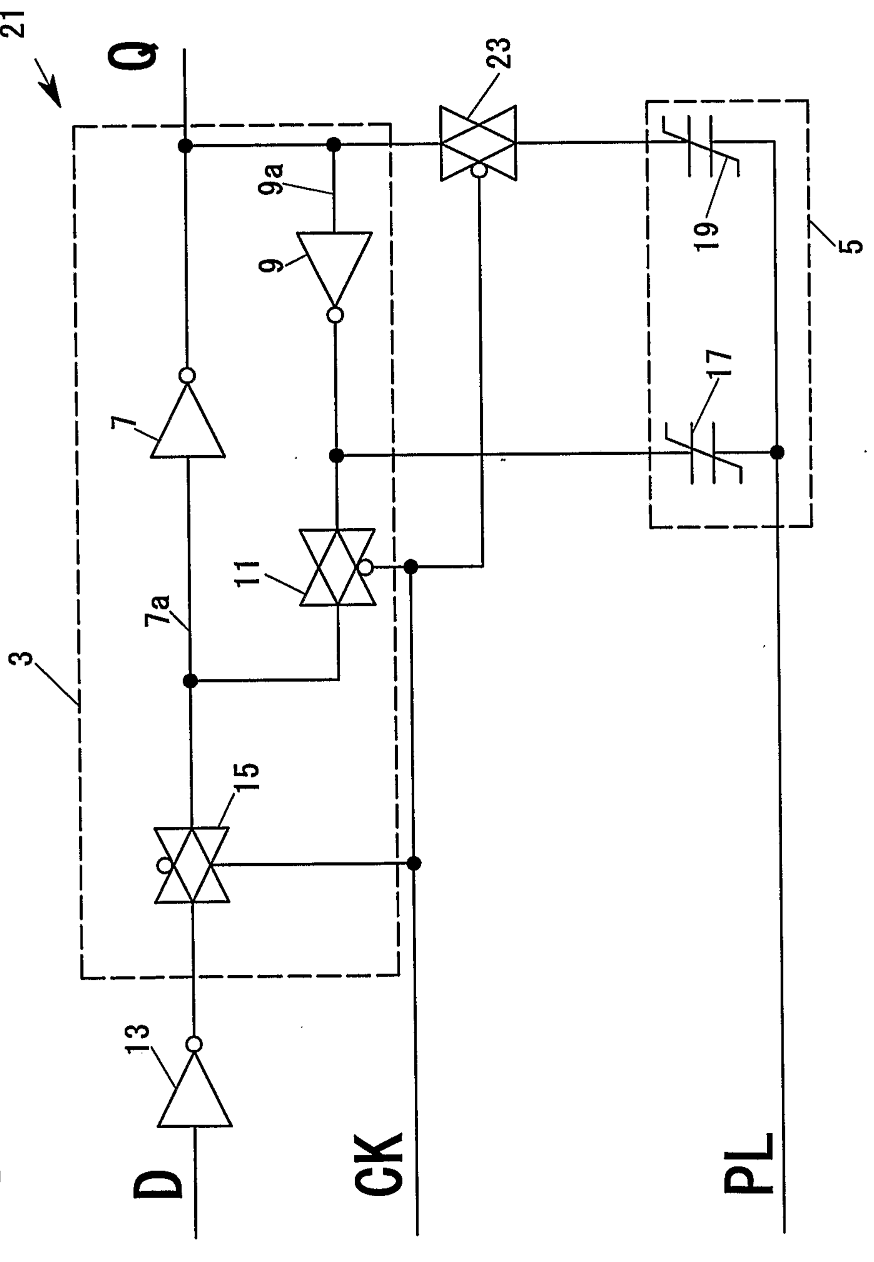
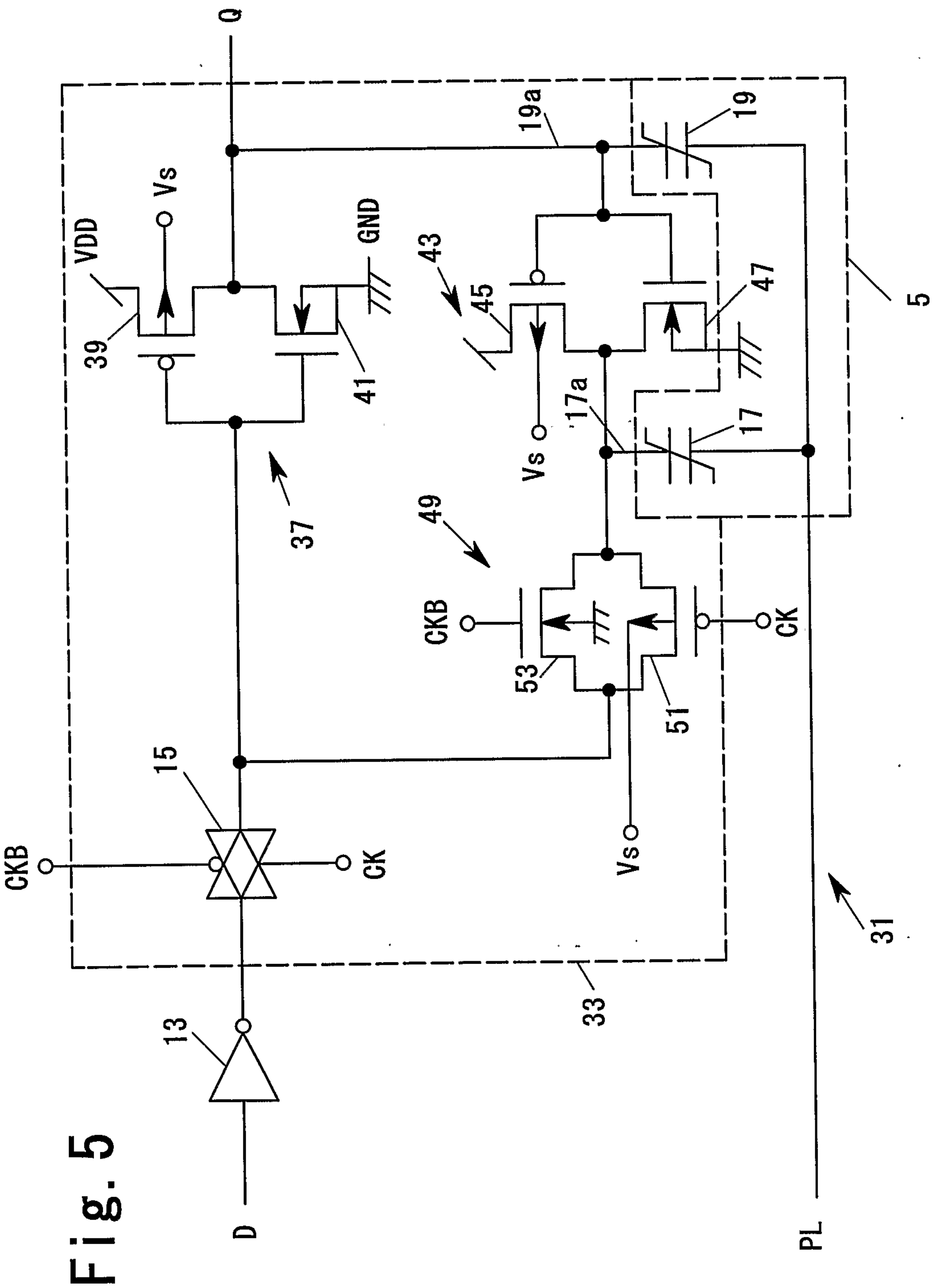


Fig. 5


Q
VDD
Vs
GND
39
41
37
43
45
47
19a
19
5
17a
17
Vs
49
CKB
CK
53
51
15
CKB
CK
Vs
13
33
31
D
PL

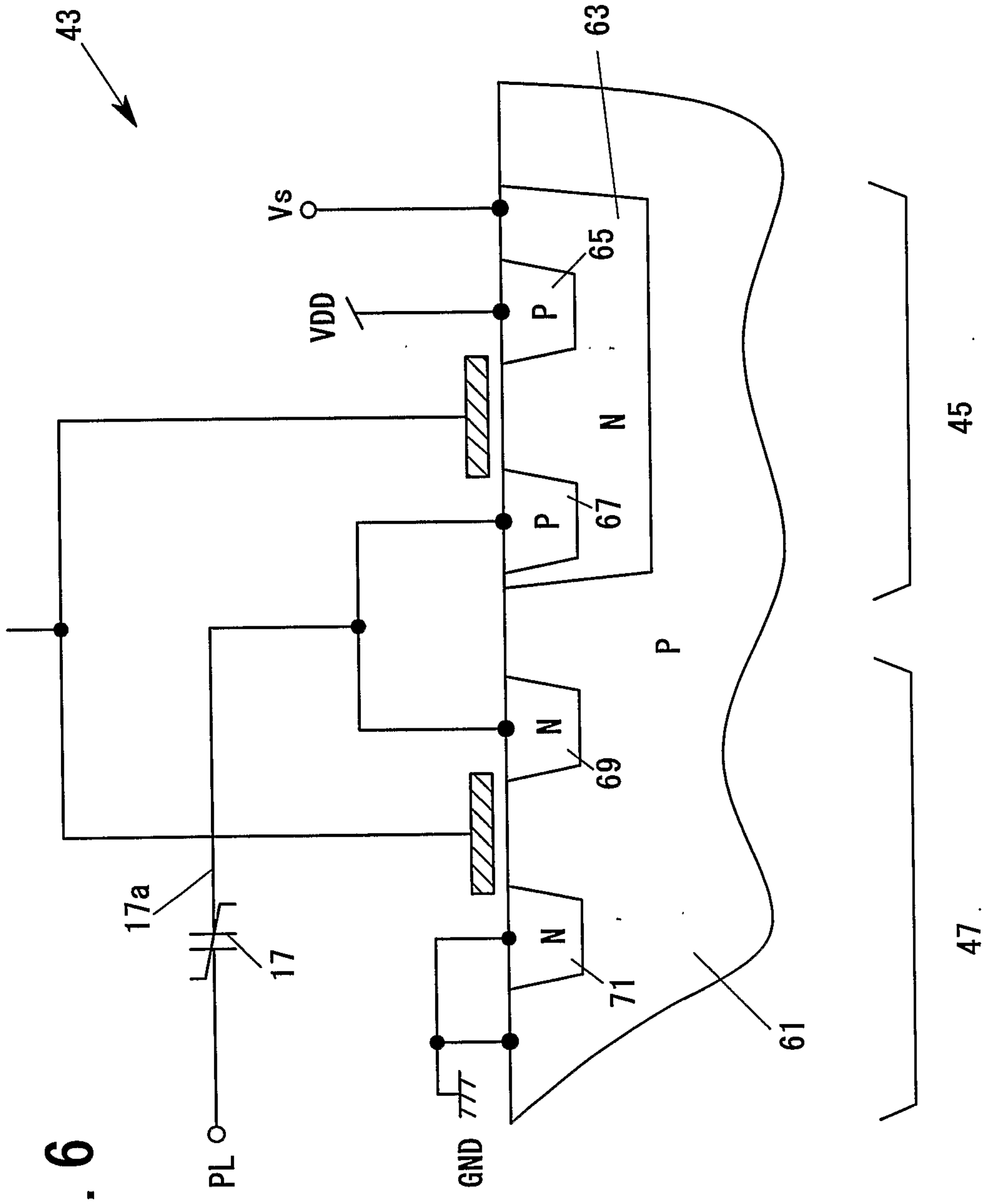


Fig. 6

Fig. 7

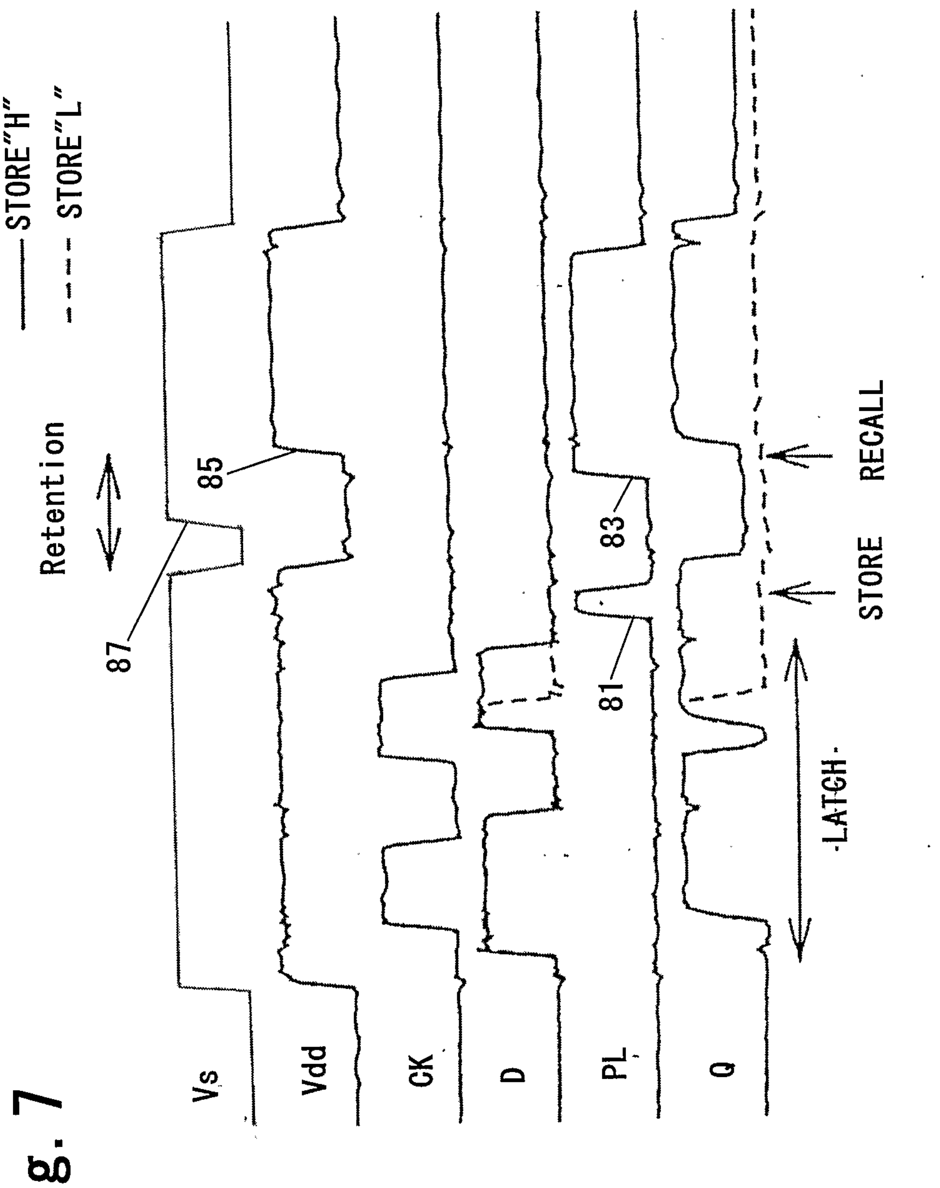

STORE"H"
STORE"L"
Retention
87
85
83
81
Vs
Vdd
CK
D
PL
Q
STORE
RECALL
LATCH

Fig. 8

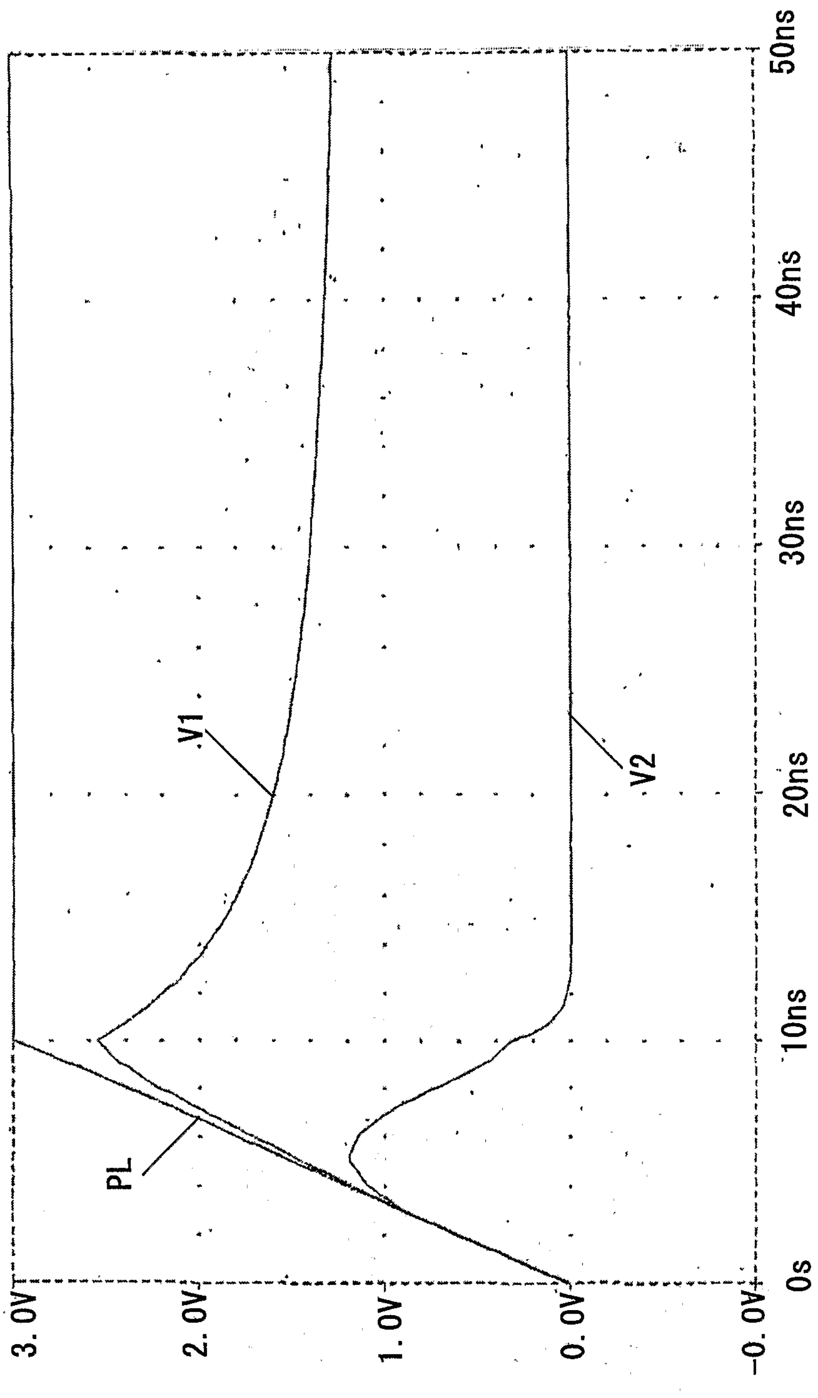
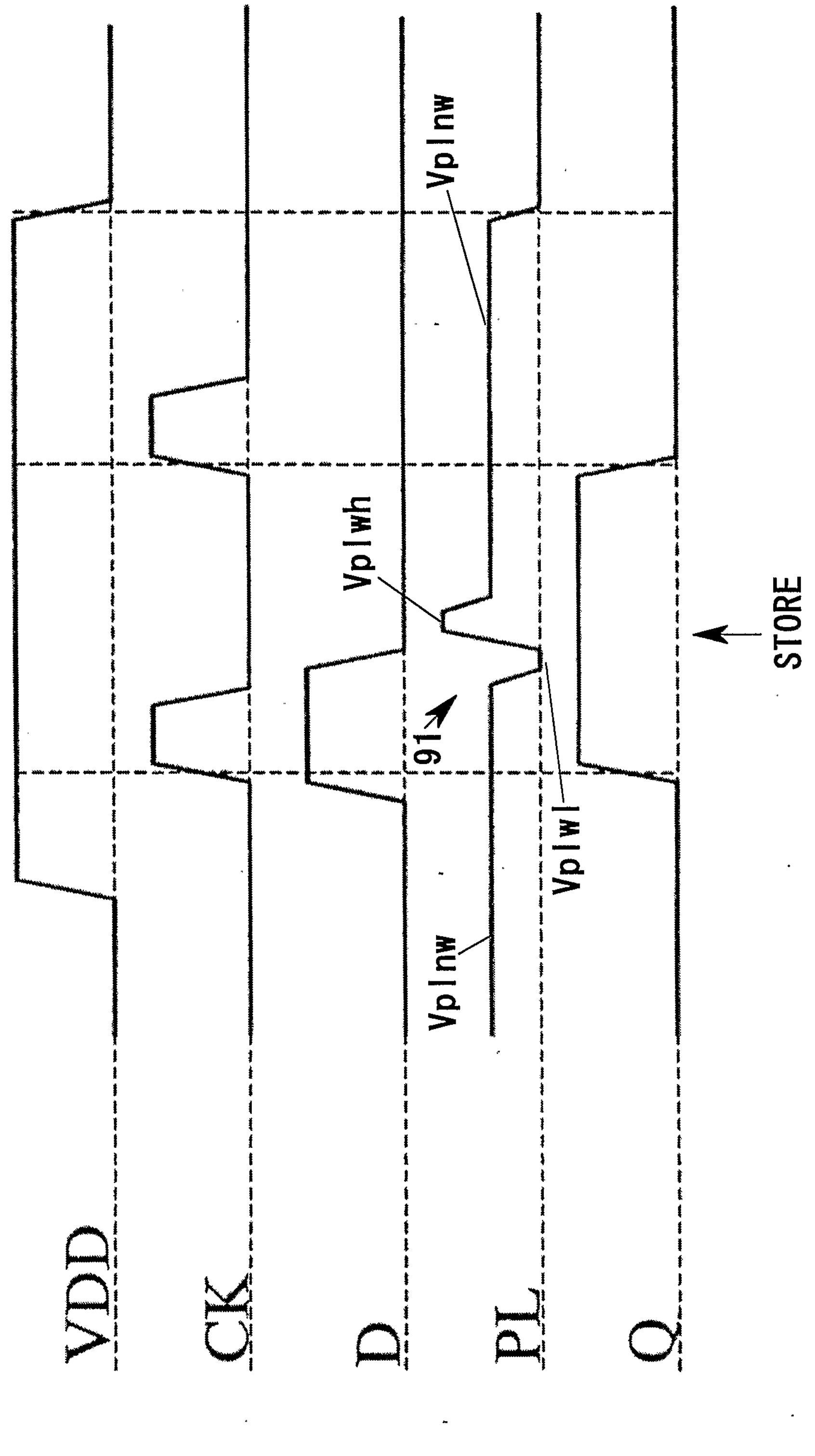


Fig.9



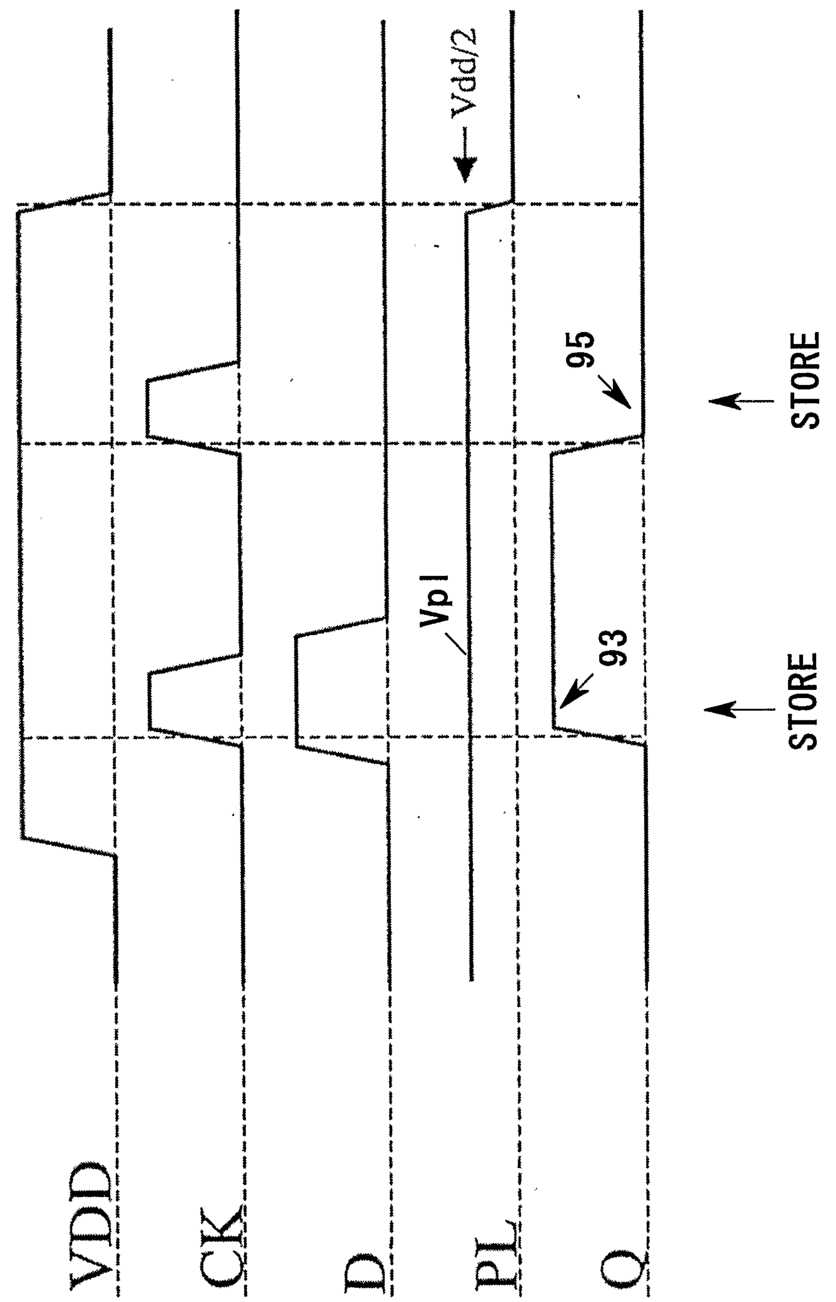
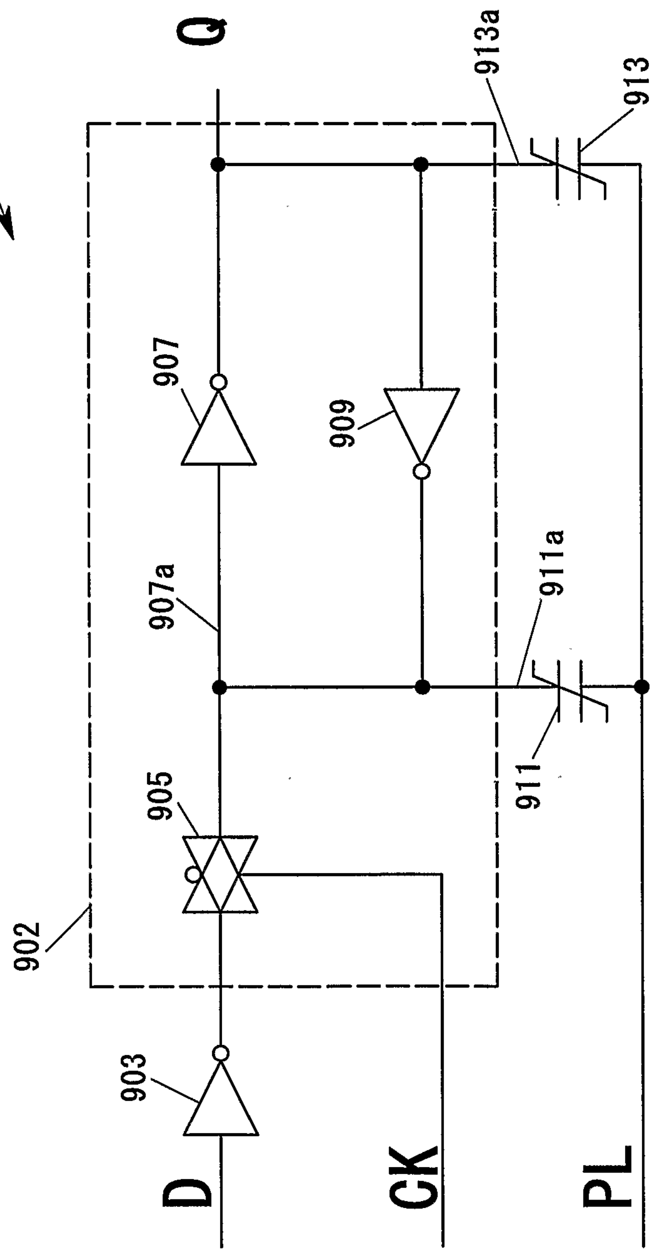


Fig.10

Fig. 11

（従来技術）



（従来技術）

Fig. 12A

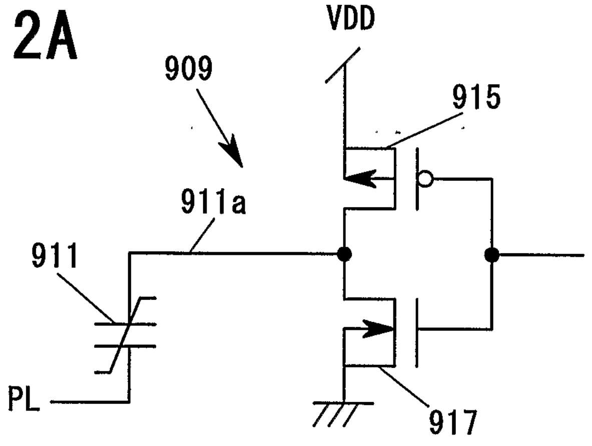


Fig. 12B （従来技術）

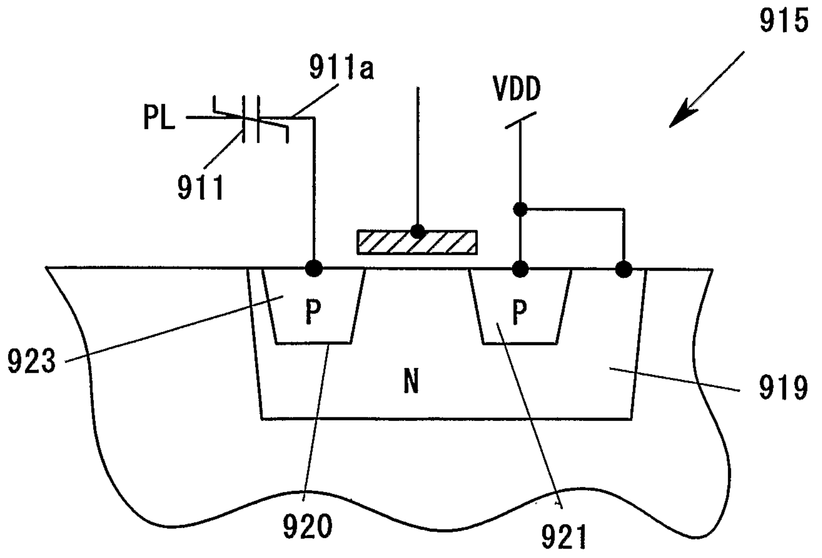
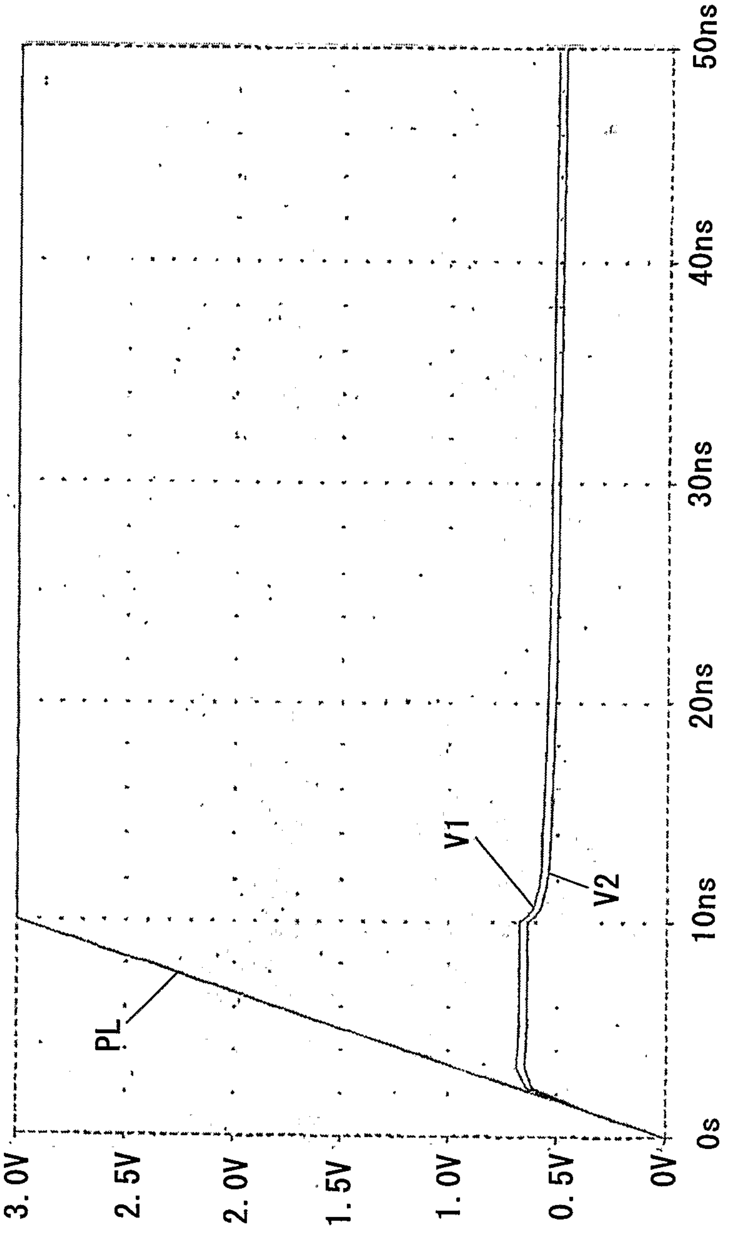


Fig. 13

(従来技術)



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP02/11979

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H03K3/037

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H03K3/037, G11C14/00, G11C11/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-2002
Kokai Jitsuyo Shinan Koho 1971-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5592411 A (Motorola, Inc.), 07 January, 1997 (07.01.97), Full text; Figs. 1 to 3 & JP 9-147578 A Full text; Figs. 1 to 3 & EP 772199 A	1-20
Y	JP 2000-77982 A (Kobe Steel, Ltd.), 14 March, 2000 (14.03.00), Full text; Figs. 1 to 8 (Family: none)	1-20
Y	JP 2000-124776 A (Rohm Co., Ltd.), 28 April, 2000 (28.04.00), Full text; Figs. 1 to 8 (Family: none)	1-20

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 February, 2003 (18.02.03)	04 March, 2003 (04.03.03)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

国際調査報告

国際出願番号　PCT／JP02／11979

A.　発明の属する分野の分類（国際特許分類（IPC））

Int. Cl⁷　H03K 3/037

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. Cl⁷　H03K 3/037, G11C 14/00, G11C 11/22,

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926－2002
日本国公開実用新案公報	1971－2002

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	US 5592411 A (Motorola, Inc.) 1997. 01. 07, 全文, 第1～3図 & JP 9-147578 A, 全文, 第1～3図 & EP 772199 A	1－20
Y	JP2000-77982 A（株式会社 神戸製鋼所）2000. 03. 14, 全文, 第1～8図（ファミリーなし）	1－20

☒ C欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日　18. 02. 03	国際調査報告の発送日　04.03.03
国際調査機関の名称及びあて先 日本国特許庁（ISA／JP） 郵便番号100－8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員）有泉良三　印　5X　7402 電話番号　03－3581－1101　内線　3556

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ０２／１１９７９

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｙ	ＪＰ２０００−１２４７７６　Ａ　（ローム 株式会社） ２０００．０４．２８，全文，第１〜８図（ファミリーなし）	１−２０