

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

|   |  |
|---|--|
| (51) Int. Cl. <sup>6</sup><br>G06F 3/14 | (11) 공개번호<br>특 1996-0001972  |
|   | (43) 공개일자<br>1996년 01월 26일   |
| (21) 출원번호                               | 특 1995-0014566   |
| (22) 출원일자                               | 1995년 06월 02일  |
| (30) 우선권주장                              | 8/253271 1994년 06월 02일 미국(US)  |
| (71) 출원인                                | 액셀러릭스 리미티드 제임스 더비셔   |
| (72) 발명자                                | 채널 아일랜드 저지 세인트 헬리어 퀸 스트리트 퀸즈웨이 하우스 8 (우:제이이2 4더블유디)<br>데니스 필더<br>영국 캠브리지 린톤 헤어필드 라이즈 4<br>제임스 더비셔<br>영국 캠브리지 윌링햄 롱레인 9<br>피터 길링햄<br>캐나다 온타리오 카나타 슬레이트 크레슨트 43<br>랜디 토랜스<br>캐나다 온타리오 오타와 힐다 스트리트 41 아파트먼트 204<br>코맥 오 코넬<br>캐나다 온타리오 카나타 잭슨 코트 27 |
| (74) 대리인                                | 이상섭, 나영환   |

심사청구 : 없음

(54) 단일칩 프레임 버퍼 및 그래픽 가속기

요약

단일 칩 디스플레이 프로세서는 그래픽 및 미디어 픽셀 데이터 중 적어도 하나를 기억하는 다이나믹 랜덤 액세스 메모리(DRAM)와 DRAM과 동일한 집적 회로(IC) 칩에 집적되는 픽셀 데이터 유닛(PDU)을 포함하며, 상기 IC 칩은 픽셀 데이터 블록을 DRAM으로부터 PDU로 동시에 전송하기 위한 대규모 병렬 버스를 추가로 포함하고, 상기 PDU는 처리된 픽셀 데이터의 후속 표시를 위해 픽셀 데이터와 블록을 처리할 수 있다.

대표도

도 2

명세서

[발명의 명칭]

단일 칩 프레임 버퍼 및 그래픽 가속기

[도면의 간단한 설명]

제2도는 본 발명에 따른 퍼스널 컴퓨터의 디스플레이 프로세서부를 나타낸 블록도.

제3도는 본 발명의 양호한 실시예에서 사용되는 프레임 버퍼 및 픽셀 출력 경로 서브 시스템을 나타낸 블록도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

(a) 그래픽과 비디오 픽셀 데이터 중 적어도 하나를 기억하는 다이나믹 랜덤 액세스 메모리(DRAM); 및  
(b) 상기 DRAM과 동일한 집적 회로(IC) 칩에 집적된 상기 픽셀 데이터를 처리하는 픽셀 데이터 유닛(PDU)을 포함하며, 상기 IC 칩은 DRAM으로부터 PDU로 동시에 픽셀 데이터 블록을 전송하는 대규모 병렬 버스를 포함하고, 상기 PDU는 처리된 픽셀 데이터의 후속 표시를 위해 상기 픽셀 데이터 블록을 처

리할 수 있는 것을 특징으로하는 단일 칩 디스플레이 프로세서.

#### 청구항 2

제1항에 있어서, 상기 DRAM은 행을 이루는 워드라인과 이 워드라인행에 직교하는 열을 이루는 비트라인과, 상기 비트라인과 워드라인에 접속되어 각각 상기 필셀 데이터 비트를 기억하는 비트 기억 셀과, 상기 비트 라인에 접속되는 행을 이루는 센스 증폭기와, 상기 센스 증폭기의 그룹에 접속되어 상기 센스 증폭기 그룹을 함께 동작 가능하게 하는 센스 증폭기 선택라인과, 각각 상기 센스 증폭기의 출력에 접속되고 상기 비트라인에 평행한 상기 IC칩에 의해 유지되는 대규모 병렬 버스를 구성하는 데이터 버스 라인을 포함하는데; 상기 센스 증폭기와 선택 라인은 상기 워드라인에 평행한 상기 IC칩에 의해 유지되고, 상기 PDU는 소정수의 비트라인열에 피치 정합되는 것을 특징으로하는 단일 칩 디스플레이 프로세서.

#### 청구항 3

제2항에 있어서, 상기 PDU는 복수의 PDU유닛을 포함하는데, 각각의 유닛은 단일 비트 PDU처리기를 포함하고, 각각의 PDU프로세서는 데이터 버스에 접속되어 센스 증폭기로부터 논리 비트를 수신하는 것을 특징으로 하는 단일 칩 디스플레이 프로세서.

#### 청구항 4

제2항에 있어서, 상기 PDU는 4비트 라인열에 피치 정합되고 각각 명령처리를 위해 대응하는 데이터 버스로부터 비트를 동시에 수신하는 단일 비트 PDU프로세서를 포함하는 것을 특징으로 하는 단일 칩 디스플레이 프로세서.

#### 청구항 5

제3항에 있어서, 인접한 어드레스를 갖는 일정수의 PDU프로세서를 동시에 동작 가능하게 하는 PDU 어드레스 디코더를 포함하며, 일정한 인접한 비트 라인으로부터의 데이터의 일정한 폭은 상기 소정수의 PDU 프로세서가 기입될 수 있고, 상기 소정수의 PDU 프로세서의 일정한 폭은 단일 사이클에서 소거될 수 있는 것을 특징으로하는 단일 칩 디스플레이 프로세서.

#### 청구항 6

제3항에 있어서, 각각은 PDU유닛은 1비트 소스, 목적지 및 브러쉬 가변 레지스터와, 상기 레지스터에 기억된 1비트를 논리적으로 동작시키는 4입력 래스터 동작(ROP4)회로와, 이 ROP4회로의 출력 데이터를 기억하는 ROP4레지스터와, 상기 PDU프로세서의 출력 데이터를 마스크하는 마스크레지스터를 포함하며, 각각의 레지스터는 ROP4회로에 접속되고, ROP4회로와 각각의 레지스터는 4비트라인 열에 피치 정합되고 데이터 버스에 접속되는 것을 특징으로하는 단일 칩 디스플레이 프로세서.

#### 청구항 7

제6항에 있어서, 각각의 소스, 목적지 및 브러쉬 가변 레지스터는 한쌍의 NMOS트랜지스터를 통해 메모리 액세스 회로를 통과하는 각각의 데이터 버스에 접속되는 교차접속 인버터를 포함하는 것을 특징으로 하는 단일 칩 디스플레이 프로세서.

#### 청구항 8

제6항에 있어서, 각각의 소스, 목적지 및 브러쉬 가변 레지스터는 2포트를 가지고 있고, 한쌍의 NMOS트랜지스터를 통해 메모리 회로를 통과하는 대응 데이터 버스에 상기 한포트로부터 접속되고, ROP4회로에 접속되는 레지스터 버스에 상기 제2포트로부터 접속되는 교차 접속 인버터를 추가로 포함하는 것을 특징으로하는 단일 칩 디스플레이 프로세서.

#### 청구항 9

제8항에 있어서, 각각의 인버터는 VDD전압과 VSS접지 입력을 포함하며, 인버터에의 기입 사이클의 실행을 위해 상기 전압원 및 접지 입력을 1/2 VDD전압과 동등하게 하고, 입력 데이터를 레지스터 버스에 공급하고, 레지스터를 선택하고, 상기 전압원 및 접지 입력을 각각 VDD 및 VSS로 상승시키기 위한 수단을 추가로 포함하는 것을 특징으로 하는 단일 칩 디스플레이 프로세서.

#### 청구항 10

제9항에 있어서, 판독 사이클의 실행을 위해 레지스터를 판독하기 전에 레지스터 버스를 VDD로 프리차지하는 것을 특징으로 하는 단일 칩 디스플레이 프로세서.

#### 청구항 11

제9항에 있어서, 판독 사이클의 실행을 위해 VDD전압원대신 VDD보다 더 높은 NMOS트랜지스터 동작임계 전(Vt)인 VPP전압을 공급하는 것을 특징으로하는 단일 칩 디스플레이 프로세서.

#### 청구항 12

제1항에 있어서, 각각의 PDU는 적어도 하나의 레지스터를 포함하고, 각각의 상기 레지스터는 액세스수단을 통해 한쌍의 데이터 버스에 접속되는 교차 접속 인버터를 포함하고, 이 인버터는 VDD 및 VSS접지 입력과, VDD와 VSS간의 차의 중간 전압으로 데이터 버스 라인을 프리차지 함으로써 한쌍의 데이터 버스라인에 대한 각각의 인버터를 액세싱하는 사이클을 실행고, 각각의 레지스터를 선택하여 그것의 인버터를 한쌍의 데이터 버스 라인에 접속하고, 전압원과 접지 입력을 각각 VDD와 VSS로 상승시키기 위한 수단을 포함하는 것을 특징으로하는 단일 칩 디스플레이 프로세서.

**청구항 13**

제12항에 있어서, 상기 중간 전압은 약 VDD의 1/2인 것을 특징으로하는 단일 칩 디스플레이 프로세서.

**청구항 14**

제2항에 있어서, DRAM이 사용되지 않는기간 동안 비트 라인에 접속된 센스 증폭기의 PDU에 PDU로부터의 데이터를 일시 기억하는수단을 포함하는 것을 특징으로하는 단일 칩 디스플레이 프로세서.

**청구항 15**

제14항에 있어서, PDU로부터의 데이터를 일시 기억하기위해 대규모 병렬 버스를 통해 상기 센스 증폭기로 정송하는 수단을 포함하는 것을 특징으로하는 단일 칩 디스플레이 프로세서.

**청구항 16**

제2항에 있어서, DRAM의 각각의 비트라인 열은 각각 비트라인쌍에 접속되는 복수의 송신 및 수신 센스 증폭기를 포함하고, 상기 복수의 센스 증폭기는 동작 가능 데이터 버스의 동작 가능한 한쌍의 데이터 버스라인에 병렬로 접속되며, 한쌍의 더미 데이터 버스라인과, 데이터를 한쌍의 동작 가능 데이터 버스라인으로 덤핑하도록 복수의 상승하는 것이 금지되는 것을 특징으로하는 단일 칩 디스플레이 프로세서.

**청구항 17**

비트라인과, 워드라인과, 비트라인에 접속되는 데이터기억셀과, 비트라인에 접속되는 송신 및 수신 센스 증폭기와, 상기 센스 증폭기에 접속되는 데이터 버스를 포함하는데, 복수의 센스 증폭기는 동작 가능 데이터 버스의 동작 가능한 한쌍의 데이터 버스라인에 병렬로 접속되고 더미 데이터 버스를 포함하는데, 이 더미 데이터 버스는 한쌍의 더미 데이터 버스라인과, 데이터를 동작 가능한 한쌍의 데이터 버스라인으로 덤핑하도록 복수의 송신 센스증폭기를 인에이블하고 대응하는 비트라인 상의 전압을 1/2VDD 전압과 등화시키는 수단과, 한쌍의 더미 데이터 버스라인을 동작가능한 한쌍의 데이터 버스라인과 병렬로 충전하는 수단과, 한쌍의 더미데이터 버스라인 상의 충전이 판독될 수 있을 때를 검출하고 송신 감지 증폭기를 디스에이블하고 수신 센스 증폭기를 인에이블하는 신호를 제공하는 수단을 포함하며, 상기 동작 가능한 한쌍의 데이터 버스 라인상의 전압은 그것의 데이터의 정확한 판독에 필요한 레벨이 더 높은 레벨로 상승하는 것이 금지되는 것을 특징으로 하는 DRAM.

**청구항 18**

제1항에 있어서, DRAM 메모리는 별개의 버퍼 블록으로 구성되고, 각각의 블록은 멀티 비트픽셀의 저너체 프레임의 각 픽셀의 1비트를 기억하는 것을 특징으로하는 단일 칩 디스플레이 프로세서.

**청구항 19**

제18항에 있어서, 각각의 버퍼 블록에의 기입을 위해 시스템 그래픽 프로세서로부터의 픽셀비트를 전송하고, 방송 모드에서 모든 버퍼 블록에 동일한 비트값을 기입하기 위해 시스템 그래픽 스프로세서로부터의 픽셀 피트를 전송하는 시스템 버스를 포함하는 것을 특징으로하는 단일 칩 디스플레이 프로세서.

**청구항 20**

제18항에 있어서, 출력 픽셀 데이터를 제공하기 위해 고속 페이지 모드에서 버퍼 블록을 판독하는 수단을 포함하는 것을 특징으로 하는 단일 칩 디스플레이 프로세서.

**청구항 21**

제18항에 있어서, 버퍼 블록은 각각 적어도 2560열×544행의 비트 용량을 갖는 것을 특징으로하는 단일 칩 디스플레이 프로세서.

**청구항 22**

제18항에 있어서, 버퍼 블록은 스크래치패드 데이터, 픽셀 색 데이터, 패달 데이터, 텍스트폰트 데이터 및 비디오 데이터 중 적어도 하나를 기억하는 여분의 메모리행을 포함하는 것을 특징으로 하는 단일 칩 디스플레이 프로세서.

**청구항 23**

제18에 있어서, 버퍼 블록은 각각 적어도 2560열×564열의 비트 용량을 갖는 것을 특징으로하는 단일 칩 디스플레이 프로세서.

**청구항 24**

제18항에 있어서, 각각의 버퍼 블록은 DRAM과, 상기 대규모 병렬 버스를 통해 DRAM에 접속되는 관련 PDU를 포함하고, 상기 PDU는 DRAM에 피치 정합되는 것을 특징으로하는 단일 칩 디스플레이 프로세서.

**청구항 25**

제18에 있어서, DRAM에 피치 정합되고 대규모 병렬 버스를 통해 DRAM에 접속되는 그래픽 출력 시프트 레지스터와, 상기 버스를 통해 DRAM으로부터 상기 그래픽 출력 시프트 레지스터를 병렬로 데이터를 전송하고 전송된 데이터로 디스플레이 회로에 의한 처리를 위해 직렬로 출력하는 수단을 포함하는 것을 특징으로

로 하는 단일 칩 디스플레이 프로세서.

**청구항 26**

제25항에 있어서, 시프트레지스터는 한쌍의 시프트 레지스터 세그먼트와, 순차적인 픽셀 그룹에 대응하는 데이터를 상호적으로 직렬로 각 한쌍의 시프트 레지스터로 전송하는 수단을 포함하는데, 완전한 표시 라인에 대한 픽셀데이터는 각쌍의 시프트 레지스터로부터 순차적으로 직렬로 판독되는 것을 특징으로 하는 단일 칩 디스플레이 프로세서.

**청구항 27**

제26항에 있어서, 시프트 레지스터로부터의 상기 데이터를 병렬 그룹으로 판독하기 위한 수단과, 픽셀 데이터 속도의 극히 일부의 비율로 주기적으로 시프트 레지스터를 동작시키는 수단을 포함하는 것을 특징으로 하는 단일 칩 디스플레이 프로세서.

**청구항 28**

제26에 있어서, DRAM으로부터 병렬로 픽셀 데이터를 수신하고 수신된 픽셀 데이터를 표시회로에 의한 처리를 위해 직렬로 출력하는 대규모 병렬 버스에 접속되는 비디오 출력 시프트 레지스터와, 직렬 비디오 픽셀 데이터를 수신하고 있는 것을 대규모 병렬 버스를 통해 DRAM으로 전송하는 비디오 입력 시프트 레지스터를 포함하는 것을 특징으로 하는 단일 칩 디스플레이 프로세서.

**청구항 29**

(a) 그래픽과 비디오 픽셀 데이터 중 적어도 하나를 기억하는 다이내믹 랜덤 액세스 메모리(DRAM)와; (b)상기 그래픽과 비디오 입력 픽셀 데이터중 적어도 하나를 처리하는 프로세서와; (c)상기 프로세서에 의해 처리된 데이터를 입력하여 그것을 표시 신호로 변환하는 랜덤 액세스 메모리 디지털 아날로그 변환기(RAMDAC)를 포함하며, 상기 DRAM, 프로세서 및 RAMDAC는 동일한 집적 회로 칩에 집적되는 것을 특징으로 하는 디스플레이 프로세서.

**청구항 30**

제29항에 있어서, 상기 픽셀 데이터 블록을 처리하며 상기 동일한 집적 회로 칩에 집적되는 픽셀 데이터 유닛(PDU)을 포함하는 것을 특징으로 하는 디스플레이 프로세서.

**청구항 31**

(a)행으로 픽셀 데이터를 기억하는 프레임 버퍼와; (b)상기 픽셀 데이터를 처리하는 출력논리 회로와; (c)프레임 버퍼와 출력 논리 회로를 상호 연결하는 픽셀 비트 만큼 많은 수의 버스 라인을 갖는 대규모 병렬 버스와; (d)출력 논리 회로에 의해 처리된 데이터를 표시 신호에 접속하기 위해 출력 회로에 접속된 랜덤 액세스 메모리 디지털 아날로그 변환기(RAMDAC)를 포함하며, 상기 프레임 버퍼, 출력 논리 회로, 버스 및 RAMDAC는 동일한 집적 회로 칩에 집적되는 것을 특징으로 하는 디스플레이 프로세서.

**청구항 32**

디스플레이 프로세서 시스템에 픽셀 데이터를 공급하는 방법에 있어서, (a)프레임 버퍼에 픽셀 데이터를 기억시키는 단계와; (b)프레임 버퍼로부터의 픽셀 데이터를 전송될 픽셀 비트와 유사한 수의 버스 라인을 갖는 대규모 병렬 버스를 통해 병렬로 그래픽 출력 시프트 레지스터의 대응하는 병렬 입력으로 전송하는 단계와; (c)시프트 레지스터로부터의 데이터를 직렬로 판독하는 단계를 포함하는 것을 특징으로 하는 방법.

**청구항 33**

제 32항에 있어서 시프트 레지스터는 프레임 버퍼에 각각 피치 정합되는 한쌍의 레지스터 세그먼트를 포함하고 시프트 레지스터는 각각의 비트기억 위치는 프레임 버퍼의 소정수의 열에 정합되며 순차적인 하나의 레지스터 세그먼트의 직렬 판독을 개시하는 단계와 후속하는 순차적인 픽셀 표시 데이터를 상기 한쌍의 레지스터 세그먼트의 다른 하나로 전송하는 단계와 상기 한쌍의 레지스터 세그먼트의 첫번째 것이 판독 완료된 후 상기 한쌍의 레지스터 세그먼트의 상기 나머지의 직렬 판독을 개시하는 단계와 표시 프레임에 대한 모든 픽셀 데이터가 시프트 레지스터로 전송 완료 될 때까지 상기단계를 반복하는 단계를 추가로 포함하는 것을 특징으로 하는 방법

**청구항 34**

제33항에 있어서, 프레임 버퍼는 2560비트 기억 열을 갖고, 각각의 레지스터 세그먼트는 320비트이고, 상기 전송 단계는 상기 기억열로부터 1280버스 라인을 갖는 레지스터 세그먼트로 상기 데이터를 전송하는 대규모 병렬 버스를 통해 실행되는 것을 특징으로 하는 방법.

**청구항 35**

제33항에 있어서 시프트 레지스터로부터 한번에 병렬로 수비트씩 데이터를 판독하는 단계를 판독하는 단계를 포함하는 것을 특징으로 하는 방법.

**청구항 36**

제32항에 있어서, 프레임 버퍼로부터 대규모 병렬 버스를 통해 픽셀 데이터 유닛(PDU)으로 데이터를 전송하고, PDU에서 픽셀 데이터를 처리하고, 그리고 처리된 데이터를 프레임 버퍼에 기억하는 단계를 포함하는 것을 특징으로 하는 방법.

**청구항 37**

제36항에 있어서, 픽셀 데이터를 프레임 버퍼에 기억하고, 그 데이터를 PDU로 전송하고, 프레임 버퍼로부터 상기 스프리트 레지스터로 데이터를 전송하는 것중 적어도 하나는 레인지 디코더를 통한 어드레싱에 의해 제어되는 것을 특징으로 하는 방법.

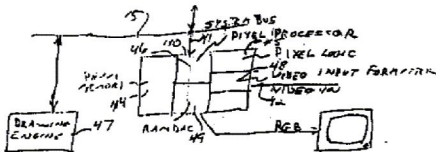
**청구항 38**

제36항에 있어서, 프레임 버퍼는 대규모 병렬 버스에 접속된 복수의 비트라인 센스 증폭기를 갖는 다이나믹 랜덤 액세스 메모리(DRAM)를 포함하고, PDU로부터의 데이터를 비트라인 센스 증폭기의 일시적으로 기억하고 비트라인 센스 증폭기가 PDU에 대한 일시 기억 레지스터로서 이용되게 하는 단계를 추가로 포함하는 것을 특징으로 하는 방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

**도면**

**도면2**



**도면3**

