

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2016 年 12 月 29 日(29.12.2016)



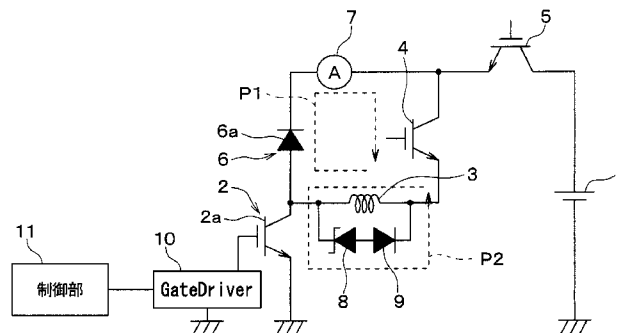
(10) 国際公開番号

WO 2016/208141 A1

- (51) 国際特許分類:  
G01R 31/26 (2014.01)
- (21) 国際出願番号: PCT/JP2016/002793
- (22) 国際出願日: 2016 年 6 月 9 日(09.06.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2015-127990 2015 年 6 月 25 日(25.06.2015) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 Aichi (JP).
- (72) 発明者: 宮田 征典(MIYATA, Masanori); 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP). 岡部 好文(OKABE, Yoshifumi); 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順姫(KIN, Junhi); 〒4600003 愛知県名古屋市中区錦 2 丁目 1 3 番 1 9 号 瀧定ビル 6 階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告 (条約第 21 条(3))

(54) Title: INSPECTION APPARATUS AND INSPECTION METHOD FOR SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体素子の検査装置および検査方法



11 Control unit

(57) Abstract: This inspection apparatus for semiconductor elements is provided with: a first switch (2), a coil (3), and a second switch (4), which are connected in series to a power supply (1), said first switch having a switching element (2a); a semiconductor element (6) as a subject to be inspected, said semiconductor element being disposed such that the semiconductor element constitutes a loop path with the coil and the second switch when the switching element is turned off, and having a diode element (6a) wherein the cathode electrode is connected to the positive electrode side of the power supply; and a first rectifying element (8) and a second rectifying element (9), which constitute, with the coil, a loop path different from the loop path including the semiconductor element, said second rectifying element being connected in series to the first rectifying element, and performing rectification in the direction reverse to the direction in which the first rectifying element performs rectification.

(57) 要約:

[続葉有]

WO 2016/208141 A1



---

半導体素子の検査装置は、電源（１）に対して直列に接続されたスイッチング素子（２ a）を有する第１スイッチ（２）、コイル（３）、及び、第２スイッチ（４）と、スイッチング素子がオフされているときコイルおよび第２スイッチと共にループ経路を構成するように配置され、電源の正極側にカソード電極が接続されたダイオード素子（６ a）を有する検査対象としての半導体素子（６）と、半導体素子を含むループ経路とは別のループ経路をコイルと共に構成する、第１整流素子（８）、および、第１整流素子と直列に接続され、第１整流素子と逆向きの整流作用を有する第２整流素子（９）と、を備える。

## 明 細 書

発明の名称：半導体素子の検査装置および検査方法

### 関連出願の相互参照

[0001] 本出願は、2015年6月25日に出願された日本特許出願番号2015-127990号に基づくもので、ここにその記載内容を援用する。

### 技術分野

[0002] 本開示は、ダイオード素子を有する半導体素子の検査装置および検査方法に関するものである。

### 背景技術

[0003] 従来、この種の検査装置として、例えば、特許文献1に次のような検査回路が提案されている。すなわち、この検査回路では、電源に対して直列にスイッチ、コイル、半導体素子が配置されると共に、スイッチと、半導体素子を構成するスイッチング素子とがオフされたときに、コイルと共にループ経路を構成するダイオード素子が配置されている。ダイオード素子のカソード電極は、電源の正極側に接続されている。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2008-164364号公報

### 発明の概要

[0005] 上記特許文献1に記載の検査回路において、半導体素子やダイオード素子を検査対象の素子（DUT：Device Under Test）とすることができる。そして、ダイオード素子をDUTとする場合、DUTのリカバリ特性等を調べるためにスイッチのオンとオフを繰り返すと、スイッチをオフした際に、コイルとDUTとを含むループ経路に還流電流が流れる。また、その後、スイッチをオンすると、DUTにリカバリ電流が流れ、スイッチをオフすると、DUTに再び還流電流が流れる。

[0006] リカバリ後の還流期間は、リカバリ前の還流期間よりも時間が長いため、

DUTは、リカバリ前の還流電流が流れる際よりも、リカバリ後の還流電流が流れる際に大きく発熱する。そのため、リカバリ後の還流電流によりDUTが損傷し、破壊されるおそれがある。

[0007] また、DUTが破壊されると、破壊された箇所に電流が集中し、DUT表面の電極等に接触して配置されているプローブ、ステージ等の検査機器に大きな電流が流れる。よって、リカバリ後の還流電流によりDUTが破壊されると、検査機器の損傷が促進される。

[0008] また、リカバリ動作においてDUTが破壊された場合にも、リカバリ後の還流電流により、同様に検査機器の損傷が促進される。

[0009] 本開示は上記点に鑑みてなされたものであり、DUTがダイオード素子を有する場合に検査機器の損傷を低減する半導体素子の検査装置および検査方法を提供することを目的とする。

[0010] 本開示の一態様による半導体素子の検査装置は、電源に対して直列に接続された、スイッチング素子を有する第1スイッチ、コイル、および、第2スイッチと、スイッチング素子がオフされているときコイルおよび第2スイッチと共にループ経路を構成するように配置され、電源の正極側にカソード電極が接続されたダイオード素子を有する検査対象としての半導体素子と、半導体素子を含むループ経路とは別のループ経路をコイルと共に構成する、第1整流素子、および、第1整流素子と直列に接続され、第1整流素子と逆向きの整流作用を有する第2整流素子と、を備える。

[0011] 上記検査装置によれば、コイル、第1整流素子、第2整流素子により、半導体素子を含むループ経路とは別のループ経路が構成されているため、半導体素子に還流電流が流れ込むことを抑制し、検査機器の損傷を低減することができる。

[0012] 本開示の他の態様によるダイオード素子を有する検査対象としての半導体素子を検査する半導体素子の検査方法は、スイッチング素子を有する第1スイッチ、コイル、および、第2スイッチを電源に対して直列に接続し、半導体素子を、スイッチング素子をオフしたときにコイルおよび第2スイッチと

共にループ経路を構成するように配置し、ダイオード素子のカソード電極を電源の正極側に接続し、第1整流素子、および、第1整流素子と直列に接続され、第1整流素子と逆向きの整流作用を有する第2整流素子を、半導体素子を含むループ経路とは別のループ経路をコイルと共に構成するように配置し、スイッチング素子のオン、オフを繰り返し行うことにより、半導体素子の検査を行うことを含む。

[0013] 上記検査方法によれば、コイル、第1整流素子、第2整流素子を、半導体素子を含むループ経路とは別のループ経路を構成するように配置しているため、半導体素子に還流電流が流れ込むことを抑制し、検査機器の損傷を低減することができる。

### 図面の簡単な説明

[0014] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、  
[図1]図1は、本開示の第1実施形態における検査装置の構成を示す図であり、  
、  
[図2]図2は、従来の検査装置における第1スイッチの状態とDUTに流れる電流との関係を示す図であり、  
[図3]図3は、図1に示す検査装置における第1スイッチの状態とDUTに流れる電流との関係を示す図であり、  
[図4]図4は、第1実施形態の第1変形例を示す図であり、  
[図5]図5は、第1実施形態の第2変形例における第2スイッチの状態とDUTに流れる電流との関係を示す図であり、  
[図6]図6は、本開示の第2実施形態における検査装置の構成を示す図であり、  
、  
[図7]図7は、本開示の第3実施形態における検査装置の構成を示す図であり、  
、  
[図8]図8は、本開示の第4実施形態における検査装置の構成を示す図である。

## 発明を実施するための形態

[0015] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0016] (第1実施形態)

本開示の第1実施形態について説明する。本実施形態における半導体素子の検査装置は、電源1を用いて半導体素子のリカバリ検査を行うものである。具体的には、本実施形態の検査装置は、図1に示すように、電源1、第1スイッチ2、コイル3、第2スイッチ4、保護スイッチ5、DUT6、電流計7、第1整流素子8、第2整流素子9、ゲートドライバ10、制御部11を備える。

[0017] 図1に示すように、電源1に対して、保護スイッチ5、第2スイッチ4、コイル3、第1スイッチ2が直列に接続されている。第1スイッチ2は、コイル3を流れる電流の経路を切り替えるものであり、スイッチング素子2aを有している。スイッチング素子2aは、本実施形態では、ゲート電極、コレクタ電極、エミッタ電極を有するNチャネル型のIGBT（絶縁ゲートバイポーラトランジスタ）素子で構成される。

[0018] 図1に示すように、スイッチング素子2aのゲート電極はゲートドライバ10に接続されており、ゲートドライバ10は制御部11に接続されている。ゲートドライバ10は、制御部11から入力された信号に応じてスイッチング素子2aのゲート電圧を変化させ、第1スイッチ2のオン、オフを切り替えるものである。ゲートドライバ10は、電源1の負極（グランド）に接続されている。制御部11は、ゲートドライバ10を通してスイッチング素子2aのオン、オフを繰り返し行う。

[0019] コイル3は、L負荷が有するインダクタンス成分を想定したものであり、第2スイッチ4がオンされている状態において第1スイッチ2がオフされた場合に、DUT6に還流電流を流す。第2スイッチ4は、第1スイッチ2がオフされた状態においてコイル3を流れる電流の経路を切り替えるものであ

り、本実施形態では、ゲート電極、コレクタ電極、エミッタ電極を有するNチャネル型のIGBT素子で構成される。

[0020] 第2スイッチ4のゲート電極は図示しないゲートドライバに接続されており、このゲートドライバは制御部11に接続されている。制御部11は、第2スイッチ4のオン、オフを、ゲートドライバを通して状況に応じて切り替える。

[0021] 保護スイッチ5は、DUT6が破壊されたとき等に、電源1から第2スイッチ4等へ供給される電流を遮断し、検査機器の損傷を抑制するためのものであり、本実施形態では、ゲート電極、コレクタ電極、エミッタ電極を有するNチャネル型のIGBT素子で構成される。

[0022] 保護スイッチ5のゲート電極は図示しないゲートドライバに接続されており、このゲートドライバは制御部11に接続されている。制御部11は、DUT6が破壊されたと判定すると、ゲートドライバを通して保護スイッチ5をオフする。

[0023] 図1に示すように、電源1の正極は、保護スイッチ5のコレクタ電極に接続されている。保護スイッチ5のエミッタ電極は、第2スイッチ4のコレクタ電極に接続されている。第2スイッチ4のエミッタ電極は、コイル3の一端に接続されている。コイル3の他端は、第1スイッチ2が有するスイッチング素子2aのコレクタ電極に接続されている。スイッチング素子2aのエミッタ電極は、グラウンドに接続されている。

[0024] 図1に示すように、DUT6および電流計7は、第1スイッチ2がオフされているときコイル3および第2スイッチ4と共にループ経路P1を構成するように配置されている。また、ループ経路P1において、DUT6は、電流計7と直列に接続されている。

[0025] DUT6は本実施形態における検査対象であり、本開示の半導体素子に相当する。DUT6は、ダイオード素子6aを有しており、ダイオード素子6aは、縦型のFWD（フリーホイールダイオード）素子で構成される。

[0026] ダイオード素子6aの一方の電極は図示しないプローブに接触しており、

他方の電極は図示しないステージの上に設けられた配線に接触している。

[0027] 電流計 7 は、D U T 6 の破壊を検出するために D U T 6 に流れる電流を測定するものである。破壊検出の方法として、特許文献 1 に記載の方法を用いることができる。電流計 7 は、図示しない配線により制御部 1 1 に接続されており、制御部 1 1 は、電流計 7 の出力に基づいて、過電流を検出し、D U T 6 が破壊されたか否かを判定する。

[0028] このように、電流計 7 は D U T 6 に流れる電流を測定し、制御部 1 1 は電流計 7 の出力に基づいて D U T 6 の破壊を検出する。したがって、電流計 7 および制御部 1 1 は、本開示の破壊検出部に相当する。

[0029] 図 1 に示すように、D U T 6 が有するダイオード素子 6 a のカソード電極は、電流計 7 および保護スイッチ 5 を介して電源 1 の正極側に接続されている。ダイオード素子 6 a のアノード電極は、第 1 スイッチ 2 とコイル 3 との間の配線に接続されている。

[0030] 図 1 に示すように、第 1 整流素子 8 および第 2 整流素子 9 は、D U T 6 を含むループ経路 P 1 とは別のループ経路 P 2 をコイル 3 と共に構成している。また、ループ経路 P 2 において、第 2 整流素子 9 は、第 1 整流素子 8 と逆向き整流作用を有するように、第 1 整流素子 8 と直列に接続されている。

[0031] 第 1 整流素子 8 は、第 2 スイッチ 4 がオンされているときに、コイル 3 を流れる電流がループ経路 P 2 を進むことを抑制するためのものであり、本実施形態では、ツェナーダイオード素子で構成される。第 1 整流素子 8 は、第 2 スイッチ 4 がオフされたときにコイル 3 の逆起電力により流れる電流と逆向き整流作用を有するように接続されている。

[0032] 第 2 整流素子 9 は、第 2 スイッチ 4 を流れる電流が、コイル 3 経由ではなく第 1 整流素子 8 経由で第 1 スイッチ 2 に供給されることを抑制するためのものであり、FWD 素子で構成される。

[0033] 制御部 1 1 は、状況に応じて各スイッチを操作するものであり、C P U、R O M、R A M、I / Oなどを備えた周知のマイクロコンピュータによって構成される。制御部 1 1 は、R O Mなどに記憶されたプログラムに従って各

種演算などの処理を実行し、DUT 6 のリカバリ検査を行う。

- [0034] 具体的には、制御部 11 は、第 1 スイッチ 2 をオンにする動作と第 1 スイッチ 2 をオフにする動作とを交互に 2 度繰り返す。また、制御部 11 は、少なくとも 1 度目に第 1 スイッチ 2 をオンにした後から 2 度目に第 1 スイッチ 2 をオンにするまでの間、第 2 スイッチ 4 をオンにし、2 度目に第 1 スイッチ 2 をオンにした後、2 度目に第 1 スイッチ 2 をオフにする前に、第 2 スイッチ 4 をオフにする。
- [0035] また、制御部 11 は、1 度目に第 1 スイッチ 2 をオフにする前に保護スイッチ 5 をオンにし、電流計 7 からの信号に基づいて DUT 6 の破壊を検出すると、第 2 スイッチ 4 をオフにした後、第 1 スイッチ 2 および保護スイッチ 5 をオフにする。
- [0036] 以上が本実施形態における半導体素子の検査装置の構成である。次に、上記検査装置を用いた半導体素子の検査方法について、従来の検査装置と比較しつつ説明する。
- [0037] 制御部 11 は、ゲートドライバ 10 を通して、スイッチング素子 2 a のゲート電極に所定の振幅、周波数を有するパルス状の駆動信号を入力し、スイッチング素子 2 a のオン、オフを交互に繰り返して、DUT 6 に流れる電流や電圧を変化させる。これにより、DUT 6 の特性検査が行われる。
- [0038] 制御部 11 は、例えば、図 2 および図 3 に示すように、時点 T1 でスイッチング素子 2 a をオンにし、時点 T2 でスイッチング素子 2 a をオフにする。その後、時点 T3 でスイッチング素子 2 a をオンにし、時点 T4 でスイッチング素子 2 a をオフにする。
- [0039] なお、図 2、図 3、後述する図 5 において、 $V_{g1}$ 、 $V_{g2}$  は、それぞれ、スイッチング素子 2 a、第 2 スイッチ 4 に印加されるハイレベルまたはローレベルのゲート信号である。また、図 2 において、 $V_{ka}$  は、ダイオード素子 6 a の両端にかかる電圧である。
- [0040] 時点 T2 でスイッチング素子 2 a がオフされると、DUT 6 に流れる電流（順方向電流） $I$  が次第に大きくなって、ループ経路 P1 を還流電流が流れ

る。そして、時点T3でスイッチング素子2aがオンされると、領域R1、R3で示すように、DUT6に流れる電流Iが次第に小さくなって、リカバリ電流（逆方向電流）が発生する。

[0041] そして、第2スイッチ4、第1整流素子8、第2整流素子9を備えない従来の検査装置では、DUT6のリカバリが完了した後、時点T4でスイッチング素子2aがオフされると、図2の領域R2で示すように、ループ経路P1に含まれるDUT6に還流電流が流れる。

[0042] リカバリ後の還流期間は、リカバリ前の還流期間よりも時間が長いため、DUT6は、リカバリ前の還流電流が流れる際よりも、リカバリ後の還流電流が流れる際に大きく発熱する。そのため、リカバリ後の還流電流によりDUT6が損傷し、破壊されるおそれがある。

[0043] また、DUT6が破壊されると、破壊された箇所に電流が集中し、DUT6表面の電極等に接触して配置されているプローブ、ステージ等の検査機器に大きな電流が流れる。よって、リカバリ後の還流電流によりDUT6が破壊されると、検査機器の損傷が促進される。

[0044] また、リカバリ動作においてDUT6が破壊された場合にも、リカバリ後の還流電流により、同様に検査機器の損傷が促進される。そのため、比較例として説明した従来の検査装置では、検査コストが増加し、また、素子の破壊解析が困難になる。

[0045] これに対し、本実施形態では、コイル3と共にループ経路P2を構成するように、第1整流素子8および第2整流素子9が配置されている。また、コイル3、DUT6、電流計7と共にループ経路P1を構成するように、第2スイッチ4が配置され、制御部11は、図3に示すように第2スイッチ4を操作する。

[0046] つまり、制御部11は、時点T1の前に第2スイッチ4をオンし、時点T3の後、時点T4の前に第2スイッチ4をオフする。より具体的には、制御部11は、DUT6のリカバリ動作の完了後、還流動作が開始される時点T4の前に、第2スイッチをオフする。このため、時点T4でスイッチング素

子 2 a がオフされると、還流電流はループ経路 P 1 ではなくループ経路 P 2 を流れ、図 3 の領域 R 4 で示すように、D U T 6 を流れる還流電流が発生しない。なお、制御部 1 1 は、電流計 7 からの信号に基づいて D U T 6 の破壊を検出した場合、電源 1 を保護するために保護スイッチ 5 をオフする。

[0047] このように、本実施形態では、リカバリ後の還流電流が D U T 6 を流れないため、D U T 6 の損傷、破壊を抑制し、プローブ、ステージ等の検査機器の損傷を低減することができる。また、リカバリ動作において D U T 6 が破壊された場合にも、還流電流による素子の損傷、検査機器の損傷を低減することができる。

[0048] なお、還流電流の経路を上記のように制御するためには、第 1 整流素子 8 の逆降伏電圧  $V_z$  を適切に設定する必要がある。逆降伏電圧  $V_z$  が小さすぎる場合、D U T 6 にリカバリ動作をさせるための還流電流がループ経路 P 1 とループ経路 P 2 とに分配され、正常なリカバリ検査ができない。

[0049] 還流電流が発生したときのダイオード素子 6 a の順方向電圧の最大値を  $V_{fp1}$  とする。図 2 に示すように、最大値  $V_{fp1}$  は、第 1 スイッチ 2 がオフされて還流電流が発生した後に、キャリア蓄積遅れにより順方向に増大した電圧  $V_{ka}$  のピーク値である。

[0050] また、第 2 スイッチ 4 のオン電圧を  $V_{on}$ 、第 2 スイッチ 4 がオフされない場合に第 1 整流素子 8 にかかる最大逆バイアスを  $V_{max1}$  とすると、 $V_{max1} = V_{fp1} + V_{on}$  である。これは、還流開始時の逆バイアスであり、第 2 スイッチ 4 がオフされているときのみ還流電流をループ経路 P 2 に流すためには、 $V_z > V_{fp1} + V_{on}$  である必要がある。

[0051] また、逆降伏電圧  $V_z$  が高すぎる場合、ループ経路 P 2 は還流電流が流れにくくなるため、還流経路としての役割を果たさなくなる。第 2 スイッチ 4 がオフされたとき、第 1 整流素子 8 にかかる最大逆バイアス  $V_{max2}$  は、第 2 スイッチ 4 が保持できる電圧、つまりアバランシェ耐圧  $V_{br}$  と電源電圧  $V_{cc}$  によって定まり、 $V_{max2} = V_{br} - V_{cc}$  である。ループ経路 P 2 が還流経路としての役割を果たすためには、 $V_z < V_{br} - V_{cc}$  であ

る必要がある。

[0052] 以上説明したように、本実施形態では、コイル 3、第 1 整流素子 8、第 2 整流素子 9 を、DUT 6 を含むループ経路 P 1 とは別のループ経路 P 2 を構成するように配置しているため、DUT 6 に還流電流が流れ込むことを抑制し、DUT 6 の損傷を低減することができる。これにより、検査機器の損傷を低減することができる。また、リカバリ動作において DUT 6 が破壊された場合にも、還流電流による素子の損傷、検査機器の損傷を低減することができる。

[0053] なお、図 4 に示すように、保護スイッチ 5 および電流計 7 の接続点と、グランドとの間に、平滑コンデンサ 12 が配置されていてもよい。平滑コンデンサ 12 を配置することにより、寄生インダクタンスを低減し、スイッチング時のリップルの低減やノイズの影響を抑制して一定な電源電圧を形成することができる。これにより、DUT 6 の損傷および破壊をさらに抑制し、検査機器の損傷をさらに低減することができる。

[0054] また、本実施形態では、DUT 6 が破壊されたか否かにかかわらず、時点 T 3 の後、時点 T 4 の前の時点で第 2 スイッチ 4 をオフしたが、電流計 7 からの出力により DUT 6 の破壊が検出された場合にのみ、第 2 スイッチ 4 をこの時点でオフしてもよい。

[0055] この場合、制御部 11 は、DUT 6 を流れる逆方向電流の所定の値を閾値として DUT 6 の破壊を検出し、この閾値は、DUT 6 が破壊されていない場合の逆方向電流のピーク値よりも大きい値に設定されている。

[0056] 具体的には、DUT 6 の破壊を検出するための電流の閾値  $I_{th}$  は、図 5 に示すように、DUT 6 が破壊されない場合のリカバリ電流のピーク値  $I_1$  と、DUT 6 が破壊された場合のリカバリ電流のピーク値  $I_2$  との間に設定されている。そして、DUT 6 を流れる電流  $I$  が、逆方向において閾値  $I_{th}$  よりも大きくなった場合、制御部 11 は、DUT 6 が破壊されたと判定する。

[0057] 図 5 に示すように、DUT 6 の破壊が検出されないときには、時点 T 1 の

前から時点T4の後まで、第2スイッチ4はオンされている。これにより、時点T4の後の還流電流がDUT6を含むループ経路P1を流れる。リカバリ電流によりDUT6が破壊されたときには、図5の点線で示すように、時点T3の後、時点T4の前に第2スイッチ4がオフされる。これにより、図5の一点鎖線で示すように、DUT6には還流電流が流れ込まない。

[0058] なお、制御部11は、電流計7によりDUT6の破壊が検出された場合、第1スイッチ2および保護スイッチ5をオフする。このとき、第2スイッチ4がオフされる前に保護スイッチ5がオフされると、保護スイッチ5がオフされた後にループ経路P1を還流電流が流れ、検査機器の損傷が促進される。これに対し、この変形例では、第2スイッチ4は、DUT6の破壊が検出された後、第1スイッチ2および保護スイッチ5がオフされる前にオフされる。これにより、ループ経路P1を還流電流が流れることを抑制し、検査機器の損傷を低減することができる。

[0059] このように、DUT6の破壊が検出された場合にのみ、第2スイッチ4を時点T3と時点T4との間の時点でオフし、還流電流の経路を切り替えることにより、時点T4の後の還流電流が流れるときのDUT6の動作についても検査することができる。

[0060] (第2実施形態)

本開示の第2実施形態について説明する。本実施形態は、第1実施形態に対して保護素子13を追加したものであり、その他に関しては第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

[0061] 図6に示すように、本実施形態では、第1スイッチ2がオフされているときコイル3、第2スイッチ4、DUT6、電流計7と共にループ経路を構成するように、保護素子13が配置されている。保護素子13は、DUT6よりも破壊耐量の大きい保護ダイオード素子13aを有している。

[0062] 保護ダイオード素子13aは、FWD素子で構成されており、ダイオード素子6aと同じ向きの整流作用を有するように配置されている。具体的には、保護ダイオード素子13aのカソード電極は、ダイオード素子6aのアノ

ード電極に接続されている。保護ダイオード素子 13 a のアノード電極は、スイッチング素子 2 a のコレクタ電極に接続されている。また、保護ダイオード素子 13 a とスイッチング素子 2 a との間の配線には、コイル 3 の一端が接続されている。

[0063] 本実施形態では、第 2 スイッチ 4 がオフされているときのみ還流電流をループ経路 P 2 に流すために、 $V_z > V_{fp1} + V_{fp2} + V_{on}$  とされている。ここで、 $V_{fp2}$  は、還流電流が発生したときの保護ダイオード素子 13 a の順方向電圧の最大値である。

[0064] このように保護素子 13 が追加された本実施形態の検査装置においても、上記第 1 実施形態と同様の効果を得ることができる。

[0065] また、このような構成の本実施形態では、リカバリ電流で DUT 6 が破壊されたとしても、保護ダイオード素子 13 a によって、DUT 6 に流れる短絡電流の絶対値が急峻に大きくなることを抑制できる。つまり、DUT 6 に大電流が流れることを抑制できる。このため、プローブ、ステージ等の検査機器の損傷をさらに低減することができる。

[0066] なお、本実施形態では保護素子 13 を上記のように配置したが、DUT 6 の位置と保護素子 13 の位置とを入れ替えてもよい。つまり、保護ダイオード素子 13 a のカソード電極を電流計 7 に接続し、アノード電極をダイオード素子 6 a のカソード電極に接続し、ダイオード素子 6 a のアノード電極をスイッチング素子 2 a のコレクタ電極に接続してもよい。

[0067] (第 3 実施形態)

本開示の第 3 実施形態について説明する。本実施形態は、下アーム駆動（つまりローサイド駆動）としていた第 2 実施形態を上アーム駆動（つまりハイサイド駆動）としたものであり、その他に関しては第 2 実施形態と同様であるため、第 2 実施形態と異なる部分についてのみ説明する。

[0068] 本実施形態では、ループ経路 P 1 を構成する各要素と、第 1 スイッチ 2 との位置が入れ替わっている。つまり、図 7 に示すように、保護スイッチ 5 のエミッタ電極は、スイッチング素子 2 a のコレクタ電極に接続され、スイッ

チング素子 2 a のエミッタ電極は、保護ダイオード素子 1 3 a のカソード電極に接続されている。ゲートドライバ 1 0 には、スイッチング素子 2 a のエミッタ側の電位が入力されている。

[0069] 保護ダイオード素子 1 3 a のアノード電極は、ダイオード素子 6 a のカソード電極に接続され、ダイオード素子 6 a のアノード電極は、グラウンドに接続されている。コイル 3 の一端は、スイッチング素子 2 a と保護ダイオード素子 1 3 a との間の配線に接続され、他端は、第 2 スイッチ 4 のコレクタ電極に接続されている。第 2 スイッチ 4 のエミッタ電極は、グラウンドに接続されている。

[0070] 第 1 整流素子 8 および第 2 整流素子 9 は、D U T 6 を含むループ経路とは別のループ経路をコイル 3 と共に構成している。コイル 3、第 1 整流素子 8、第 2 整流素子 9 により構成されるループ経路において、第 2 整流素子 9 は、第 1 整流素子 8 と逆向きの整流作用を有するように、第 1 整流素子 8 と直列に接続されている。

[0071] 第 1 整流素子 8 のカソード電極は、コイル 3 と第 2 スイッチ 4 の間の配線に接続されている。第 1 整流素子 8 のアノード電極は、第 2 整流素子 9 のアノード電極に接続されている。第 2 整流素子 9 のカソード電極は、コイル 3 とスイッチング素子 2 a、保護ダイオード素子 1 3 a との間の配線に接続されている。

[0072] なお、図 7 では電流計 7 の図示を省略している。電流計 7 は、ダイオード素子 6 a とグラウンドとの間に配置されている。

[0073] このように、ループ経路 P 1 を構成する各要素と、第 1 スイッチ 2 との位置が入れ替わった本実施形態の検査装置においても、上記第 2 実施形態と同様の効果を得ることができる。

[0074] (第 4 実施形態)

本開示の第 4 実施形態について説明する。本実施形態は、第 3 実施形態を上下アーム駆動共用としたものであり、その他に関しては第 3 実施形態と同様であるため、第 3 実施形態と異なる部分についてのみ説明する。

[0075] 図8に示すように、本実施形態では、DUT6は、ダイオード素子6aと、ダイオード素子6aと並列に接続されたスイッチング素子6bとにより構成されている。第1スイッチ2は、ダイオード素子2bと、ダイオード素子2bと並列に接続されたスイッチング素子2aとにより構成されている。保護素子13は、保護ダイオード素子13aと、保護ダイオード素子13aと並列に接続されたスイッチング素子13bとにより構成されている。

[0076] スwitchング素子2a、6b、13bは、本実施形態では、IGBT素子により構成される。ダイオード素子2b、6a、13aは、本実施形態では、FWD素子により構成される。ダイオード素子2b、6a、13aのカソード電極は、それぞれ、スイッチング素子2a、6b、13bのコレクタ電極に接続されている。また、ダイオード素子2b、6a、13aのアノード電極は、それぞれ、スイッチング素子2a、6b、13bのエミッタ電極に接続されている。

[0077] なお、図8では、電流計7、ゲートドライバ10、制御部11の図示を省略している。電流計7は、DUT6とグランドとの間に配置されている。また、本実施形態の検査装置は保護スイッチ5を備えず、電源1の正極は、スイッチング素子2aのコレクタ電極に接続されている。

[0078] また、図8に示すように、電源1およびスイッチング素子2aの接続点と、コイル3および第2スイッチ4の接続点との間に、第3スイッチ14が配置されている。第3スイッチ14は、本実施形態では、IGBT素子により構成される。第3スイッチ14のコレクタ電極は、電源1とスイッチング素子2aとの間の配線に接続されている。第3スイッチ14のエミッタ電極は、コイル3と第2スイッチ4との間の配線に接続されている。

[0079] スwitchング素子6b、13b、第3スイッチ14のゲート電極は、それぞれ、図示しないゲートドライバに接続されており、ゲートドライバは、制御部11に接続されている。制御部11は、ゲートドライバを介して、スイッチング素子6b、13b、第3スイッチ14を操作する。

[0080] このような検査装置では、スイッチング素子2a、6b、13b、第2ス

スイッチ4、第3スイッチ14のオン、オフを制御し、コイル3を流れる電流の方向、DUT6に流れる電流や電圧を変化させることによって、DUT6の特性検査を行う。

[0081] すなわち、主としてDUT6におけるダイオード素子6aの特性を検査する場合には、スイッチング素子6b、13b、第3スイッチ14をオフした状態でスイッチング素子2aを駆動制御し、第2スイッチ4を第1実施形態と同様に制御すればよい。

[0082] また、主としてDUT6におけるスイッチング素子6bの特性を検査する場合には、スイッチング素子13b、第3スイッチ14をオンし、スイッチング素子2a、第2スイッチ4をオフした状態で、DUT6のスイッチング素子6bを駆動制御すればよい。

[0083] このように、DUT6がダイオード素子6aとスイッチング素子6bとにより構成される場合にも、ダイオード素子6aの特性の検査において、第2スイッチ4を第1実施形態と同様に制御することにより、上記第1実施形態と同様の効果を得ることができる。

[0084] また、本実施形態では、1つの検査装置で、DUT6のダイオード素子6aのAC (Alternating Current) 検査とスイッチング素子6bのAC検査とを行うことができる。

[0085] (他の実施形態)

例えば、第2スイッチ4のオン、オフによる還流電流の経路の切り替えを良好に行うためには、第1整流素子8をツェナーダイオード素子で構成することが好ましいが、第1整流素子8を通常のFWD素子で構成してもよい。

[0086] また、上記第1～第3実施形態において、検査装置が保護スイッチ5を備えていなくてもよい。また、上記第3実施形態、第4実施形態において、DUT6と保護素子13の位置を入れ替えてもよい。

[0087] また、スイッチング素子2a、6b、13b、第2スイッチ4、第3スイッチ14を、IGBT素子以外のスイッチング素子、例えば、MOS素子等で構成してもよい。

- [0088] また、FWD機能を有する素子のうち、FWD素子以外の素子、例えば、ダイオードを内蔵するMOSFET等で構成された素子を有するDUT6に対して本開示を適用してもよい。
- [0089] また、上記第4実施形態において、第1スイッチ2、DUT6、保護素子13を、IGBT素子とFWD素子が1チップで一体化された素子で構成してもよい。
- [0090] また、ダイオード素子6aの両端にかかる電圧 $V_{ka}$ を測定する電圧計を配置し、この電圧計と制御部11とを破壊検出部として用い、電圧 $V_{ka}$ がほぼ0になった場合にDUT6が破壊されたと判定してもよい。この場合、例えば特開2007-33042号公報に記載の方法を用いて、DUT6の破壊を検出することができる。
- [0091] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

## 請求の範囲

- [請求項1]            スイッチング素子（2 a）を有する第1スイッチ（2）と、  
                         コイル（3）と、  
                         第2スイッチ（4）と、前記第1スイッチ、前記コイル、及び前記  
                         第2スイッチは、電源（1）に対して直列に接続され、  
                         前記スイッチング素子がオフされているとき前記コイルおよび前記  
                         第2スイッチと共にループ経路を構成するように配置され、前記電源  
                         の正極側にカソード電極が接続されたダイオード素子（6 a）を有す  
                         る検査対象としての半導体素子（6）と、  
                         第1整流素子（8）と、  
                         前記第1整流素子と直列に接続され、前記第1整流素子と逆向きの  
                         整流作用を有する第2整流素子（9）と、を備え、  
                         前記第1整流素子と前記第2整流素子は、前記コイルと共に、前記  
                         半導体素子を含む前記ループ経路とは別のループ経路を構成する半導  
                         体素子の検査装置。
- [請求項2]            前記第1スイッチおよび前記第2スイッチを操作する制御部（11）  
                         をさらに備え、  
                         前記制御部は、前記第1スイッチをオンにする動作と前記第1スイ  
                         ッチをオフにする動作とを交互に2度繰り返し、少なくとも1度目に  
                         前記第1スイッチをオンにした後から2度目に前記第1スイッチをオ  
                         ンにするまでの間、前記第2スイッチをオンにし、2度目に前記第1  
                         スwitchをオンにした後、2度目に前記第1スイッチをオフにする前  
                         に、前記第2スイッチをオフにする請求項1に記載の半導体素子の検  
                         査装置。
- [請求項3]            前記制御部は、2度目に前記第1スイッチをオンにした後であって  
                         、前記ダイオード素子のリカバリ動作が完了した後、2度目に前記第  
                         1スイッチをオフにする前に、前記第2スイッチをオフにする請求項  
                         2に記載の半導体素子の検査装置。

[請求項4] 前記半導体素子の破壊を検出する破壊検出部（7、11）をさらに備え、

前記制御部は、破壊検出部により前記半導体素子の破壊が検出された場合のみ、2度目に前記第1スイッチをオンにした後、2度目に前記第1スイッチをオフにする前に、前記第2スイッチをオフにする請求項2または3に記載の半導体素子の検査装置。

[請求項5] 前記破壊検出部は、前記半導体素子を流れる逆方向電流の所定の値を閾値として前記半導体素子の破壊を検出し、

前記閾値は、前記半導体素子が破壊されていない場合の逆方向電流のピーク値よりも大きい請求項4に記載の半導体素子の検査装置。

[請求項6] 前記電源に対して直列に接続された保護スイッチ（5）をさらに備え、

前記制御部は、1度目に前記第1スイッチをオフにする前に、前記保護スイッチをオンにし、前記破壊検出部により前記半導体素子の破壊が検出された場合、前記保護スイッチをオフにし、

前記第2スイッチは、前記半導体素子の破壊が検出された後、前記保護スイッチがオフされる前にオフされる請求項4または5に記載の半導体素子の検査装置。

[請求項7] 前記スイッチング素子がオフされているとき前記半導体素子、前記コイル、前記第2スイッチと共にループ経路を構成し、前記ダイオード素子と同じ向きの整流作用を有し、前記半導体素子よりも破壊耐量の大きい保護ダイオード素子（13a）を有する保護素子（13）をさらに備える請求項1ないし6のいずれか1つに記載の半導体素子の検査装置。

[請求項8] 前記第1整流素子は、前記第2スイッチがオフされたときに前記コイルの逆起電力により流れる電流と逆向きの整流作用を有するように接続されたツェナーダイオードである請求項1ないし6のいずれか1つに記載の半導体素子の検査装置。

- [請求項9] 前記第1整流素子の逆降伏電圧が、前記ダイオード素子に還流電流が流れるときの順方向電圧の最大値と、前記第2スイッチのオン電圧とを加算したものよりも大きい請求項8に記載の半導体素子の検査装置。
- [請求項10] 前記第1整流素子は、前記第2スイッチがオフされたときに前記コイルの逆起電力により流れる電流と逆向きの整流作用を有するように接続されたツェナーダイオードであり、  
前記第1整流素子の逆降伏電圧が、前記ダイオード素子に還流電流が流れるときの順方向電圧の最大値と、前記保護ダイオード素子に還流電流が流れるときの順方向電圧の最大値と、前記第2スイッチのオン電圧とを加算したものよりも大きい請求項7に記載の半導体素子の検査装置。
- [請求項11] 前記第1整流素子の逆降伏電圧が、前記第2スイッチのアバランシェ耐圧から前記電源の電圧を引いたものよりも小さい請求項8ないし10のいずれか1つに記載の半導体素子の検査装置。
- [請求項12] ダイオード素子(6a)を有する検査対象としての半導体素子(6)を検査する半導体素子の検査方法であって、  
スイッチング素子(2a)を有する第1スイッチ(2)、コイル(3)、および、第2スイッチ(4)を電源(1)に対して直列に接続し、  
前記半導体素子を、前記スイッチング素子をオフしたときに前記コイルおよび前記第2スイッチと共にループ経路を構成するように配置し、  
前記ダイオード素子のカソード電極を前記電源の正極側に接続し、  
第1整流素子(8)、および、前記第1整流素子と直列に接続され、前記第1整流素子と逆向きの整流作用を有する第2整流素子(9)を、前記半導体素子を含むループ経路とは別のループ経路を前記コイルと共に構成するように配置し、

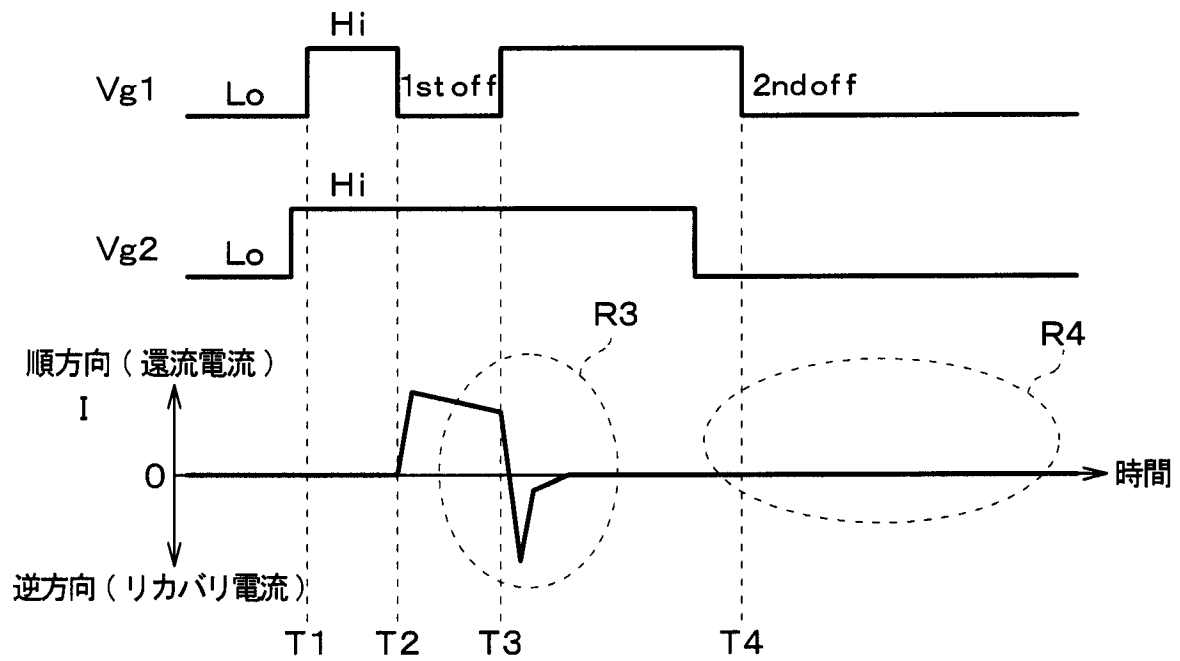
前記スイッチング素子のオン、オフを繰り返し行うことにより、前記半導体素子の検査を行うことを含む半導体素子の検査方法。

[請求項13] 前記第1スイッチのオン、オフを交互に2度繰り返し行い、少なくとも1度目に前記第1スイッチをオンにした後から2度目に前記第1スイッチをオンにするまでの間、前記第2スイッチをオンにし、2度目に前記第1スイッチをオンにした後、2度目に前記第1スイッチをオフにする前に、前記第2スイッチをオフにする請求項12に記載の半導体素子の検査方法。

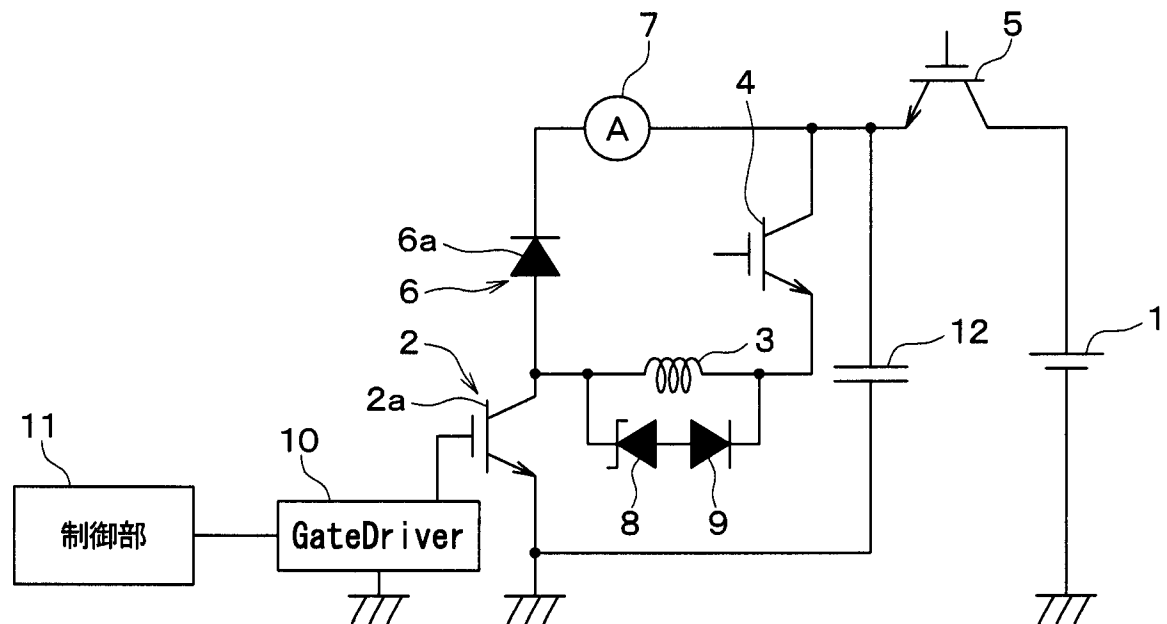
[請求項14] 2度目に前記第1スイッチをオンにした後であって、前記ダイオード素子のリカバリ動作が完了した後、2度目に前記第1スイッチをオフにする前に、前記第2スイッチをオフにする請求項13に記載の半導体素子の検査方法。



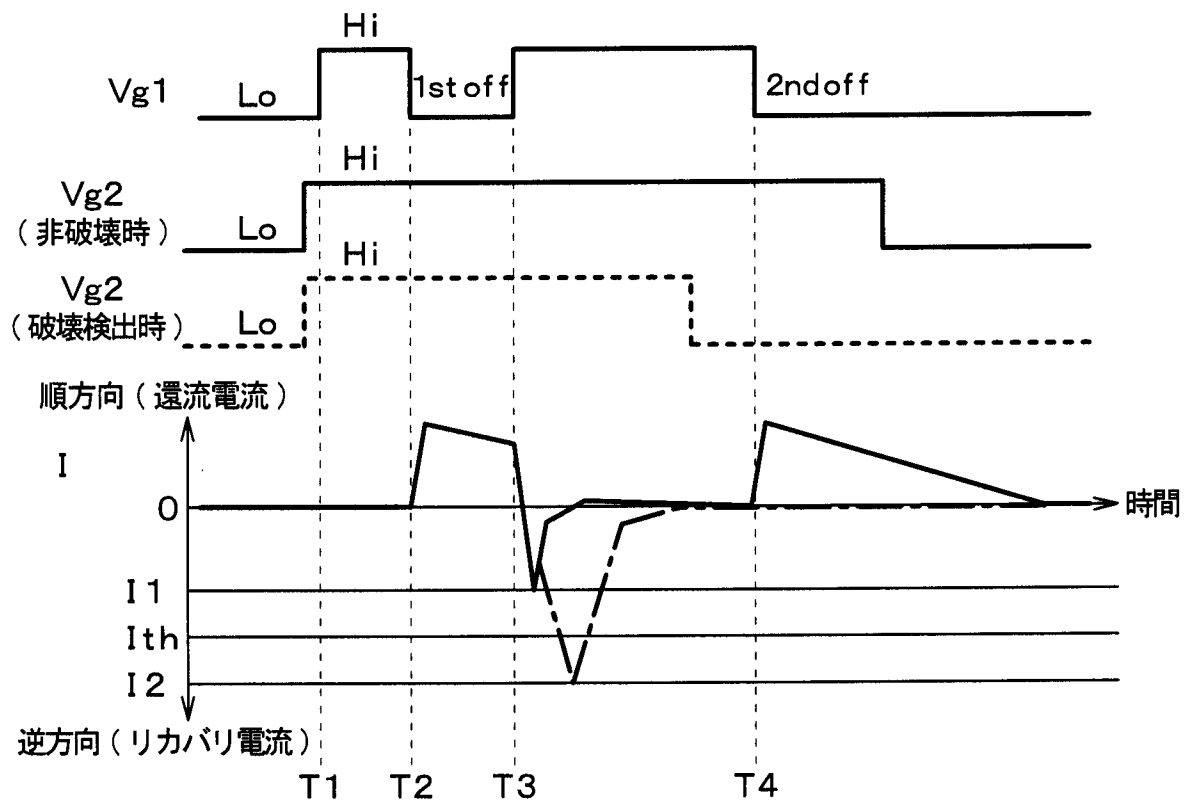
[図3]



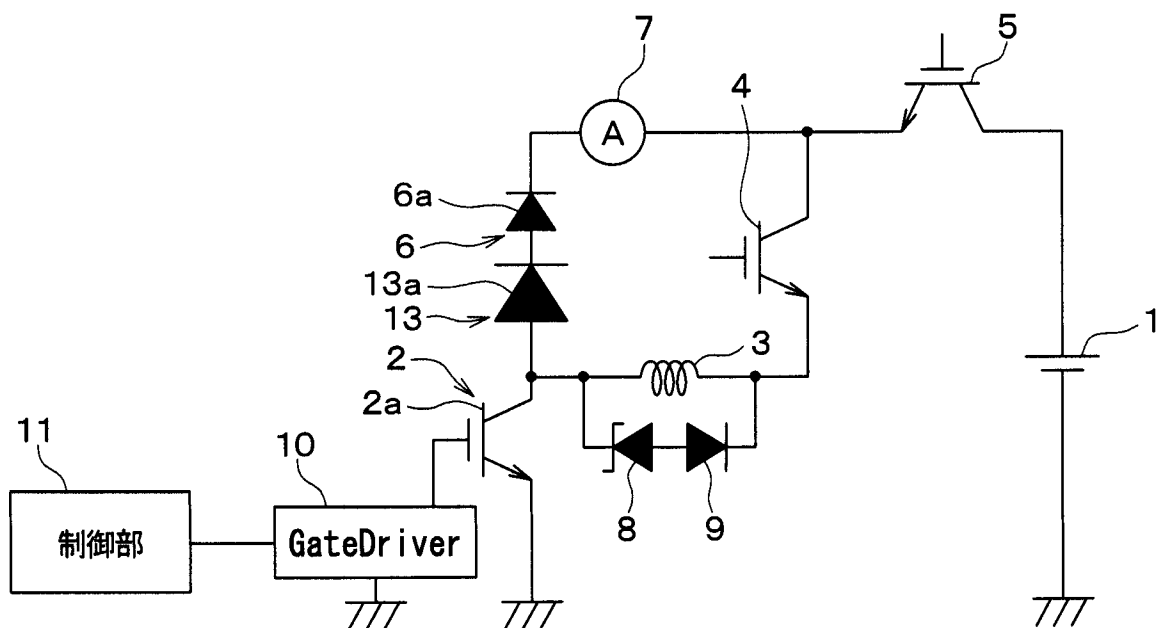
[図4]



[図5]



[図6]



[illegible][illegible]

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/002793

## A. CLASSIFICATION OF SUBJECT MATTER

G01R31/26(2014.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/26, G01R31/28, H01L21/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2016 |
| Kokai Jitsuyo Shinan Koho | 1971-2016 | Toroku Jitsuyo Shinan Koho | 1994-2016 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                   | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 08-043478 A (Sony/Tektronix Corp.),<br>16 February 1996 (16.02.1996),<br>paragraphs [0004], [0007] to [0011]; fig. 2 to 4<br>(Family: none)                       | 1-14                  |
| P, A      | JP 2015-232501 A (Fuji Electric Co., Ltd.),<br>24 December 2015 (24.12.2015),<br>paragraphs [0006], [0010], [0024] to [0025];<br>fig. 1 to 2, 13<br>& CN 105277864 A | 1-14                  |
| P, A      | WO 2015/198589 A1 (Denso Corp.),<br>30 December 2015 (30.12.2015),<br>paragraphs [0016] to [0028]; fig. 1<br>& JP 2016-8936 A                                        | 1-14                  |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
10 August 2016 (10.08.16)

Date of mailing of the international search report  
23 August 2016 (23.08.16)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G01R31/26 (2014.01) i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G01R31/26, G01R31/28, H01L21/66

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2016年 |
| 日本国実用新案登録公報 | 1996-2016年 |
| 日本国登録実用新案公報 | 1994-2016年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                             | 関連する<br>請求項の番号 |
|-----------------|-----------------------------------------------------------------------------------------------|----------------|
| A               | JP 08-043478 A (ソニー・テクノロジクス株式会社) 1996.02.16, 段落 0004, 0007-0011, 図 2-4 (ファミリーなし)              | 1-14           |
| P, A            | JP 2015-232501 A (富士通電機株式会社) 2015.12.24, 段落 0006, 0010, 0024-0025, 図 1-2, 13 & CN 105277864 A | 1-14           |
| P, A            | WO 2015/198589 A1 (株式会社デンソー) 2015.12.30, 段落 0016-0028, 図 1 & JP 2016-8936 A                   | 1-14           |

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

10.08.2016

国際調査報告の発送日

23.08.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

荒井 誠

2 S

3 2 0 3

電話番号 03-3581-1101 内線 3216