

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年2月10日(2005.2.10)

【公開番号】特開2001-313367(P2001-313367A)

【公開日】平成13年11月9日(2001.11.9)

【出願番号】特願2000-130705(P2000-130705)

【国際特許分類第7版】

H 01 L 27/04

H 01 L 21/822

H 01 L 29/78

H 02 M 3/28

【F I】

H 01 L 27/04 P

H 01 L 29/78 6 5 2 P

H 01 L 29/78 6 5 2 S

H 01 L 29/78 6 5 6 C

H 02 M 3/28 X

H 01 L 27/04 F

H 01 L 27/04 H

【手続補正書】

【提出日】平成16年3月3日(2004.3.3)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1導電型の半導体基板と、

前記半導体基板の周辺領域の内側になるアクティプ領域に形成されるトランジスタと、前記周辺領域の前記半導体基板正面に設けられ前記アクティプ領域を多重に囲む前記第1導電型とは反対導電型の第2導電型の半導体層からなる複数のフィールド・リミッティング・リングと、

前記半導体基板正面の前記周辺領域を被うフィールド絶縁膜と、

前記フィールド絶縁膜上に形成され前記フィールド・リミッティング・リング群の内側から外側に向かって延在し、その始端が前記トランジスタの低電位となる電極に接続され、フィールド・リミッティング・リングの外側に位置するその終端が前記トランジスタの高電位となる電極に接続される抵抗素子と、

前記抵抗素子を被う層間絶縁膜と、

前記最外周のフィールド・リミッティング・リングに対応して前記層間絶縁膜上に形成され、前記最外周のフィールド・リミッティング・リングに電気的に接続されるフィールドプレートとを有する半導体装置であつて、

前記抵抗素子の始端と終端を結ぶ仮想線の方向において、前記仮想線の単位長さに相当する前記抵抗素子の抵抗が、前記抵抗素子の位置により異なる半導体装置。

【請求項2】

前記仮想線に沿う前記抵抗素子各部のポテンシャルが、前記仮想線に沿う前記半導体基板表面各部のポテンシャルに近似するようになつてゐる請求項1に記載の半導体装置。

【請求項3】

前記仮想線の単位長さ当たりの前記抵抗素子の抵抗値は最外周の前記フィールド・リミッティング・リングの内側と外側で相互に異なる請求項1に記載の半導体装置。

【請求項4】

前記仮想線の単位長さ当たりの前記抵抗素子の抵抗値は段階的に変化している請求項1に記載の半導体装置。

【請求項5】

前記抵抗素子は、抵抗素子の始端と終端との間に蛇行部分を有する請求項1に記載の半導体装置。

【請求項6】

前記抵抗素子は、抵抗素子の始端と終端との間に蛇行部分を有するとともに、前記蛇行部分の蛇行ピッチが異なっている請求項1に記載の半導体装置。

【請求項7】

前記抵抗素子は、蛇行部分を有するとともに、蛇行する幅が広い部分と、蛇行する幅が狭い部分とを有する請求項1に記載の半導体装置。

【請求項8】

前記抵抗素子は、抵抗素子の始端と終端との間に蛇行する蛇行部分と、前記仮想線に沿う直線部分とを有する請求項1に記載の半導体装置。

【請求項9】

前記抵抗素子は、線幅が異なっている請求項1に記載の半導体装置。

【請求項10】

前記抵抗素子は、前記仮想線に沿う直線形状の抵抗素子となるとともに、線幅が一部で異なっている請求項1に記載の半導体装置。

【請求項11】

前記抵抗素子は不純物が添加されたポリシリコン層で形成されている請求項1に記載の半導体装置。

【請求項12】

前記抵抗素子は、金属部分と、この金属部分に電気的に接続される不純物が添加されたポリシリコン層で形成されている請求項1に記載の半導体装置。

【請求項13】

前記抵抗素子は、その位置によりシート抵抗が異なっている請求項1に記載の半導体装置。

【請求項14】

前記抵抗素子のシート抵抗は10k / 以下である請求項1に記載の半導体装置。

【請求項15】

前記抵抗素子の下に位置する前記フィールド絶縁膜の厚さは3~5μm程度になっている請求項1に記載の半導体装置。

【請求項16】

前記各フィールド・リミッティング・リングと、各フィールド・リミッティング・リングに重なる前記抵抗素子部分はそれぞれ電気的に接続されている請求項1に記載の半導体装置。

【請求項17】

さらに信号が供給される第1端子と、

基準電位が供給される第2端子と、

制御端子と、

起動回路用制御端子と、

起動回路用の基準電位が供給される起動回路用第2端子とを有し、

前記第1端子に接続される第1電極と、前記第2端子に接続される第2電極と、前記制御端子に接続される制御電極とを有するメインスイッチ用トランジスタと、

前記第1端子に接続される起動用第1電極と、前記起動回路用第2端子に接続される起動用第2電極と、前記起動回路用制御端子に接続される起動用制御電極とを有するスタータ

ースイッチ用トランジスタとを有し、

前記抵抗素子は前記第1端子と前記起動用制御電極との間に直列に接続される請求項1に記載の半導体装置。

【請求項18】

信号が供給される第1端子と、

基準電位が供給される第2端子と、

制御端子と、

電流検出端子と、

起動回路用制御端子と、

起動回路用の基準電位が供給される起動回路用第2端子とを有し、

前記第1端子に接続される第1電極と、前記第2端子に接続される第2電極と、前記制御端子に接続される制御電極と、前記電流検出端子に接続され前記第1電極の出力電流を検出する電流検出電極を有するメインスイッチ用トランジスタと、

前記第1端子に接続される起動用第1電極と、前記起動回路用第2端子に接続される起動用第2電極と、前記起動回路用制御端子に接続される起動用制御電極とを有するスタータースイッチ用トランジスタとを有し、

前記抵抗素子は前記第1端子と前記起動用制御電極との間に直列に接続される請求項1に記載の半導体装置。

【請求項19】

半導体基板の正面のアクティブ領域にトランジスタが設けられるとともに、前記アクティブ領域を囲む周辺領域に前記アクティブ領域を多重に囲むように複数のフィールド・リミッティング・リングが設けられた半導体装置の製造方法であって、前記半導体基板の正面の周辺領域に前記アクティブ領域を多重に囲むようにフィールド・リミッティング・リングを複数形成する工程と、

前記半導体基板の周辺領域上及び所定箇所にフィールド絶縁膜を形成する工程と、

前記フィールド絶縁膜上に前記トランジスタに接続される抵抗素子を構成するための抵抗層を、前記フィールド・リミッティング・リング群の内側の始端から外側の終端に向かって延在するように形成する工程とを有する半導体装置の製造方法。

【請求項20】

前記抵抗素子の始端と終端を結ぶ仮想線に沿う前記抵抗素子の抵抗値が、前記抵抗素子の位置により異なる請求項19に記載の半導体装置の製造方法。

【請求項21】

前記抵抗層を導体層形成とパターニングにより、またはマスクを使用した蒸着法により形成し、その抵抗層パターンを、蛇行パターン、一部で蛇行ピッチが異なる蛇行パターン、一部で蛇行幅が異なる蛇行パターン、前記各蛇行パターンと直線部分との組み合わせパターン、前記各パターンで1乃至複数箇所で抵抗線幅が異なるパターン、直線でかつ1乃至複数箇所で抵抗線幅が異なるパターンに形成する請求項19に記載の半導体装置の製造方法。

【請求項22】

前記トランジスタを電界効果トランジスタで形成するとともに、トランジスタのゲート電極をポリシリコン層で形成する際、前記抵抗層を同時にポリシリコン層で形成し、必要に応じて不純物を添加してシート抵抗を調整する請求項19に記載の半導体装置の製造方法。

【請求項23】

前記抵抗素子を金属層の形成と、この金属層に電気的に接続するように形成する不純物を添加して形成するポリシリコン層で形成する請求項19に記載の半導体装置の製造方法。

【請求項24】

前記フィールド絶縁膜を3~5μm程度の厚さに形成する請求項19に記載の半導体装置の製造方法。

【請求項25】

前記フィールド・リミッティング・リングを形成し、前記フィールド絶縁膜を形成し、前記抵抗層を形成し、前記抵抗層を被う層間絶縁膜を形成した後、前記層間絶縁膜にコンタクト孔を開けるとともに、導体を選択的に前記層間絶縁膜上に形成して前記各フィールド・リミッティング・リングと、各フィールド・リミッティング・リングに重なる前記抵抗素子部分を電気的に接続する請求項19に記載の半導体装置の製造方法。