

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H04L 25/02 (2006.01)  
H03K 19/00 (2006.01)  
H03K 17/16 (2006.01)



# [12] 发明专利申请公开说明书

[21] 申请号 200480031845.1

[43] 公开日 2006年12月6日

[11] 公开号 CN 1875592A

[22] 申请日 2004.10.20

[21] 申请号 200480031845.1

[30] 优先权

[32] 2003.10.30 [33] US [31] 10/697,514

[86] 国际申请 PCT/EP2004/052589 2004.10.20

[87] 国际公布 WO2005/050936 英 2005.6.2

[85] 进入国家阶段日期 2006.4.27

[71] 申请人 国际商业机器公司

地址 美国纽约阿芒克

[72] 发明人 史蒂文·克莱门茨 卡丽·考克斯  
海登·克兰福特

[74] 专利代理机构 北京市柳沈律师事务所

代理人 黄小临 王志森

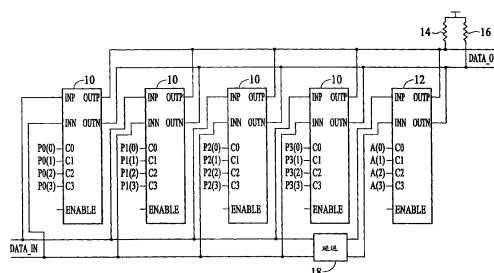
权利要求书 2 页 说明书 5 页 附图 4 页

## [54] 发明名称

串行链路发射机中的功率节省

## [57] 摘要

描述了在串行链路发射机中节省功率的方面。所述方面包括：提供并行排列的片段，每个片段包括串行链路发射机的预缓冲器和输出级电路，并且，独立地使能每个片段，以实现多个功率电平和多个级别的预加强，同时维持串行链路发射机的信号路径中的基本上恒定的传播延迟。其它方面包括在预缓冲器级电路中提供：用来实现片段中的可控空闲状态的旁路；以及用于转换速率控制能力的、作为分段部分的预缓冲器电路中的尾电流和阻性负载元件。还包括：在发射机信号路径中提供具有预加强延迟电路的控制元件，以允许预加强延迟电路的最后延迟位的取反，从而实现预加强权重的极性改变。



1、一种电路，其包括并行排列的片段，每个片段包括预缓冲器和输出级电路，并且，独立地使能每个片段，以实现多个功率电平和多个级别的预加强，同时维持串行链路发射机的信号路径中的基本上恒定的传播延迟。

2、如权利要求 1 所述的电路，其中，多个输入信号选择性地使能并行片段，以便平衡发射机信号路径中的期望幅度和预加强需要。

3、如权利要求 2 所述的电路，其中，并行片段还包括未延迟和延迟片段，以将发射机信号路径中的电流引导与预加强级别相平衡。

4、如权利要求 1 所述的电路，还包括：预缓冲器级电路的电路中的旁路，用来实现片段中的可控空闲状态。

5、如权利要求 4 所述的电路，其中，旁路还包括：预缓冲器级电路中的旁路晶体管。

6、如权利要求 1 所述的电路，还包括：用于转换速率控制能力的、作为分段部分的预缓冲器电路中的尾电流和阻性负载元件。

7、如权利要求 1 所述的电路，还包括：发射器信号路径中的具有预加强延迟电路的控制元件，用来允许预加强延迟电路的最后延迟位的取反，以实现预加强权重的极性改变。

8、一种方法，其包括：提供发射机信号路径的多个部分作为并行片段；以及独立地使能每个并行片段，以控制输出信号幅度。

9、如权利要求 8 所述的方法，其中，提供的步骤还包括：提供预缓冲器和输出级电路作为并行片段。

10、如权利要求 8 所述的方法，其中，独立地使能每个并行片段的步骤还包括：利用选择性地使能并行片段的、并行片段的多个输入信号，以便平衡发射机信号路径中的期望幅度和预加强需要。

11、如权利要求 8 所述的方法，其中，并行片段还包括未延迟和延迟片段，以将发射机信号路径中的电流引导与预加强级别相平衡。

12、如权利要求 9 所述的方法，还包括：在预缓冲器级电路的电路中提供旁路，以实现片段中的可控空闲状态。

13、如权利要求 9 所述的方法，还包括：在预缓冲器电路中提供用于转换速率控制能力的、作为分段部分的尾电流和阻性负载元件。

14、如权利要求 8 所述的方法，还包括：在发射机信号路径中提供具有预加强延迟电路的控制元件，以允许预加强延迟电路的最后延迟位的取反，以实现预加强权重的极性改变。

15、一种系统，其包括：差分输入信号；以及以并联方式耦接的多个片段，用于发送差分输入信号，其中，多个片段的独立使能提供多个功率电平和多个级别的预加强，同时维持差分数据信号的信号路径中的基本上恒定的传播延迟。

16、如权利要求 15 所述的系统，其中，多个片段还包括：第一数目的片段，用于以未延迟方式接收差分数据信号；以及第二数目的片段，用于以延迟方式接收差分数据信号。

17、如权利要求 15 所述的系统，其中，多个片段各自还包括：预缓冲器和输出级电路。

18、如权利要求 17 所述的系统，其中，预缓冲器电路还包括：旁路，用来实现片段中的可控空闲状态。

19、如权利要求 18 所述的系统，其中，旁路还包括旁路晶体管。

20、如权利要求 17 所述的系统，其中，预缓冲器级电路还包括：用于转换速率控制能力的、作为分段部分的尾电流和阻性负载元件。

21、如权利要求 15 所述的系统，还包括：信号路径中的具有预加强延迟电路的控制元件，用来允许预加强延迟电路的最后延迟位的取反。

## 串行链路发射机中的功率节省

### 技术领域

本发明涉及串行链路发射机（serial link transmitter）中的功率节省。

### 背景技术

在当今的计算环境中，执行和实现数字数据的高速传输的能力已被期待。在大多情况中，通过在被设计用来处理计算机通信的通信链路上以高速串行格式（即，一个单个位接着另一个单个位）而发送数据，来实现数字数据在较长距离上的传输。以此方式，即使多个计算机系统在地理上相距遥远，也可将数据从一个计算机系统传送到另一个。

为了发生高速串行传输，在串行通信链路上传输数据之前，必须将来自计算机内部的数字数据信号从并行格式变换为串行格式。通常，通过经由被称为串行链路发射机或“串行器”的一个计算机设备而处理计算机的内部数据信号，来实现此变换。串行器的功能在于，接收并行数据流作为输入，并且，通过处理该并行数据流，而输出能够在适合的通信链路上进行高速传输的串行形式的数字。一旦串行化的数据已到达期望的目的地，便利用被称为“去串行器”的一个计算机设备，以将输入数据从串行格式转换为在目的地计算机系统内使用的并行格式。

对于高速串行器/去串行器（HSS）发射机，调节发射机幅度的能力是期望的特征。原则上，仅需要控制引导到差分发射机（differential transmitter）的输出的电流量，以提供对发射机幅度的调节。然而，发射机的设计必须考虑到最大电流情形，并相应地估量发射机设备，以处理最大电流情况。不幸地，在较低幅度的情形下，这样的简单方法使功率被浪费。

因而，存在对于这样的串行链路发射机设计的需要，即，在维持发射机幅度的可调节能力的同时提供功率节省。本发明致力于这样的需要。

### 发明内容

描述了在串行链路发射机中节省功率的方面。所述方面包括：提供并行

排列的片段 (segment), 每个片段包括串行链路发射机的预缓冲器和输出级电路, 并且, 独立地使能每个片段, 以实现多个功率电平和多个级别的预加强, 同时维持串行链路发射机的信号路径中的基本上恒定的传播延迟。其它方面包括在预缓冲器级电路中提供: 用来实现片段中的可控空闲状态的旁路; 以及用于转换(slew)速率控制能力的、作为分段部分的预缓冲器电路中的尾电流和阻性负载元件。还包括: 在发射机信号路径中提供具有预加强延迟电路的控制元件, 以允许预加强延迟电路的最后延迟位的取反, 从而实现预加强权重的极性改变。

根据本发明, 现在提供了一种电路, 其包括并行排列的片段, 每个片段包括预缓冲器和输出级电路, 并且, 独立地使能每个片段, 以实现多个功率电平和多个级别的预加强, 同时维持串行链路发射机的信号路径中的基本上恒定的传播延迟。

从另一方面考虑本发明, 现在提供了一种方法, 其包括: 提供发射机信号路径的多个部分作为并行片段; 以及独立地使能每个并行片段, 以控制输出信号幅度。

从再一方面考虑本发明, 现在提供了一种系统, 其包括: 差分输入信号; 以及以并联方式耦接的多个片段, 用于发送差分输入信号, 其中, 多个片段的独立使能提供多个功率电平和多个级别的预加强, 同时维持差分数据信号的信号路径中的基本上恒定的传播延迟。

本发明的分段的预缓冲器和输出级电路使用实现了具有可缩放的功率消耗的不受噪声影响的设计。此外, 可通过一致的定时来调节发射机的幅度电平。从下面的详细描述和附图中, 这些和其它优点将变得清楚。

#### 附图说明

现在, 将通过参照附图, 仅通过例子的方式而描述本发明的优选实施例, 附图中:

图 1 图解了根据本发明的分段发射机的示例实施例的电路图;

图 2 图解了图 1 的片段的电路细节图;

图 3 图解了图 2 的预缓冲器的电路图;

图 4 图解了根据本发明的方面的用于预加强 (pre-emphasis) 极性控制的电路图。

### 具体实施方式

本发明涉及串行链路发射机中的功率节省。呈现以下描述，以使本领域中的技术人员能够作出并使用本发明的例子，并且，在专利申请及其需要的上下文中提供以下描述。对于本领域中的技术人员来说，对在这里描述的优选实施例、以及一般原理和特征的各种修改是显而易见的。由此，本发明不意图限于所示出的实施例，而是与和在这里描述的原理和特征相一致的最大范围相符。

根据本发明，通过分段发射机，而实现用于 HSS 设计的功率节省，其中，在独立使能的并行片段中分割发射机信号路径的重要部分（即，预缓冲器和输出级）。这样，如在下面对附图的讨论中更详细地描述的，可得到多个功率电平和多个级别的预加强，同时维持基本上恒定的传播延迟。

现在，参照图 1，呈现了分段发射机的示例实施例的电路图。在所图解的例子中，可通过预加强的可调节量而实现 4 个不同的输出功率电平。如图 1 所示，经由片段 10 和 12 而发送差分数据输入信号 DATA\_IN，作为差分数据输出信号 DATA\_OUT，其幅度是基于在输出信号线上发送到终端电阻器 14 和 16 的电流而确定的。将 DATA\_IN 信号直接输入到片段 10 中的每个，并经由延迟元件 18 而延迟，并被取反，以输入到片段 12。优选地，如通过参看图 2 而更详细地描述的，片段 10 和 12 各自包括等价的电路结构。此外，尽管示例实施例包括 4 个（未延迟的）片段 10 和 1 个（延迟的）片段 12（即，4:1 的比例），但这是说明性的，而不是对可包括的片段的数目（或比例）的约束。

现在，参照图 2，其图解了片段 10、12 的电路细节图，片段 10、12 各自包括耦接到预缓冲器 22 的定时元件 20（例如，锁存器或多路复用器），其中，预缓冲器 22 的每个输出（Q\_N、Q\_P）耦接到晶体管 24、26，从晶体管 24、26 产生输出信号 OUT\_N、OUT\_P。电流源 28、30、32、34 和 36 耦接到晶体管 24 和 26。“ENABLE（使能）”信号的状态控制定时元件 20、预缓冲器 22、以及电流源 28（例如，其提供一个电流单位，其中，例如，一个电流单位表示 375 微安）的使能。输入到 C0、C1、C2 和 C3 的控制信号的状态分别控制电流源 30（例如，一个电流单位）、32（例如，两个电流单位）、34（例如，四个电流单位）、以及 36（例如，八个电流单位）的使能。

可通过经由“ENABLE”、以及输入到 C0、C1、C2 和 C3 的电流使能信号而选择性地使能片段 10 和 12，而调节发射机幅度和预加强量的控制。举个例子，为实现全功率和最大（50%）的预加强，输入到延迟的片段 12 的所有电流使能信号会处于使能状态，以提供总电流的 1/4，并且，输入到未延迟的片段 10 的除去一个电流使能信号之外的全部电流使能信号会处于使能状态（例如，对于每个片段 10 来说，C2 会处于禁用状态），以提供总电流的 3/4。然而，为实现全功率和 1/8 的预加强，对于延迟的片段 12 来说，该片段的电流单位的一半会被使能（例如，C3 会处于禁用状态），同时，对于未延迟的片段 10 来说，电流单位的 7/8 会被使能（例如，C1 会处于禁用状态）。这样，并行片段的可调节性实现了电流引导，其按照期望的预加强程度而被平衡，以维持所述片段中的总体恒定的峰值幅度。

在本发明的其它方面中，如通过参照图 3 中示出的预缓冲器 22 的电路图而呈现的，预缓冲器 22 接纳带外（out-of-band）信令需求以及转换速率（slew rate）控制两者。在预缓冲器 22 内，晶体管 40 和 42 接收 D\_N 和 D\_P 输入信号（从图 2 的定时元件 20），并耦接到阻性负载路径，其包括电阻器 44、46、48 和 50，从电阻器 44、46、48 和 50 产生预缓冲器 22 输出信号 Q\_N 和 Q\_P。预缓冲器 22 还包括旁路晶体管 52，用来接纳带外信令/可控空闲状态。通过激活旁路晶体管 52（经由控制信号 OBS\_N），大多尾电流（tail current）流过它，使得无电流流过阻性负载路径或晶体管的差分对，并且，由此，预缓冲器 22 输出 Q\_P 和 Q\_N 均被提升为“高（HIGH）”。因此，差分输出信号降低到 0，同时，维持输出共模电平（common mode level），以在发射机输出上实现期望的可控空闲状态。由此，旁路晶体管 52 的包括有效地避免了简单地关断电流以将差分输出降低为 0 的缓慢且不稳定的方法的使用。

对于转换速率控制需要来说，预缓冲器 22 还包括用来实现缓慢输出过渡模式的电路，以接纳半速率操作模式。通过连同分别耦接到阻性负载路径的电阻器元件 44 和 50 的晶体管 62 和 64 一起而包括尾电流源 54 和 60、以及控制晶体管 56 和 58，而实现预缓冲器模式。在预缓冲器的正常（快速）模式操作中，尾电流部分为“ON（开）”，且晶体管 62 和 64 两者都为“ON”，以经由用于 BIAS、SLEW\_N 和 SLEW\_P 的适当的控制信号电平而将电阻器 44 和 50 与电阻器 46 和 48 并联（晶体管 66 实质上一直为“ON”）。所得到的操作等同于未分段的预缓冲器。在缓慢模式中，通过断开的阻性负载（电阻

器元件 44 和 50) 的一半, 即通过趋向高的 SLEW\_P, 而关断电流源部分的一半。因为由片段的输出级(即, 图 2 的晶体管 24、26、以及电流源 28、30、32、34 和 36) 所呈现的容性负载不变, 所以, 在这些条件下, 预缓冲器的输出过渡时间显著增加, 即对于半速率操作, 转换速率如期望的那样减小。

除了本发明提供的转换速率控制之外, 如通过参照图 4 的电路图而描述的, 其它方面包括预加强极性控制。经常将预加强功能实现为三级有限冲激响应(FIR)数字滤波器, 其中, 在每个位时间上传送的信号幅度是当前和两个先前的数据位的加权组合。尽管用于两个延迟的数据位的权重一般为负, 但本发明的发明人已发现, 有时, 用于第二个延迟权重的正值对于将预加强改善为更接近于特定信道的最优化来说是有价值的。参照图 4, 如在本领域中被良好地理解的, 将延迟元件表示为由一系列 D 型触发器 70、72 和 74 形成的移位寄存器(应理解, 一系列触发器 70 和 72 可产生延迟一位的输出, 其通过图 1 中的延迟元件 18 来表示)。为了调节图 4 中的电路的延迟两位的输出的极性, 本发明加入了极性控制元件, 即异或(XOR)门 76, 其在一个输入上接收来自触发器 74 的输出, 而在第二个输入上接收极性控制信号。通过控制极性控制信号的电平, 存在这样的选项, 其用来经由异或门 76 而对第二个延迟位的值取反, 这在功能上等价于预加强权重的极性改变。

由上可知, 可看出, 在不背离本发明的新颖概念的精神和范围的情况下, 可产生大量变化和修改。应理解, 意图或应推断: 不对在这里说明的特定方法和装置作出限制。当然, 其意图通过所附权利要求而涵盖落入到权利要求的范围内的所有这样的修改。

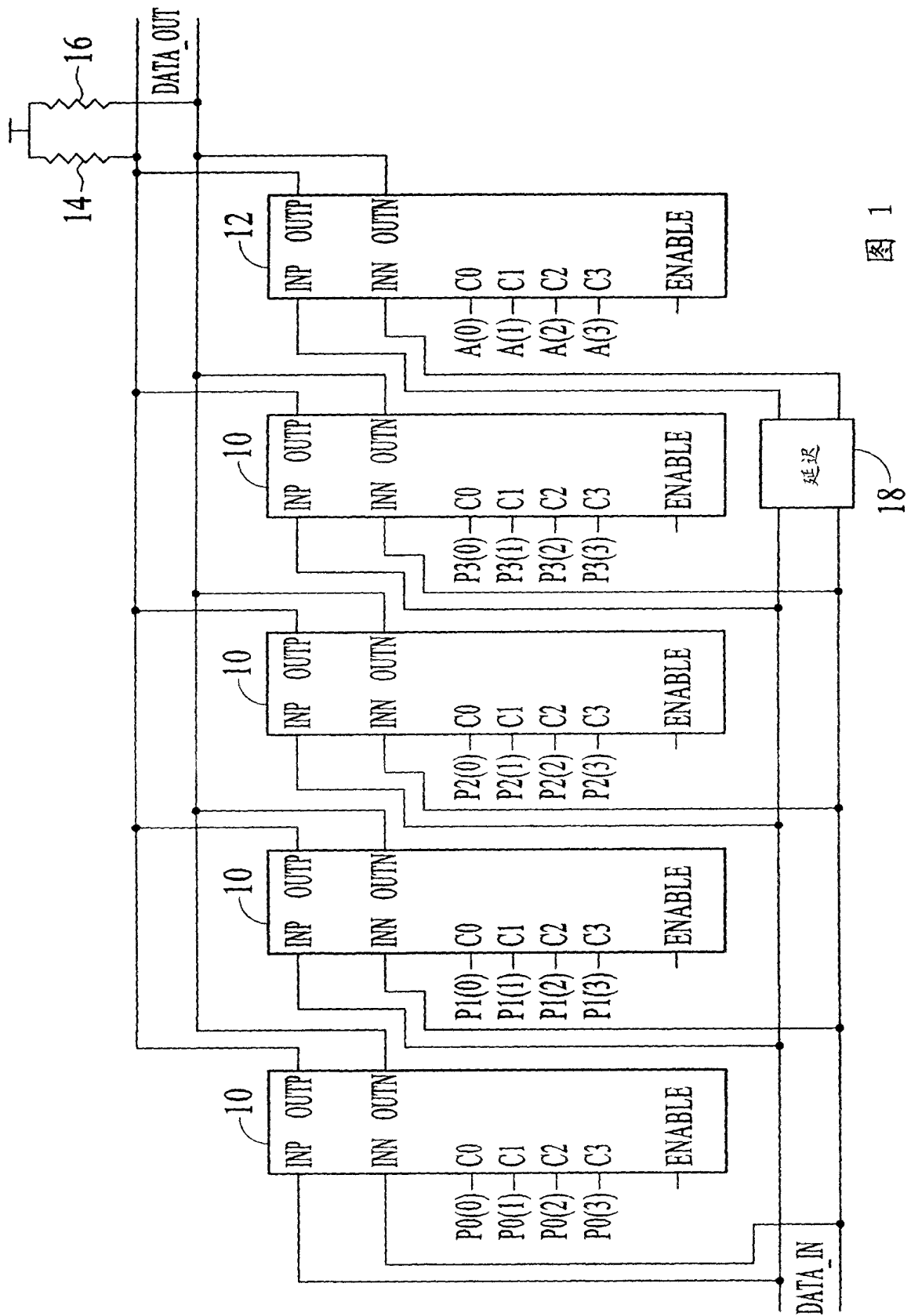


图 1

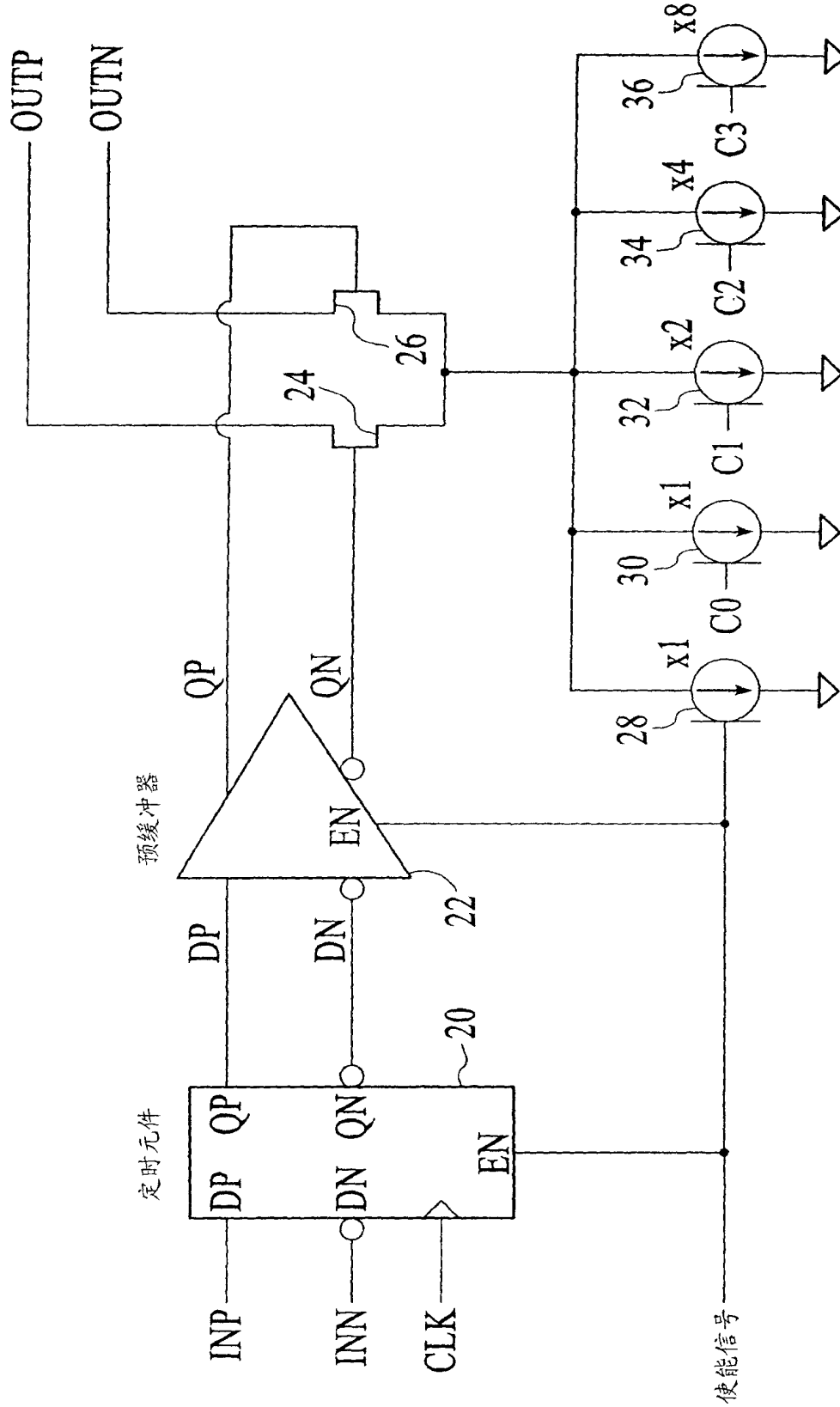


图 2

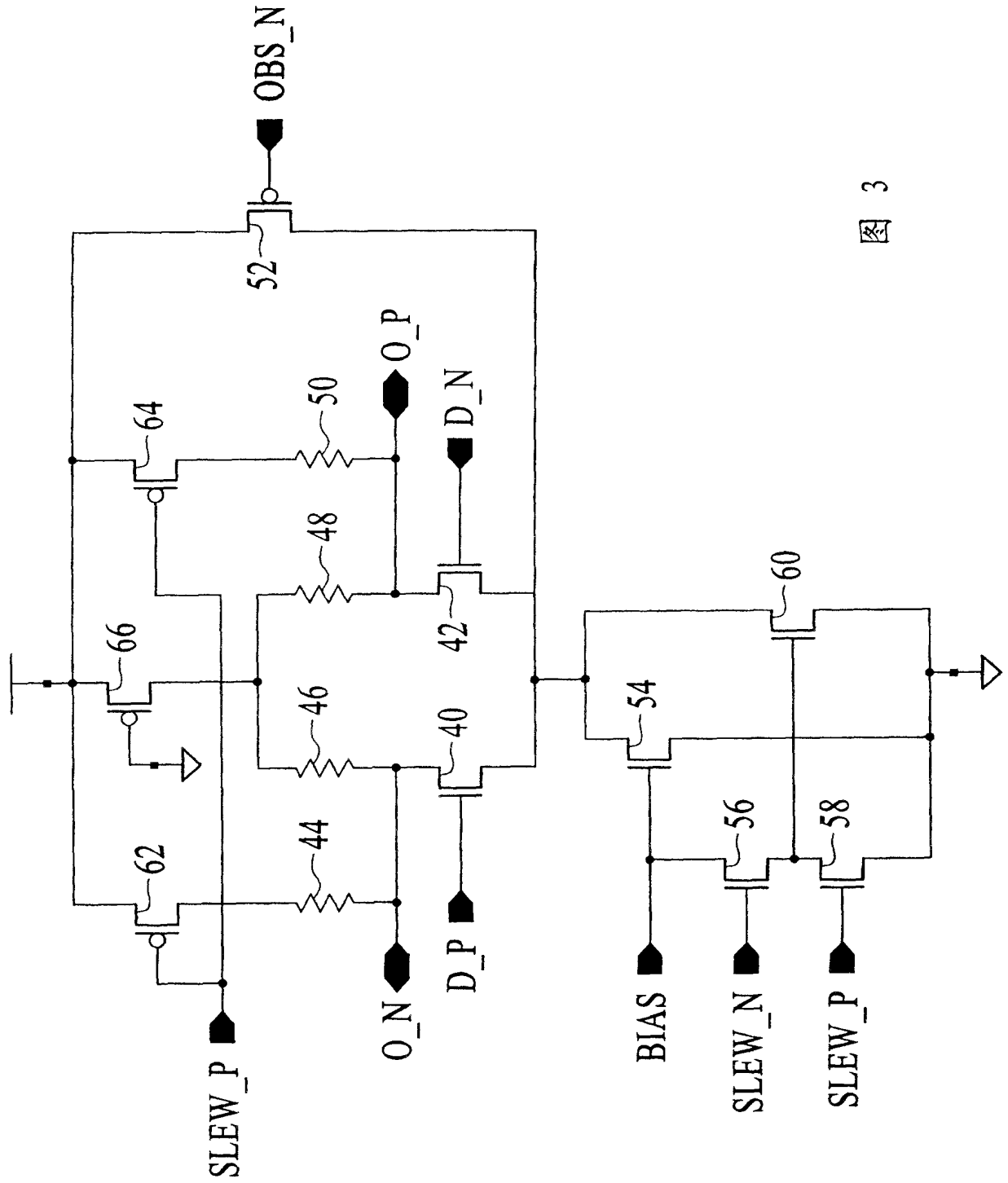


图 3

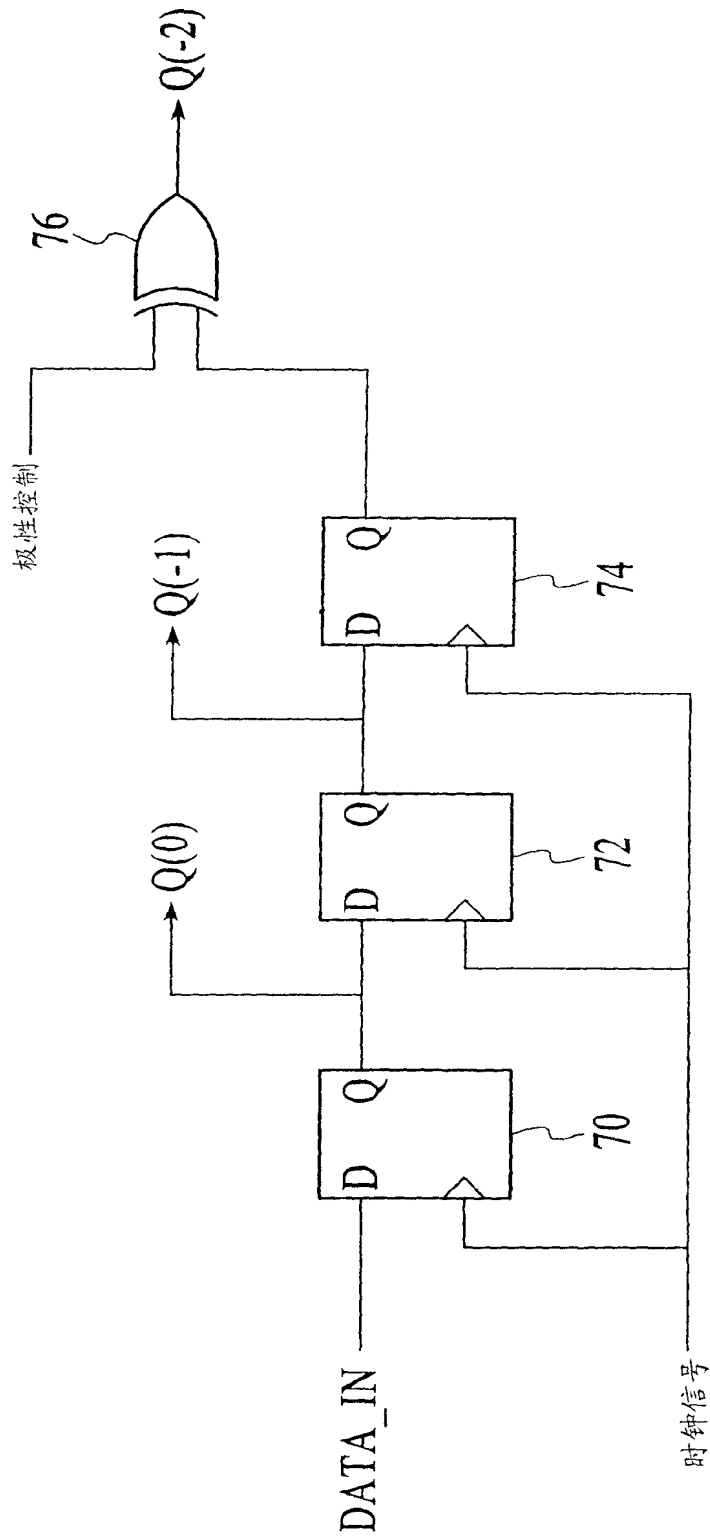


图 4