



# (12)发明专利

(10)授权公告号 CN 103186031 B

(45)授权公告日 2017.11.07

(21)申请号 201110453952.5

(22)申请日 2011.12.30

(65)同一申请的已公布的文献号  
申请公布号 CN 103186031 A

(43)申请公布日 2013.07.03

(73)专利权人 联华电子股份有限公司  
地址 中国台湾新竹科学工业园区

(72)发明人 蔡振华 黄家纬

(74)专利代理机构 北京市柳沈律师事务所  
11105

代理人 陈小雯

(51)Int.Cl.

G03F 1/36(2012.01)

G03F 1/72(2012.01)

H01L 27/02(2006.01)

(56)对比文件

CN 101290904 A,2008.10.22,

CN 1450407 A,2003.10.22,

US 5795823 A,1998.08.18,

CN 101086977 A,2007.12.12,

US 9176375 B2,2015.11.03,

审查员 郜珺珩

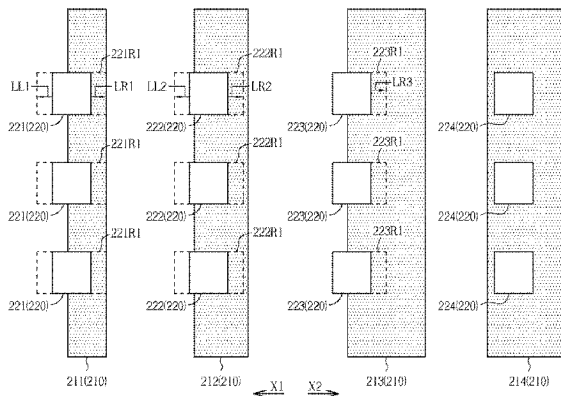
权利要求书2页 说明书8页 附图10页

(54)发明名称

修正布局图案的方法以及制作光掩膜的方法

(57)摘要

本发明公开一种修正布局图案的方法以及制作光掩膜的方法。修正布局图案的方法包括下列步骤。提供一第一布局图案以及一第二布局图案。第一布局图案包括一第一导线图案,第二布局图案包括至少一接触孔图案,且接触孔图案与第一导线图案至少部分重叠。提供一对位误差值。通过一电脑系统检测接触孔图案与第一导线图案间的距离是否小于对位误差值。自接触孔图案与第一导线图案间距离小于对位误差值的一对边扩大接触孔图案以取得一第一修正后接触孔图案。



1. 一种修正布局图案的方法,包括:

提供一第一布局图案与一第二布局图案,其中该第一布局图案包括一第一导线图案,该第二布局图案包括至少一接触孔图案,且该接触孔图案与该第一导线图案至少部分重叠;

提供一对位误差值;

通过一电脑系统检测该接触孔图案与该第一导线图案间的距离是否小于该对位误差值;

自该接触孔图案与该第一导线图案间距离小于该对位误差值的一对边扩大该接触孔图案以取得一第一修正后接触孔图案;

提供一第三布局图案,其中该第三布局图案包括第二导线图案与第三导线图案,且该接触孔图案与该第二导线图案至少部分重叠;

提供一临界间距;

通过该电脑系统检测该第一修正后接触孔图案与该第三导线图案间的一距离是否小于该临界间距;以及

自该第一修正后接触孔图案与该第三导线图案间距离小于该临界间距的一边缩小该第一修正后接触孔图案以取得一第二修正后接触孔图案,其中该第二修正后接触孔图案与该第三导线图案间的距离大于或等于该临界间距。

2. 如权利要求1所述的修正布局图案的方法,其中扩大该接触孔图案的方法包括将该接触孔图案增加一修正长度。

3. 如权利要求2所述的修正布局图案的方法,其中该修正长度大于或等于该对位误差值。

4. 如权利要求2所述的修正布局图案的方法,其中该对位误差值与该接触孔图案至该第一导线图案间的距离的一差值小于或等于该修正长度。

5. 如权利要求1所述的修正布局图案的方法,其中该对位误差值小于10纳米。

6. 如权利要求1所述的修正布局图案的方法,其中该临界间距小于10纳米。

7. 一种制作光掩膜的方法,包括:

提供一第一布局图案、一第二布局图案以及一第三布局图案,其中该第一布局图案包括一第一导线图案,该第二布局图案包括至少一接触孔图案,该第三布局图案包括一第二导线图案以及一第三导线图案,该接触孔图案与该第一导线图案至少部分重叠,且该接触孔图案与该第二导线图案至少部分重叠;

提供一对位误差值以及一临界间距;

通过一电脑系统检测该接触孔图案与该第一导线图案间的距离是否小于该对位误差值;

自该接触孔图案与该第一导线图案间距离小于该对位误差值的一对边扩大该接触孔图案以取得一第一修正后接触孔图案;

通过该电脑系统检测该第一修正后接触孔图案与该第三导线图案间的一距离是否小于该临界间距;

自该第一修正后接触孔图案与该第三导线图案间距离小于该临界间距的一边缩小该第一修正后接触孔图案以取得一第二修正后接触孔图案,其中该第二修正后接触孔图案与

该第三导线图案间的距离大于或等于该临界间距;以及  
将该第二布局图案输出至至少一光掩膜。

8. 如权利要求7所述的制作光掩膜的方法,其中该对位误差值小于10纳米。

9. 如权利要求7所述的制作光掩膜的方法,其中该临界间距小于10纳米。

10. 如权利要求7所述的制作光掩膜的方法,其中扩大该接触孔图案的方法包括将该接触孔图案增加一修正长度。

11. 如权利要求10所述的制作光掩膜的方法,其中该修正长度大于或等于该对位误差值。

12. 如权利要求10所述的制作光掩膜的方法,其中该对位误差值与该接触孔图案至该第一导线图案间的距离的一差值小于或等于该修正长度。

## 修正布局图案的方法以及制作光掩膜的方法

### 技术领域

[0001] 本发明涉及一种修正布局图案的方法以及制作光掩膜的方法,尤其是涉及一种对于与导线图案相重叠的接触孔图案进行修正的修正布局图案的方法与制作光掩膜的方法。

### 背景技术

[0002] 在半导体元件的制作工艺中,为了将集成电路(integrated circuits)的图案顺利地转移到半导体芯片上,必须先将一数据库中的电路图案利用电脑设计成一布局图案,再依据此布局图案来制作一光掩膜(photomask),并且将光掩膜上的图案以一定的比例转移到半导体芯片上,也就是俗称的光刻(lithography)制作工艺。上述的布局图案的转移需要极为准确,以使与之前以及之后的其他制作工艺的图案相互对应,进而制造出精密的集成电路。

[0003] 在光刻制作工艺中,将光掩膜上的标准图形转移至晶片表面时,由于易受到光刻机台对位精度状况的影响,而使转移至晶片表面的图形产生偏差,进而影响半导体装置的性能。尤其对多重金属内连线等堆叠的结构而言,当设计成与上、下层导线图案互相重叠的接触孔图案受到对位状况影响而有所偏差时,会使得有效的接触孔面积缩小,而影响到电性连结的状况。

[0004] 在现有的修正布局图案的方法中,为了补偿光刻机台产生对位误差的影响,一般对于导线图案来进行修正,尤其是对预定有接触孔图案位置的导线图案进行局部的放大修正,以使得即便产生对位误差,接触孔图案与导线图案间的有效接触区域仍不会受影响。

[0005] 再者,随着半导体电路的集成层次的快速增加,光刻制作工艺所要求的线宽也越来越小,各半导体元件间的距离也日益缩短。受限于目前光刻制作工艺所使用的曝光波长的物理限制,许多过小的间距无法仅通过单次曝光而完成。因此,目前发展出一种双重曝光技术,将目标图案分解并经由两次的曝光制作工艺来完成。然而,在使用双重曝光技术时,由于导线图案间的间距已与临界间距(critical space)非常接近,加上两次曝光间也存在对位误差的考量,故对现有的修正布局图案的方法产生许多限制,而无法达到所期望的修正效果。此外,一般使用双重曝光技术来定义接触孔图案时,往往会搭配自对准(self-aligned)方式来进行接触孔蚀刻,故接触孔的大小也不易通过蚀刻制作工艺再进行调整,因此如何对接触孔图案的设计进行调整也就显得格外重要。

### 发明内容

[0006] 本发明的目的之一在于提供一种修正布局图案的方法以及制作光掩膜的方法,对于接触孔图案进行修正,以补偿曝光对位误差的影响。

[0007] 本发明的一较佳实施例提供一种修正布局图案的方法,包括下列步骤。首先,提供一第一布局图案、一第二布局图案以及一对位误差值(mis-alignment value)。第一布局图案包括一第一导线图案,第二布局图案包括至少一接触孔图案,且接触孔图案与第一导线图案至少部分重叠。接着,通过一电脑系统检测接触孔图案与第一导线图案间的距离是否

小于对位误差值。然后,自接触孔图案与第一导线图案间距离小于对位误差值的一对边扩大接触孔图案以取得一第一修正后接触孔图案。

[0008] 本发明的一较佳实施例提供一种制作光掩膜的方法,包括下列步骤。首先,提供一第一布局图案、一第二布局图案以及一对位误差值。第一布局图案包括一第一导线图案,第二布局图案包括至少一接触孔图案,且接触孔图案与第一导线图案至少部分重叠。接着,通过一电脑系统检测接触孔图案与第一导线图案间的距离是否小于对位误差值。然后,自接触孔图案与第一导线图案间距离小于对位误差值的一对边扩大接触孔图案以取得一第一修正后接触孔图案。之后,将第二布局图案输出至至少一光掩膜。

[0009] 本发明的一较佳实施例提供一种制作光掩膜的方法,包括下列步骤。首先,提供一第一布局图案、一第二布局图案、一第三布局图案、一对位误差值以及一临界间距(critical space)。第一布局图案包括一第一导线图案,第二布局图案包括至少一接触孔图案,且第三布局图案包括一第二导线图案以及一第三导线图案。接触孔图案与第一导线图案至少部分重叠,且接触孔图案与第二导线图案至少部分重叠。接着,通过一电脑系统检测接触孔图案与第一导线图案间的距离是否小于对位误差值。然后,自接触孔图案与第一导线图案间距离小于对位误差值的一对边扩大接触孔图案以取得一第一修正后接触孔图案。之后,通过电脑系统检测第一修正后接触孔图案与第三导线图案间的一距离是否小于临界间距。然后,自第一修正后接触孔图案与第三导线图案间距离小于临界间距的一边缩小第一修正后接触孔图案以取得一第二修正后接触孔图案。第二修正后接触孔图案与第三导线图案间的距离大于或等于该临界间距。之后,将第二布局图案输出至至少一光掩膜。

## 附图说明

[0010] 图1至图3为本发明的第一较佳实施例的修正布局图案的方法示意图;

[0011] 图4为本发明的第一较佳实施例的修正布局图案的方法流程示意图;

[0012] 图5为本发明的第一较佳实施例的修正布局图案的方法所对应的半导体元件的示意图;

[0013] 图6至图8为本发明的第二较佳实施例的修正布局图案的方法示意图;

[0014] 图9为本发明的第二较佳实施例的修正布局图案的方法流程示意图;

[0015] 图10为本发明的第二较佳实施例的修正布局图案的方法所对应的半导体元件的示意图。

[0016] 主要元件符号说明

[0017]	210	第一布局图案	220	第二布局图案
[0018]	211-214	第一导线图案	221-224	接触孔图案
[0019]	221R1	第一修正后接触孔图案	222R1	第一修正后接触孔图案
[0020]	223R1	第一修正后接触孔图案	250	半导体元件
[0021]	251	半导体基底	252	介电层
[0022]	252V	接触孔	253	接触插塞
[0023]	254	金属导线	310	第一布局图案
[0024]	320	第二布局图案	330	第三布局图案
[0025]	311-312	第一导线图案	321-322	接触孔图案

[0026]	321R1	第一修正后接触孔图案	321R2	第二修正后接触孔图案
[0027]	322R1	第一修正后接触孔图案	331-332	第二导线图案
[0028]	341-342	第三导线图案	350	半导体元件
[0029]	351	半导体基底	352	介电层
[0030]	352V	接触孔	353	接触插塞
[0031]	354	上金属导线	355	下金属导线
[0032]	356	下金属导线	DL1-DL6	距离
[0033]	DR1-DR6	距离	LL1-LL3	修正长度
[0034]	LR1	修正长度	LR2	修正长度
[0035]	LR5	修正长度	LR6	修正长度
[0036]	RD1-RD3	距离	S10-S14	步骤
[0037]	S20-S27	步骤	X1	方向
[0038]	X2	方向		

### 具体实施方式

[0039] 本发明可应用在各式上、下堆叠的结构,例如接触插塞(contact plug)与掺杂区、多重金属内连线的插塞(plug)与导线、双镶嵌(dual damascene)的介层孔(via hole)与沟槽(trench)等结构中,亦即本发明可有效解决上、下层图案互相重叠的布局图案受到对位状况影响而有所偏差的问题,并能提升使用双重曝光技术或多重曝光技术来定义接触孔图案以及搭配自对准(self-aligned)方式来进行接触孔蚀刻时的制作工艺容许度(process window),进而能提升半导体制作工艺的合格及元件的可靠度(reliability)。

[0040] 请参考图1至图4。图1至图3绘示了本发明的第一较佳实施例的修正布局图案的方法示意图。图4绘示了本发明的第一较佳实施例的修正布局图案的方法流程示意图。如图1至图4所示,本发明的第一较佳实施例提供一种修正布局图案的方法,包括下列步骤。首先,进行步骤S10,由一数据库提供一第一布局图案210、一第二布局图案220以及一对位误差值。第二布局图案220包括多个接触孔图案,而第一布局图案210包括多个第一导线图案。在本实施例中,第二布局图案220可包括多个接触孔图案221,而第一布局图案210可包括一第一导线图案211,且接触孔图案221与第一导线图案211相重叠。更进一步说明,接触孔图案221与第一导线图案211于后续的半导体制作工艺中的对应位置相重叠。为了更明确说明本实施例的修正布局图案的方法的各种状况,本实施例的第二布局图案220可更包括多个接触孔图案222、多个接触孔图案223以及多个接触孔图案224,而第一布局图案210可更包括一第一导线图案212、一第一导线图案213以及一第一导线图案214,但本发明并不以此为限,而可使第二布局图案220仅包括至少一接触孔图案,且使第一布局图案仅包括一第一导线图案。各接触孔图案222与第一导线图案212重叠,各接触孔图案223与第一导线图案213重叠,且各接触孔图案224与第一导线图案214重叠。

[0041] 接着,进行步骤S11,利用一电脑系统检测各接触孔图案与对应的第一导线图案间的距离是否小于对位误差值。对位误差值大体上小于10纳米,但并不以此为限而可视所使用的曝光机台的效能来决定对位误差值的大小。举例来说,本实施例的修正布局图案的方法可对各接触孔图案221与第一导线图案211间的一距离DL1与一距离DR1、对各接触孔图案

222与第一导线图案212间的一距离DL2与一距离DR2、对各接触孔图案223与第一导线图案213间的一距离DL3与一距离DR3以及对各接触孔图案224与第一导线图案214间的一距离DL4与一距离DR4分别进行检测,并比对距离DL1、距离DR1、距离DL2、距离DR2、距离DL3、距离DR3、距离DL4以及距离DR4是否小于对位误差值。

[0042] 然后,若各接触孔图案与对应的第一导线图案间的距离并未小于对位误差值,则进行步骤S14,也就是不对接触孔图案进行修改。相对地,若各接触孔图案与对应的第一导线图案间的距离小于对位误差值,则进行步骤S12,也就是自接触孔图案与对应的第一导线图案间距离小于对位误差值的一对边扩大接触孔图案以取得一第一修正后接触孔图案。

[0043] 举例来说,由于距离DL1与距离DR1小于对位误差值,故可自接触孔图案221与第一导线图案211间距离小于对位误差值的对边(也可说是分别朝图2中的方向X2与方向X1)扩大接触孔图案221以取得一第一修正后接触孔图案221R1(以虚线标示)。依据同样的规则,由于距离DL2与距离DR2小于对位误差值,故可自接触孔图案222与第一导线图案212间距离小于对位误差值的对边(也可说是分别朝图2中的方向X2与方向X1)扩大接触孔图案222以取得一第一修正后接触孔图案222R1(以虚线标示)。此外,由于距离DL3小于对位误差值而距离DR3并未小于对位误差值,故可仅自接触孔图案223与第一导线图案213间距离小于对位误差值的一对边(也可说是朝图2中的方向X2)扩大接触孔图案223以取得一第一修正后接触孔图案223R1(以虚线标示)。另请注意,由于距离DL4与距离DR4均未小于对位误差值,故可不对触孔图案224进行修改。依据本实施例的修正布局图案的方法,可补偿曝光对位误差所可能造成的影响。

[0044] 在本实施例中,扩大接触孔图案的方法可包括将接触孔图案朝一方向增加一修正长度。举例来说,如图2所示,扩大接触孔图案221以取得第一修正后接触孔图案221R1的方法可包括朝方向X1增加一修正长度LL1以及朝方向X2增加一修正长度LR1,扩大接触孔图案222以取得第一修正后接触孔图案222R1的方法可包括朝方向X1增加一修正长度LL2以及朝方向X2增加一修正长度LR2,而扩大接触孔图案223以取得第一修正后接触孔图案223R1的方法可包括朝朝方向X2增加一修正长度LR3。值得说明的是,修正长度LL1、修正长度LR1、修正长度LL2、修正长度LR2以及修正长度LR3较佳大于或等于对位误差值。更进一步说明,对位误差值与接触孔图案至对应的第一导线图案间的距离的一差值较佳小于或等于对应的修正长度。也就是说,对位误差值与距离DL1的一差值较佳小于或等于修正长度LR1,对位误差值与距离DR1的一差值较佳小于或等于修正长度LL1,对位误差值与距离DL2的一差值较佳小于或等于修正长度LR2,对位误差值与距离DR2的一差值较佳小于或等于修正长度LL2,且对位误差值与距离DL3的一差值小于或等于修正长度LR3,但并不以此为限。

[0045] 通过上述的本实施例的修正布局图案的方法,可补偿当对位发生问题时对第一布局图案210与第二布局图案220间重叠区域的影响。举例来说,如图3所示,当第一布局图案210因受到对位状况影响而有所偏移时,由于已对所需修正的接触孔图案进行调整而获得第一修正后接触孔图案221R1、第一修正后接触孔图案222R1以及第一修正后接触孔图案223R1,故第一修正后接触孔图案221R1、第一修正后接触孔图案222R1以及第一修正后接触孔图案223R1与其对应的第一导线图案211、第一导线图案212以及第一导线图案213间的重叠区域仍可维持一定大小。

[0046] 为了进一步说明利用本实施例的修正布局图案的方法所制作的半导体元件,请参

考图5,并请一并参考图1。图5绘示了本发明的第一较佳实施例的修正布局图案的方法所对应的半导体元件的示意图。如图5所示,本实施例的修正布局图案的方法所对应的半导体元件250可包括一半导体基底251,一介电层252以及一金属导线254。介电层252具有一接触孔252V,而金属导线254可通过于接触孔252V中形成的接触插塞253与半导体基底251电性连接。如图5以及图1所示,在本实施例的修正布局图案的方法中,利用包含第一导线图案的第一布局图案210所制作的光掩膜用来定义金属导线254,而利用包含接触孔图案的第二布局图案220所制作的光掩膜则用来定义接触孔252V。因此,若通过本实施例的修正布局图案的方法所取得的第一修正后接触孔图案来定义接触孔252V,可避免因曝光对位误差造成金属导线254与接触插塞253接触的有效面积过小而影响到半导体元件250的电性表现,亦即相对加宽的修正后接触孔图案仍能与相偏移的原始的导线图案具有一有效的接触面积。另请注意,如前所述,本实施例的修正布局图案的方法并不限于用来形成半导体元件250,而可适用于形成其他具有掺杂区、接触孔与导线等重叠设计的半导体元件。

[0047] 请再参考图4与图2。如图4与图2所示,本发明的第一较佳实施例提供一种制作光掩膜的方法,此制作光掩膜的方法除了包括上述的修正布局图案的方法外,更包括于步骤S12之后进行一步骤S13,将包含第一修正后接触孔图案例如第一修正后接触孔图案221R1、第一修正后接触孔图案222R1以及第一修正后接触孔图案223R1的第二布局图案220输出至至少一光掩膜。换句话说,第一修正后接触孔图案221R1、第一修正后接触孔图案222R1以及第一修正后接触孔图案223R1也可视需要输出至不同的光掩膜,以进行单一或多重曝光制作工艺来形成各接触孔。而包含第一导线图案的第一布局图案210则可不进行修正输出至至少一光掩膜。另请注意,第二布局图案220除了包括第一修正后接触孔图案之外,也可包括经检测后判定不需进行修正的接触孔图案,但并不以此为限。

[0048] 值得说明的是,本发明在解决上、下层图案互相对准的布局图案受到对位状况影响而有所偏差的问题时,直接修正接触孔图案,而不调整导线图案。因此本实施例的制作光掩膜的方法除了将第一修正后接触孔图案输出至至少一光掩膜外,其余导线图案是不为上、下层图案互相对准而进行调整。但上述的第一布局图案210以及第二布局图案220都可分别再进行一般性的修正,例如可于步骤S13之前对第二布局图案220进行例如光学近接修正(optical proximity correction,OPC)、工艺规则检验(process rule check,PRC)或光学规则检验(lithography rule check,LRC)等处理后再输出制作光掩膜,但并不以此为限也不再赘述。

[0049] 请参考图6至图9。图6至图8绘示了本发明的第二较佳实施例的修正布局图案的方法示意图。图9绘示了本发明的第二较佳实施例的修正布局图案的方法流程示意图。如图6至图9所示,本发明的第二较佳实施例提供一种修正布局图案的方法,包括下列步骤。首先,进行步骤S20,由一数据库提供一第一布局图案310、一第二布局图案320、一第三布局图案330、一对位误差值以及一临界间距(critical space)。第二布局图案320可包括多个接触孔图案321,第一布局图案310可包括一第一导线图案311,第三布局图案330可包括一第二导线图案331以及一第三导线图案341。接触孔图案321与第一导线图案311重叠,且接触孔图案321与第二导线图案331重叠。更进一步说明,接触孔图案321分别与第一导线图案311以及第二导线图案331于后续的半导体制作工艺中的对应位置相重叠。换言之,利用接触孔图案321连接上下两层导线图案。为了更明确说明本实施例的修正布局图案的方法的各种



状况,本实施例的第二布局图案320可更包括多个接触孔图案322,第一布局图案310可更包括一第一导线图案312,第三布局图案330可更包括一第二导线图案332以及一第三导线图案342,但本发明并不以此为限而可使第二布局图案320仅包括至少一接触孔图案,使第一布局图案310仅包括一第一导线图案,使第三布局图案330仅包括一第二导线图案以及一第三导线图案。接触孔图案322与第一导线图案312重叠,且接触孔图案322与第二导线图案332重叠。

[0050] 接着,进行步骤S21,利用一电脑系统检测各接触孔图案与对应的第一导线图案间的距离是否小于对位误差值。举例来说,本实施例的修正布局图案的方法可对各接触孔图案321与第一导线图案311间的一距离DL5与一距离DR5,以及对各接触孔图案322与第一导线图案312间的一距离DL6与一距离DR6分别进行检测,并比对距离DL5、距离DR5、距离DL6以及距离DR6是否小于对位误差值。然后,若各接触孔图案与对应的第一导线图案间的距离并未小于对位误差值,则进行步骤S26,也就是不对接触孔图案进行修改。相对地,若各接触孔图案与对应的第一导线图案间的距离小于对位误差值,则进行步骤S22,也就是自接触孔图案与对应的第一导线图案间距离小于对位误差值的一对边,扩大接触孔图案以取得一第一修正后接触孔图案。举例来说,由于距离DL5小于对位误差值而距离DR5并未小于对位误差值,故可仅自接触孔图案321与第一导线图案311间距离小于对位误差值的一对边(也可说是朝图7中的方向X2)扩大接触孔图案321以取得一第一修正后接触孔图案321R1(以细虚线标示)。同样地,由于距离DL6小于对位误差值而距离DR6并未小于对位误差值,故可仅自接触孔图案322与第一导线图案312间距离小于对位误差值的一对边(也可说是图7中的方向X2)扩大接触孔图案322以取得一第一修正后接触孔图案322R1(以细虚线标示)。

[0051] 在本实施例中,扩大接触孔图案的方法可包括将接触孔图案朝一方向增加一修正长度。举例来说,如图7所示,扩大接触孔图案321以取得第一修正后接触孔图案321R1的方法可包括朝方向X2增加一修正长度LR5,而扩大接触孔图案322以取得第一修正后接触孔图案322R1的方法可包括朝方向X2增加一修正长度LR6。值得说明的是,修正长度LR5以及修正长度LR6较佳大于或等于对位误差值。更进一步说明,对位误差值与接触孔图案至对应的第一导线图案间的距离的一差值较佳小于或等于对应的修正长度。也就是说,对位误差值与距离DL5的一差值较佳小于或等于修正长度LR5,且对位误差值与距离DL6的一差值小于或等于修正长度LR6,但并不以此为限。

[0052] 在进行完接触孔图案与其上层导线图案的调整步骤之后,接续进行步骤S23,通过电脑系统检测接触孔图案与其下层导线图案的对应位置,亦即检测第一修正后接触孔图案与第三导线图案间的一距离是否小于临界间距。举例来说,本实施例的修正布局图案的方法可对第一修正后接触孔图案321R1与第三导线图案341间的一距离RD1,以及对第一修正后接触孔图案322R1与第三导线图案342间的一距离RD2分别进行检测,并比对距离RD1以及距离RD2是否小于临界间距。然后,若各第一修正后接触孔图案与对应的第三导线图案间的距离并未小于临界间距,则进行步骤S27,也就是不对第一修正后接触孔图案进行修改。相对地,若各第一修正后接触孔图案与对应的第三导线图案间的距离小于临界间距,则进行步骤S24,也就是自第一修正后接触孔图案与第三导线图案间距离小于临界间距的一边缩小第一修正后接触孔图案以取得一第二修正后接触孔图案。举例来说,由于距离RD1小于临界间距,故可自第一修正后接触孔图案321R1与第三导线图案341间距离小于对位误差值的

一方向(也可说是朝图8中的方向X1)缩小第一修正后接触孔图案321R1以取得一第二修正后接触孔图案321R2(以点状虚线表示)。相对地,由于距离RD2并未小于临界间距,故可不需对第一修正后接触孔图案322R1进行修改。值得说明的是,第二修正后接触孔图案321R2与第三导线图案341间的一距离RD3较佳大于或等于临界间距,以避免第二修正后接触孔图案321R2过于接近第三导线图案341。另请注意,本实施例的对位误差值大体上小于10纳米,但并不以此为限而可视所使用的曝光机台的效能来决定对位误差值的大小。此外,本实施例的临界间距大体上小于10纳米,但并不以此为限而可视制作工艺以及设计规则的变化而作调整。

[0053] 为了进一步说明利用本实施例的修正布局图案的方法所制作的半导体元件,请参考图10,并请一并参考图6。图10绘示了本发明的第二较佳实施例的修正布局图案的方法所对应的半导体元件的示意图。如图10所示,本实施例的修正布局图案的方法所对应的半导体元件350可包括一半导体基底351,一介电层352、一上金属导线354、一下金属导线355以及一下金属导线356。上金属导线354可称为一第二金属(metal 2),而下金属导线355以及下金属导线356可称为一第一金属(metal 1),但并不以此为限。介电层352具有一接触孔352V,而上金属导线354可通过于接触孔352V中形成的接触插塞353与下金属导线355电性连结。如图10与图6所示,在本实施例的修正布局图案的方法中,利用包含第一导线图案的第一布局图案310所制作的光掩膜可用来定义上金属导线354,利用包含第二导线图案与第三导线图案的第三布局图案所制作的光掩膜可用来定义下金属导线355与下金属导线356,而利用包含接触孔图案的第二布局图案320所制作的光掩膜可用来定义接触孔352V。因此,若通过本实施例的修正布局图案的方法所取得的第一修正后接触孔图案来定义接触孔352V,可避免因曝光对位误差造成上金属导线354与接触插塞353接触的有效面积过小而影响与下金属导线355的电性连结状况,亦即相对加宽的修正后接触孔图案仍能与相偏移的原始的导线图案具有一有效的接触面积。此外,若通过本实施例的修正布局图案的方法所取得的第二修正后接触孔图案来定义接触孔352V,更可进一步避免因对接触孔图案进行修正而使原本设计电性分离的接触插塞353与下金属导线356间形成电性连结。另请注意,本实施例的修正布局图案的方法并不限于用来形成半导体元件350,而可适用于形成其他具有掺杂区、接触孔与导线重叠设计的半导体元件。

[0054] 请再参考图9与图8。如图9与图8所示,本发明的第二较佳实施例提供一种制作光掩膜的方法,此制作光掩膜的方法除了包括上述的第二较佳实施例的修正布局图案的方法外,更包括于步骤S24之后进行一步骤S25,将包含第二修正后接触孔图案例如第二修正后接触孔图案321R2的第二布局图案320输出至至少一光掩膜。另请注意,第二布局图案320除了可包括第二修正后接触孔图案之外,也可包括第一修正后接触孔图案例如第一修正后接触孔图案322R1或经检测后判定不需进行修正的接触孔图案,但并不以此为限。换句话说,第二修正后接触孔图案321R2以及第一修正后接触孔图案322R1也可视需要输出至不同的光掩膜,以进行多重曝光制作工艺来形成各接触孔。而包含第一导线图案的第一布局图案310以及包含第二导线图案与第三导线图案的第三布局图案330则可不进行修正而分别输出至至少一光掩膜。

[0055] 值得说明的是,本发明在解决上、下层图案互相对准的布局图案受到对位状况影响而有所偏差的问题时,直接修正接触孔图案,而不调整导线图案。因此本实施例的制作光

掩膜的方法除了将第二修正后接触孔图案或/与第一修正后接触孔图案输出至至少一光掩膜外,其余导线图案并不为上、下层图案互相对准而进行调整。但上述的第一布局图案310、第二布局图案320以及第三布局图案330都可分别再进行一般性的修正,例如可于步骤S25之前对第二布局图案320进行例如光学近接修正、工艺规则检验或光学规则检验等处理后再输出制作光掩膜,但并不以此为限也不再赘述。

[0056] 综上所述,本发明所提供的修正布局图案的方法以及制作光掩膜的方法,通过对接触孔图案进行修正,补偿后续曝光制作工艺时对位误差的影响。此外,也同时将接触孔图案所对应的各导线图案的间距纳入修正接触孔图案时的考量,故可在容许范围内对接触孔图案作最适合的修正,进而提升使用双重曝光技术或多重曝光技术来定义接触孔图案以及搭配自对准方式来进行接触孔蚀刻时的制作工艺容许度以及提升所用以制成的半导体元件的可靠度。

[0057] 以上所述仅为本发明的较佳实施例,凡依本发明权利要求所做的均等变化与修饰,皆应属本发明的涵盖范围。

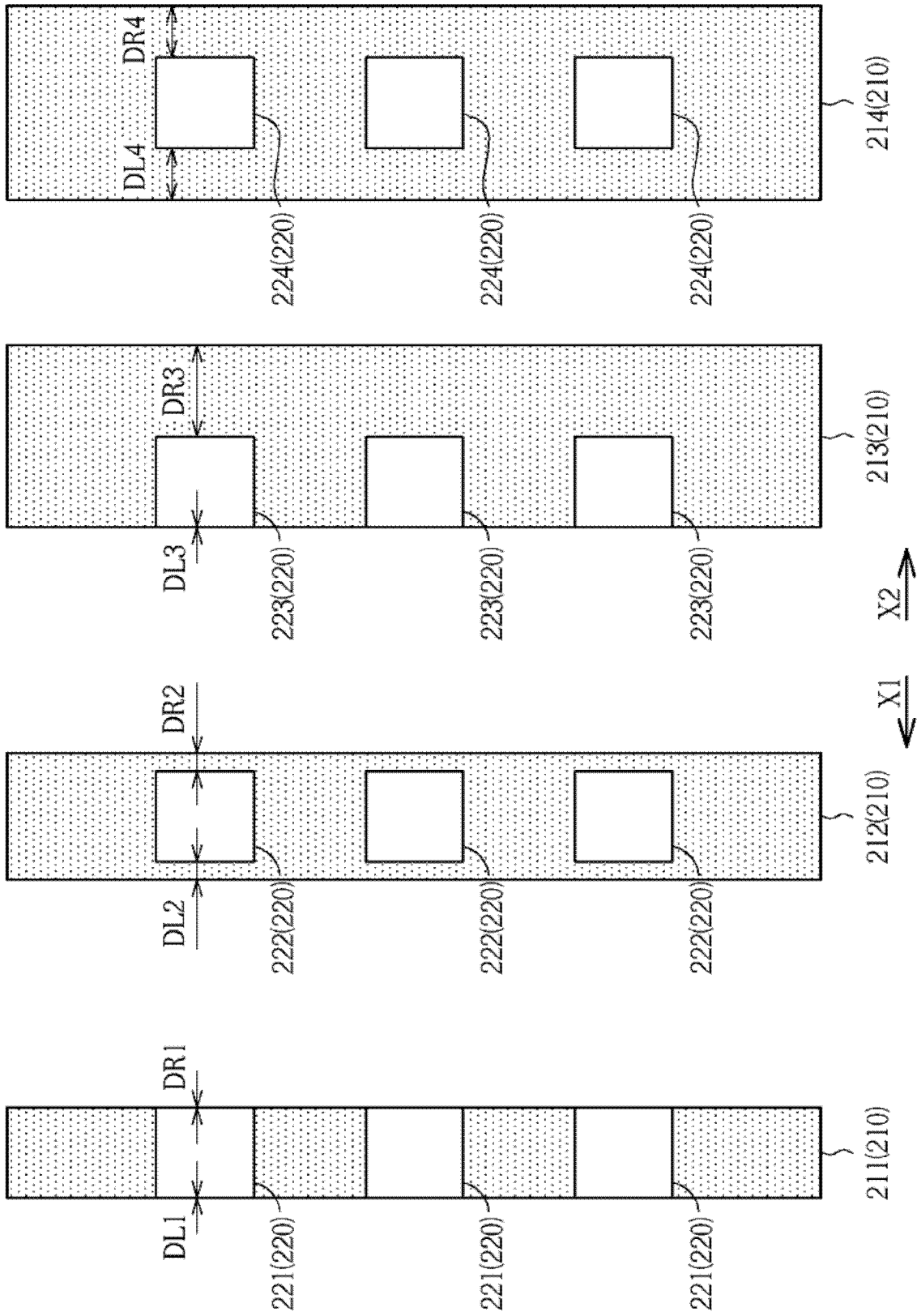


图1

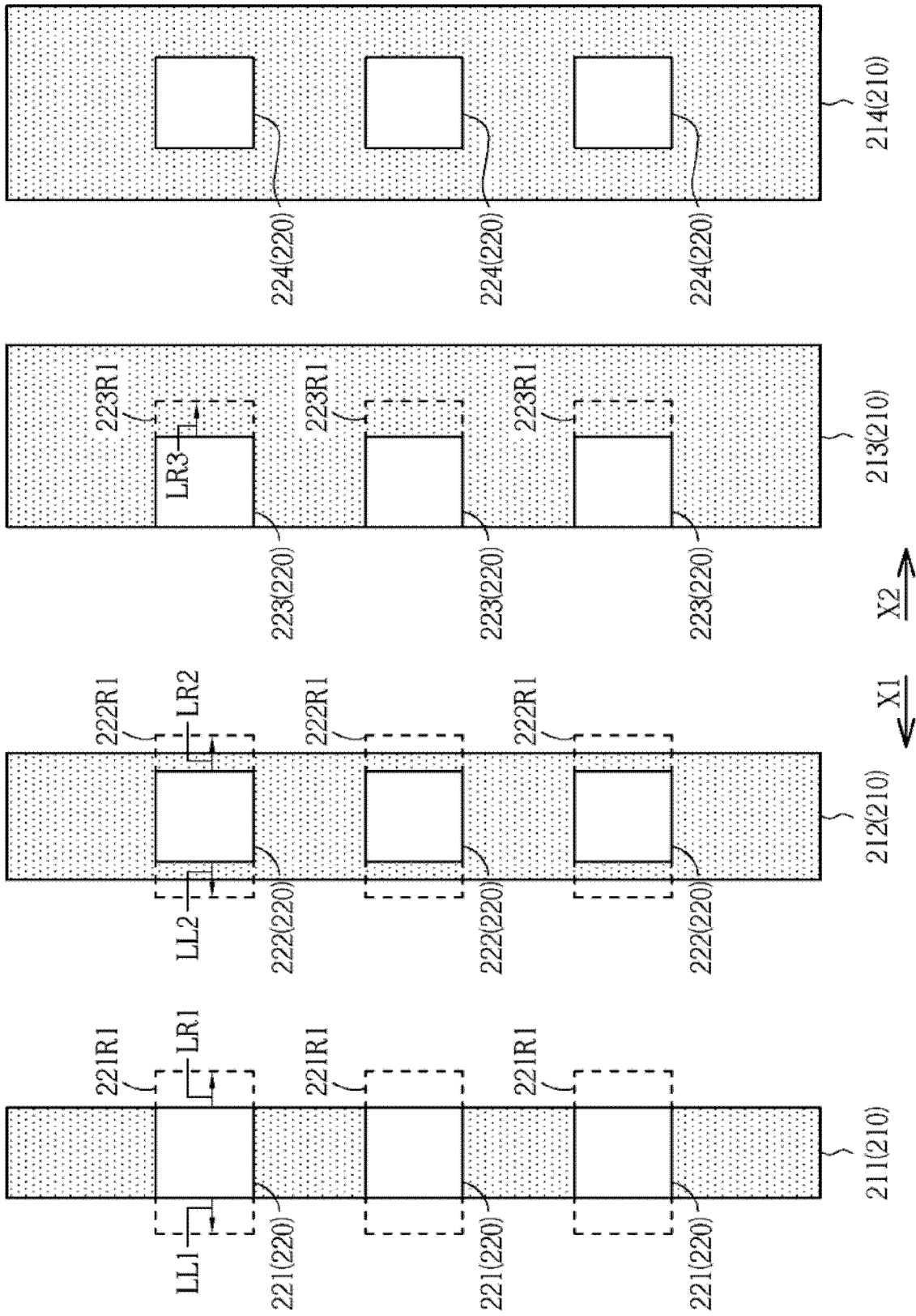


图2

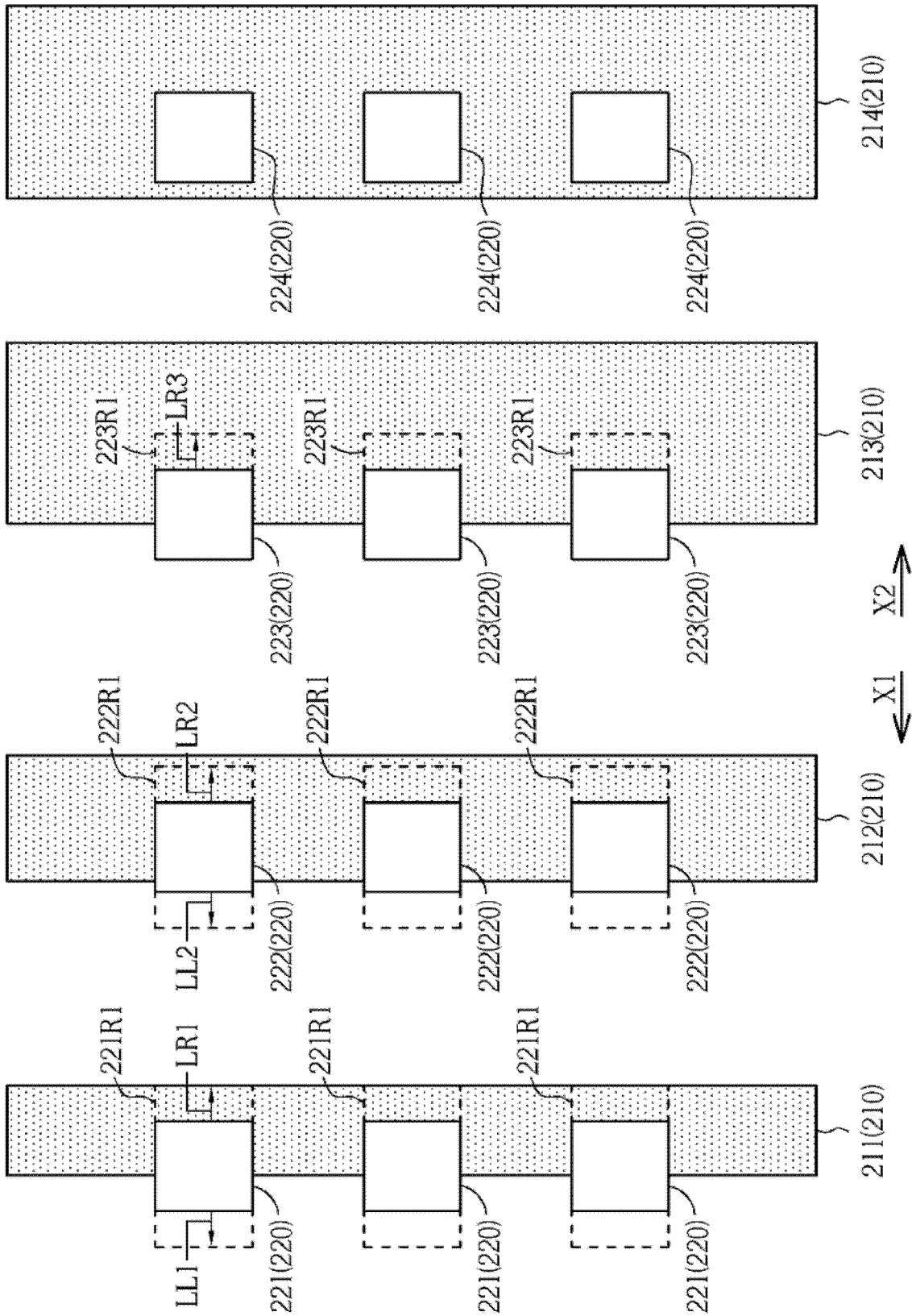


图3

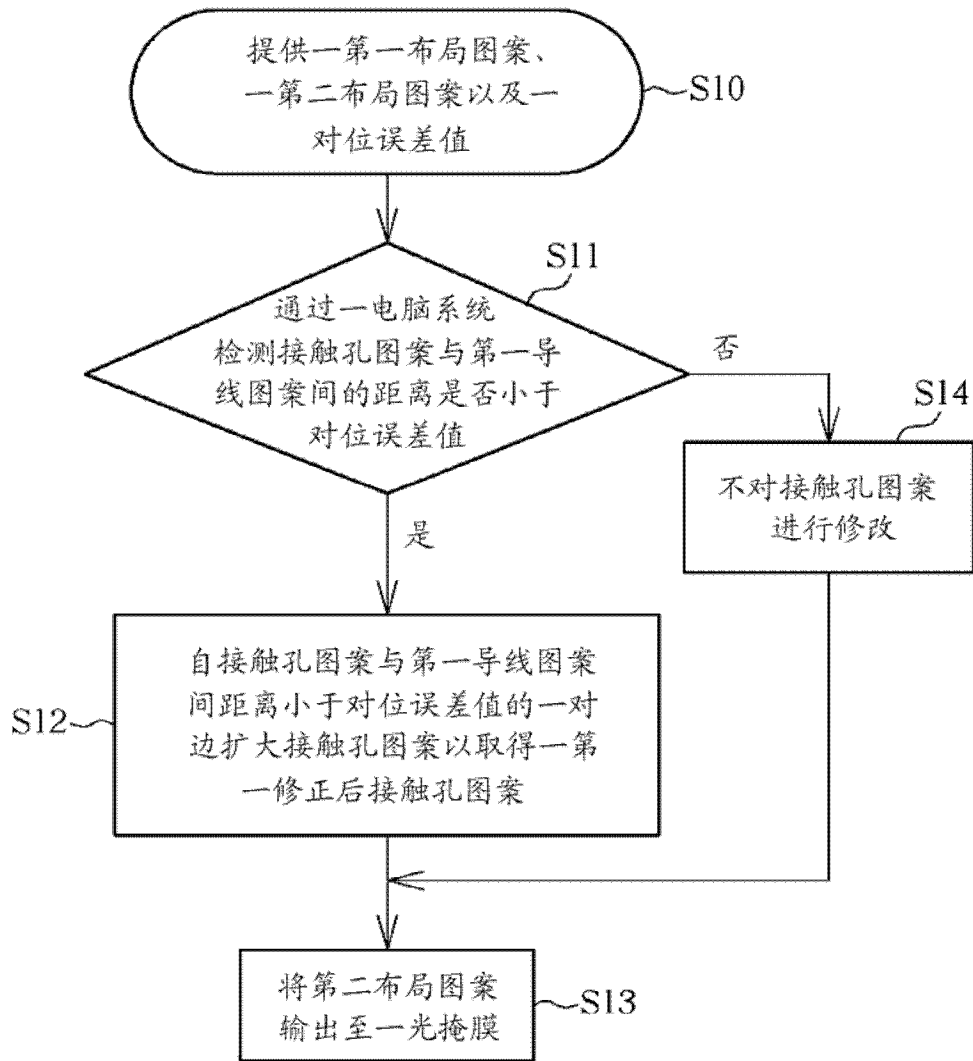


图4

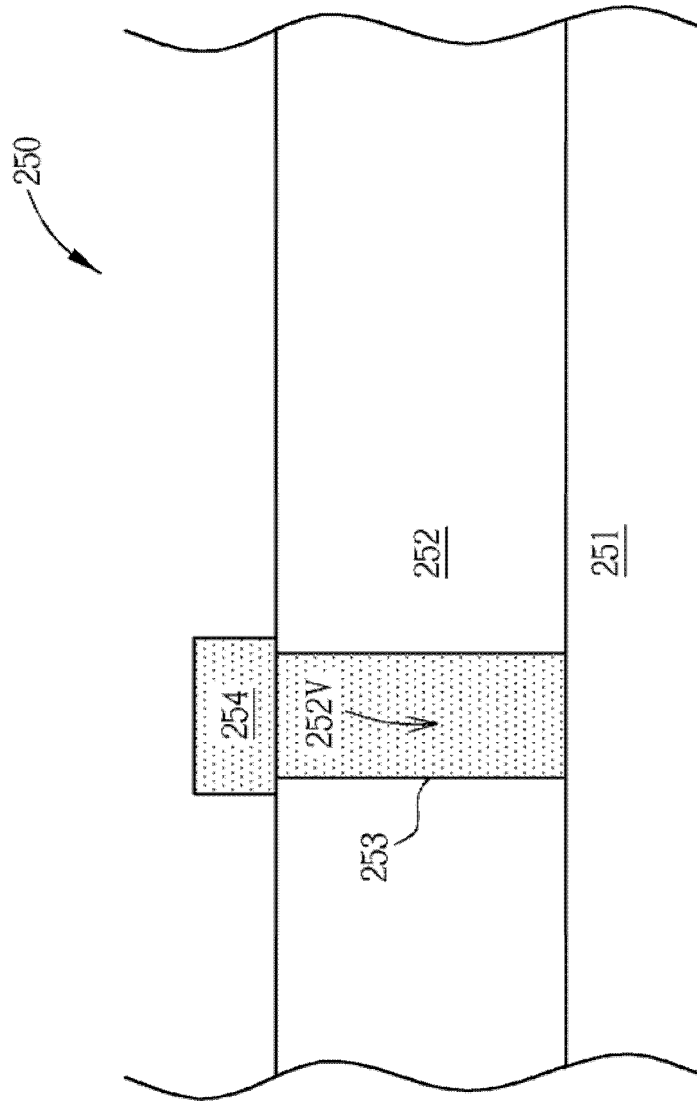


图5



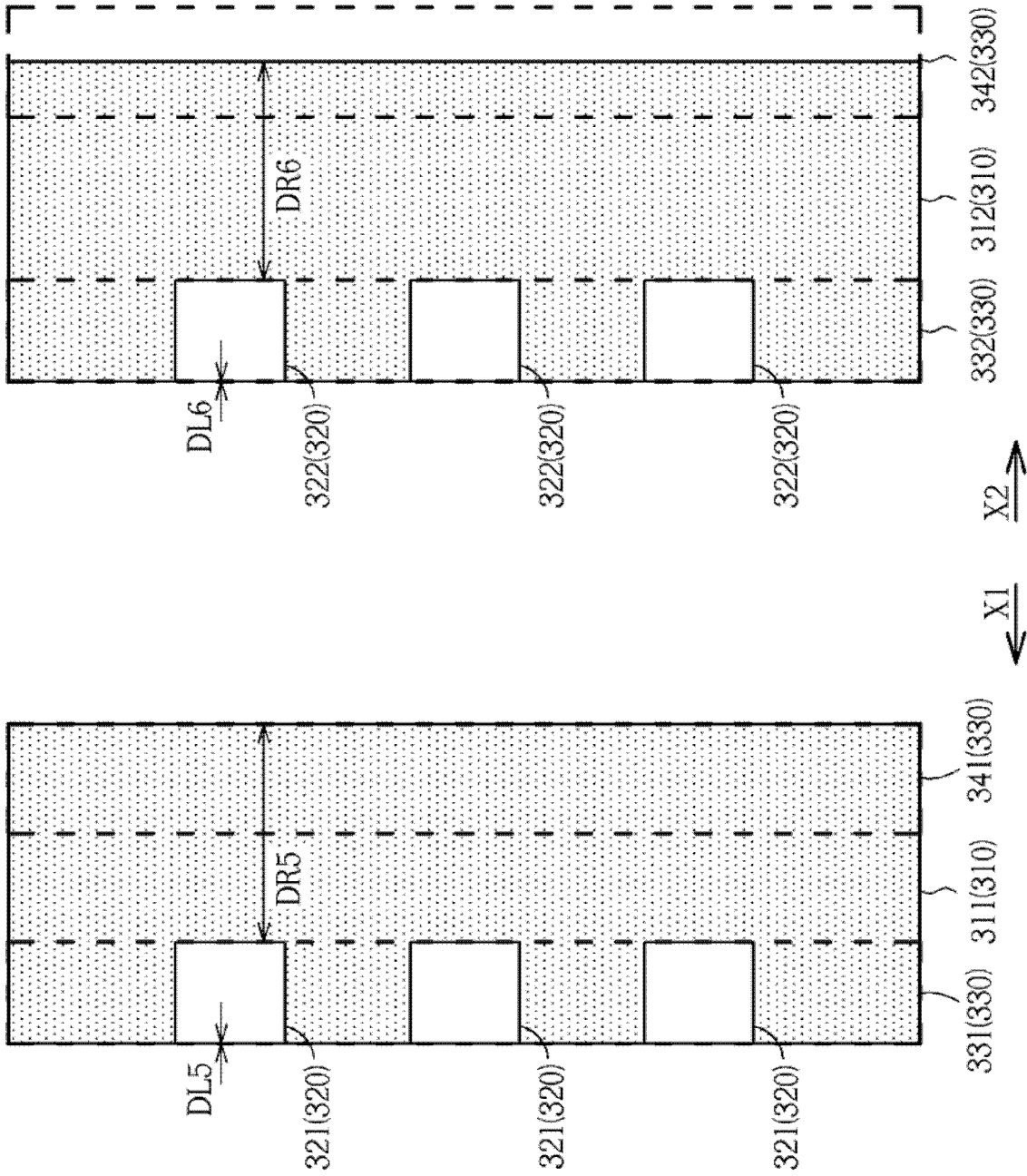


图6

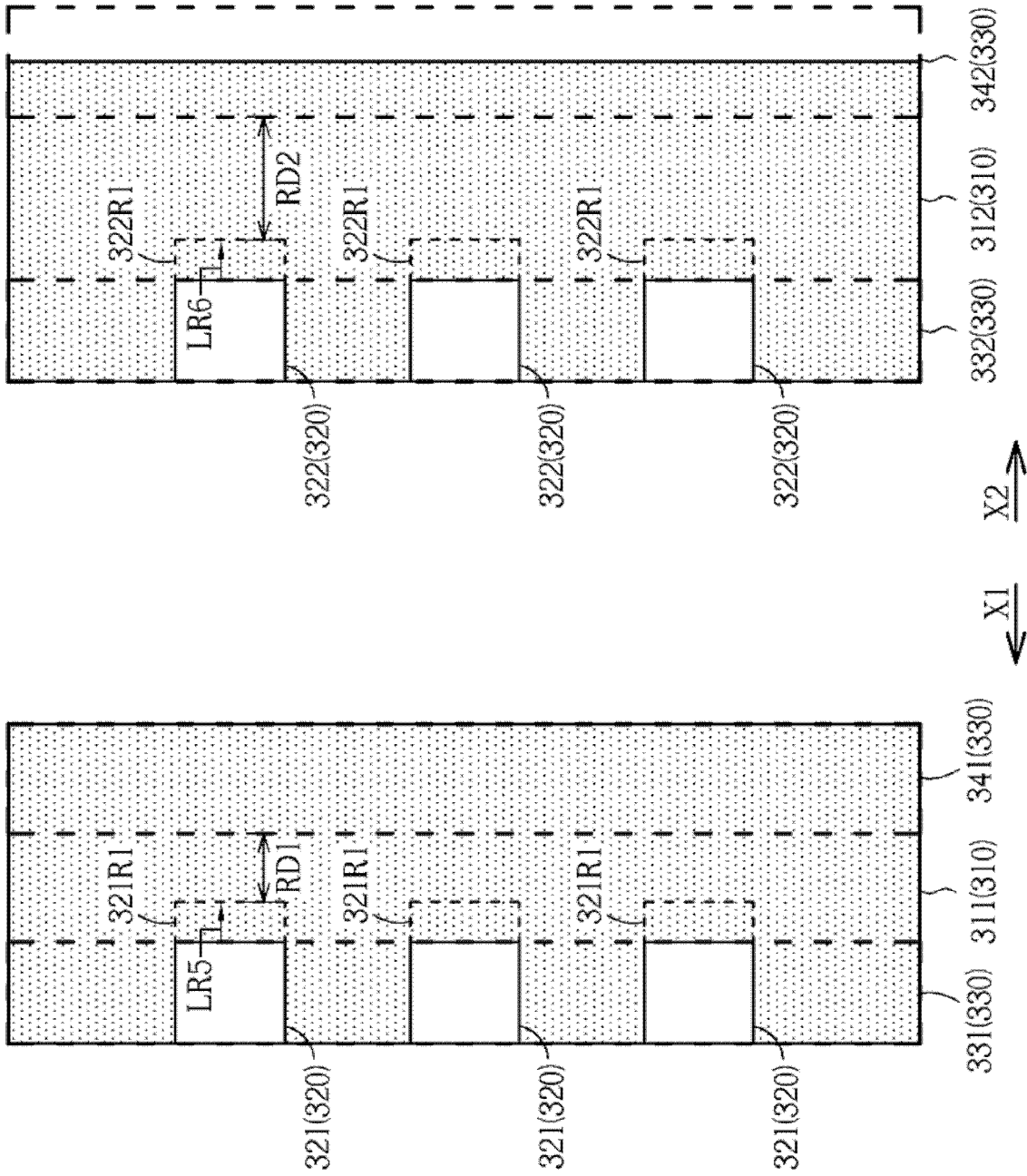


图7

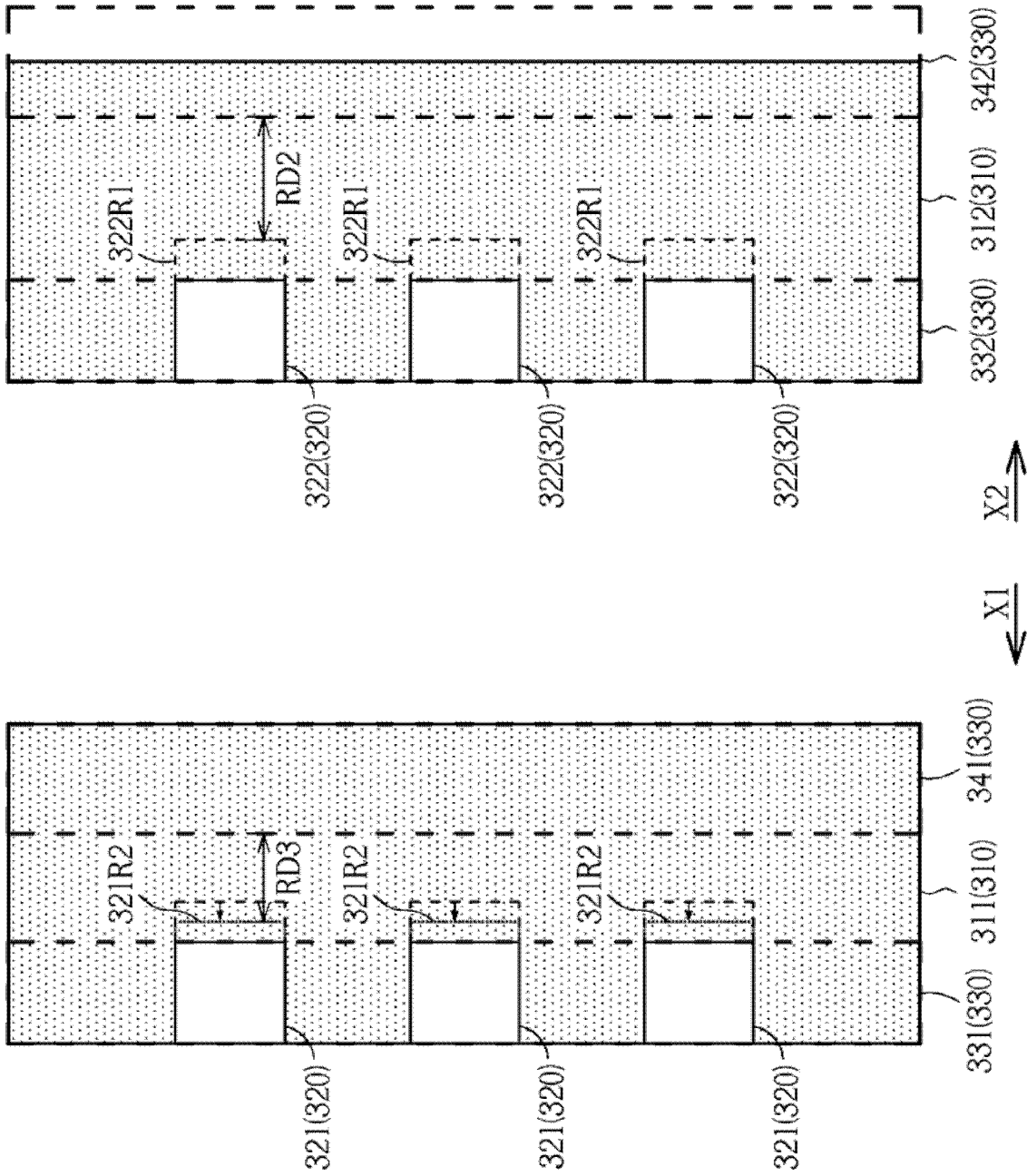


图8

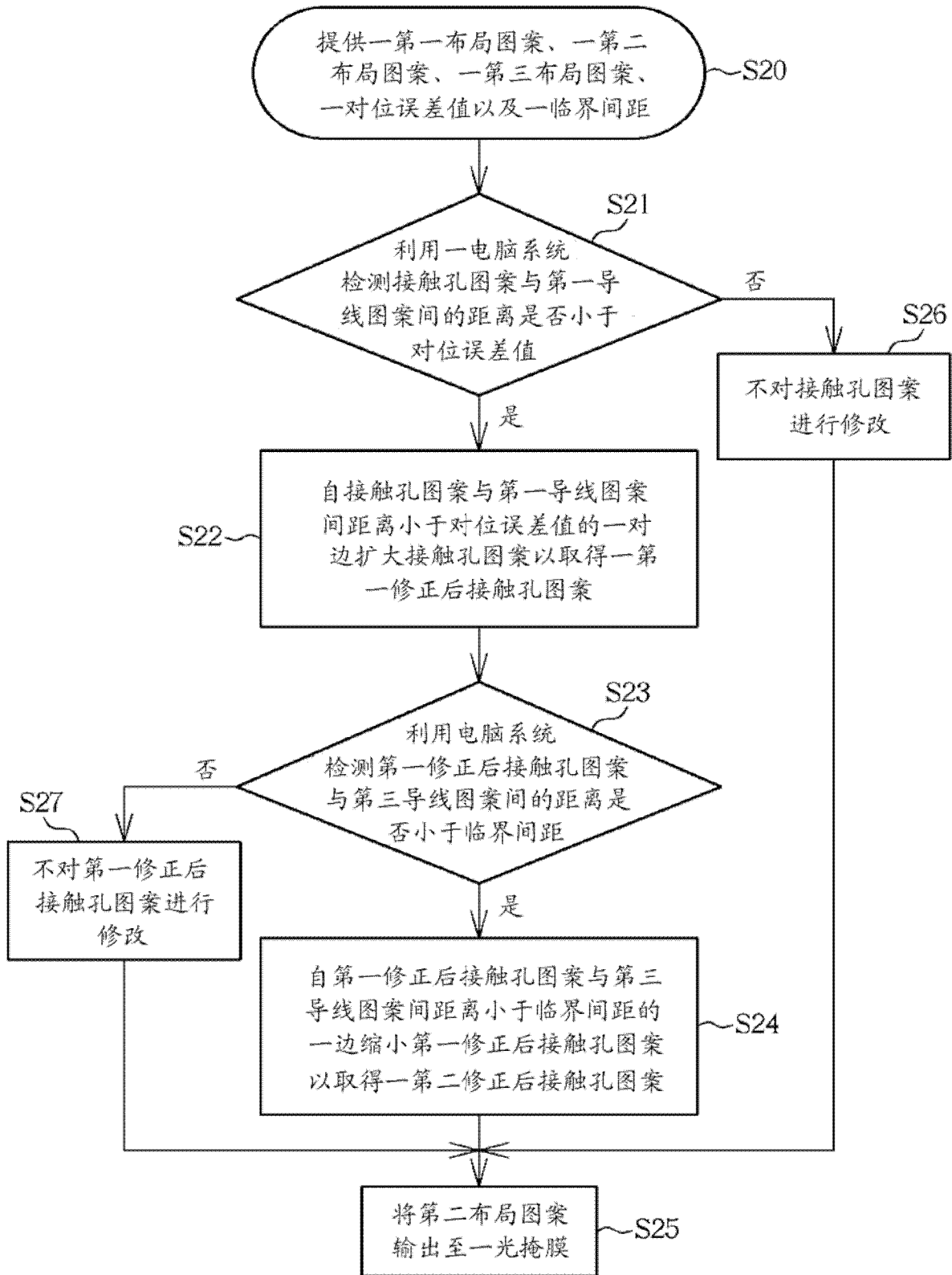


图9

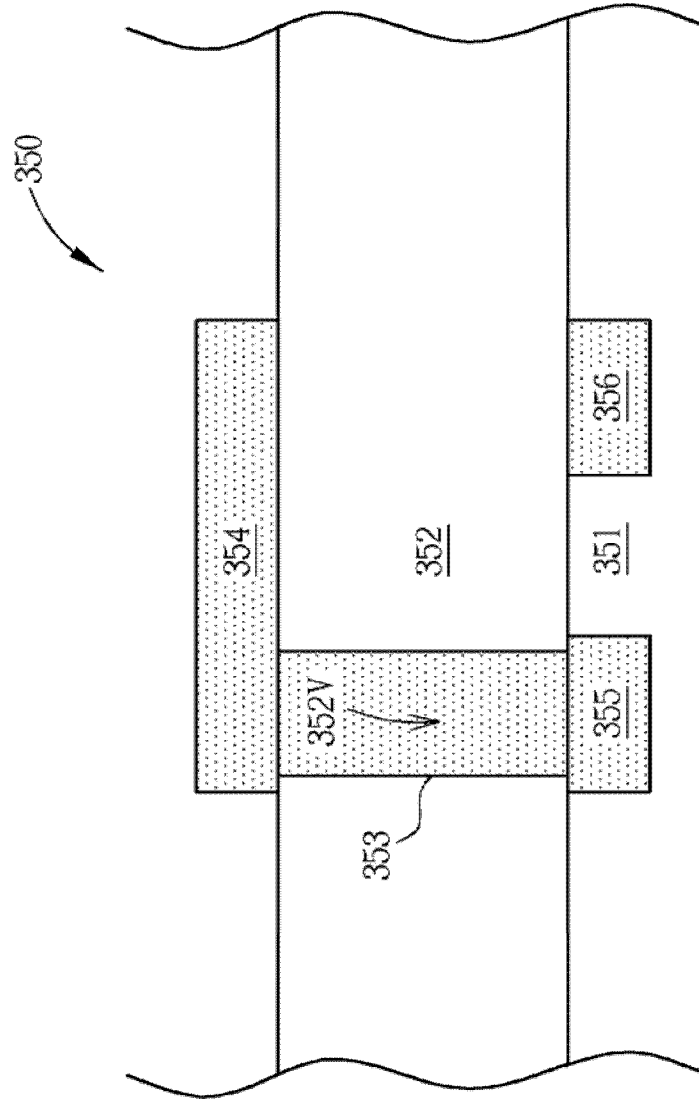


图10