(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 27/10

(11) 공개번호 특1996-0026783
(43) 공개일자 1996년07월22일

(21) 출원번호 특1995-0047654
(22) 출원일자 1995년12월08일
(30) 우선권주장 94-305983 1994년12월09일 일본(JP)
(71) 출원인 가부시끼가이샤 도시바 사또 후미오
일본국 가나가와껭 가와사끼시 사이와이꾸 호리까와쪼 72반지
(72) 발명자 가네꼬 데쯔야
일본국 가나가와껭 가와사끼시 사이와이꾸 고무까이도시바쪼 1 가부시끼가이샤 도시바 리서치 앤드 디벨롭먼트 센터 내
(74) 대리인 장수길, 구영창

심사청구 : 있음

(54) 반도체 집적 회로

요약

본 발명은 칩 사이즈나 소비 전류의 증대를 억제하여 소요의 승압 전압을 얻을 수 있고, 외부 전원 전압이 저전압화된 경우에도 성능의 열화를 방지할 수 있는 반도체 집적회로를 제공하는 것을 목적으로 한다.

트랜지스터 NT1은 외부 전원 전압 Vcc와 출력 노드(11) 사이에 접속되고, 출력 노드(11)의 전압을 승압 전압 øBT로 상승시키는 경우 제1신호 ø1에 의해 먼저 도통되며, 출력 노드(11)을 외부 전원전압 Vcc와 동등한 전압으로 상승시킨다. 트랜지스터 PT1은 승압 회로(12)와 출력 노드(11) 사이에 접속되고, 제1신호 ø1에 의해 소정 시간 지연된 제2신호 ø2에 의해 도통되며, 출력 노드(11)의 전압을 승압 전압 øBT로 상승시킨다. 트랜지스터 NT2는 출력 노드(11)과 접지 사이에 접속되고, 출력 노드(11)을 접지 전위로 하는 경우 제3신호 ø3에 의해 도통된다.

대표도

도1

명세서

[발명의 명칭]

반도체 집적 회로

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예를 도시한 회로도, 제2도는 제1도의 동작을 도시한 타이밍차트.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

외부 전원 전압보다 높은 승압 전압을 발생하는 승압 회로(12)와, 전류 통로의 한쪽 끝이 외부 전원 전압에 접속되고 전류 통로의 다른쪽 끝이 출력 노드(11)에 접속되어 상기 출력 노드의 전압을 승압 전압으로 상승시키는 경우, 제1신호(ø1,ø4)에 의해 상기 전류 통로가 도통 상태로 되고 상기 출력 노드를 외부 전원 전압과 동등한 전압으로 상승시키는 제1스위칭 수단(NT1,PT2)와, 전류 통로의 한쪽 끝이 상기 승압 회로에 접속되고 전류 통로의 다른쪽 끝이 상기 출력 노드에 접속되어 상기 출력 노드의 전압을 승압 전압으로 상승시키는 경우, 상기 제1스위칭 수단이 차단 상태로 된 후, 또는 차단 상태와 동시에 제2신호(ø2)에 의해 상기 전류 통로가 도통 상태로 되고 상기 출력 노드의 전압을 승압 전압으로 상승시키는 제2스위칭 수단(PT1), 및 전류 통로의 한쪽끝이 상기 출력 노드에 접속되고 전류 통로의 다른쪽 끝이 접지되어 상기 출력 노드의 전압을 접지 전위로 하는 경우, 제3신호(ø3) 의해 상기 전류 통로가 도통 상태로 되고 상기 출력 노드의 전압을 접지 전위로 하는 제3스위칭 수단(NT2)를 구비하는 것을 특징으로 하는 반도체 집적 회로.

청구항 2

외부 전원 전압보다 높은 승압 전압을 발생하는 승압 회로(12)와, 전류 통로의 한쪽 끝이 외부 전원 전압에 접속되고 전류 통로의 다른쪽 끝이 출력 노드(11)에 접속되어 제1신호(ø1,ø4)가 공급되는 제1스위칭 수단(NT1,PT2)와, 전류 통로의 한쪽 끝이 상기 승압 회로에 접속되고 전류 통로의 다른쪽 끝이 상기 출력 노드에 접속되어 제2신호(ø2)가 공급되는 제2스위칭 수단(PT1)과, 전류 통로의 한쪽 끝이 상기 출력 노드에 접속되고 전류 통로의 다른쪽 끝이 접지되어 제3신호(ø3)이 공급되는 제3스위칭 수단(NT2), 및 상기 출력 노드의 전압을 승압 전압으로 상승시키는 경우, 상기 제2, 제3스위칭 수단을 차단 상태로 하고 상기 제1스위칭 수단을 도통 상태로 하는 상기 제1, 제2, 제3의 신호를 발생하여 상기 출력 노드를 외부 전원 전압과 동등한 전압으로 상승시키고, 소정 시간 경과 후 상기 제1, 제3스위칭 수단을 차단 상태로 하고 상기 제2스위칭 수단을 도통 상태로 하는 제1, 제2, 제3신호를 발생하여 상기 출력 노드의 전압을 상기 승압 회로의 출력과 동등한 전압으로 상승시키며, 상기 출력 노드의 전압을 접지 전위로 하는 경우 상기 제1, 제2스위칭 수단을 차단 상태로 하고 제3스위칭 수단을 도통 상태로 하는 상기 제1, 제2, 제3신호를 발생하여 상기 출력 노드를 접지 전위로 하강시키는 신호 발생 회로(90)을 구비하는 것을 특징으로 하는 반도체 집적 회로.

청구항 3

외부 전원 전압보다 높은 승압 전압을 발생하는 승압 회로(12)와, 전류 통로의 한쪽 끝이 외부 전원 전압에 접속되고 전류통로의 다른쪽 끝이 접속 노드(14)에 접속되어 제1신호(ø7,ø10)이 공급되는 제1스위칭 수단(NT4,PT6)과, 전류 통로의 한쪽 끝이 상기 승압 회로의 출력단에 접속되고 전류 통로의 다른쪽 끝이 상기 접속 노드에 접속되어 제2신호(ø8)이 공급되는 제2스위칭 수단(PT4)와, 전류 통로의 한쪽 끝이 상기 노드에 접속되고 전류 통로의 다른쪽 끝이 출력 노드(15)에 접속되어 제3신호(ø9)가 공급되는 제3스위칭수단(PT5)와, 전류 통로의 한쪽 끝이 상기 출력 노드에 접속되고 전류 통로의 다른쪽 끝이 접지되어 상기 제3신호가 공급되는 제4스위칭 수단(NT5), 및 상기 출력 노드의 전압을 승압 전압으로 상승시키는 경우, 상기 제2, 제4스위칭 수단을 차단 상태로 하고 제1, 제3스위칭 수단을 도통상태로 하는 상기 제1 내지 제3신호를 발생하여 상기 출력 노드를 외부 전원 전압과 동등한 전압으로 상승시키고, 소정 시간 경과 후에 상기 제1, 제4스위칭 수단을 차단 상태로 하고 상기 제2, 제3스위칭 수단을 도통상태로 하는 상기 제1 내지 제3신호를 발생하여 상기 출력 노드의 전압을 상기 승압 회로의 출력과 동등한 전압으로 상승시키며, 상기 출력 노드의 전압을 접지 전위로 하는 경우, 상기 제3스위칭 수단을 차단 상태로 하고 제4스위칭 수단을 도통 상태로 하는 상기 제1 내지 제3신호를 발생하여 상기 출력 노드를 접지 전위로 하강시키는 신호 발생회로(101)을 구비하는 것을 특징으로 하는 반도체 집적 회로.

청구항 4

제1 및 제2비트선(BL,/BL)과, 상기 제1 및 제2비트선에 접속되고 양 비트선 사이의 전위차를 증폭시키는 센스 앰프 수단(116)과, 상기 제1 및 제2비트선에 각각 접속된 메모리 셀(MC)와, 상기 메모리 셀에 접속되어 메모리 셀을 선택하는 워드선(WL1~WLn)과, 상기 제1 및 제2비트선의 전위를 소정 전위로 충전함과 동시에 양 비트선을 동전위로 설정하는 비트선 전위 설정 수단(115)와, 외부 전원 전압보다 높은 승압 전압을 발생하는 승압 회로(12), 및 상기 승압 회로의 출력 전압 및 외부 전원 전압이 공급되고 출력 노드가 상기 비트선 전위 설정 수단에 접속되며 입력 신호에 따라 상기 출력 노드에 승압 전압을 출력하는 전압 제어 회로(119)를 갖고, 상기 전압 제어 회로는 전류 통로의 한쪽 끝이 외부 전원 전압에 접속되고 전류 통로의 다른쪽 끝이 출력 노드(11)에 접속되어 상기 출력노드의 전압을 승압 전압으로 상승시키는 경우, 제1신호(ø1, ø4)에 의해 전류 통로가 도통 상태로 되고 상기 제1, 제2스위칭 수단을 차단 상태로 하고 제3스위칭 수단을 도통 상태로 하는 상기 출력 노드의 전압을 승압 전압으로 상승시키는 경우, 상기 제1스위칭 수단이 차단 상태로 된 후, 또는 차단 상태와 동시에 제2신호(ø2)에 의해 상기 전류 통로를 도통 상태로 하고 상기 출력 노드의 전압을 승압 전압과 동등한 전압으로 상승시키는 제2스위칭 수단(PT1), 및 전류 통로의 한쪽 끝이 상기 출력 노드에 접속되고 전류 통로의 다른쪽 끝이 접지되어 상기 출력 노드의 전압을 접지 전위로 하는 경우, 제3신호(ø3)에 의해 상기 전류 통로를 도통 상태로 하고 상기 출력 노드의 전압을 접지전위로 하는 제3스위칭 수단(NT2)를 구비하는 것을 특징으로 하는 반도체 집적 회로.

청구항 5

제1 및 제2비트선(BL,/BL)과, 상기 제1 및 제2비트선에 접속되고 양 비트선 사이의 전위차를 증폭시키는 센스 앰프 수단(116)과, 상기 제1 및 제2비트선에 각각 접속된 메모리 셀(MC)와, 상기 메모리 셀에 접속되어 메모리 셀을 선택하는 워드선(WL1~WLn)과, 상기 워드선을 구동하는 워드선 구동 수단(111)과, 외부 전원 전압보다 높은 승압 전압을 발생하는 승압 회로(12), 및 상기 승압 회로의 출력 전압 및 외부 전원 전압이 공급되고 출력 노드가 상기 워드선 구동 수단에 접속되며 입력 신호에 따라 상기 출력 노드에 승압 전압을 출력하는 전압 제어 회로(113)을 갖고 있되, 상기 전압 제어 회로는 전류 통로의 한쪽 끝이 외부 전원 전압에 접속되고 전류 통로의 다른쪽 끝이 출력 노드(11)에 접속되어 상기 출력 노드의 전압을 승압 전압으로 상승시키는 경우, 제1신호(ø1,ø4)에 의해 전류 통로가 도통 상태로 되고, 상기 출력 노드의 전압을 외부 전원 전압과 동등한 전압으로 상승시키는 제1스위칭 수단(NT1,PT2)와, 전류 통로의 한쪽 끝이 상기 승압 회로의 출력단에 접속되고 전류 통로의 다른쪽 끝이 상기 출력 노드에 접속되어 상기 출력 노드의 전압을 승압 전압으로 상승시키는 경우, 제1스위칭 수단이 차단 상태로 된 후, 또는 차단 상태와 동시에 제2신호(ø2)에 의해 상기 전류 통로를 도통 상태로 하고 상기 출력 노드의 전압을 승압 전압과 동등한 전압으로 상승시키는 제2스위칭 수단(PT1)과, 전류 통로의 한쪽 끝이 상기 출력 노드에 접속되고 전류 통로의 다른쪽 끝이 접지되어 상기 출력 노드의 전압을 접지 전위로 하는 경우, 제3신호(ø3)에 의해 상기 전류 통로를 도통 상태로 하고 상기 출력 노드의 전압을 접지 전위로 하는 제3스위칭 수단(NT2)를 구비하는 것을 특징으로 하는 반도체 집적 회로.

청구항 6

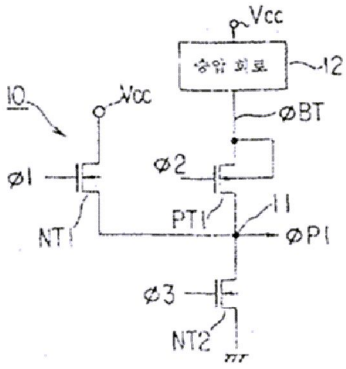
2조의 비트선쌍(BL,/BL)과, 상기 2조의 비트선쌍에 접속되고 각 비트선 사이의 전위차를 증폭시키는 센

스 앰프 수단(116)과, 상기 2조의 비트선쌍에 각각 접속된 메모리 셀(MC)와, 상기 메모리 셀에 접속되어 메모리 셀을 선택하는 워드선(WL1~WLn)과, 상기 2조의 비트선의 전위를 소정 전위로 충전함과 동시에 양 비트선을 동전위로 설정하는 비트선 전위설정 수단(115)와, 상기 2조의 비트선쌍 중 한쪽 조의 비트선쌍과 상기 센스 앰프 수단 사이에 설치되고, 제1제어 신호를 기초로 하여 상기 비트선쌍과 센스 앰프 수단과의 사이를 전기적으로 접속 또는 절단하는 제1스위칭 수단과, 상기 2조의 비트선쌍 중 다른쪽 조의 비트선쌍과 상기 센스 앰프 수단 사이에 설치되고, 제2제어 신호를 기초로 하여 상기 비트선쌍과 센스 앰프 수단 사이를 전기적으로 접속 또는 절단하는 제2스위칭 수단과, 외부 전원 전압보다 높은 승압 전압을 발생하는 승압 회로(12), 및 상기 승압 회로의 출력 전압 및 외부 전원 전압이 공급되고 출력 노드가 상기 제1, 제2스위칭 수단에 접속되며 입력 신호에 따라 상기 출력 노드에 상기 제1, 제2제어 신호로서의 승압 전압을 출력하는 전압 제어 회로(118)을 갖고 있되, 상기 전압 제어 회로는 전류 통로의 한쪽 끝이 외부 전원 전압에 접속되고 전류 통로의 다른쪽 끝이 출력 노드(11)에 접속되어 상기 출력 노드의 전압을 승압 전압으로 상승시키는 경우, 제1신호(ø1,ø4)에 의해 전류 통로가 도통상태가 되고 상기 출력 노드의 전압을 외부 전원 전압과 동등한 전압으로 상승시키는 제3스위칭 수단(NT1,PT2)와, 전류 통로의 한쪽 끝이 상기 승압 회로의 출력단에 접속되고 전류 통로의 다른쪽 끝이 상기 출력 노드에 접속되어 상기 출력 노드의 전압을 승압 전압으로 상승시키는 경우, 상기 제3스위칭 수단이 차단 상태로 된 후, 또는 차단 상태와 동시에 제2신호(ø2)에 의해 상기 전류 통로를 도통 상태로 하고 상기 출력 노드의 전압을 승압 전압과 동등한 전압으로 상승시키는 제4스위칭 수단(PT1), 및 전류 통로의 한쪽 끝이 상기 출력 노드에 접속되고 전류 통로의 다른쪽 끝이 접지되어 상기 출력 노드의 전압을 접지 전위로 하는 경우, 제3신호(ø3)에 의해 상기 전류 통로를 도통 상태로 하고 상기 출력 노드의 전압을 접지 전위로 하는 제5스위칭 수단(NT2)를 구비하는 것을 특징으로 하는 반도체 집적 회로.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1



도면2

