



(12) **Patentschrift**

(21) Deutsches Aktenzeichen: **11 2013 004 119.7**  
(86) PCT-Aktenzeichen: **PCT/US2013/055668**  
(87) PCT-Veröffentlichungs-Nr.: **WO 2014/031570**  
(86) PCT-Anmeldetag: **20.08.2013**  
(87) PCT-Veröffentlichungstag: **27.02.2014**  
(43) Veröffentlichungstag der PCT Anmeldung  
in deutscher Übersetzung: **28.05.2015**  
(45) Veröffentlichungstag  
der Patenterteilung: **19.09.2024**

(51) Int Cl.: **B81B 7/00 (2006.01)**

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:  
**61/691,662**                      **21.08.2012**    **US**

(73) Patentinhaber:  
**Feyh, Ando, Palo Alto, Calif., US; Graham, Andrew B., Redwood City, Calif., US; O'Brien, Gary, Palo Alto, Calif., US; Robert Bosch GmbH, 70469 Stuttgart, DE**

(74) Vertreter:  
**isarpatent - Patent- und Rechtsanwälte Barth Hassa Peckmann und Partner mbB, 80801 München, DE**

(72) Erfinder:  
**Graham, Andrew B., Redwood City, Calif., US; Feyh, Ando, Palo Alto, Calif., US; O'Brien, Gary, Palo Alto, Calif., US**

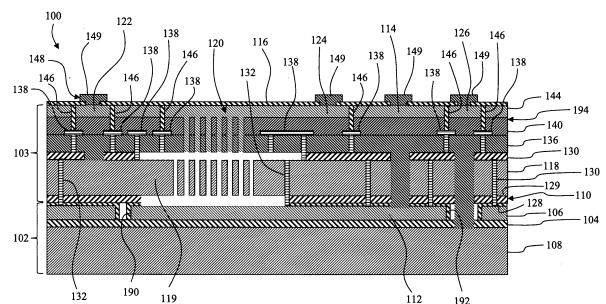
(56) Ermittelte Stand der Technik:

<b>DE</b>	<b>10 2009 021 244</b>	<b>A1</b>
<b>DE</b>	<b>10 2010 062 419</b>	<b>A1</b>
<b>DE</b>	<b>10 2010 062 555</b>	<b>A1</b>
<b>DE</b>	<b>600 35 179</b>	<b>T2</b>

(54) Bezeichnung: **SYSTEM UND VERFAHREN ZUM AUSBILDEN EINER VERGRABENEN UNTEREN ELEKTRODE IN VERBINDUNG MIT EINER VERKAPSELTEN MEMS-VORRICHTUNG**

(57) Hauptanspruch: Ein Verfahren zum Bilden einer MEMS-Vorrichtung (100, 200, 210, 220), aufweisend:  
Definieren einer ersten Elektrode (112, 202, 212, 222) in einem Silizium-auf-Isolator-Wafer (102);  
Bilden einer zweiten Elektrode (119) in einer ersten Schicht (118), wobei die erste Schicht (118) über der Oberfläche des Silizium-auf-Isolator-Wafers (102) angeordnet ist;  
Bilden einer dritten Elektrode (120) in einer zweiten Schicht (194), wobei die zweite Schicht (194) über einer Oberfläche der ersten Schicht (118) angeordnet ist;  
Bilden eines ersten Kontakts (114) über der zweiten Schicht (194) in elektrischer Kommunikation mit der ersten Elektrode (112, 202, 212, 222) durch die zweite Schicht (194) und die erste Schicht (118);  
Bilden eines zweiten Kontakts (122) über der zweiten Schicht (194) in elektrischer Kommunikation mit der zweiten Elektrode (119) durch die zweite Schicht (194); und  
Definieren eines dritten Kontakts (124) über der zweiten Schicht (194) in elektrischer Kommunikation mit der dritten Elektrode (120); gekennzeichnet durch die Schritte:  
Bereitstellen der ersten Schicht (118) auf einem zweiten Silizium-auf-Isolator-Wafer (103);  
Bereitstellen eines ersten Teils (128) einer ersten Oxid-

schicht (110) über der ersten Elektrode (112, 202, 212, 222);  
Bereitstellen eines zweiten Teils (129) der ersten Oxidschicht (110) über der ersten Schicht (118); und  
Verbinden des Silizium-auf-Isolator-Wafers (102) und des zweiten Silizium-auf-Isolator-Wafers (103) an dem entsprechenden ersten und zweiten Teil (128, 129) der ersten Oxidschicht (110), um die erste Elektrode (112, 202, 212, 222) und die zweite Elektrode (119) elektrisch voneinander zu isolieren.



**Beschreibung**

## GEBIET DER ERFINDUNG

**[0001]** Die vorliegende Erfindung bezieht sich auf kapazitive mikroelektromechanische System-(MEMS)-Einrichtungen.

## HINTERGRUND

**[0002]** Für viele kapazitive MEMS-Vorrichtungen ist die Verwendung von Elektroden über und unter der Vorrichtungsstruktur entweder für den grundlegenden Betrieb der Vorrichtung notwendig oder verbessert die Leistung der Vorrichtung wesentlich. Eine oder mehrere Elektroden werden typischerweise durch Ablagern einer leitenden Schicht, das elektrische Isolieren einer leitenden Schicht oder einfach durch das Hinzufügen einer Abstandsschicht zwischen zwei leitenden Materialien gebildet.

**[0003]** Die Elektrodenkonfiguration solcher kapazitiven MEMS-Vorrichtungen erlaubt einen Betrieb in einer geschlossenen Regelschleife, in welchem die Vorrichtung durch elektrostatische Kräfte fest an einem Ort gehalten wird, oder erlaubt das differenzielle Erfassen mit der Vorrichtung in einer offenen Schleife. Viele Verkapselungsarten, welche verwendet werden, um kapazitive MEMS-Vorrichtungen herzustellen, erlauben jedoch entweder nicht das freie Platzieren einer oder beider der oberen und der unteren Elektroden oder erlauben nicht, Außerebenen-Elektroden herzustellen.

**[0004]** Die DE 10 2010 062 419 A1 beschreibt eine MEMS-Vorrichtung mit einer ersten Elektrode in einem Silizium-auf-Isolator-Wafer, einer zweiten Elektrode in einer ersten Schicht, welche über einer Oberfläche des Silizium-auf-Isolator-Wafers angeordnet ist, einer dritten Elektrode in einer zweiten Schicht, welche über der Oberfläche der ersten Schicht angeordnet ist, einem ersten Kontakt über der zweiten Schicht, welcher in elektrischer Verbindung mit der ersten Elektrode durch die zweite Schicht und die erste Schicht steht, einem zweiten Kontakt über der zweiten Schicht, welcher in elektrischer Kommunikation mit der zweiten Elektrode durch die zweite Schicht ist, und mit einem dritten Kontakt über der zweiten Schicht in elektrischer Verbindung mit der dritten Elektrode.

**[0005]** Ähnliche MEMS-Vorrichtungen sind auch durch die DE 10 2010 062 555 A1, die DE 600 35 179 T2 und die DE 10 2009 021 244 A1 offenbart.

## ZUSAMMENFASSUNG

**[0006]** Die vorliegende Erfindung schafft ein Verfahren zum Bilden einer MEMS-Vorrichtung mit den

Merkmale des Anspruchs 1 und eine MEMS-Vorrichtung mit den Merkmalen des Anspruchs 12.

## KURZE BESCHREIBUNG DER FIGUREN

**Fig. 1** zeigt eine seitliche Schnittansicht einer Sensorvorrichtung, welche eine Vielzahl von Elektroden aufweist, welche elektrisch mit einer Oberseite der Sensorvorrichtung über entsprechende Kontakte verbunden sind;

**Fig. 2** zeigt ein Verfahren zum Ausbilden einer Sensorvorrichtung nach **Fig. 1**;

**Fig. 3** zeigt eine seitliche Schnittansicht eines Silizium-auf-Isolator-(SOI)-Wafers, welcher in Übereinstimmung mit dem Verfahren nach **Fig. 2** bereitgestellt wird;

**Fig. 4** zeigt eine seitliche Schnittansicht eines zweiten SOI-Wafers, welcher in Übereinstimmung mit dem Verfahren nach **Fig. 2** bereitgestellt wird;

**Fig. 5** zeigt eine seitliche Schnittansicht des SOI-Wafers und des zweiten SOI-Wafers, welche entlang entsprechender Oxidschichten miteinander verbunden sind mit einer dazwischen vergrabenen Elektrode;

**Fig. 6** zeigt eine seitliche Schnittansicht der Waferkonfiguration der **Fig. 5** mit einer ersten Schicht des zweiten SOI-Wafers, welche Gräben aufweist, welche geätzt und mit dielektrischem Material gefüllt wurden;

**Fig. 7** zeigt eine seitliche Schnittansicht der Waferkonfiguration der **Fig. 6**, welche die erste Schicht nach dem Strukturieren und Abdecken mit einer Oxidschicht zeigt und nachdem die Oxidschicht strukturiert wurde, um Teile der Kontakte auszubilden;

**Fig. 8** zeigt eine seitliche Schnittansicht der Waferkonfiguration der **Fig. 7**, nachdem eine Grabenherstellungsoperation mit einer zusätzlichen Fotomaske die erste Elektrode und eine Substratschicht des SOI-Wafers freilegt;

**Fig. 9** zeigt eine seitliche Schnittansicht der Waferkonfiguration der **Fig. 8** mit einem ersten Epitaxialteil einer zweiten Schicht, welche Gräben aufweist, welche geätzt und mit einem dielektrischen Material gefüllt wurden;

**Fig. 10** zeigt eine seitliche Schnittansicht der Waferkonfiguration der **Fig. 9**, wobei der erste Epitaxialteil und der zweite Epitaxialteil der zweiten Schicht Gräben aufweisen, welche geätzt wurden, um die vergrabenen Oxidschichten freizulegen;

**Fig. 11** zeigt eine seitliche Schnittansicht einer weiteren Ausführungsform der Sensorvorrichtung der **Fig. 1**, wobei die erste Elektrode ferner

durch eine hochdotierte ionenimplantierte Region in der Siliziumschicht definiert wird;

**Fig. 12** zeigt eine seitliche Schnittansicht einer Sensorvorrichtung, welche eine erste Elektrode aufweist, welche durch eine hochdotierte ionenimplantierte Region in einer Siliziumschicht des Siliziumwafers ausgebildet wird; und

**Fig. 13** zeigt eine seitliche Schnittansicht einer Sensorvorrichtung, welche eine erste Elektrode aufweist, welche definiert wird durch das Stapeln einer ersten hochdotierten ionenimplantierten Region und einer zweiten hochdotierten ionenimplantierten Region in einer Siliziumschicht eines Siliziumwafers.

## BESCHREIBUNG

**[0007]** Zum Zweck des Förderns eines Verständnisses der Prinzipien der Offenbarung wird nun Bezug genommen auf die Ausführungsformen, welche in den Figuren und der Beschreibung in der folgenden schriftlichen Spezifikation dargestellt werden. Es versteht sich, dass dadurch keine Beschränkung des Geltungsbereichs der Offenbarung angedacht ist. Es versteht sich ferner, dass die Offenbarung jede Veränderung und Modifikation der dargestellten Ausführungsformen einschließt und ferner Anwendungen der Prinzipien der Offenbarung einschließt, welche einem Fachmann auf dem Gebiet, zu welchem diese Offenbarung gehört, normalerweise einfallen würden.

**[0008]** In vielen dieser Ausführungsformen kann ein MEMS-Sensor verwendet werden, um physikalische Bedingungen, wie z.B. eine Beschleunigung, einen Druck oder eine Temperatur, zu erfassen und um ein elektrisches Signal bereitzustellen, welches die erfasste physikalische Bedingung repräsentiert. Die Ausführungsformen können in einer Vielzahl von Anwendungen implementiert oder mit diesen verbunden sein, wie z.B. Automotive, Hausautomatisierung, Laptops, Handheld- oder tragbare Computer, Mobiltelefone, Smartphones, drahtlose Geräte, Tablets, PDAs, MP3-Player, Kameras, GPS-Empfänger und Navigationssysteme, elektronische Leseanzeigevorrichtungen, Projektoren, Cockpit-Steuerungen, Spielkonsolen, Ohrhörer, Kopfhörer, Hörgeräte, tragbare Anzeigevorrichtungen, Sicherheitssysteme und dergleichen.

**[0009]** **Fig. 1** zeigt eine Sensorvorrichtung 100, welche einen ersten Siliziumteil 102 und einen zweiten Siliziumteil 103 aufweist, welcher benachbart zu dem ersten Siliziumteil 102 ist. Eine erste vergrabene Oxidschicht 104 ist in dem ersten Siliziumteil 102 angeordnet, um den ersten Siliziumteil 102 in eine Siliziumschicht 106 und eine Substratschicht 108 zu teilen. Eine erste Oxidschicht 110 ist zwischen der Siliziumschicht 106 und dem zweiten Siliziumteil

103 angeordnet, um die erste Elektrode 112 zu definieren.

**[0010]** Das Positionieren der ersten vergrabenen Oxidschicht 104 und der ersten Oxidschicht 110 isoliert elektrisch die erste Elektrode 112 von dem ersten Siliziumteil 102 und ermöglicht eine elektrische Isolation der ersten Elektrode 112 von Teilen des zweiten Siliziumteils 103. Eine vertikale elektrische Verbindung oder ein erster Kontakt 114 wird verwendet, um einen elektrisch isolierten Zugang zu der ersten Elektrode 112 ausgehend von der Oberseite 116 des Sensors 100 bereitzustellen.

**[0011]** Der zweite Siliziumteil 103 weist eine erste Schicht 118 mit einer zweiten Elektrode 119 auf, welche in dieser angeordnet ist, und weist eine zweite Schicht 194 mit einer dritten Elektrode 120 auf, welche in dieser angeordnet ist. In dem gezeigten Ausführungsbeispiel weist die erste Schicht 118 eine funktionale Vorrichtung auf, welche einen deformierbaren Teil aufweist, welcher ausgebildet ist, sich relativ zu den Elektroden zu bewegen in Antwort auf eine angewendete Kraft. Ein zweiter Kontakt 122, ein dritter Kontakt 124 und ein vierter Kontakt 126 sind in dem zweiten Siliziumteil 103 angeordnet, um einen elektrisch isolierten Zugang zu der zweiten Elektrode 119, der dritten Elektrode 120 und der Substratschicht 108 bereitzustellen, ausgehend von der Oberseite 116 des Sensors 100.

**[0012]** Ein Verfahren 150 zum Bilden einer Substratkonfiguration, welche in einem Sensor verwendet wird, wie z.B. dem Sensor der Sensorvorrichtung 100, wird in Bezug auf **Fig. 2** besprochen. Zuerst wird ein erster Siliziumteil 102 zur weiteren Verarbeitung bereitgestellt (Block 152). In einer Ausführungsform ist der erste Siliziumteil 102 ein Wafer, welcher verarbeitet wird, um eine Siliziumschicht 106 und eine Substratschicht 108 zu bilden, welche elektrisch voneinander isoliert sind. In dieser Ausführungsform ist eine erste vergrabene Oxidschicht 104 auf der Oberfläche des ersten Siliziumteils 102 gebildet (Block 154). Die erste vergrabene Oxidschicht 104 kann eine oberste Schicht von Siliziumoxid sein, welche durch eine Technik der thermischen Oxidation zum Wachsen gebracht wird, in welcher der erste Siliziumteil 102 Sauerstoff und/oder Dampf ausgesetzt wird.

**[0013]** Eine Schicht aus Silizium wird auf der ersten vergrabenen Oxidschicht 104 des ersten Siliziumteils 102 abgelagert, um eine Siliziumschicht 106 zu bilden, welche strukturiert wird, um eine erste Elektrode 112 zu definieren (Block 156). Die Siliziumschicht 106 wird durch eine chemische Dampfablagerung (CVD) oder insbesondere durch ein niederdruckchemisches Dampfablagern (LPCVD), abgelagert, sie kann auch über ein Epitaxialschicht-Wachstum oder unter Verwendung eines Siliziumwaferbonds mit

einem Schleifprozess abgelagert werden. In einer Ausführungsform wird die Siliziumschicht 106 mit einer Dicke von ungefähr 0,1 bis 3 µm abgelagert. Das Strukturieren der Siliziumschicht 106 bildet einen ersten Elektrodengraben 190 und einen zweiten Elektrodengraben 192 aus, welche die erste Elektrode 112 begrenzen. Die Siliziumschicht 106 kann durch jeden Prozess strukturiert werden, welcher die Übertragung einer Struktur in das Material ermöglicht.

**[0014]** Ein erster Teil 128 einer ersten Oxidschicht 110 wird auf der abgelagerten und strukturierten Siliziumschicht 106 abgelagert, um eine geeignete elektrische Isolation der ersten Elektrode 112 in Übereinstimmung mit den Prinzipien der Offenbarung bereitzustellen (Block 158). Der erste Teil 128 der ersten Oxidschicht 110 kann durch eine thermische Oxidation oder ein Ablagern durch bekannte Prozesse gebildet werden. Optional kann der erste Teil 128 der ersten Oxidschicht 110 durch einen Polierprozess geglättet werden, z.B. durch ein chemisch-mechanisches Polieren/Planieren (CMP).

**[0015]** In einer Ausführungsform ist der erste Siliziumteil 102 ein Silizium-auf-Isolator-(SOI)-Wafer, welcher mit einer Siliziumschicht 106 und einer Substratschicht 108 bereitgestellt wird, welche bereits durch eine vergrabene Oxidschicht voneinander getrennt sind. In dieser Ausführungsform wird die Siliziumschicht 106 strukturiert und der erste Teil 128 der ersten Oxidschicht 110 wird auf der Siliziumschicht 106 ausgebildet, um eine geeignete elektrische Isolation der ersten Elektrode 112 bereitzustellen.

**[0016]** Zusätzlich wird ein zweiter Siliziumteil 103 für die weitere Verarbeitung bereitgestellt (Block 160). Der zweite Siliziumteil 103 kann als ein blanker Wafer oder als ein SOI-Wafer bereitgestellt werden. In mindestens einer Ausführungsform hat der zweite Siliziumteil 103 eine erste Schicht 118 mit einer Dicke von ungefähr 10 bis 40 µm. Der zweite Siliziumteil 103 wird durch das Bilden eines zweiten Teils 129 der ersten Oxidschicht 110 auf der ersten Schicht 118 und das Strukturieren des zweiten Teils 129 der ersten Oxidschicht 110 bearbeitet (Block 162). Ähnlich der vergrabenen Oxidschicht 104 und dem ersten Teil 128 der ersten Oxidschicht 110 kann der zweite Teil 129 der ersten Oxidschicht 110 eine Siliziumdioxidschicht sein, welche durch eine thermische Oxidation gebildet wird.

**[0017]** Ein Multisiliziumstapel wird durch das Waferkoppeln der ersten und der zweiten Siliziumteile 102, 103 an den ersten Teil 128 und den zweiten Teil 129 der ersten Oxidschicht 110 (Block 164) gekoppelt. Vor dem Koppeln der Wafer werden der erste und der zweite Siliziumteil 102, 103 relativ zueinander derart angeordnet, dass zumindest ein Teil der Struk-

turierung des ersten Siliziumteils 102 mit der Strukturierung des zweiten Siliziumteils 103 übereinstimmt, wenn der erste und der zweite Teil 128, 129 der ersten Oxidschicht 110 nebeneinander liegen. Diese Positionierung erlaubt das Ausbilden eines ersten Kontakts 114 und eines vierten Kontakts 126, welche die erste Elektrode 112 und die Substratschicht 108 kontaktieren mit einer Oberseite 116 des Sensors 100. Das Koppeln der Wafer des ersten und zweiten Siliziumteils 102, 103 kann durch jede Waferkoppeltechnologie erfolgen. Die Oberfläche des zweiten Siliziumteils 103, welche dem gekoppelten Teil entgegenliegt, kann von hinten geschliffen werden, um eine gewünschte Dicke der ersten Schicht 118 oder der Sensorvorrichtung 100 zu erzeugen.

**[0018]** In mindestens einer Ausführungsform kann ausgehend von dem verarbeiteten ersten Siliziumteil 102 bei Block 158 eine Polysiliziumschicht auf dem ersten Siliziumteil 102 aufgezüchtet werden, um die gleiche Substratkonfiguration zu erreichen, welche in Block 164 erzeugt wurde. Diese Ausführungsform erlaubt jedoch nicht eine oberste Schicht des finalen Substrats aus einem einfachen Kristallsilizium.

**[0019]** Erste Gräben 132 werden in die erste Schicht 118 und den ersten und zweiten Teil 128, 129 der ersten Oxidschicht 110 geätzt. Die ersten Gräben 132 werden dann mit einem dielektrischen Material, wie z.B. Siliziumnitrid, gefüllt, um eine elektrische Isolierung zwischen ausgewählten Teilen der ersten Schicht 118 (Block 166) zu erzeugen und um einen seitlichen Ätzstopp während des Oxidfreigabeätzens bereitzustellen. Die Gräben können geätzt und gefüllt werden durch jeden beliebigen Prozess. In einigen Ausführungsformen werden die Gräben geätzt und wieder gefüllt unter Verwendung der in der US-Patentanmeldung Nr. 13/232,005 und der US-Patentanmeldung 13/767,594 allgemein beschriebenen Verfahren, deren Inhalte hierin durch Bezugnahme eingeschlossen werden.

**[0020]** Bei Block 168 wird die erste Schicht 118 strukturiert, eine zweite Oxidschicht 130 wird auf der strukturierten ersten Schicht 118 ausgebildet und die zweite Oxidschicht 130 wird strukturiert (Block 168). Die Strukturierung der ersten Schicht 118 und das Ausbilden der zweiten Oxidschicht 130 sind in einer Ausführungsform positionsgleich (conformal). In einer anderen Ausführungsform sind die Strukturierung der ersten Schicht 118 und das Bilden der zweiten Oxidschicht 130 nicht positionsgleich (nonconformal). Die Strukturierung der zweiten Oxidschicht 130 wird verwendet beim Bilden des ersten Kontakts 114, des vierten Kontakts 126 und eines zweiten Kontakts 122, welcher die erste Elektrode 112, die Substratschicht 108 und die erste Schicht 118 mit der Oberseite 116 des Sensors 100 verbindet. Nachdem die zweite Oxidschicht 130 strukturiert ist (Block 168), werden ausgewählte Teile der ersten

Schicht 118 mit einer zusätzlichen Fotomaske geätzt, um zweite Gräben 134 (**Fig. 8**) zu bilden, welche sich in die erste Elektrode 112 und die Substratschicht 108 erstrecken (Block 170).

**[0021]** Ein erster Epitaxialteil 136 der zweiten Schicht 194 wird gebildet, welcher die freigelegte erste Schicht 118 und die zweite Oxidschicht 130 abdeckt und die zweiten Gräben 134 füllt, welche bei Block 170 geformt wurden (Block 172). In einer Ausführungsform wird der Epitaxialteil 136 durch Verwendung des CMP-Prozesses poliert. Auch werden bei Block 172 dritte Gräben 138 in den ersten Epitaxialteil 136 geätzt und in einigen Ausführungsformen in die zweite Oxidschicht 130. Die dritten Gräben 138 werden im Folgenden mit einem dielektrischen Material, wie z.B. Siliziumnitrid, gefüllt, welches dann strukturiert wird.

**[0022]** Ein zweiter Epitaxialteil 140 der zweiten Schicht 194 wird über dem ersten Epitaxialteil 136 und dem strukturierten dielektrischen Material, welches neben dem ersten Epitaxialteil 136 liegt, gebildet (Block 174). Der zweite Epitaxialteil 140 wird geglättet durch einen Polierprozess, wie z.B. CMP. Lüftungsöffnungen 142 werden in den ersten und den zweiten Epitaxialteil 136, 140 geätzt, um die zweite Oxidschicht 130 freizulegen (Block 176). Ausgewählte Teile der ersten und zweiten Oxidschichten 110, 130 werden dann frei geätzt in Block 176 unter Verwendung eines Dampfphasen-Hydrofluoridsäureprozesses (HF).

**[0023]** Ein dritter Epitaxialteil 144 der zweiten Schicht 194 wird über dem zweiten Epitaxialteil 140 gebildet, um die resultierende Substratkonfiguration abzudichten (Block 178). Der dritte Epitaxialteil 144 wird unter Verwendung eines Polierprozesses, wie z.B. CMP, geglättet. Vierte Kanäle 146 werden in den zweiten und dritten Epitaxialteil 140, 144 geätzt und kreuzen ausgewählte dritte Kanäle 138, welche vorher mit einem dielektrischen Material gefüllt wurden (Block 180). Die vierten Kanäle 146 werden mit dielektrischem Material gefüllt, wie z.B. Siliziumnitrid, und dann strukturiert. Eine Metallschicht 148 wird über dem strukturierten dielektrischen Material, welches neben dem dritten Epitaxialteil 144 liegt, und den freigelegten Teilen des dritten Epitaxialteils 144 abgesondert (Block 182). Die Metallschicht 148 wird dann strukturiert, um elektrisch isolierte Metallkontakte 149 zu bilden, welche operativ mit dem zweiten Kontakt 122, dem dritten Kontakt 124, dem ersten Kontakt 114 und dem vierten Kontakt 126 gekoppelt sind.

**[0024]** Wie in **Fig. 1** gezeigt, ist die dritte Elektrode 120 elektrisch von anderen leitenden Elementen, welche in dem Sensor 100 enthalten sind, elektrisch isoliert, und der dritte Kontakt 124 stellt einen Zugang zu der dritten Elektrode 120 von der Oberseite 116

des Sensors 100 aus bereit. Ferner sind die Substratschicht 108, die erste Elektrode und die erste Schicht 118 elektrisch von der dritten Elektrode 120 und voneinander isoliert und können von der Oberseite 116 des Sensors über den vierten Kontakt 126, den ersten Kontakt 140 und den zweiten Kontakt kontaktiert werden.

**[0025]** Das Verfahren 150 wird weiter illustriert durch Bezugnahme auf **Fig. 1** und **Fig. 3** bis 10. Anfänglich bezugnehmend auf **Fig. 3** wird ein erster Siliziumteil 102 bereitgestellt und entsprechend den Blöcken 152 bis 158 verarbeitet, um eine erste Elektrode 112 zu definieren. Bezugnehmend auf **Fig. 4** wird ein zweiter Siliziumteil 103 bereitgestellt und entsprechend der Blöcke 160 bis 162 verarbeitet.

**[0026]** **Fig. 5** zeigt den ersten und den zweiten Siliziumteil 102, 103, nachdem die Wafer verbunden wurden, um die erste Elektrode 112 zu verkapseln (Block 164). **Fig. 6** zeigt den Multisiliziumstapel, nachdem erste Kanäle 132 in die erste Schicht 118 geätzt wurden und mit einem dielektrischen Material wiederbefüllt wurden (Block 166). **Fig. 7** zeigt den Multisiliziumstapel, nachdem die erste Schicht 118 strukturiert wurde, eine zweite Oxidschicht 130 auf der strukturierten ersten Schicht 118 ausgebildet wurde und die zweite Oxidschicht 130 strukturiert wurde (Block 168).

**[0027]** **Fig. 8** zeigt den Multisiliziumstapel, nachdem ausgewählte Teile der ersten Schicht 118 mit einer zusätzlichen Fotomaske geätzt wurden, um zweite Kanäle 134 zu bilden. Die zweiten Kanäle 134 werden mit einer ausreichenden Tiefe ausgebildet, um sich bis zu der ersten Elektrode 112 zu erstrecken und bis zu der Substratschicht 108 zu erstrecken (Block 170). **Fig. 9** zeigt den ersten Epitaxialteil 136 der zweiten Schicht 194 des Siliziums, welches auf der freigelegten ersten Schicht 118 und der zweiten Oxidschicht 130 gebildet wurde und welches die zweiten Kanäle 134 füllt (Block 172). Dritte Kanäle 138 werden in den ersten Epitaxialteil 136 geätzt und dann mit einem dielektrischen Material gefüllt, welches im Folgenden strukturiert wird.

**[0028]** **Fig. 10** zeigt den zweiten Epitaxialteil 140 der zweiten Schicht 194, welche über dem ersten Epitaxialteil 136 und dem strukturierten dielektrischen Material, welches neben dem ersten Epitaxialteil 136 liegt, gebildet wurde (Block 174). **Fig. 10** zeigt auch die Lüftungsöffnungen 142, welche in den ersten und den zweiten Epitaxialteil 136, 140 geätzt werden, um die zweite Oxidschicht 130 freizulegen (Block 176). Wie in **Fig. 10** gezeigt, werden die Lüftungsöffnungen 142 verwendet, um ausgewählte Teile der ersten und zweiten Oxidschichten 110, 130 freizuätzen.

**[0029]** Fig. 1 zeigt den dritten Epitaxialteil 144 der zweiten Schicht 194, welcher über dem zweiten Epitaxialteil 140 gebildet wurde, um die resultierende Substratkonfiguration zu versiegeln. Fig. 1 zeigt auch die vierten Kanäle 146, welche in die zweiten und dritten Epitaxialteile 140, 144 geätzt werden, nachdem die vierten Kanäle 146 mit dem dielektrischen Material gefüllt wurden und strukturiert wurden.

**[0030]** Der Prozess 150 resultiert in der Sensorvorrichtung 100, wie sie in Fig. 1 dargestellt ist. Die Sensorvorrichtung 100 hat eine Vielzahl von elektrisch isolierten vertikalen Verbindungen oder Kontakten, welche einen Oberflächenzugriff auf die elektrischen Elemente bieten, welche in der Konfiguration vergraben sind, wie die erste Elektrode 112, die Substratschicht 108 und die erste Schicht 118. Wie in Fig. 1 gezeigt, ist die dritte Elektrode 120 elektrisch von anderen leitenden Elementen, welche in dem Sensor 100 vorhanden sind, isoliert und der dritte Kontakt 124 stellt einen Zugang zu der dritten Elektrode 120 von der Oberfläche 116 des Sensors 100 bereit. Ferner sind die Substratschicht 108, die erste Elektrode und die erste Schicht 118 elektrisch von der dritten Elektrode 120 und voneinander isoliert und sind von der Oberseite 116 des Sensors über den vierten Kontakt 126, den ersten Kontakt 114 und den zweiten Kontakt kontaktierbar.

**[0031]** Fig. 11 bis 13 illustrieren andere Ausführungsformen einer ersten Elektrode, welche in einem Sensor verkapselt ist, in Übereinstimmung mit den Prinzipien der Offenbarung. Fig. 11 zeigt einen Sensor 200, welcher eine erste Elektrode 202 aufweist, welche nach dem Implementieren eines Dotierungsprozesses definiert wird. Die Substratkonfiguration dieser Ausführungsform ist ähnlich der Substratkonfiguration des Sensors 100 der Fig. 1, außer dass der Dotierungsprozess verwendet wird, um die erste Elektrode 202 während des Verarbeitens des ersten Siliziumteils 102 zu bilden. In dieser Ausführungsform wird nur ein einzelnes Dotieren benötigt, um die erste Elektrode 202 zu definieren, da die Substratschicht 108 des ersten Siliziumteils 102 elektrisch von der ersten Elektrode 202 über die erste vergrabene Oxidschicht 104 isoliert ist.

**[0032]** Fig. 12 zeigt einen Sensor 210, welcher eine erste Elektrode 212 aufweist, welche nach dem Anwenden unterschiedlicher Dotierungsprozesse auf dem ersten Siliziumteil 102 und die erste Elektrode 212 ausgebildet wurde. In dieser Ausführungsform wird keine vergrabene Oxidschicht in dem ersten Siliziumteil 102 bereitgestellt. Folglich stellen die unterschiedlichen Dotierungsprozesse der ersten Elektrode 212 und des ersten Siliziumteils 102 eine elektrische Isolation zwischen der ersten Elektrode 212 und dem ersten Siliziumteil 102 bereit. In zumindest einer Ausführungsform ist der Siliziumteil 102 P

+dotiert, auch wenn andere Dotierungen verwendet werden können, wenn gewünscht. Die erste Elektrode 212 ist eine N+-Region des ersten Siliziumteils 102.

**[0033]** Fig. 3 zeigt einen Sensor 220, welcher eine erste Elektrode 222 aufweist, welche durch das Implementieren eines gestapelten Dotierungsprozesses gebildet wurde. Die Substratkonfiguration dieser Ausführungsform ist ähnlich der Substratkonfiguration der Fig. 12, außer dass der erste Siliziumteil 102 ein P-Typ-dotierter Teil ist, eine erste Region 224 des ersten Siliziumteils 102 eine N-dotierte Region ist und eine zweite Region des ersten Siliziumteils 102, welche die erste Elektrode 222 definiert, eine P-dotierte Region ist. Das gestapelte Dotieren dieser Substratkonfiguration stellt eine elektrische Isolation zwischen der ersten Elektrode 222 und dem ersten Siliziumteil 102 bereit.

**[0034]** Während die Offenbarung im Detail mit den Figuren und der vorangehenden Beschreibung dargestellt und beschrieben wurde, sollte sie lediglich als illustrativ und nicht als beschränkend in ihrem Charakter verstanden werden. Es versteht sich, dass nur die bevorzugten Ausführungsformen gezeigt wurden, und dass alle Änderungen, Modifikationen und weitere Anwendungen, welche einem Fachmann auf dem technischen Gebiet der Offenbarung einfallen würden, umfasst sind.

## Patentansprüche

1. Ein Verfahren zum Bilden einer MEMS-Vorrichtung (100, 200, 210, 220), aufweisend:
  - Definieren einer ersten Elektrode (112, 202, 212, 222) in einem Silizium-auf-Isolator-Wafer (102);
  - Bilden einer zweiten Elektrode (119) in einer ersten Schicht (118), wobei die erste Schicht (118) über der Oberfläche des Silizium-auf-Isolator-Wafers (102) angeordnet ist;
  - Bilden einer dritten Elektrode (120) in einer zweiten Schicht (194), wobei die zweite Schicht (194) über einer Oberfläche der ersten Schicht (118) angeordnet ist;
  - Bilden eines ersten Kontakts (114) über der zweiten Schicht (194) in elektrischer Kommunikation mit der ersten Elektrode (112, 202, 212, 222) durch die zweite Schicht (194) und die erste Schicht (118);
  - Bilden eines zweiten Kontakts (122) über der zweiten Schicht (194) in elektrischer Kommunikation mit der zweiten Elektrode (119) durch die zweite Schicht (194); und
  - Definieren eines dritten Kontakts (124) über der zweiten Schicht (194) in elektrischer Kommunikation mit der dritten Elektrode (120); **gekennzeichnet durch** die Schritte:
    - Bereitstellen der ersten Schicht (118) auf einem zweiten Silizium-auf-Isolator-Wafer (103);
    - Bereitstellen eines ersten Teils (128) einer ersten

Oxidschicht (110) über der ersten Elektrode (112, 202, 212, 222);

Bereitstellen eines zweiten Teils (129) der ersten Oxidschicht (110) über der ersten Schicht (118); und Verbinden des Silizium-auf-Isolator-Wafers (102) und des zweiten Silizium-auf-Isolator-Wafers (103) an dem entsprechenden ersten und zweiten Teil (128, 129) der ersten Oxidschicht (110), um die erste Elektrode (112, 202, 212, 222) und die zweite Elektrode (119) elektrisch voneinander zu isolieren.

2. Das Verfahren nach Anspruch 1, wobei die erste Elektrode (112, 202, 212, 222) in einer Siliziumschicht (106) des Silizium-auf-Isolator-Wafers (102) definiert ist und das Verfahren ferner aufweist: Dotieren einer ersten Region der Siliziumschicht (106) mit einem ersten Dotierungstyp, um eine erste dotierte Region auszubilden, wobei die erste dotierte Region die erste Elektrode (112, 202, 212, 222) definiert.

3. Das Verfahren nach Anspruch 1, wobei das Verfahren ferner aufweist:

Dotieren einer ersten Region des Siliziumwafers mit einem Dotierungstyp, um eine erste dotierte Region zu bilden; und

Dotieren einer zweiten Region der Siliziumschicht (106) mit einem zweiten Dotierungstyp, um eine zweite dotierte Region zu bilden, wobei die erste dotierte Region eine N+-dotierte Region ist, die zweite dotierte Region eine P+-dotierte Region ist und die erste dotierte Region und die zweite dotierte Region die erste Elektrode (112, 202, 212, 222) definieren.

4. Das Verfahren nach Anspruch 1, wobei das Verfahren ferner aufweist:

Dotieren einer ersten Region der Siliziumschicht mit einem ersten Dotierungstyp, um eine erste dotierte Region zu bilden;

Dotieren einer zweiten Region der Siliziumschicht (106) mit einem zweiten Dotierungstyp, um eine zweite dotierte Region zu bilden; und

Dotieren einer dritten Region der Siliziumschicht (106) mit einem dritten Dotierungstyp, um eine dritte dotierte Region zu bilden, wobei die dritte Dotierungsregion zwischen der ersten dotierten Region und der zweiten dotierten Region angeordnet ist, die erste dotierte Region eine P+-dotierte Region ist, die zweite dotierte Region eine P-dotierte Region ist und die dritte dotierte Region eine N-dotierte Region, und wobei die erste dotierte Region und die dritte dotierte Region die erste Elektrode (112, 202, 212, 222) definieren.

5. Das Verfahren nach Anspruch 1, wobei der Silizium-auf-Isolator-Wafer (102) eine vergrabene Oxidschicht (104) aufweist, und das Verfahren ferner aufweist:

Bilden einer funktionalen Vorrichtung innerhalb der

ersten Schicht (118);

Bereitstellen einer zweiten Oxidschicht (130) auf einer Oberfläche der ersten Schicht (118);

Strukturieren eines ersten Teils der ersten Oxidschicht (110) und der zweiten Oxidschicht (130), um einen ersten Teil des ersten Kontakts (114) zu bilden;

Strukturieren eines zweiten Teils der ersten Oxidschicht (110) und der zweiten Oxidschicht (130) und eines Teils der vergrabenen Oxidschicht (104), um einen ersten Teil eines vierten Kontakts (126) zu bilden, wobei der vierte Kontakt (126) in elektrischer Verbindung mit einer Substratschicht (108) ist, welche unter der vergrabenen Oxidschicht (104) liegt;

Ätzen erster Kanäle in der ersten Schicht (118) und der ersten Oxidschicht (110); und Füllen der geätzten ersten Kanäle mit einem dielektrischen Material, um den ersten Teil des ersten Kontakts (114) und den ersten Teil des vierten Kontakts (126) in der ersten Schicht (118) elektrisch voneinander zu isolieren.

6. Das Verfahren nach Anspruch 5, ferner aufweisend:

Ätzen zweiter Kanäle in der ersten Schicht (118) innerhalb des ersten Teils des ersten Kontakts (114) und innerhalb des ersten Teils des vierten Kontakts (126);

Bilden eines ersten Epitaxialteils (136) der zweiten Schicht (194) auf der zweiten Oxidschicht (130) und in den zweiten Kanälen;

Ätzen dritter Kanäle (138) durch den ersten Epitaxialteil (136) der zweiten Schicht (194), um einen zweiten Teil des ersten Kontakts (114), einen zweiten Teil des vierten Kontakts (126) und einen ersten Teil des zweiten Kontakts (122) zu bilden; und

Füllen der geätzten dritten Kanäle (138) mit dem dielektrischen Material, um den zweiten Teil des ersten Kontakts (114), den zweiten Teil des vierten Kontakts (126) und den ersten Teil des zweiten Kontakts (122) in der zweiten Schicht (194) elektrisch voneinander zu isolieren.

7. Das Verfahren nach Anspruch 6, ferner aufweisend:

Bilden eines zweiten Epitaxialteils (140) auf der zweiten Schicht (194) auf dem ersten Epitaxialteil (136);

Freigeben der funktionalen Vorrichtung durch Lüftungsöffnungen (142), welche in dem zweiten Epitaxialteil (140) und dem ersten Epitaxialteil (136) ausgebildet werden; und

Ausbilden eines dritten Epitaxialteils (144) auf der zweiten Schicht (194) auf dem zweiten Epitaxialteil (140).

8. Das Verfahren nach Anspruch 7, ferner aufweisend:

Ätzen vierter Kanäle (146) in dem dritten Epitaxialteil (144) und dem zweiten Epitaxialteil (140) und Stop-

pen an ausgewählten der geätzten und gefüllten dritten Kanäle (138), wobei die vierten geätzten Kanäle (146) einen dritten Teil des ersten Kontakts (114), einen dritten Teil des vierten Kontakts (126) und einen zweiten Teil des zweiten Kontakts (122) und einen ersten Teil des dritten Kontakts (124) bilden; und

Füllen der geätzten vierten Kanäle (146) mit dem dielektrischen Material, um den dritten Teil des ersten Kontakts (114), den dritten Teil des vierten Kontakts (126) und den zweiten Teil des zweiten Kontakts (122) und den ersten Teil des dritten Kontakts (124) in der zweiten Schicht (194) elektrisch voneinander zu isolieren.

9. Das Verfahren nach Anspruch 8, ferner aufweisend:

Bilden einer passiven Schicht auf dem dritten Epitaxialteil (144) der zweiten Schicht (194);

Strukturieren von Teilen der passiven Schicht, um Teile des dritten Epitaxialteils (144) freizulegen, welche dem dritten Teil des ersten Kontakts (114), dem dritten Teil des vierten Kontakts (126), dem zweiten Teil des zweiten Kontakts (122) und dem ersten Teil des dritten Kontakts (124) entsprechen;

Bilden einer Metallschicht (148) auf der strukturierten passiven Schicht; und

Strukturieren der Metallschicht (148), um den ersten Kontakt (114), den zweiten Kontakt (122), den dritten Kontakt (124) und den vierten Kontakt (126) über der zweiten Schicht (194) elektrisch voneinander zu isolieren.

10. Das Verfahren nach Anspruch 7, wobei der erste Epitaxialteil (136), der zweite Epitaxialteil (140) und der dritte Epitaxialteil (144) in einem Epitaxialablagerungsprozess abgelagert werden.

11. Das Verfahren nach Anspruch 5, wobei das dielektrische Material zumindest Siliziumdioxid, Siliziumnitrid oder ALD-Aluminium aufweist.

12. Eine MEMS-Vorrichtung (100, 200, 210, 220), aufweisend:

eine erste Elektrode (112, 202, 212, 222) in einem Silizium-auf-Isolator-Wafer (102);

eine zweite Elektrode (119) in einer ersten Schicht (118), welche über einer Oberfläche des Silizium-auf-Isolator-Wafers (102) angeordnet ist, wobei die erste Schicht (118) auf einem zweiten Silizium-auf-Isolator-Wafer (103) angeordnet ist;

eine dritte Elektrode (120) in einer zweiten Schicht (194), welche über der Oberfläche der ersten Schicht (118) angeordnet ist;

ein erster Kontakt (114) über der zweiten Schicht (194), welcher in elektrischer Verbindung mit der ersten Elektrode (112, 202, 212, 222) durch die zweite Schicht (194) und die erste Schicht (118) steht;

ein zweiter Kontakt (122) über der zweiten Schicht

(194), welcher in elektrischer Kommunikation mit der zweiten Elektrode (119) durch die zweite Schicht (194) ist; und

ein dritter Kontakt (124) über der zweiten Schicht (194) in elektrischer Verbindung mit der dritten Elektrode (120);

**gekennzeichnet durch**

eine erste Oxidschicht (110) zwischen der ersten Elektrode (112, 202, 212, 222) und der ersten Schicht (118) umfassend einen über der ersten Elektrode (112, 202, 212, 222) angeordneten ersten Teil (128) der ersten Oxidschicht (110), welcher mit einem über der ersten Schicht (118) angeordneten zweiten Teil (129) der ersten Oxidschicht (110) verbunden ist, um die erste Elektrode (112, 202, 212, 222) und die zweite Elektrode (119) elektrisch voneinander zu isolieren.

13. Die Vorrichtung (100, 200, 210, 220) nach Anspruch 12, wobei die erste Elektrode (112, 202, 212, 222) in einer ersten dotierten Region des Silizium-auf-Isolator-Wafers (102) definiert ist, wobei die erste dotierte Region einen ersten Dotierungstyp aufweist.

Es folgen 7 Seiten Zeichnungen



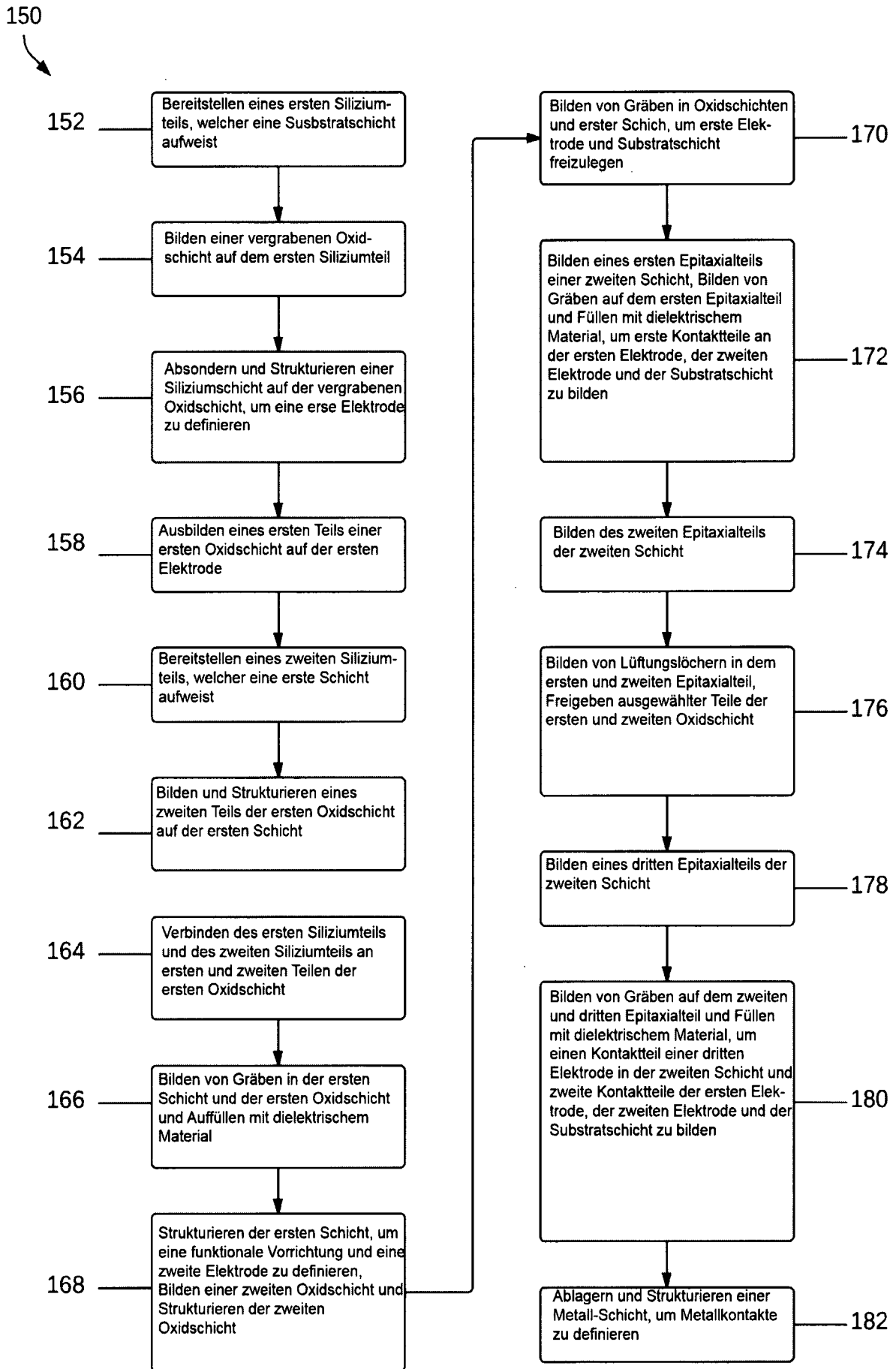


FIG. 2

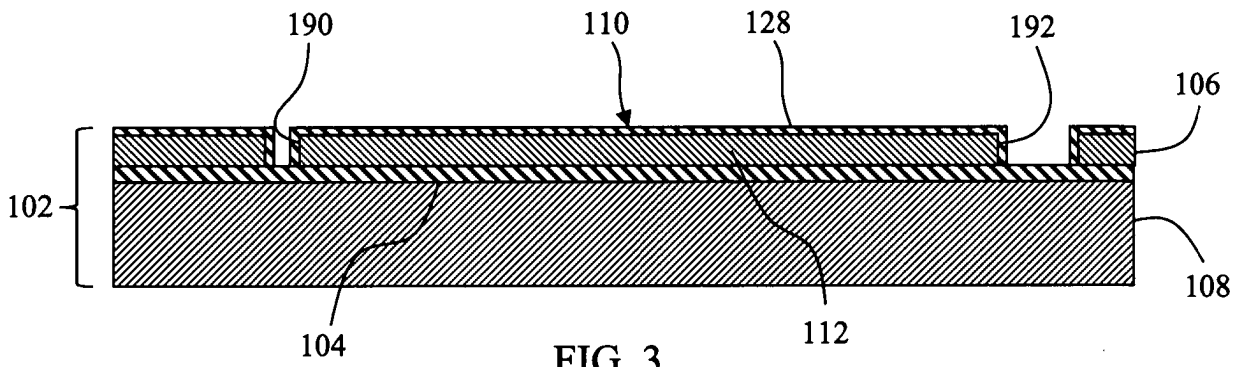


FIG. 3

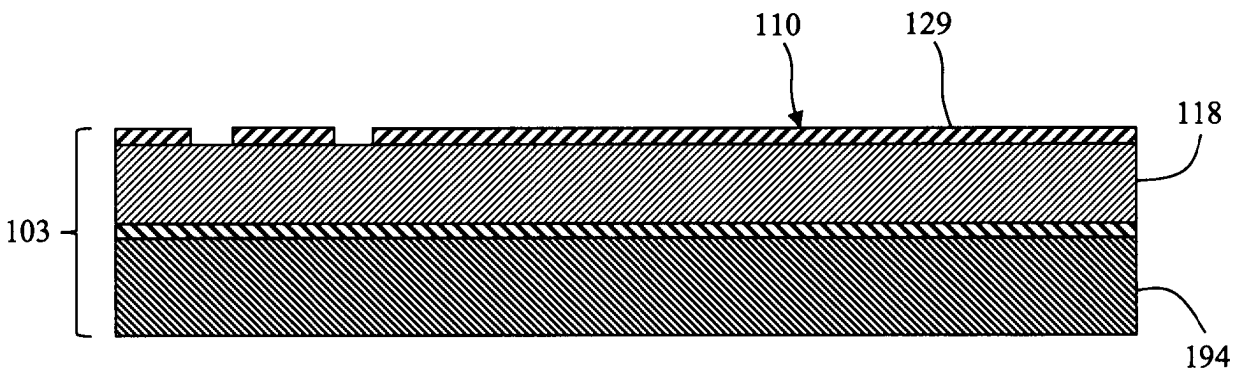


FIG. 4

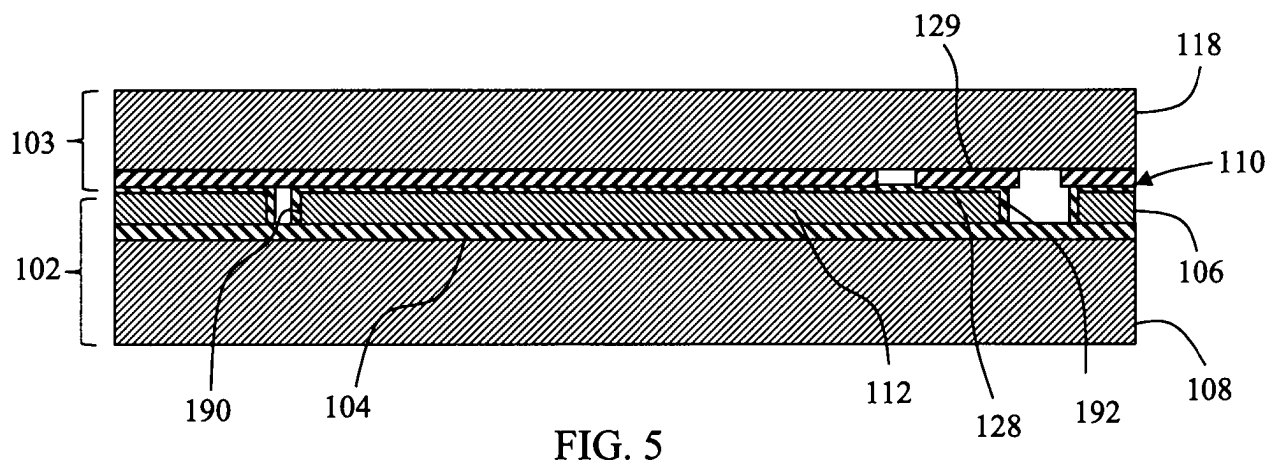


FIG. 5

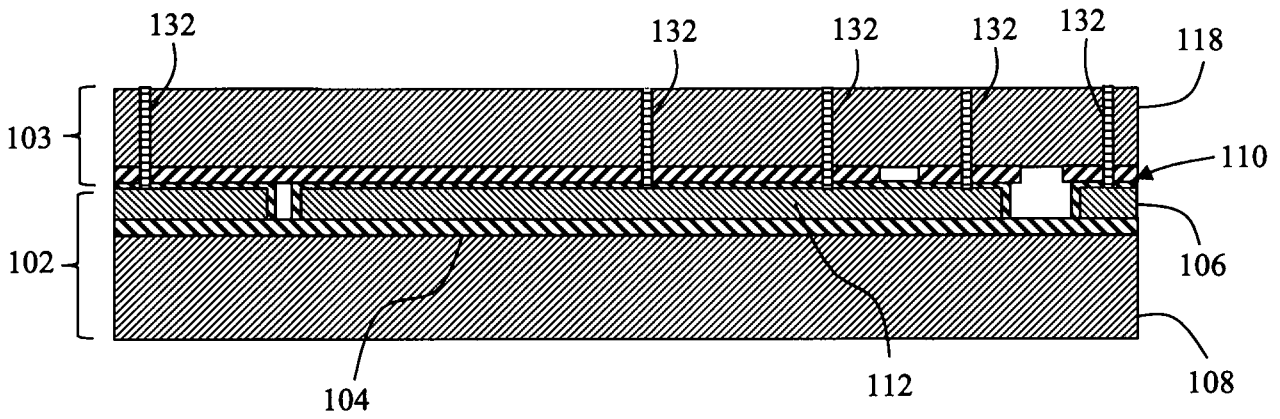


FIG. 6

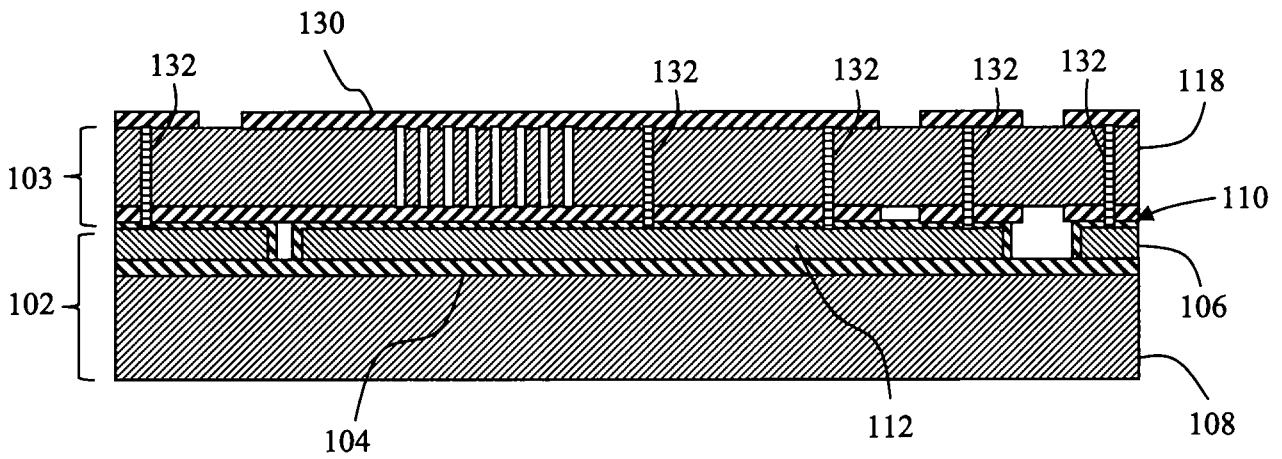


FIG. 7

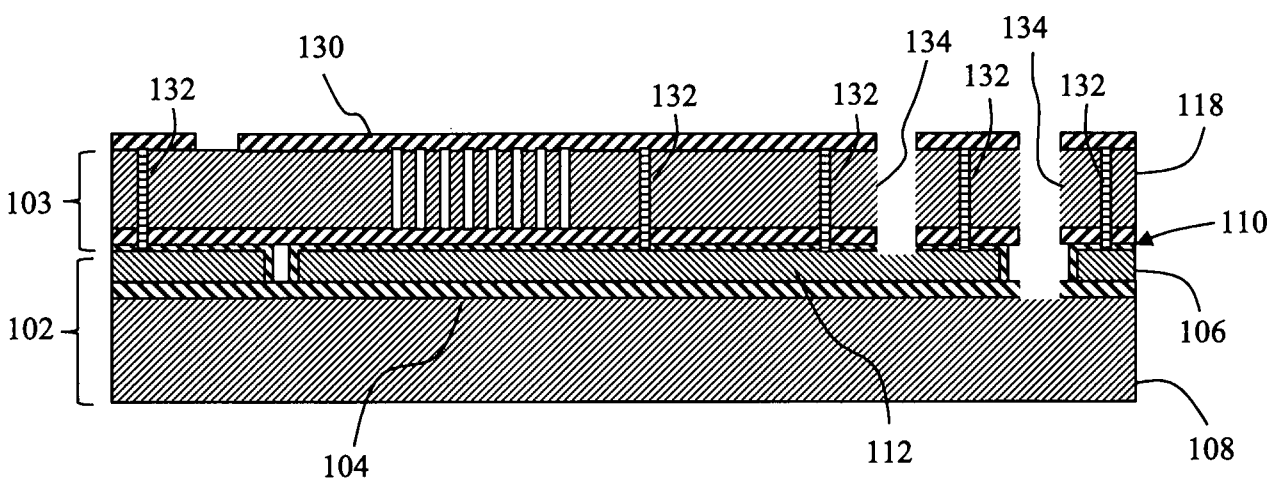


FIG. 8

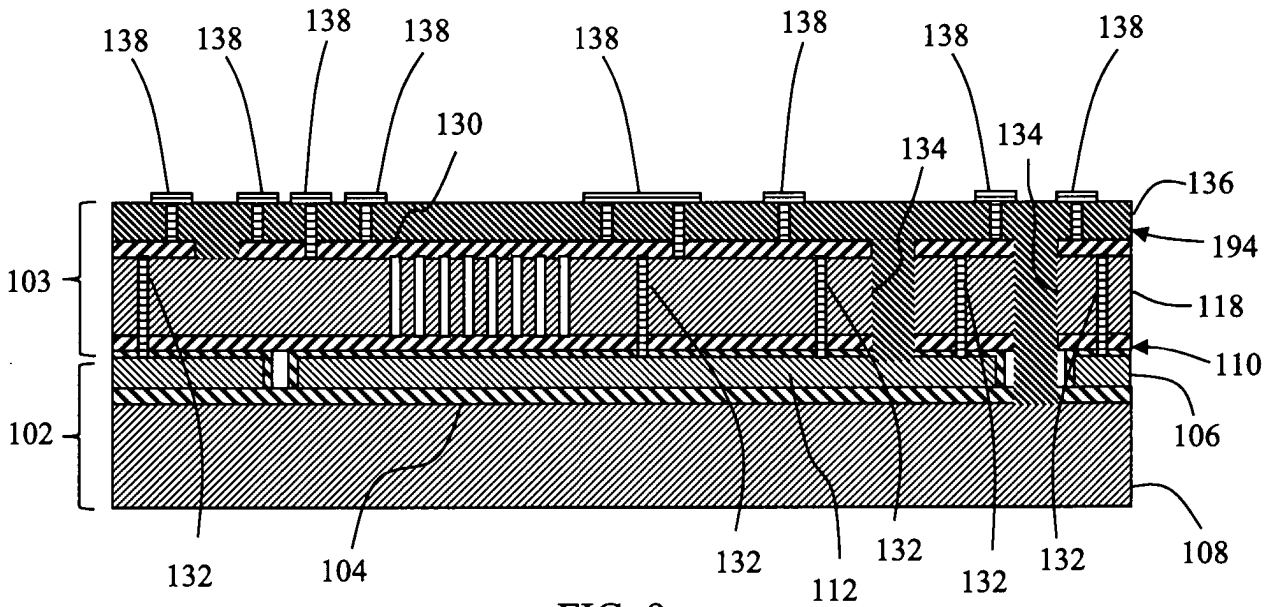


FIG. 9

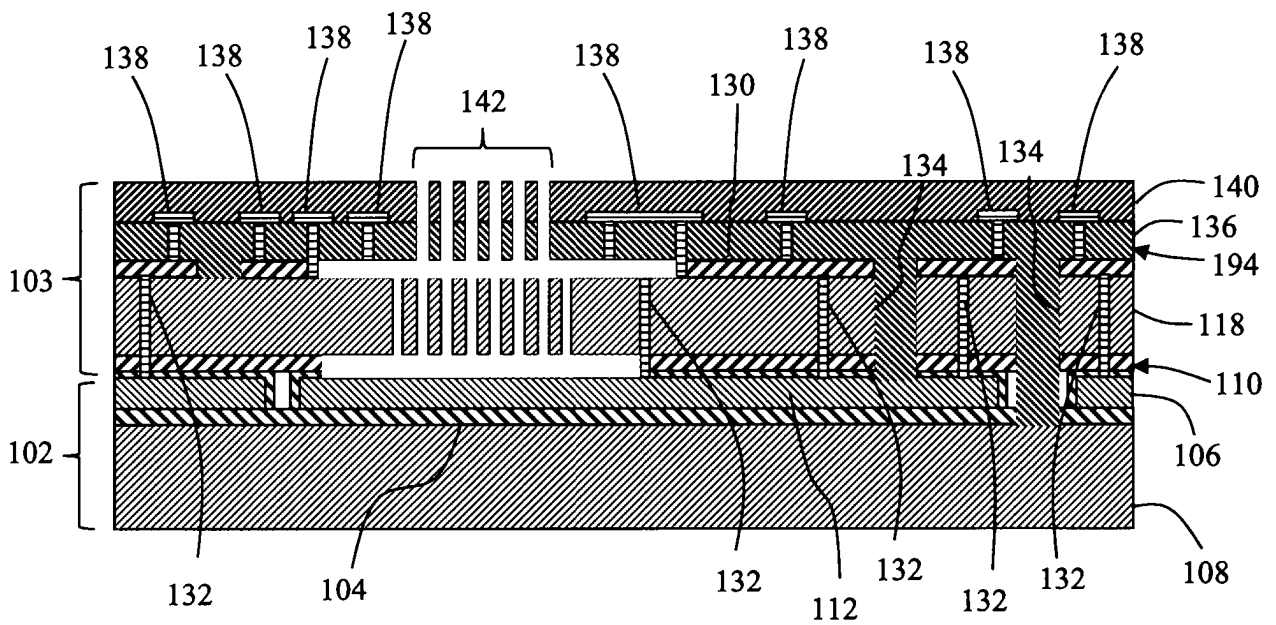
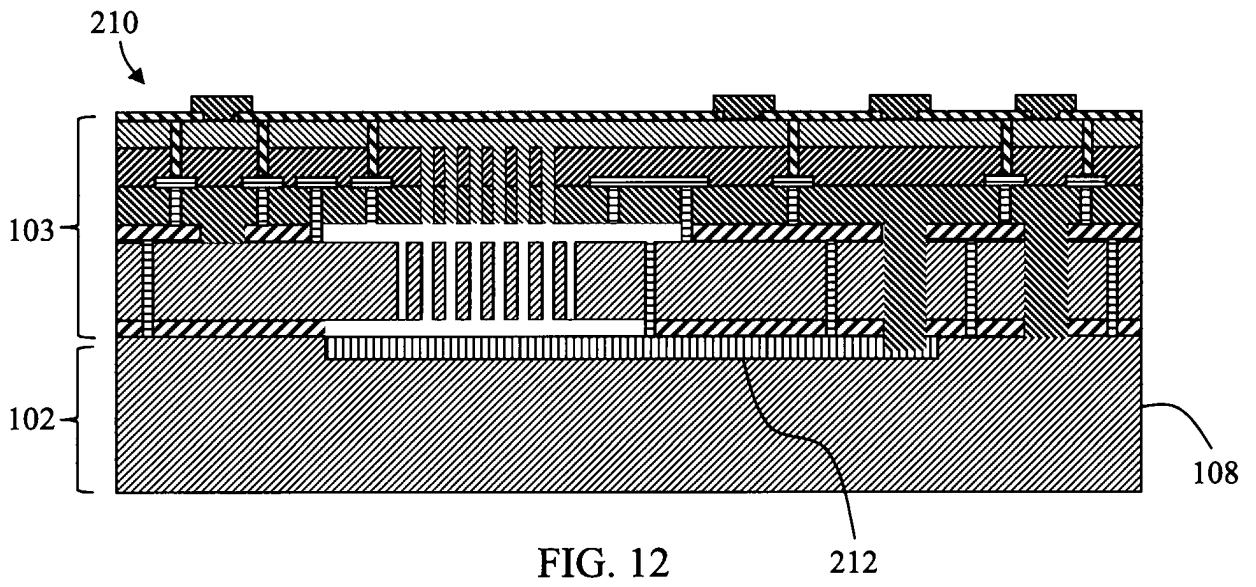
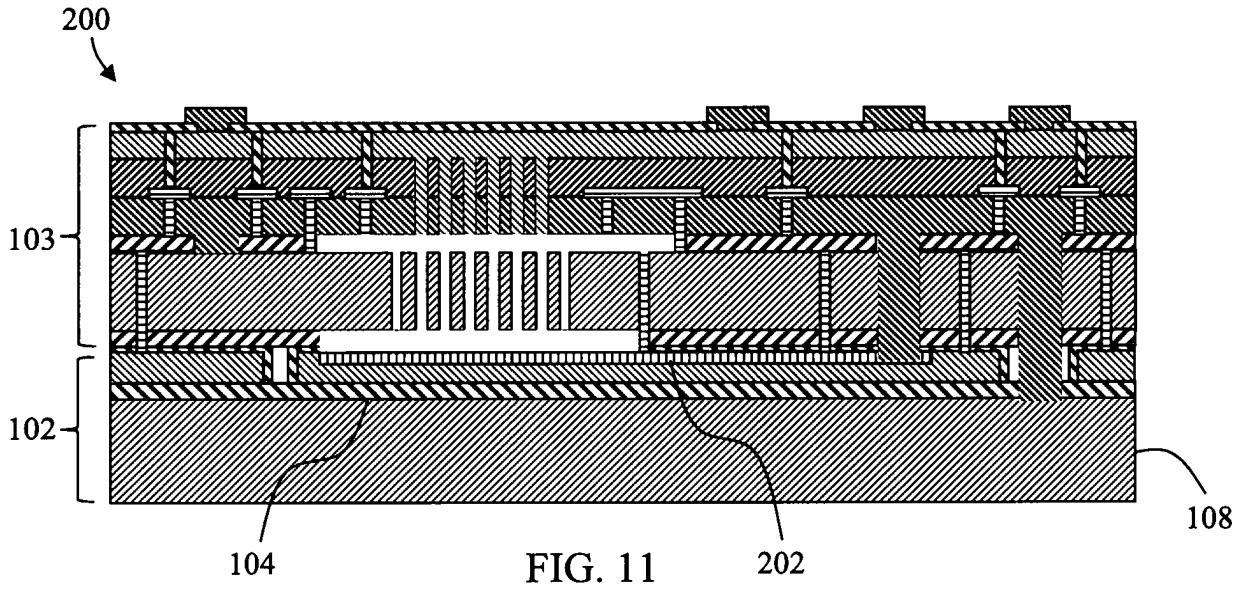


FIG. 10



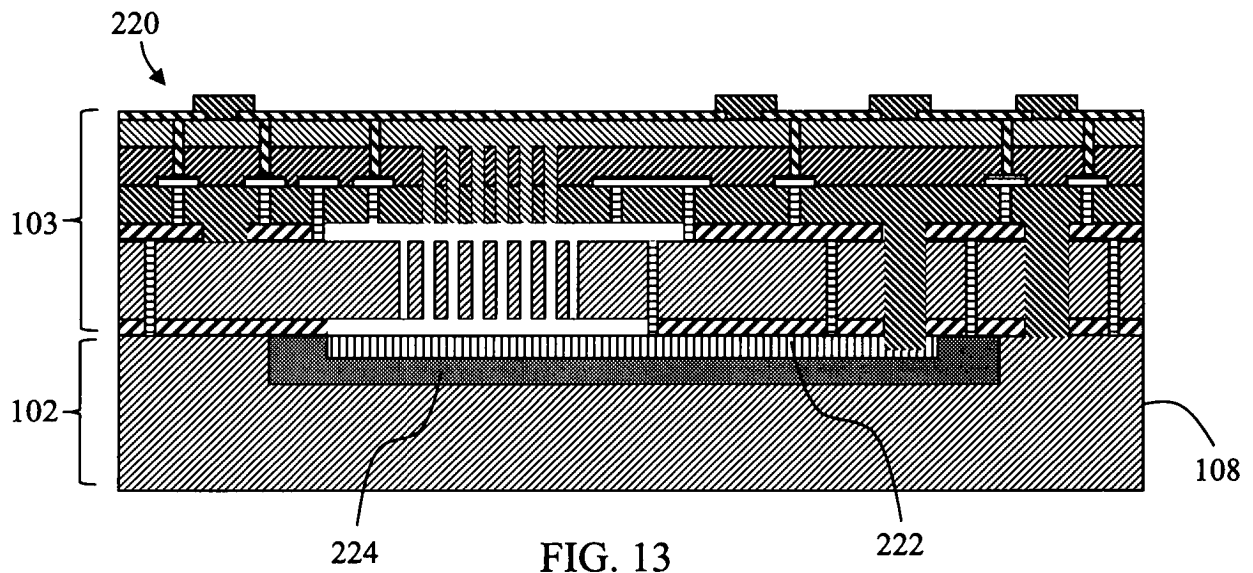


FIG. 13