

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6087548号
(P6087548)

(45) 発行日 平成29年3月1日 (2017.3.1)

(24) 登録日 平成29年2月10日 (2017.2.10)

(51) Int. Cl.

F I

HO 1 L 29/786 (2006.01)
 HO 1 L 21/336 (2006.01)
 HO 1 L 21/8242 (2006.01)
 HO 1 L 27/108 (2006.01)
 HO 1 L 27/105 (2006.01)

HO 1 L 29/78 6 1 6 S
 HO 1 L 29/78 6 1 8 B
 HO 1 L 29/78 6 1 2 C
 HO 1 L 29/78 6 1 8 Z
 HO 1 L 29/78 6 1 6 M

請求項の数 2 (全 39 頁) 最終頁に続く

(21) 出願番号 特願2012-199504 (P2012-199504)
 (22) 出願日 平成24年9月11日 (2012.9.11)
 (65) 公開番号 特開2013-77815 (P2013-77815A)
 (43) 公開日 平成25年4月25日 (2013.4.25)
 審査請求日 平成27年8月20日 (2015.8.20)
 (31) 優先権主張番号 特願2011-202940 (P2011-202940)
 (32) 優先日 平成23年9月16日 (2011.9.16)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 磯部 敦生
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 佐々木 俊成
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

審査官 市川 武宜

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 の絶縁層と、
 前記第 1 の絶縁層と同一上面を有する第 1 の電極層と、
 前記第 1 の絶縁層上および前記第 1 の電極層上の酸化物半導体層と、
 前記酸化物半導体層上のゲート絶縁層と、
 前記ゲート絶縁層上のゲート電極層と、
 前記ゲート電極層上の第 2 の絶縁層と、
 前記第 2 の絶縁層上の第 1 及び第 2 の配線層と、を有し、
 前記酸化物半導体層は、第 1 の低抵抗領域と、第 2 の低抵抗領域と、前記第 1 の低抵抗
 領域と前記第 2 の低抵抗領域とに挟まれたチャネル形成領域とを有し、
 前記第 1 の低抵抗領域は、前記第 1 の電極層と接する領域を有し、
 前記チャネル形成領域は、前記第 1 の電極層とは接せず、
 前記ゲート絶縁層及び前記第 2 の絶縁層は、第 1 の開口及び第 2 の開口を有し、
 前記第 1 の配線層は、前記第 1 の開口を介して前記第 1 の電極層と接し、
 前記第 2 の配線層は、前記第 2 の開口を介して前記第 1 の低抵抗領域と接する半導体装
 置。

【請求項 2】

第 1 の絶縁層と、
 前記第 1 の絶縁層と同一上面を有する第 1 の電極層と、

前記第 1 の絶縁層と同一上面を有する第 2 の電極層と、
前記第 1 の絶縁層上、前記第 1 の電極層上および前記第 2 の電極層上の酸化物半導体層と、
前記酸化物半導体層上のゲート絶縁層と、
前記ゲート絶縁層上のゲート電極層と、
前記ゲート電極層上の第 2 の絶縁層と、
前記第 2 の絶縁層上の第 1 乃至第 3 の配線層と、を有し、
前記酸化物半導体層は、第 1 の低抵抗領域と、第 2 の低抵抗領域と、前記第 1 の低抵抗領域と前記第 2 の低抵抗領域とに挟まれたチャネル形成領域とを有し、
前記第 1 の低抵抗領域は、前記第 1 の電極層と接する領域を有し、
前記第 2 の低抵抗領域は、前記第 2 の電極層と接する領域を有し、
前記チャネル形成領域は、前記第 1 の電極層及び前記第 2 の電極層とは接せず、
前記ゲート絶縁層及び前記第 2 の絶縁層は、第 1 の開口と、第 2 の開口と、第 3 の開口と、を有し、

10

前記第 1 の配線層は、前記第 1 の開口を介して前記第 1 の電極層と接し、
前記第 2 の配線層は、前記第 2 の開口を介して前記第 1 の低抵抗領域と接し、
前記第 3 の配線層は、前記第 3 の開口を介して前記第 2 の電極層と接する半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

半導体装置および半導体装置の作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

30

【0004】

例えば、トランジスタの活性層として、電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満であるインジウム（In）、ガリウム（Ga）、および亜鉛（Zn）を含む非晶質酸化物を用いたトランジスタが開示されている（特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2006 - 165528 号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0006】

トランジスタの動作の高速化、トランジスタの低消費電力化、高集積化、低価格化、などを達成するためには、トランジスタの微細化は必須である。微細化されたトランジスタを形成する場合には、半導体層と半導体層に接する導電層の接触面積が小さくなるため、コンタクト抵抗の影響が非常に大きくなる。

【0007】

コンタクト抵抗が大きくなると、トランジスタの電気特性の一つであるオン電流が低下し、電界効果移動度が低下してしまう。コンタクト抵抗が大きくなる原因は、導電層と、半導体層との接触面でショットキー接合が形成されてしまうことが要因の一つと考えられ

50

る。

【 0 0 0 8 】

そこで、本発明の一態様は、良好な電気的特性を維持しつつ、微細化を達成した半導体装置および該半導体装置の作製方法を提供することを目的の一とする。

【課題を解決するための手段】

【 0 0 0 9 】

上記目的を達成するために、酸化物半導体層を含むトランジスタ（半導体装置）において、本発明の一態様では、電極層を酸化物半導体層の下部に接して形成し、ゲート電極層をマスクとして酸化物半導体層に不純物を添加する処理を行うことにより酸化物半導体層に自己整合的にチャネル形成領域と、チャネル形成領域を挟むように一対の低抵抗領域を形成する。また、電極層および低抵抗領域と電氣的に接続する配線層を絶縁層の開口に設ける。

10

【 0 0 1 0 】

本発明の一態様は、下地絶縁層と、底面および側面が下地絶縁層中に設けられ、上面が露出した電極層と、下地絶縁層および電極層上に形成された、チャネル形成領域、およびチャネル形成領域を挟む第1の低抵抗領域および第2の低抵抗領域を含み、チャネル形成領域が下地絶縁層と接し、第1の低抵抗領域が電極層と接する酸化物半導体層と、電極層、酸化物半導体層および下地絶縁層上に形成されたゲート絶縁層と、ゲート絶縁層上に形成され、チャネル形成領域と重畳しているゲート電極層と、ゲート絶縁層およびゲート電極層上に形成された絶縁層と、電極層と重畳し、電極層に達する第1の開口に形成され、電極層と接する第1の配線層と、第1の低抵抗領域と重畳し、第1の低抵抗領域に達する第2の開口に形成され、第1の低抵抗領域と接する第2の配線層と、ゲート電極層を挟んで、第2の開口と対向する状態に配置された第3の開口に形成され、第2の低抵抗領域と電氣的に接続する第3の配線層と、を有する半導体装置である。

20

【 0 0 1 1 】

本発明の他の一態様は、下地絶縁層と、底面および側面が下地絶縁層中に設けられ、上面が露出した電極層と、下地絶縁層および電極層上に形成された、チャネル形成領域、およびチャネル形成領域を挟む第1の低抵抗領域および第2の低抵抗領域を含み、チャネル形成領域が下地絶縁層と接し、第1の低抵抗領域が電極層と接する酸化物半導体層と、電極層、酸化物半導体層および下地絶縁層上に形成されたゲート絶縁層と、ゲート絶縁層上に形成され、チャネル形成領域と重畳しているゲート電極層と、ゲート絶縁層およびゲート電極層上に形成された絶縁層と、電極層と重畳し、電極層に達する第1の開口に形成され、電極層と接する第1の配線層と、第1の低抵抗領域と重畳し、第1の低抵抗領域に達する第2の開口に形成され、第1の低抵抗領域と接する第2の配線層と、第2の低抵抗領域と重畳し、第2の低抵抗領域に達する第3の開口に形成され、第2の低抵抗領域と接する第3の配線層と、を有する半導体装置である。

30

【 0 0 1 2 】

また、本発明の他の一態様は、下地絶縁層と、底面および側面が下地絶縁層中に設けられ、上面が露出した第1の電極層および第2の電極層と、下地絶縁層、第1の電極層および第2の電極層上に形成された、チャネル形成領域、およびチャネル形成領域を挟む第1の低抵抗領域および第2の低抵抗領域を含み、チャネル形成領域が下地絶縁層と接し、第1の低抵抗領域が第1の電極層と接し、第2の低抵抗領域が第2の電極層と接する酸化物半導体層と、第1の電極層、第2の電極層、酸化物半導体層および下地絶縁層上に形成されたゲート絶縁層と、ゲート絶縁層上に形成され、チャネル形成領域と重畳しているゲート電極層と、ゲート絶縁層およびゲート電極層上に形成された絶縁層と、第1の電極層と重畳し、第1の電極層に達する第1の開口に形成され、第1の電極層と接する第1の配線層と、第1の低抵抗領域と重畳し、第1の低抵抗領域に達する第2の開口に形成され、第1の低抵抗領域と接する第2の配線層と、第2の電極層と重畳し、第2の電極層に達する第3の開口に形成され、第2の電極層と接する第3の配線層と、を有する半導体装置である。

40

50

【 0 0 1 3 】

また、本発明の他の一態様は、下地絶縁層と、底面および側面が下地絶縁層中に設けられ、上面が露出した第1の電極層および第2の電極層と、下地絶縁層、第1の電極層および第2の電極層上に形成された、チャンネル形成領域、およびチャンネル形成領域を挟む第1の低抵抗領域および第2の低抵抗領域を含み、チャンネル形成領域が下地絶縁層と接し、第1の低抵抗領域が第1の電極層と接し、第2の低抵抗領域が第2の電極層と接する酸化物半導体層と、第1の電極層、第2の電極層、酸化物半導体層および下地絶縁層上に形成されたゲート絶縁層と、ゲート絶縁層上に形成され、チャンネル形成領域と重畳しているゲート電極層と、ゲート絶縁層およびゲート電極層上に形成された絶縁層と、第1の電極層と重畳し、第1の電極層に達する第1の開口に形成され、第1の電極層と接する第1の配線層と、第1の電極層および第1の低抵抗領域と重畳し、第1の低抵抗領域に達する第2の開口に形成され、第1の低抵抗領域と接する第2の配線層と、第2の電極層および第2の低抵抗領域と重畳し、第2の低抵抗領域に達する第3の開口に形成され、第2の低抵抗領域と接する第3の配線層と、を有する半導体装置である。

10

【 0 0 1 4 】

また、本発明の他の一態様は、下地絶縁層と、底面および側面が下地絶縁層中に設けられ、上面が露出した第1の電極層および第2の電極層と、下地絶縁層、第1の電極層および第2の電極層上に形成された、チャンネル形成領域、およびチャンネル形成領域を挟む第1の低抵抗領域および第2の低抵抗領域を含み、チャンネル形成領域が下地絶縁層と接し、第1の低抵抗領域が第1の電極層と接し、第2の低抵抗領域が第2の電極層と接する酸化物半導体層と、第1の電極層、第2の電極層、酸化物半導体層および下地絶縁層上に形成されたゲート絶縁層と、ゲート絶縁層上に形成され、チャンネル形成領域と重畳しているゲート電極層と、ゲート絶縁層およびゲート電極層上に形成された絶縁層と、第1の電極層と重畳し、第1の電極層に達する第1の開口に形成され、第1の電極層と接する第1の配線層と、第1の電極層および第1の低抵抗領域と重畳し、第1の低抵抗領域に達する第2の開口に形成され、第1の低抵抗領域と接する第2の配線層と、第2の電極層および第2の低抵抗領域と重畳し、第2の電極層に達する第3の開口に形成され、第2の電極層と接する第3の配線層と、を有する半導体装置である。

20

【 0 0 1 5 】

また、本発明の他の一態様は、上記構成において、酸化物半導体層は、c軸配向した結晶領域を含んでいることが好ましい。

30

【 0 0 1 6 】

また、本発明の他の一態様は、上記構成において、第1の配線層と第2の配線層には、同電位が供給されることが好ましい。

【 0 0 1 7 】

また、本発明の他の一態様は、絶縁表面上に電極層を形成し、電極層上に下地絶縁層を形成し、電極層の上面を露出させ、下地絶縁層および電極層上に酸化物半導体層を形成し、電極層、酸化物半導体層および下地絶縁層上にゲート絶縁層を形成し、ゲート絶縁層上にゲート電極層を形成し、不純物を添加し、自己整合的に酸化物半導体層中のゲート電極層と重畳している領域にチャンネル形成領域を、チャンネル形成領域を挟むように、酸化物半導体層中に第1の低抵抗領域および第2の低抵抗領域を、それぞれ形成し、ゲート絶縁層およびゲート電極層上に絶縁層を形成し、電極層と重畳し、電極層に達する第1の開口を形成し、第1の低抵抗領域と重畳し、第1の低抵抗領域に達する第2の開口を形成し、ゲート電極層を、第2の開口と挟むように配置された第3の開口を形成し、第1の開口に、電極層と接する第1の配線層を形成し、第2の開口に、第1の低抵抗領域と接する第2の配線層を形成し、第3の開口に、第2の低抵抗領域と電氣的に接続する第3の配線層を形成し、第1の低抵抗領域が電極層と接している半導体装置の作製方法である。

40

【 0 0 1 8 】

また、本発明の他の一態様は、絶縁表面上に電極層を形成し、電極層上に下地絶縁層を形成し、電極層の上面を露出させ、下地絶縁層および電極層上に酸化物半導体層を形成し

50

、電極層、酸化物半導体層および下地絶縁層上にゲート絶縁層を形成し、ゲート絶縁層上にゲート電極層を形成し、不純物を添加し、自己整合的に酸化物半導体層中のゲート電極層と重畳している領域にチャネル形成領域を、チャネル形成領域を挟むように、酸化物半導体層中に第1の低抵抗領域および第2の低抵抗領域を、それぞれ形成し、ゲート絶縁層およびゲート電極層上に絶縁層を形成し、電極層と重畳し、電極層に達する第1の開口を形成し、第1の低抵抗領域と重畳し、第1の低抵抗領域に達する第2の開口を形成し、第2の低抵抗領域と重畳し、第2の低抵抗領域に達する第3の開口を形成し、第1の開口に、電極層と接する第1の配線層を形成し、第2の開口に、第1の低抵抗領域と接する第2の配線層を形成し、第3の開口に、第2の低抵抗領域と接する第3の配線層を形成し、第1の低抵抗領域が電極層と接している半導体装置の作製方法である。

10

【0019】

また、本発明の他の一態様は、絶縁表面上に第1の電極層および第2の電極層を形成し、第1の電極層および第2の電極層上に下地絶縁層を形成し、第1の電極層および第2の電極層の上面を露出させ、下地絶縁層、第1の電極層および第2の電極層上に酸化物半導体層を形成し、第1の電極層、第2の電極層、酸化物半導体層および下地絶縁層上にゲート絶縁層を形成し、ゲート絶縁層上にゲート電極層を形成し、不純物を添加し、自己整合的に酸化物半導体層中のゲート電極層と重畳している領域にチャネル形成領域を、チャネル形成領域を挟むように、酸化物半導体層中に第1の低抵抗領域および第2の低抵抗領域を、それぞれ形成し、ゲート絶縁層およびゲート電極層上に絶縁層を形成し、第1の電極層と重畳し、第1の電極層に達する第1の開口を形成し、第1の低抵抗領域と重畳し、第1の低抵抗領域に達する第2の開口を形成し、第2の電極層と重畳し、第2の電極層に達する第3の開口を形成し、第1の開口に、第1の電極層と接する第1の配線層を形成し、第2の開口に、第1の低抵抗領域と接する第2の配線層を形成し、第3の開口に、第2の電極層と接する第3の配線層を形成し、第1の低抵抗領域が第1の電極層と接し、第2の低抵抗領域が第2の電極層と接している半導体装置の作製方法である。

20

【0020】

また、本発明の他の一態様は、絶縁表面上に第1の電極層および第2の電極層を形成し、第1の電極層および第2の電極層上に下地絶縁層を形成し、第1の電極層および第2の電極層の上面を露出させ、下地絶縁層、第1の電極層および第2の電極層上に酸化物半導体層を形成し、第1の電極層、第2の電極層、酸化物半導体層および下地絶縁層上にゲート絶縁層を形成し、ゲート絶縁層上にゲート電極層を形成し、不純物を添加し、自己整合的に酸化物半導体層中のゲート電極層と重畳している領域にチャネル形成領域を、チャネル形成領域を挟むように、酸化物半導体層中に第1の低抵抗領域および第2の低抵抗領域を、それぞれ形成し、ゲート絶縁層およびゲート電極層上に絶縁層を形成し、第1の電極層と重畳し、第1の電極層に達する第1の開口を形成し、第1の電極層および第1の低抵抗領域と重畳し、第1の低抵抗領域に達する第2の開口を形成し、第2の電極層および第2の低抵抗領域と重畳し、第2の低抵抗領域に達する第3の開口を形成し、第1の開口に、第1の電極層と接する第1の配線層を形成し、第2の開口に、第1の低抵抗領域と接する第2の配線層を形成し、第3の開口に、第2の低抵抗領域と接する第3の配線層を形成し、第1の低抵抗領域が第1の電極層と接し、第2の低抵抗領域が第2の電極層と接している半導体装置の作製方法である。

30

40

【0021】

また、本発明の他の一態様は、絶縁表面上に第1の電極層および第2の電極層を形成し、第1の電極層および第2の電極層上に下地絶縁層を形成し、第1の電極層および第2の電極層の上面を露出させ、下地絶縁層、第1の電極層および第2の電極層上に酸化物半導体層を形成し、第1の電極層、第2の電極層、酸化物半導体層および下地絶縁層上にゲート絶縁層を形成し、ゲート絶縁層上にゲート電極層を形成し、不純物を添加し、自己整合的に酸化物半導体層中のゲート電極層と重畳している領域にチャネル形成領域を、チャネル形成領域を挟むように、酸化物半導体層中に第1の低抵抗領域および第2の低抵抗領域を、それぞれ形成し、ゲート絶縁層およびゲート電極層上に絶縁層を形成し、第1の電極

50

層と重畳し、第１の電極層に達する第１の開口を形成し、第１の電極層および第１の低抵抗領域と重畳し、第１の低抵抗領域に達する第２の開口を形成し、第２の電極層および第２の低抵抗領域と重畳し、第２の電極層に達する第３の開口を形成し、第１の開口に、第１の電極層と接する第１の配線層を形成し、第２の開口に、第１の低抵抗領域と接する第２の配線層を形成し、第３の開口に、第２の電極層と接する第３の配線層を形成し、第１の低抵抗領域が第１の電極層と接し、第２の低抵抗領域が第２の電極層と接している半導体装置の作製方法である。

【００２２】

また、本発明の他の一態様は、上記作製方法において、下地絶縁層を形成する前に絶縁表面上の電極層に窒素プラズマ処理を行うと好ましい。

10

【００２３】

また、本発明の他の一態様は、上記作製方法において、不純物の添加方法がイオンドーピング法またはイオンインプランテーション法であると好ましい。

【００２４】

なお、本明細書等において「上」や「下」という用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極層」の表現であれば、ゲート絶縁層とゲート電極層との間に他の構成要素を含むものを除外しない。

【００２５】

また、本明細書等において「電極層」や「配線層」という用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極層」は「配線層」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極層」や「配線層」という用語は、複数の「電極層」や「配線層」が一体となって形成されている場合なども含む。

20

【００２６】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

【００２７】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電氣信号の授受を可能とするものであれば、特に制限を受けない。

30

【００２８】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線などが含まれる。

【００２９】

また、本明細書等において、平均面粗さ（ R_a ）とは、 $JIS\ B\ 0601:2001$ （ $ISO\ 4287:1997$ ）で定義されている算術平均粗さを、曲面に対して適用できるように三次元に拡張したものであり、基準面から指定面までの偏差の絶対値を平均した値で表現される。

40

【００３０】

そして、平均面粗さ（ R_a ）は、指定面を $Z_0 = f(x, y)$ で表すとき、基準面から指定面までの偏差の絶対値を平均した値で表現され、次の式（１）で与えられる。

【００３１】

【数１】

$$R_a = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy \quad (1)$$

50

【 0 0 3 2 】

ここで、指定面とは、粗さ計測の対象となる面であり、座標 $(x_1, y_1, f(x_1, y_1))$ 、 $(x_1, y_2, f(x_1, y_2))$ 、 $(x_2, y_1, f(x_2, y_1))$ 、 $(x_2, y_2, f(x_2, y_2))$ で表される 4 点により囲まれる四角形の領域とし、指定面を xy 平面に投影した長方形の面積を S_0 、基準面の高さ（指定面の平均の高さ）を Z_0 とする。平均面粗さ（ Ra ）は原子間力顕微鏡（AFM: Atomic Force Microscope）にて測定可能である。

【発明の効果】

【 0 0 3 3 】

本発明の一態様によって、良好な電気的特性を維持しつつ、微細化を達成した半導体装置およびその作製方法を提供することができる。また、配線層と、酸化物半導体層との間の抵抗を低くして良好なオーミックコンタクトがとれる半導体装置およびその作製方法を提供することができる。

10

【 0 0 3 4 】

また、本発明の一態様によって、トランジスタサイズを十分に小さくすることが可能になる。トランジスタサイズを十分に小さくすることで、半導体装置の占める面積が小さくなり、半導体装置の取り数が増大する。これにより、半導体装置あたりの製造コストは抑制される。また、半導体装置が小型化されるため、従来のもと同程度の大きさでさらに機能が高められた半導体装置を実現することができる。また、半導体装置の高集積化が可能となる。また、オン電流や移動度の向上、動作の高速化、低消費電力化などの効果を得

20

【図面の簡単な説明】

【 0 0 3 5 】

【図 1】本発明の一態様の半導体装置を示す断面図および平面図。

【図 2】本発明の一態様の半導体装置の作製工程を示す断面図。

【図 3】本発明の一態様の半導体装置の作製工程を示す断面図。

【図 4】本発明の一態様の半導体装置を示す断面図および平面図。

【図 5】本発明の一態様の半導体装置の作製工程を示す断面図。

【図 6】本発明の一態様の半導体装置の作製工程を示す断面図。

【図 7】本発明の一態様の半導体装置を示す断面図。

30

【図 8】半導体装置の一形態を示す断面図、平面図および回路図。

【図 9】半導体装置の一形態を示す回路図および斜視図。

【図 10】半導体装置の一形態を示す断面図および平面図。

【図 11】半導体装置の一形態を示す回路図。

【図 12】半導体装置の一形態を示すブロック図。

【図 13】半導体装置の一形態を示すブロック図。

【図 14】半導体装置の一形態を示すブロック図。

【発明を実施するための形態】

【 0 0 3 6 】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。また、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さないことがある。また、便宜上、絶縁層は上面図には表さないことがある。

40

【 0 0 3 7 】

なお、以下の説明において、第 1、第 2 などの序数詞は、説明の便宜上付したものであり、その数を限定するものではない。

【 0 0 3 8 】

50

(実施の形態 1)

本実施の形態では、本発明の一態様である半導体装置および半導体装置の作製方法を、図 1 乃至図 3 を用いて説明する。本実施の形態では、半導体装置の一例としてトップゲート構造を有するトランジスタを示す。

【0039】

図 1 に、トランジスタ 450 の断面図および平面図を示す。図 1 (A) は平面図であり、図 1 (B) は、図 1 (A) における X - Y 断面に係る断面図である。なお、図 1 (A) では、煩雑になることを避けるため、トランジスタ 450 の構成要素の一部 (例えば、絶縁層 412 など) を省略している。

【0040】

図 1 は、本実施の形態の方法にて作製された半導体装置の構成例である。図 1 に示すトランジスタ 450 は、基板 400 と、下地絶縁層 402 a と、下地絶縁層 402 c と、電極層 404 a と、チャネル形成領域 406 c、並びにチャネル形成領域 406 c を挟む低抵抗領域 406 a および低抵抗領域 406 b とを含む酸化物半導体層 406 と、ゲート絶縁層 408 と、ゲート電極層 410 と、絶縁層 412 と、配線層 414 a と、配線層 414 b と、配線層 414 c を有する。

【0041】

ここで、上記構成の位置関係、接続関係について説明する。

【0042】

下地絶縁層は、下地絶縁層 402 a と、下地絶縁層 402 c が積層されており、下地絶縁層 402 a 上の一部領域には、電極層 404 a が設けられている。なお、電極層 404 a の上面は、低抵抗領域 406 a の少なくとも一部と接しているが、チャネル形成領域 406 c とは接しない。

【0043】

酸化物半導体層 406 は、下地絶縁層 402 c および電極層 404 a 上に設けられている。酸化物半導体層 406 は、チャネル形成領域 406 c と、チャネル形成領域 406 c を挟む低抵抗領域 406 a および低抵抗領域 406 b と、を有する。低抵抗領域 406 a は、電極層 404 a および下地絶縁層 402 c の上面に接して設けられ、低抵抗領域 406 b およびチャネル形成領域 406 c は、下地絶縁層 402 c の上面に接して設けられている。また、低抵抗領域 406 a および低抵抗領域 406 b は、ソース領域またはドレイン領域として機能する。

【0044】

ゲート絶縁層 408 は、下地絶縁層 402 c、電極層 404 a および酸化物半導体層 406 上に設けられ、ゲート電極層 410 は、ゲート絶縁層 408 上のチャネル形成領域 406 c と重畳する領域に設けられ、絶縁層 412 は、ゲート絶縁層 408 およびゲート電極層 410 上に設けられている。

【0045】

配線層 414 a は、電極層 404 a と重畳する開口 413 a を介して電極層 404 a と接し、配線層 414 b は、電極層 404 a および低抵抗領域 406 a と重畳する開口 413 b を介して低抵抗領域 406 a と接し、配線層 414 c は、低抵抗領域 406 b と重畳する開口 413 c を介して低抵抗領域 406 b と接している。

【0046】

以下に、トランジスタ 450 の作製工程の一例を示す。

【0047】

まず、絶縁表面を有する基板 400 上に下地絶縁層 402 a を形成する (図 2 (A) 参照)。

【0048】

絶縁表面を有する基板 400 に使用することができる基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板

10

20

30

40

50

、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板400として用いてもよい。

【0049】

下地絶縁層402aは、プラズマCVD法またはスパッタリング法を用いて150nm以上200nm以下の膜厚で、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜から選ばれた一層またはこれらの積層膜を用いる。なお、下地絶縁層402aが不要な場合、例えば、基板400の表面吸着した水分、および基板400に含有する水分が少ない場合には下地絶縁層402aを設けない構成としてもよい。

10

【0050】

なお、本明細書中において、酸化窒化シリコンなどの「酸化窒化物」とは、その組成として、窒素よりも酸素の含有量が多いものをいう。

【0051】

なお、本明細書中において、窒化酸化シリコンなどの「窒化酸化物」とは、その組成として、酸素よりも窒素の含有量が多いものをいう。

【0052】

次に、下地絶縁層402a上に、導電膜を形成した後、フォトリソグラフィ工程およびエッチング工程により電極層404aを形成する(図2(A)参照)。電極層404aは後の熱処理に耐えられる材料を用いる。電極層404aは、10nm以上500nm以下の膜厚で、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素を含む金属膜等を用いることができる。また、Al、Cuなどの金属膜の下側または上側の一方または双方にTi、Mo、Wなどの高融点金属膜またはそれらの金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)を積層させた構成としても良い。また、電極層404aは、酸化物半導体で形成しても良い。酸化物半導体としては、In-Ga-Zn系酸化物(IGZOとも表記する)、酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ(In_2O_3 - SnO_2 、ITOと略記する)、酸化インジウム酸化亜鉛(In_2O_3 - ZnO)またはこれらの酸化物半導体材料に酸化シリコンを含ませたものを用いることができる。また、電極層404aは、金属膜と酸化物半導体膜を積層させた構成としてもよい。

20

30

【0053】

電極層404aは、後に形成される下地絶縁層402b中にあるため、膜厚を厚くしても電極層404aのカバレッジ不良が問題とならない。

【0054】

次に、下地絶縁層402aおよび電極層404a上に下地絶縁層402bを形成する(図2(B)参照)。

【0055】

下地絶縁層402bは、プラズマCVD法またはスパッタリング法を用いて酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜から選ばれた一層またはこれらの積層膜を用いる。積層構造とする際、例えば、基板側の下地絶縁層402aにプラズマCVD法によって形成した酸化シリコン膜を用い、酸化物半導体層406と接する下地絶縁層にスパッタリング法によって形成した酸化シリコン膜を用いる構成としてもよい。酸化物半導体層406と接する絶縁層を、水素濃度が低減された酸化物絶縁層とすることで、酸化物半導体層406に水素の拡散を抑制する他に、酸化物半導体層406の酸素欠陥に酸化物絶縁層から酸素が供給されるため、トランジスタ450の電気的特性を良好にすることができる。

40

【0056】

また、下地絶縁層402bは化学量論比より酸素の含有量が過剰な領域が含まれているのが好ましい。この場合、酸素の含有量は、下地絶縁層402bの化学量論比を超える程

50

度とする。例えば、組成が SiO_x ($x > 0$) で表現される酸化シリコン膜の場合、酸化シリコンの化学量論比は $\text{Si} : \text{O} = 1 : 2$ であるので、 x が 2 を超える酸素過剰領域を有する酸化シリコン膜を用いることが好ましい。このような酸素過剰領域は、酸化シリコン膜の一部（界面も含む）に存在していればよい。

【0057】

後に形成される酸化物半導体層 406 と接する下地絶縁層 402b が化学量論比より酸素の含有量が過剰な領域を有していると、酸化物半導体層 406 からこれと接する下地絶縁層 402b への酸素の移動を抑制することができ、かつ、酸化物半導体層 406 と接する下地絶縁層 402b から酸化物半導体層 406 への酸素の供給を行うこともできるためである。

10

【0058】

また、下地絶縁層 402b 形成前に、電極層 404a に窒素プラズマ処理を行ってもよい。窒素プラズマ処理によって、電極層 404a と後に形成される酸化物半導体層 406 との間のコンタクト抵抗を低減することができる。

【0059】

次に、電極層 404a の上面を露出させ、下地絶縁層 402c を形成する（図 2（C）参照）。電極層 404a の上面を露出させるには、特に限定されないが、エッチングや研磨処理（例えば、化学的機械研磨（Chemical Mechanical Polishing：CMP）法）を用いることができる。

【0060】

20

次に、下地絶縁層 402c および電極層 404a 上に酸化物半導体層 406 を形成する（図 2（D）参照）。酸化物半導体層 406 を形成する酸化物半導体としては、不純物が除去され、酸化物半導体の主成分以外のキャリア供与体となる不純物が極力含まれないように高純度化された酸化物半導体を用いる。

【0061】

酸化物半導体層 406 は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0062】

アモルファス状態の酸化物半導体層は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

30

【0063】

また、結晶性を有する酸化物半導体層（結晶性酸化物半導体層）では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体層以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体層を形成することが好ましく、具体的には、平均面粗さ（Ra）が 1 nm 以下、好ましくは 0.3 nm 以下、より好ましくは 0.1 nm 以下の表面上に形成するとよい。なお、平均面粗さ（Ra）が 0 に近いほど好ましい。

【0064】

40

結晶性酸化物半導体層における結晶状態は、結晶軸の方向が無秩序な状態でも、一定の配向性を有する状態であってもよい。

【0065】

例えば、酸化物半導体層として、CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）膜を用いることができる。

【0066】

CAAC-OS 膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS 膜は、非晶質相に結晶部および非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさであるこ

50

とが多い。また、透過型電子顕微鏡 (TEM: Transmission Electron Microscope) による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。

【0067】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつ、ab面に垂直な方向から見て三角形または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、 85° 以上 95° 以下の範囲も含まれることとする。また、単に平行と記載する場合、 -5° 以上 5° 以下の範囲も含まれることとする。

10

【0068】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し、表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0069】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状(被形成面の断面形状または表面の断面形状)によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に熱処理などの結晶化処理を行うことにより形成される。

20

【0070】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0071】

CAAC-OS膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域がab面から劈開し、ab面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、CAAC-OS膜を成膜することができる。

30

【0072】

また、CAAC-OS膜を成膜するために、以下の条件を適用することが好ましい。

【0073】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度(水素、水、二酸化炭素および窒素など)を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点 -80° 以下、好ましくは -100° 以下である成膜ガスを用いる。

40

【0074】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を 100° 以上 740° 以下、好ましくは 200° 以上 500° 以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

【0075】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、 30 体積%以上、好ましくは 100

50

体積%とする。

【0076】

スパッタリング用ターゲットの一例として、In-Ga-Zn-O化合物ターゲットについて以下に示す。

【0077】

InO_x粉末、GaO_y粉末およびZnO_z粉末を所定のmol比で混合し、加圧処理後、1000 以上1500 以下の温度で加熱処理をすることで多結晶であるIn-Ga-Zn-O化合物ターゲットとする。なお、X、YおよびZは任意の正数である。ここで、所定のmol比は、例えば、InO_x粉末、GaO_y粉末およびZnO_z粉末が、2:2:1、8:4:3、3:1:1、1:1:1、4:2:3または3:1:2である。なお、粉末の種類、およびその混合するmol比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

10

【0078】

酸化物半導体層406の膜厚は、1nm以上100nm以下とし、スパッタリング法、MBE(Molecular Beam Epitaxy)法、パルスレーザ堆積法、ALD(Atomic Layer Deposition)法等を適宜用いることができる。また、酸化物半導体層406は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて成膜してもよい。

【0079】

また、酸化物半導体層406よりも膜厚の厚い電極層404aが酸化物半導体層406の下で接するため、酸化物半導体層406の膜厚が薄くても、配線層と酸化物半導体層との電気的な接続を確保することができるため、トランジスタの微細化や高速駆動が可能なトランジスタを提供できる。また、酸化物半導体層中のチャネル形成領域の膜厚が薄いため、しきい値電圧をプラスシフトさせ、トランジスタをノーマリーオフ化することもできる。

20

【0080】

なお、酸化物半導体の成膜を行う前に、成膜室の加熱および排気を行って、成膜室中の水素、水分、水酸基、水素化物などの不純物を除去しておくことが好ましい。特に成膜室の内壁に吸着して存在するこれらの不純物を除去することが重要である。ここで、熱処理は、例えば、100 以上450 以下で行えばよい。また、処理室の排気は、ドライポンプなどの粗引きポンプと、スパッタイオンポンプ、ターボ分子ポンプおよびクライオポンプなどの高真空ポンプとを適宜組み合わせで行うとよい。ターボ分子ポンプは大きいサイズの分子の排気が優れる一方、水分や水素の排気能力が低い。さらに、水分の排気能力の高いクライオポンプまたは水素の排気能力の高いスパッタイオンポンプを組み合わせることが有効となる。また、このとき、不活性ガスを導入しながら不純物の除去を行うと、排気するだけでは脱離しにくい水分などの脱離速度をさらに大きくすることができる。このような処理を行って酸化物半導体の成膜前に成膜室の不純物を除去することにより、酸化物半導体層406への水素、水分、水酸基、水素化物などの混入を抑制することができる。

30

【0081】

用いる酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。また、スタビライザーとしてチタン(Ti)を有することが好ましい。また、スタビライザーとしてジルコニウム(Zr)を有することが好ましい。

40

【0082】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム

50

(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

【0083】

例えば、酸化物半導体として、単元系金属の酸化物である酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

【0084】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0085】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される材料を用いてもよい。なお、Mは、Ga、Fe、MnおよびCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

【0086】

例えば、 $\text{In}:\text{Ga}:\text{Zn} = 1:1:1$ 、 $\text{In}:\text{Ga}:\text{Zn} = 3:1:2$ 、 $\text{In}:\text{Ga}:\text{Zn} = 1:3:2$ あるいは $\text{In}:\text{Ga}:\text{Zn} = 2:2:1$ の原子比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In}:\text{Sn}:\text{Zn} = 1:1:1$ 、 $\text{In}:\text{Sn}:\text{Zn} = 2:1:3$ あるいは $\text{In}:\text{Sn}:\text{Zn} = 2:1:5$ の原子数比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。また、これらを積層させてもよい。

【0087】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0088】

例えば、In-Sn-Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を下げるにより移動度を上げることができる。

【0089】

なお、例えば、In、Ga、Znの原子数比が $\text{In}:\text{Ga}:\text{Zn} = a:b:c$ ($a+b+c=1$)である酸化物の組成が、原子数比が $\text{In}:\text{Ga}:\text{Zn} = A:B:C$ ($A+B+C=1$)の酸化物の組成の近傍であるとは、 a 、 b 、 c が、 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ を満たすことをいう。 r としては、例えば、0.05とすればよい。他の酸化物でも同様である。

【0090】

酸化物半導体としてIn-Ga-Zn系酸化物を用いる場合、用いるターゲットの組成は $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : x : y$ [mol比] (x は0以上、 y は0.5以上5以下)を用いるのが好適である。例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol比]の組成を有するターゲットなどを用いることができる。また、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol比]の組成を有するターゲットや、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$ [mol比]の組成を有するターゲットを用いることもできる。

【0091】

また、酸化物半導体としてIn-Sn-Zn系酸化物を用いる場合、用いるターゲット中の金属元素の原子数比は、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 2 : 2$ 、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ 、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ あるいは $\text{In} : \text{Sn} : \text{Zn} = 20 : 45 : 35$ などとすればよい。

【0092】

また、酸化物半導体としてIn-Zn系酸化物を用いる場合、用いるターゲット中の金属元素の原子数比は、 $\text{In} : \text{Zn} = 50 : 1 \sim 1 : 2$ (mol比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1 \sim 1 : 4$)、好ましくは $\text{In} : \text{Zn} = 20 : 1 \sim 1 : 1$ (mol比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1 \sim 1 : 2$)、さらに好ましくは $\text{In} : \text{Zn} = 15 : 1 \sim 1 : 5$ (mol比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 15 : 2 \sim 3 : 4$)とする。例えば、In-Zn系酸化物の形成に用いるターゲットは、原子数比が $\text{In} : \text{Zn} : \text{O} = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。

【0093】

なお、酸化物半導体層406は、成膜時に酸素が多く含まれるような条件(例えば、酸素100%の雰囲気下でスパッタリング法により成膜を行うなど)で成膜して、酸素を多く含む(好ましくは酸化物半導体が結晶状態における化学量論比に対し、酸素の含有量が過剰な領域が含まれている)膜とすることが好ましい。

【0094】

成膜の雰囲気は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または、希ガスと酸素の混合雰囲気下などとすればよい。ここで、成膜時に希ガスより酸素の体積比を大きくすることにより、酸化物半導体層406に酸素を容易に供給することができ、酸化物半導体層406中の酸素欠損を低減することができる。また、酸化物半導体層406への水素、水分、水酸基、水素化物などの混入を防ぐために、水素、水分、水酸基、水素化物などの不純物が十分に除去された高純度ガスを用いた雰囲気とすることが望ましい。

【0095】

酸化物半導体層406成膜後、酸化物半導体層406に対して、過剰な水素(水分や水酸基を含む)を除去(脱水化または脱水素化)するための熱処理を行ってもよい。熱処理を行うことによって、酸化物半導体層406中に含まれる水素原子、または水素原子を含む物質をさらに除去することができる。熱処理の温度は、不活性ガス雰囲気下、250以上700以下、好ましくは450以上600以下、また、基板の歪み点未満とする。不活性ガス雰囲気としては、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)を主成分とする雰囲気であって、水分、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上(すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下)とする。

【0096】

該熱処理は、例えば、抵抗発熱体などを用いた電気炉に基板を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。

【0097】

また、熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、LRTA(Lam

10

20

30

40

50

p Rapid Thermal Anneal) 装置、GRTA (Gas Rapid Thermal Anneal) 装置等の RTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光 (電磁波) の輻射により、被処理物を加熱する装置である。GRTA 装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体を用いられる。なお、熱処理装置として GRTA 装置を用いる場合には、その熱処理時間が短いため、650 ~ 700 の高温に加熱した不活性ガス中で基板を加熱してもよい。

10

【0098】

また、上記の熱処理で酸化物半導体層 406 を加熱した後、同じ炉にて加酸素化 (酸化物半導体層に酸素を加えることをいう。以降、同様である。) のための熱処理を行ってもよい。該熱処理は、熱処理装置に高純度の酸素ガス、高純度の N_2O ガス、または超乾燥エア (CRDS (キャビティリングダウンレーザー分光法) 方式の露点計を用いて測定した場合の水分量が 20 ppm (露点換算で -55) 以下、好ましくは 1 ppm 以下、さらに好ましくは 10 ppb 以下の空気) を導入し、200 以上基板の歪み点未満で熱処理を行えばよい。好ましくは、250 以上 450 以下で熱処理を行えばよい。特にこれらのガスには、水分、水素などが含まれないことが好ましい。また、同じ炉に導入する酸素ガスまたは N_2O ガスの純度を、6N 以上好ましくは 7N 以上 (即ち不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下) とすることが好ましい。酸素ガスまたは N_2O ガスの作用によって、脱水化または脱水素化処理による不純物の排除工程で低減してしまった酸化物半導体を構成する主成分の一つである酸素を供給することができる。

20

【0099】

なお、上述の熱処理には脱水化処理または脱水素化処理により酸化物半導体中に生じた酸素欠損を補填する効果があるため、該熱処理を、加酸素化処理などと呼ぶこともできる。該熱処理は例えば、酸化物半導体層を島状に加工した後などのタイミングにおいて行うことも可能である。また、このような加酸素化処理は、一回に限らず複数回行っても良い。

【0100】

また、脱水化または脱水素化のための熱処理を、酸化物半導体層 406 として島状に加工される前、層状の酸化物半導体層が下地絶縁層 402c を覆った状態で行うと、下地絶縁層 402c に含まれる酸素が熱処理によって放出されるのを防止することができるため好ましい。

30

【0101】

また、酸化物半導体層 406 として島状に加工する際は、酸化物半導体層 406 が電極層 404a の少なくとも一部と下地絶縁層 402c とそれぞれ接するように設ける。

【0102】

また、脱水化または脱水素化処理を行った酸化物半導体層に、酸素 (少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む) を導入して膜中に酸素を供給してもよい。

40

【0103】

脱水化または脱水素化処理を行った酸化物半導体層 406 に、酸素を導入して膜中に酸素を供給することによって、酸化物半導体層 406 を高純度化、および i 型 (真性) 化することができる。高純度化し、i 型 (真性) 化した酸化物半導体層 406 を有するトランジスタは、電気特性変動が抑制されており、電氣的に安定である。

【0104】

酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いることができる。

【0105】

50

酸素の導入工程は、酸化物半導体層 406 に酸素導入する場合、酸化物半導体層 406 に直接導入してもよいし、ゲート絶縁層 408 や絶縁層 412 などの他の膜を通過して酸化物半導体層 406 へ導入してもよい。酸素を他の膜を通過して導入する場合は、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いればよいが、酸素を露出された酸化物半導体層 406 へ直接導入する場合は、プラズマ処理なども用いることができる。

【0106】

酸化物半導体層 406 への酸素の導入は、脱水化または脱水素化処理を行った後であればよく、特に限定されない。また、上記脱水化または脱水素化処理を行った酸化物半導体層 406 への酸素の導入は複数回行ってよい。

10

【0107】

次に、下地絶縁層 402c、電極層 404a および酸化物半導体層 406 上にゲート絶縁層 408 を形成し、ゲート絶縁層 408 上にゲート電極層 410 を形成する（図 3（A）参照）。

【0108】

ゲート絶縁層 408 の膜厚は、1 nm 以上 50 nm 以下とし、スパッタリング法、MBE 法、CVD 法、パルスレーザー堆積法、ALD 法等を適宜用いることができる。なお、酸化物半導体層 406 と接することを考慮すれば、水素等の不純物が十分に除去されていることが好ましいため、ゲート絶縁層 408 は、水素等の不純物が含まれにくいスパッタリング法を用いて形成することが好ましい。

20

【0109】

ゲート絶縁層 408 の材料としては、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜等を用いて形成することができる。さらに、ゲート絶縁層 408 は、作製するトランジスタのサイズやゲート絶縁層 408 の段差被覆性を考慮して形成することが好ましい。

【0110】

また、ゲート絶縁層 408 は化学量論比より酸素の含有量が過剰な領域が含まれているのが好ましい。この場合、酸素の含有量は、ゲート絶縁層 408 の化学量論比を超える程度とする。例えば、組成が SiO_x ($x > 0$) で表現される酸化シリコン膜の場合、酸化シリコンの化学量論比は $\text{Si} : \text{O} = 1 : 2$ であるので、 x が 2 を超える酸素過剰領域を有する酸化シリコン膜を用いることが好ましい。このような酸素過剰領域は、酸化シリコン膜の一部（界面も含む）に存在していればよい。

30

【0111】

酸化物半導体層 406 と接するゲート絶縁層 408 が化学量論比より酸素の含有量が過剰な領域を有していると、酸化物半導体層 406 からこれと接するゲート絶縁層 408 への酸素の移動を抑制することができ、かつ、酸化物半導体層 406 と接するゲート絶縁層 408 から酸化物半導体層 406 への酸素の供給を行うこともできるためである。

【0112】

また、ゲート絶縁層 408 の材料として酸化ハフニウム、酸化イットリウム、酸化ランタン、ハフニウムシリケート (HfSi_xO_y ($x > 0$, $y > 0$))、ハフニウムアルミネート (HfAl_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート、窒素が添加されたハフニウムアルミネートなどの high-k 材料を用いることでゲートリーク電流を低減できる。さらに、ゲート絶縁層 408 は、単層構造としても良いし、積層構造としても良い。

40

【0113】

ゲート絶縁層 408 の成膜後に、加酸素化のための熱処理を行ってもよい。熱処理の温度は、不活性ガス雰囲気下、または酸素雰囲気下で 200 以上 450 以下とするのが好ましく、250 以上 350 以下とするのがより好ましい。該熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、酸化物半導

50

体層 406 と接するゲート絶縁層 408 が酸素を含む場合、酸化物半導体層 406 に酸素を供給し、酸化物半導体層 406 の酸素欠損を補填することができる。

【0114】

上記の脱水化または脱水素化のための熱処理および加酸素化のための熱処理を行うことにより、i 型（真性）または i 型に限りなく近い酸化物半導体層を形成することもできる。

【0115】

なお、本実施の形態では、ゲート絶縁層 408 の形成後に加酸素化のため熱処理を行っているが、該熱処理のタイミングはこれに限定されない。例えば、ゲート電極層 410 を形成した後に該熱処理を行っても良い。また、加酸素化のための熱処理に脱水化または脱水素化のための熱処理を兼ねさせても良い。

10

【0116】

ゲート電極層 410 は、電極層 404 a と重畳せず、かつ、ゲート絶縁層 408 を介して酸化物半導体層 406 上に形成する。

【0117】

ゲート電極層 410 の材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料、またはこれらを主成分とする合金材料、またはこれらを主成分とする金属窒化物（窒化チタン、窒化モリブデン、窒化タングステン）等を用いて形成することができる。また、ゲート電極層 410 としてリン等の不純物元素を添加した多結晶シリコン膜に代表される半導体膜、ニッケルシリサイド膜などのシリサイド膜を用いてもよい。ゲート電極層 410 は、単層構造としてもよいし、積層構造としてもよい。

20

【0118】

次に、ゲート電極層 410 をマスクとして酸化物半導体層 406 に不純物 420 を添加する処理を行って、自己整合的に低抵抗領域 406 a、低抵抗領域 406 b およびチャネル形成領域 406 c を形成する（図 3（B）参照）。

【0119】

添加する不純物 420 は、リン、ホウ素、窒素、ヒ素、アルゴン、アルミニウム、またはこれらを含む分子イオンなどがある。また、酸化物半導体層 406 に不純物 420 を添加する方法として、イオンドーピング法またはイオンインプランテーション法を用いることができる。

30

【0120】

なお、酸化物半導体層 406 に不純物 420 を添加する処理は、複数回行っても良い。酸化物半導体層 406 に不純物 420 を添加する処理を複数回行う場合、不純物 420 は複数回すべてにおいて同じであってもよいし、1 回の処理毎に変えてもよい。

【0121】

なお、不純物 420 のドーズ量は、 $1 \times 10^{13} \sim 5 \times 10^{16} \text{ ions/cm}^2$ とするのが好ましい。また、不純物としてリンを添加する場合、加速電圧を $0.5 \sim 80 \text{ kV}$ とするのが好ましい。本実施の形態では、不純物 420 としてリンを、イオンインプランテーション法を用いて酸化物半導体層 406 に加速電圧を 30 kV 、ドーズ量を $1.0 \times 10^{15} \text{ ions/cm}^2$ の条件で添加する。

40

【0122】

また、低抵抗領域 406 a および低抵抗領域 406 b は、チャネル形成領域 406 c よりも不純物濃度が高くなっている。不純物濃度を高くすることによって酸化物半導体層中のキャリア密度が増加し、配線層と酸化物半導体層の間のコンタクト抵抗が低くなるため、配線層と酸化物半導体層の間に良好なオーミックコンタクトをとることができる。

【0123】

また、上記の不純物 420 を添加する処理により、電極層 404 a も低抵抗化される。よって、低抵抗化された領域において、後に形成される配線層 414 a と電極層 404 a の間のコンタクト抵抗も低くなるため、配線層 414 a と電極層 404 a の間に良好なオ

50

ーミックコンタクトをとることができる。さらに、低抵抗領域406aと電極層404aの間のコンタクト抵抗も低くなるため、低抵抗領域406aと電極層404aの間で良好なオーミックコンタクトをとることができる。

【0124】

よって、オン電流や移動度が向上し、高速応答可能なトランジスタを作製することができる。また、低抵抗化された領域において、オーミックコンタクトをとることができるため、ショットキー接合と比較して熱的にも安定な動作が可能となる。

【0125】

次に、ゲート絶縁層408およびゲート電極層410上に絶縁層412を形成する(図3(C)参照)。

【0126】

絶縁層412は、プラズマCVD法、スパッタリング法、または蒸着法等により成膜することができる。絶縁層412は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または酸化ガリウム膜などの無機絶縁膜などを用いることができる。

【0127】

また、絶縁層412として、酸化アルミニウム膜、酸化ハフニウム膜、酸化マグネシウム膜、酸化ジルコニウム膜、酸化ランタン膜、酸化バリウム膜、または金属窒化物膜(例えば、窒化アルミニウム膜)も用いることができる。

【0128】

絶縁層412は、単層でも積層でもよく、例えば酸化シリコン膜および酸化アルミニウム膜の積層を用いることができる。

【0129】

絶縁層412は、スパッタリング法など、絶縁層412に水、水素等の不純物を混入させない方法を適宜用いて形成することが好ましい。

【0130】

酸化物半導体層の成膜時と同様に、絶縁層412の成膜室内の残留水分を除去するためには、吸着型の真空ポンプ(クライオポンプなど)を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜した絶縁層412に含まれる不純物の濃度を低減できる。また、絶縁層412の成膜室内の残留水分を除去するための排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。

【0131】

酸化物半導体層406上に設けられる絶縁層412として用いることのできる酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を通過させない遮断効果(ブロック効果)が高い。

【0132】

従って、酸化アルミニウム膜は、作製工程中および作製後において、変動要因となる水素、水分などの不純物の酸化物半導体層406への混入、および酸化物半導体を構成する主成分材料である酸素の酸化物半導体層406からの放出を防止する保護膜として機能する。

【0133】

また、トランジスタ起因の表面凹凸を低減するために平坦化絶縁層を形成してもよい。平坦化絶縁層としては、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また、上記有機材料の他に、低誘電率材料(low-k材料)等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層を形成してもよい。

【0134】

また、ゲート絶縁層408および絶縁層412に電極層404a、低抵抗領域406a、低抵抗領域406bに達する開口413a、開口413b、開口413cを形成し、開口413a、開口413b、開口413cにそれぞれ、電極層404a、低抵抗領域40

10

20

30

40

50

6 a、低抵抗領域 4 0 6 b と電氣的に接続する配線層 4 1 4 a、配線層 4 1 4 b、配線層 4 1 4 c を形成する（図 3（C）参照）。

【0135】

本実施の形態では、開口 4 1 3 a と、開口 4 1 3 b および開口 4 1 3 c は別々の工程で形成する。まず、レジストマスクを用い、選択的にエッチングをして開口 4 1 3 a を形成し、次にレジストマスクを除去した後、再度、レジストマスクを用い、選択的にエッチングをして開口 4 1 3 b および開口 4 1 3 c を形成する。その後、レジストマスクを除去する。この順に限られず、先に開口 4 1 3 b および開口 4 1 3 c を形成してもよい。

【0136】

配線層 4 1 4 a、配線層 4 1 4 b、配線層 4 1 4 c はゲート電極層 4 1 0 と同様の材料および作製方法を用いて形成することができる。例えば、配線層 4 1 4 a、配線層 4 1 4 b、配線層 4 1 4 c として窒化タンタル膜と銅膜との積層、または窒化タンタル膜とタングステン膜との積層などを用いることができる。

【0137】

また、電極層および低抵抗領域に重畳する配線層は、低抵抗領域を突き抜けたとしても低抵抗領域の下部で接する電極層で電氣的接続が補償される。よって、上記開口を形成する際に精密なアライメントを必要とせず、信頼性の高いトランジスタを形成することができる。

【0138】

また、配線層 4 1 4 a および配線層 4 1 4 b は、絶縁層 4 1 2 上で接続されて同電位になってもよい。

【0139】

また、ゲート電極層 4 1 0 から見て低抵抗領域 4 0 6 a 側に配線層が複数ある構造にすることによって、レイアウトの自由度が高くなり、半導体装置の高精細化を図ることができる。

【0140】

また、配線層は、開口を介して電極層と接続するため、配線層と電極層は同じ材料で形成されることが好ましい。そのようにすることにより、同じ材料同士が接触することでコンタクト抵抗を抑えることができる。

【0141】

以上により、ゲート電極層形成後に不純物を添加する処理により、電極層や酸化物半導体層などの低抵抗化された領域でコンタクトすると良好なオーミックコンタクトをとることができる。オン電流や移動度が向上し、高速応答が可能となる。また、低抵抗化された領域において、オーミックコンタクトをとることができるため、ショットキー接合と比較して熱的にも安定な動作が可能となる。また、酸化物半導体層と電氣的に接続する電極層は、下地絶縁層中に設けられているため、当該電極層の膜厚を厚くした場合でも、電極層のカバレッジ不良が生じないため、電極層及び配線層の厚膜化を達成しつつ、酸化物半導体層を薄膜化することが可能となり、トランジスタの微細化、高速駆動化を図ることができる。また、電極層および低抵抗領域に重畳する配線層は、低抵抗領域を突き抜けたとしても低抵抗領域の下部で接する電極層で電氣的接続が補償されるため、開口を形成する際に精密なアライメントを必要とせず、信頼性の高いトランジスタを形成することができる。また、ゲート電極層 4 1 0 から見て低抵抗領域 4 0 6 a 側に配線層が複数ある構造にすることによって、レイアウトの自由度が高くなり、半導体装置の高精細化を図ることができる。

【0142】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0143】

（実施の形態 2）

本実施の形態では、本発明の他の一態様である半導体装置および半導体装置の作製方法

10

20

30

40

50

を、図4乃至図6を用いて説明する。本実施の形態では、半導体装置の一例としてトップゲート構造を有するトランジスタを示す。

【0144】

図4に、トランジスタ460の断面図および平面図を示す。図4(A)は平面図であり、図4(B)は、図4(A)におけるX-Y断面に係る断面図である。なお、図4(A)では、煩雑になることを避けるため、トランジスタ460の構成要素の一部(例えば、絶縁層412など)を省略している。

【0145】

図4は、本実施の形態の方法にて作製された半導体装置の構成例である。図4に示すトランジスタ460は、基板400と、下地絶縁層402aと、下地絶縁層402cと、電極層404aおよび電極層404bと、チャネル形成領域406c並びにチャネル形成領域406cを挟む低抵抗領域406aおよび低抵抗領域406bとを含む酸化半導体層406と、ゲート絶縁層408と、ゲート電極層410と、絶縁層412と、配線層414aと、配線層414bと、配線層414dを有する。

【0146】

ここで、先の実施の形態と異なる点は、下地絶縁層402a上に電極層404aおよび電極層404bがある点、さらに、開口413dの形成箇所と配線層414dの形成箇所が図1の開口413cおよび配線層414cと異なる点である。

【0147】

下地絶縁層は、下地絶縁層402aと、下地絶縁層402cが積層されており、下地絶縁層402a上の一部領域は、電極層404aおよび電極層404bが設けられている。なお、電極層404aの上面は低抵抗領域406aの少なくとも一部と、電極層404bの上面は低抵抗領域406bの少なくとも一部と、それぞれ接しているが、電極層404aおよび電極層404bの上面はチャネル形成領域406cとは接しない。

【0148】

低抵抗領域406aは、電極層404aおよび下地絶縁層402cの上面に接して設けられ、低抵抗領域406bは、電極層404bおよび下地絶縁層402cの上面に接して設けられ、チャネル形成領域406cは、下地絶縁層402cの上面に接して設けられている。また、低抵抗領域406aおよび低抵抗領域406bは、ソース領域またはドレイン領域として機能する。

【0149】

以下に、トランジスタ460の作製工程の一例を示す。

【0150】

まず、絶縁表面を有する基板400上に下地絶縁層402aを形成する(図5(A)参照)。

【0151】

下地絶縁層402aの形成方法、材料などは先の実施の形態を参照することができる。

【0152】

次に下地絶縁層402a上に、導電膜を形成した後、フォトリソグラフィ工程およびエッチング工程により電極層404aおよび電極層404bを形成する(図5(A)参照)。

【0153】

電極層404aおよび電極層404bの形成方法、材料などは先の実施の形態を参照することができる。

【0154】

電極層404aおよび電極層404bは、後に形成される下地絶縁層402bにあるため、膜厚を厚くしても電極層404aおよび電極層404bのカバレッジ不良が問題とならない。

【0155】

次に、下地絶縁層402a、電極層404aおよび電極層404b上に下地絶縁層40

10

20

30

40

50

2 bを形成する(図5(B)参照)。

【0156】

また、下地絶縁層402bの形成前に、電極層404aおよび電極層404bに窒素プラズマ処理を行ってもよい。窒素プラズマ処理によって、電極層404aおよび電極層404bと後に形成される酸化物半導体層406との間のコンタクト抵抗を低減することができる。

【0157】

次に、電極層404aおよび電極層404bの上面を露出させ、下地絶縁層402cを形成する(図5(C)参照)。

【0158】

下地絶縁層402bの材料、作製方法や電極層404aおよび電極層404bの上面を露出させる処理は、先の実施の形態を参酌することができる。

【0159】

次に、下地絶縁層402c、電極層404aおよび電極層404b上に酸化物半導体層406を形成する(図5(D)参照)。

【0160】

次に、下地絶縁層402c、電極層404a、電極層404bおよび酸化物半導体層406上にゲート絶縁層408を形成し、ゲート絶縁層408上にゲート電極層410を形成する(図6(A)参照)。

【0161】

酸化物半導体層406、ゲート絶縁層408およびゲート電極層410の材料、作製方法は、先の実施の形態を参酌することができる。

【0162】

酸化物半導体層406よりも膜厚の厚い電極層404aおよび電極層404bが酸化物半導体層406の下で接するため、酸化物半導体層406の膜厚が薄くても、配線層と酸化物半導体層との電気的な接続を確保することができるため、トランジスタの微細化や高速駆動が可能なトランジスタを提供できる。また、酸化物半導体層中のチャネル形成領域の膜厚が薄いため、しきい値電圧をプラスシフトさせ、トランジスタをノーマリーオフ化することもできる。

【0163】

また、脱水化または脱水素化のための熱処理を、酸化物半導体層406として島状に加工される前、層状の酸化物半導体層が下地絶縁層402cを覆った状態で行うと、下地絶縁層402cに含まれる酸素が熱処理によって放出されるのを防止することができるため好ましい。

【0164】

また、酸化物半導体層406として島状に加工する際は、酸化物半導体層406が電極層404aの少なくとも一部と、電極層404bの少なくとも一部と、下地絶縁層402cとそれぞれ接するように設ける。

【0165】

次に、ゲート電極層410をマスクとして酸化物半導体層406に不純物420を添加する処理を行って、自己整合的に低抵抗領域406a、低抵抗領域406bおよびチャネル形成領域406cを形成する(図6(B)参照)。

【0166】

不純物420の添加方法や条件は、先の実施の形態を参酌することができる。

【0167】

また、低抵抗領域406aおよび低抵抗領域406bは、チャネル形成領域406cよりも不純物濃度が高くなっている。不純物濃度を高くすることによって酸化物半導体層中のキャリア密度が増加し、配線層と酸化物半導体層の間のコンタクト抵抗が低くなるため、配線層と酸化物半導体層の間に良好なオーミックコンタクトをとることができる。

【0168】

また、上記の不純物 420 を添加する処理により、電極層も低抵抗化される。よって、低抵抗化された領域において、後に形成される配線層と電極層の間のコンタクト抵抗も低くなるため、配線層と電極層の間に良好なオーミックコンタクトをとることができる。さらに、低抵抗領域と電極層の間のコンタクト抵抗も低くなるため、低抵抗領域と電極層の間に良好なオーミックコンタクトをとることができる。

【0169】

よって、オン電流や移動度が向上し、高速応答可能なトランジスタを作製することができる。また、低抵抗化された領域において、オーミックコンタクトをとることができるため、ショットキー接合と比較して熱的にも安定な動作が可能となる。

【0170】

次に、ゲート絶縁層 408 およびゲート電極層 410 上に絶縁層 412 を形成する（図 6（C）参照）。

【0171】

絶縁層 412 の材料、作製方法は、先の実施の形態を参酌することができる。

【0172】

また、ゲート絶縁層 408 および絶縁層 412 に電極層 404 a、低抵抗領域 406 a、電極層 404 b に達する開口 413 a、開口 413 b、開口 413 d を形成し、開口 413 a、開口 413 b、開口 413 d にそれぞれ、電極層 404 a、低抵抗領域 406 a、電極層 404 b と電氣的に接続する配線層 414 a、配線層 414 b、配線層 414 d を形成する（図 6（C）参照）。

【0173】

本実施の形態では、開口 413 a および開口 413 d と、開口 413 b は別々の工程で形成する。まず、レジストマスクを用い、選択的にエッチングをして開口 413 a および開口 413 d を形成し、次にレジストマスクを除去した後、再度、レジストマスクを用い、選択的にエッチングをして開口 413 b を形成する。その後、レジストマスクを除去する。この順に限られず、先に開口 413 b を形成してもよい。

【0174】

配線層 414 a、配線層 414 b、配線層 414 d はゲート電極層 410 と同様の材料および作製方法を用いて形成することができる。例えば、配線層 414 a、配線層 414 b、配線層 414 d として窒化タンタル膜と銅膜との積層、または窒化タンタル膜とタングステン膜との積層などを用いることができる。

【0175】

また、配線層 414 a および配線層 414 b は、絶縁層 412 上で接続されて同電位になってもよい。

【0176】

また、ゲート電極層 410 から見て低抵抗領域 406 a 側に配線層が複数ある構造にすることによって、レイアウトの自由度が高くなり、半導体装置の高精細化を図ることができる。

【0177】

また、配線層は、開口を介して電極層と接続するため、配線層と電極層は同じ材料で形成されることが好ましい。そのようにすることにより、同じ材料同士が接触することでコンタクト抵抗を抑えることができる。

【0178】

以上により、ゲート電極層形成後に不純物を添加する処理により、電極層や酸化物半導体層などの低抵抗化された領域でコンタクトすると良好なオーミックコンタクトをとることができ、オン電流や移動度が向上し、高速応答が可能となる。また、低抵抗化された領域において、オーミックコンタクトをとることができるため、ショットキー接合と比較して熱的にも安定な動作が可能となる。また、酸化物半導体層と電氣的に接続する電極層は、下地絶縁層中に設けられているため、当該電極層の膜厚を厚くした場合でも、電極層のカバレッジ不良が生じないため、電極層及び配線層の厚膜化を達成しつつ、酸化物半導体

10

20

30

40

50

層を薄膜化することが可能となり、トランジスタの微細化、高速駆動化を図ることができる。また、電極層および低抵抗領域に重畳する配線層は、低抵抗領域を突き抜けたとしても低抵抗領域の下部で接する電極層で電氣的接続が補償されるため、開口を形成する際に精密なアライメントを必要とせず、信頼性の高いトランジスタを形成することができる。また、ゲート電極層 410 から見て低抵抗領域 406 a 側に配線層が複数ある構造にすることによって、レイアウトの自由度が高くなり、半導体装置の高精細化を図ることができる。

【0179】

また、図 7 (A) 乃至図 7 (D) に、図 1 および図 4 とは異なるトランジスタの構成例を示す。

10

【0180】

図 7 (A) に示すトランジスタ 470 は、上述のトランジスタ 450 に対して、さらに下地絶縁層 402 a 上に電極層 404 b が低抵抗領域 406 b と接して設けられた構造である。ゲート絶縁層 408 および絶縁層 412 に形成された開口 413 e に配線層 414 e が設けられている。

【0181】

図 7 (B) に示すトランジスタ 480 は、図 7 (A) に示すトランジスタ 470 に対して、さらに電極層 404 b に達する開口 413 f に配線層 414 f が設けられている。

【0182】

図 7 (C) に示すトランジスタ 490 は、上述のトランジスタ 450 に対して、さらに低抵抗領域 406 a および低抵抗領域 406 b の内部に達する開口 413 g および開口 413 h に配線層 414 g および配線層 414 h が設けられている。

20

【0183】

図 7 (D) に示すトランジスタ 500 は、図 7 (A) に示すトランジスタ 470 に対して、さらに電極層 404 a および電極層 404 b の内部に達する開口 413 i および開口 413 j に配線層 414 i および配線層 414 j が設けられている。

【0184】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0185】

30

(実施の形態 3)

本実施の形態では、実施の形態 1 または実施の形態 2 に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置の一例を、図面を用いて説明する。なお、本実施の形態の半導体装置は、トランジスタ 162 として実施の形態 1 または実施の形態 2 に記載のトランジスタを適用して構成される。トランジスタ 162 としては、実施の形態 1 または実施の形態 2 で示すトランジスタのいずれの構造も適用することができる。

【0186】

トランジスタ 162 は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

40

【0187】

図 8 は、半導体装置の構成の一例である。図 8 (A) に半導体装置の断面図を、図 8 (B) に半導体装置の平面図を、図 8 (C) に半導体装置の回路図をそれぞれ示す。ここで、図 8 (A) は、図 8 (B) の C1 - C2、および D1 - D2 における断面に相当する。

【0188】

図 8 (A) および図 8 (B) に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 160 を有し、上部に第 2 の半導体材料を用いたトランジスタ 162 を有するものである。トランジスタ 162 は、実施の形態 1 または実施の形態 2 で示した構成と同

50

一の構成とすることができる。

【0189】

ここで、第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料（シリコンなど）とし、第2の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【0190】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのはいうまでもない。また、開示する発明の技術的な本質は、情報を保持するために酸化物半導体をトランジスタ162に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0191】

図8(A)におけるトランジスタ160は、半導体材料（例えば、シリコンなど）を含む基板100に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域120と、不純物領域120に接する金属間化合物領域124と、チャネル形成領域116上に設けられたゲート絶縁層108と、ゲート絶縁層108上に設けられたゲート電極層110と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれうる。

【0192】

基板100上にはトランジスタ160を囲むように素子分離絶縁層106が設けられており、トランジスタ160を覆うように絶縁層130が設けられている。さらに、絶縁層130上に絶縁層131が設けられている。なお、高集積化を実現するためには、図8(A)に示すようにトランジスタ160がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ160の特性を重視する場合には、ゲート電極層110の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域120としてもよい。

【0193】

図8(A)に示すトランジスタ162は、酸化物半導体をチャネル形成領域に用いたトランジスタである。ここで、トランジスタ162に含まれる酸化物半導体層144は、高純度化されたものであることが望ましい。高純度化された酸化物半導体を用いることで、極めて優れたオフ特性のトランジスタ162を得ることができる。

【0194】

酸化物半導体層144には、不純物を添加する処理が行われており、ゲート電極層をマスクとして、酸化物半導体層に不純物を添加する処理を行うことにより酸化物半導体層に自己整合的に低抵抗領域144a、低抵抗領域144bおよびチャネル形成領域144cを形成する。

【0195】

低抵抗領域144aおよび低抵抗領域144bは、チャネル形成領域144cよりも不純物濃度が高くなっている。不純物濃度を高くすることによって酸化物半導体層中のキャリア密度が増加し、配線層と酸化物半導体層の間のコンタクト抵抗が低くなるため、配線層と酸化物半導体層の間に良好なオーミックコンタクトをとることができ、オン電流や移動度が向上し、高速応答が可能となる。また、低抵抗化された領域において、オーミックコンタクトをとることができるため、ショットキー接合と比較して熱的にも安定な動作が可能となる。

【0196】

10

20

30

40

50

トランジスタ162上には、絶縁層150が単層または積層で設けられている。また、ゲート絶縁層146を介して、トランジスタ162の電極層142aと重畳する領域には、導電層148bが設けられており、電極層142aと、ゲート絶縁層146と、導電層148bとによって、容量素子164が構成される。すなわち、トランジスタ162の電極層142aは、容量素子164の一方の電極として機能し、導電層148bは、容量素子164の他方の電極として機能する。なお、容量が不要の場合には、容量素子164を設けない構成とすることもできる。また、容量素子164は、別途、トランジスタ162の上方に設けてもよい。

【0197】

トランジスタ162および容量素子164の上には、絶縁層150および絶縁層152が設けられている。そして、絶縁層152上には、電極層142aと、低抵抗領域144aと、電極層142bとを接続するための配線層156aおよび配線層156bが設けられている。配線層156aは、絶縁層150、絶縁層152およびゲート絶縁層146などに形成された開口157a、開口157bを介してそれぞれ電極層142a、低抵抗領域144aおよび電極層142bと電氣的に接続される。また、配線層156bは、絶縁層150、絶縁層152およびゲート絶縁層146などに形成された開口157cを介して電極層142bと電氣的に接続される。本実施の形態では、電極層142aと接続する配線層と、低抵抗領域144aと接続する配線層とを同一の配線層156aとしているがこれに限られず、実施の形態1または実施の形態2で示すように別々の配線層を設けても良い。

【0198】

また、電極層および低抵抗領域に重畳する配線層は、低抵抗領域を突き抜けたとしても低抵抗領域の下部で接する電極層で電氣的接続が補償されるため、開口を形成する際に精密なアライメントを必要とせず、信頼性の高いトランジスタを形成することができる。また、ゲート電極層148aから見て低抵抗領域144a側に配線層が複数ある構造にすることによって、レイアウトの自由度が高くなり、半導体装置の高精細化を図ることができる。

【0199】

図8(A)および図8(B)において、トランジスタ160と、トランジスタ162とは、少なくとも一部が重畳するように設けられており、トランジスタ160のソース領域またはドレイン領域と酸化物半導体層144の一部が重畳するように設けられているのが好ましい。また、トランジスタ162および容量素子164が、トランジスタ160の少なくとも一部と重畳するように設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【0200】

次に、図8(A)および図8(B)に対応する回路構成の一例を図8(C)に示す。

【0201】

図8(C)において、第1の配線(1st Line)とトランジスタ160のソース電極とは、電氣的に接続され、第2の配線(2nd Line)とトランジスタ160のドレイン電極とは、電氣的に接続されている。また、第3の配線(3rd Line)とトランジスタ162のソース電極またはドレイン電極の一方とは、電氣的に接続され、第4の配線(4th Line)と、トランジスタ162のゲート電極層とは、電氣的に接続されている。そして、トランジスタ160のゲート電極層と、トランジスタ162のソース電極またはドレイン電極の他方は、容量素子164の電極の一方と電氣的に接続され、第5の配線(5th Line)と、容量素子164の電極の他方は電氣的に接続されている。

【0202】

図8(C)に示す半導体装置では、トランジスタ160のゲート電極層の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能であ

る。

【0203】

酸化物半導体を用いたトランジスタ162は、オフ電流が極めて小さいという特徴を有しているため、トランジスタ162をオフ状態とすることで、トランジスタ162のソース電極またはドレイン電極の他方と、容量素子164の電極の一方と、トランジスタ160のゲート電極層とが電氣的に接続されたノード（以下、ノードFG）の電位を極めて長時間にわたって保持することが可能である。そして、容量素子164を有することにより、ノードFGに与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

【0204】

情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極層、および容量素子164に与えられる。すなわち、トランジスタ160のゲート電極層には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という）のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極層に与えられた電荷が保持される（保持）。

【0205】

トランジスタ162のオフ電流は極めて小さいため、トランジスタ160のゲート電極層の電荷は長時間にわたって保持される。

【0206】

次に情報の読み出しについて説明する。第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、トランジスタ160のゲート電極層に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャネル型とすると、トランジスタ160のゲート電極層にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ160のゲート電極層にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ160のゲート電極層に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ160は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

【0207】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極層の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線に与えればよい。または、ゲート電極層の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。

【0208】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することがで

10

20

30

40

50

きる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0209】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

10

【0210】

また、酸化物半導体以外の材料を用いたトランジスタは、十分な高速動作が可能であるため、これを、酸化物半導体を用いたトランジスタと組み合わせることで、半導体装置の動作（例えば、情報の読み出し動作）の高速性を十分に確保することができる。また、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【0211】

このように、酸化物半導体以外の材料を用いたトランジスタ（より広義には、十分な高速動作が可能なトランジスタ）と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

20

【0212】

本実施の形態で示すトランジスタ162は、本明細書に開示する、電極層を酸化物半導体層の下部に接して形成し、ゲート電極層をマスクとして酸化物半導体層に不純物を添加する処理を行うことで、トランジスタ162の良好な電気的特性を維持し、オフ電流を十分に低減することができる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

【0213】

以上のように、上記のようなトランジスタは、オフ電流が低く、オン特性（例えば、オン電流および電界効果移動度）が高く、高速動作、高速応答が可能である。また、微細化も達成できる。よって、該トランジスタを用いることで高性能および高信頼性の半導体装置を提供することができる。

30

【0214】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせることで用いることができる。

【0215】

（実施の形態4）

本実施の形態においては、実施の形態1または実施の形態2に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態3に示した構成と異なる構成について、図9および図10を用いて説明を行う。なお、本実施の形態の半導体装置は、トランジスタ162として実施の形態1または実施の形態2に記載のトランジスタを適用して構成される。トランジスタ162としては、実施の形態1または実施の形態2で示すトランジスタのいずれの構造も適用することができる。

40

【0216】

図9（A）は、半導体装置の回路構成の一例を示し、図9（B）は半導体装置の一例を示す概念図である。まず、図9（A）に示す半導体装置について説明を行い、続けて図9（B）に示す半導体装置について、以下説明を行う。

【0217】

図9（A）に示す半導体装置において、ビット線BLとトランジスタ162のソース電

50

極またはドレイン電極とは電氣的に接続され、ワード線WLとトランジスタ162のゲート電極層とは電氣的に接続され、トランジスタ162のソース電極またはドレイン電極と容量素子254の第1の端子とは電氣的に接続されている。

【0218】

酸化物半導体を用いたトランジスタ162は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、容量素子254の第1の端子の電位（あるいは、容量素子254に蓄積された電荷）を極めて長時間にわたって保持することが可能である。

【0219】

次に、図9（A）に示す半導体装置（メモリセル250）に、情報の書き込みおよび保持を行う場合について説明する。

10

【0220】

まず、ワード線WLの電位を、トランジスタ162がオン状態となる電位として、トランジスタ162をオン状態とする。これにより、ビット線BLの電位が、容量素子254の第1の端子に与えられる（書き込み）。その後、ワード線WLの電位を、トランジスタ162がオフ状態となる電位として、トランジスタ162をオフ状態とすることにより、容量素子254の第1の端子の電位が保持される（保持）。

【0221】

トランジスタ162のオフ電流は極めて小さいから、容量素子254の第1の端子の電位（あるいは容量素子に蓄積された電荷）は長時間にわたって保持することができる。

20

【0222】

次に、情報の読み出しについて説明する。トランジスタ162がオン状態となると、浮遊状態であるビット線BLと容量素子254とが導通し、ビット線BLと容量素子254の間で電荷が再分配される。その結果、ビット線BLの電位が変化する。ビット線BLの電位の変化量は、容量素子254の第1の端子の電位（あるいは容量素子254に蓄積された電荷）によって、異なる値をとる。

【0223】

例えば、容量素子254の第1の端子の電位をV、容量素子254の容量をC、ビット線BLが有する容量成分（以下、ビット線容量とも呼ぶ）をCB、電荷が再分配される前のビット線BLの電位をVB0とすると、電荷が再分配された後のビット線BLの電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。従って、メモリセル250の状態として、容量素子254の第1の端子の電位がV1とV0（V1 > V0）の2状態をとるとすると、電位V1を保持している場合のビット線BLの電位（ $= (CB \times VB0 + C \times V1) / (CB + C)$ ）は、電位V0を保持している場合のビット線BLの電位（ $= (CB \times VB0 + C \times V0) / (CB + C)$ ）よりも高くなることわかる。

30

【0224】

そして、ビット線BLの電位を所定の電位と比較することで、情報を読み出すことができる。

【0225】

このように、図9（A）に示す半導体装置は、トランジスタ162のオフ電流が極めて小さいという特徴から、容量素子254に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

40

【0226】

次に、図9（B）に示す半導体装置について、説明を行う。

【0227】

図9（B）に示す半導体装置は、上部に記憶回路として図9（A）に示したメモリセル250を複数有するメモリセルアレイ251aおよびメモリセルアレイ251bを有し、

50

下部に、メモリセルアレイ 2 5 1 (メモリセルアレイ 2 5 1 a およびメモリセルアレイ 2 5 1 b) を動作させるために必要な周辺回路 2 5 3 を有する。なお、周辺回路 2 5 3 は、メモリセルアレイ 2 5 1 と電氣的に接続されている。

【0 2 2 8】

図 9 (B) に示した構成とすることにより、周辺回路 2 5 3 をメモリセルアレイ 2 5 1 (メモリセルアレイ 2 5 1 a およびメモリセルアレイ 2 5 1 b) の直下に設けることができるため半導体装置の小型化を図ることができる。

【0 2 2 9】

周辺回路 2 5 3 に設けられるトランジスタは、トランジスタ 1 6 2 とは異なる半導体材料を用いるのがより好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、該トランジスタにより、高速動作が要求される各種回路 (論理回路、駆動回路など) を好適に実現することが可能である。

【0 2 3 0】

なお、図 9 (B) に示した半導体装置では、2 つのメモリセルアレイ (メモリセルアレイ 2 5 1 a と、メモリセルアレイ 2 5 1 b) が積層された構成を例示したが、積層するメモリセルの数はこれに限定されない。3 つ以上のメモリセルを積層する構成としても良い。

【0 2 3 1】

次に、図 9 (A) に示したメモリセル 2 5 0 の具体的な構成について図 1 0 を用いて説明を行う。

【0 2 3 2】

図 1 0 は、メモリセル 2 5 0 の構成の一例である。図 1 0 (A) に、メモリセル 2 5 0 の平面図を、図 1 0 (B) に図 1 0 (A) の線分 A - B における断面図をそれぞれ示す。

【0 2 3 3】

図 1 0 (A) および図 1 0 (B) に示すトランジスタ 1 6 2 は、実施の形態 1 または実施の形態 2 で示した構成と同一の構成とすることができる。

【0 2 3 4】

図 1 0 (B) に示すように、電極 5 0 2 および電極 5 0 4 上にトランジスタ 1 6 2 が設けられている。電極 5 0 2 は、図 9 (A) におけるビット線 B L として機能する配線であり、トランジスタ 1 6 2 の低抵抗領域と接して設けられている。また、電極 5 0 4 は、図 1 0 (B) における容量素子 2 5 4 の一方の電極として機能し、トランジスタ 1 6 2 の低抵抗領域と接して設けられている。トランジスタ 1 6 2 において、電極 5 0 4 と重畳する領域に設けられた電極 5 0 6 は、容量素子 2 5 4 の他方の電極として機能する。

【0 2 3 5】

また、図 1 0 (A) に示すように、容量素子 2 5 4 の他方の電極 5 0 6 は、容量線 5 0 8 と電氣的に接続する。ゲート絶縁層 1 4 6 を介して酸化物半導体層 1 4 4 上に設けられたゲート電極層 1 4 8 a は、ワード線 5 0 9 と電氣的に接続する。

【0 2 3 6】

また、図 1 0 (C) に、メモリセルアレイ 2 5 1 と、周辺回路との接続部における断面図を示す。周辺回路は、例えば n チャネル型トランジスタ 5 1 0 および p チャネル型トランジスタ 5 1 2 を含む構成とすることができる。n チャネル型トランジスタ 5 1 0 および p チャネル型トランジスタ 5 1 2 に用いる半導体材料としては、酸化物半導体以外の半導体材料 (シリコンなど) を用いるのが好ましい。このような材料を用いることで、周辺回路に含まれるトランジスタの高速動作を図ることができる。

【0 2 3 7】

図 1 0 (A) に示す平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

10

20

30

40

50

【 0 2 3 8 】

以上のように、上部に多層に形成された複数のメモリセルは、酸化物半導体を用いたトランジスタにより形成されている。高純度化され、真性化された酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、容量素子 2 5 4 は、図 1 0 (B) で示すように電極 5 0 4、ゲート絶縁層 1 4 6、電極 5 0 6 が積層されることによって形成される。

【 0 2 3 9 】

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）を用いた周辺回路と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

【 0 2 4 0 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 2 4 1 】

（実施の形態 5）

本実施の形態では、先の実施の形態で示した半導体装置を携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図 1 1 乃至図 1 4 を用いて説明する。

【 0 2 4 2 】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶などに S R A M または D R A M が使用されている。S R A M または D R A M が使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである。一方で、S R A M または D R A M を画像データの一時記憶に用いた場合、以下の特徴がある。

【 0 2 4 3 】

通常の S R A M は、図 1 1 (A) に示すように 1 つのメモリセルがトランジスタ 8 0 1 ~ 8 0 6 の 6 個のトランジスタで構成されており、それを X デコーダー 8 0 7、Y デコーダー 8 0 8 にて駆動している。トランジスタ 8 0 3 とトランジスタ 8 0 5、トランジスタ 8 0 4 とトランジスタ 8 0 6 はインバータを構成し、高速駆動を可能としている。しかし 1 つのメモリセルが 6 トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法を F としたときに S R A M のメモリセル面積は通常 $100 \sim 150 F^2$ である。このため S R A M はビットあたりの単価が各種メモリの中で最も高い。

【 0 2 4 4 】

それに対して、D R A M はメモリセルが図 1 1 (B) に示すようにトランジスタ 8 1 1、保持容量 8 1 2 によって構成され、それを X デコーダー 8 1 3、Y デコーダー 8 1 4 にて駆動している。1 つのセルが 1 トランジスタ 1 容量の構成になっており、面積が小さい。D R A M のメモリセル面積は通常 $10 F^2$ 以下である。ただし、D R A M は常にリフレッシュが必要であり、書き換えを行わない場合でも電力を消費する。

【 0 2 4 5 】

しかし、先の実施の形態で説明した半導体装置のメモリセル面積は、 $10 F^2$ 前後であり、且つ頻繁なリフレッシュは不要である。したがって、メモリセル面積が縮小され、且つ消費電力を低減することができる。

【 0 2 4 6 】

図 1 2 に携帯機器のブロック図を示す。図 1 2 に示す携帯機器は R F 回路 9 0 1、アナログベースバンド回路 9 0 2、デジタルベースバンド回路 9 0 3、バッテリー 9 0 4、電源回路 9 0 5、アプリケーションプロセッサ 9 0 6、フラッシュメモリ 9 1 0、ディス

10

20

30

40

50

レイコントローラ 911、メモリ回路 912、ディスプレイ 913、タッチセンサ 919、音声回路 917、キーボード 918 などより構成されている。ディスプレイ 913 は表示部 914、ソースドライバ 915、ゲートドライバ 916 によって構成されている。アプリケーションプロセッサ 906 は CPU 907、DSP 908、インターフェイス (IF) 909 を有している。一般にメモリ回路 912 は SRAM または DRAM で構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

【0247】

図 13 に、ディスプレイのメモリ回路 950 に先の実施の形態で説明した半導体装置を使用した例を示す。図 13 に示すメモリ回路 950 は、メモリ 952、メモリ 953、スイッチ 954、スイッチ 955 およびメモリコントローラ 951 により構成されている。また、メモリ回路は、信号線から入力された画像データ (入力画像データ)、メモリ 952、およびメモリ 953 に記憶されたデータ (記憶画像データ) を読み出し、および制御を行うディスプレイコントローラ 956 と、ディスプレイコントローラ 956 からの信号により表示するディスプレイ 957 が接続されている。

10

【0248】

まず、ある画像データがアプリケーションプロセッサ (図示しない) によって、形成される (入力画像データ A)。入力画像データ A は、スイッチ 954 を介してメモリ 952 に記憶される。そしてメモリ 952 に記憶された画像データ (記憶画像データ A) は、スイッチ 955、およびディスプレイコントローラ 956 を介してディスプレイ 957 に送られ、表示される。

20

【0249】

入力画像データ A に変更が無い場合、記憶画像データ A は、通常 30 ~ 60 Hz 程度の周期でメモリ 952 からスイッチ 955 を介して、ディスプレイコントローラ 956 により読み出される。

【0250】

次に、例えばユーザーが画面を書き換える操作をしたとき (すなわち、入力画像データ A に変更が有る場合)、アプリケーションプロセッサは新たな画像データ (入力画像データ B) を形成する。入力画像データ B はスイッチ 954 を介してメモリ 953 に記憶される。この間も定期的にメモリ 952 からスイッチ 955 を介して記憶画像データ A は読み出されている。メモリ 953 に新たな画像データ (記憶画像データ B) が記憶し終わると、ディスプレイ 957 の次のフレームより、記憶画像データ B は読み出され、スイッチ 955、およびディスプレイコントローラ 956 を介して、ディスプレイ 957 に記憶画像データ B が送られ、表示が行われる。この読み出しはさらに次に新たな画像データがメモリ 952 に記憶されるまで継続される。

30

【0251】

このようにメモリ 952 およびメモリ 953 は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ 957 の表示をおこなう。なお、メモリ 952 およびメモリ 953 はそれぞれ別のメモリには限定されず、1 つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ 952 およびメモリ 953 に採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

40

【0252】

図 14 に電子書籍のブロック図を示す。図 14 に示す電子書籍はバッテリー 1001、電源回路 1002、マイクロプロセッサ 1003、フラッシュメモリ 1004、音声回路 1005、キーボード 1006、メモリ回路 1007、タッチパネル 1008、ディスプレイ 1009、ディスプレイコントローラ 1010 によって構成される。

【0253】

ここでは、図 14 のメモリ回路 1007 に先の実施の形態で説明した半導体装置を使用

50

することができる。メモリ回路 1 0 0 7 は書籍の内容を一時的に保持する機能を持つ。例えば、ユーザーが電子書籍を読んでいるときに、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによって、特定の箇所を周囲と区別するハイライト機能を使用する場合などがある。ユーザーが指定した箇所の情報を長期に保存する場合にはフラッシュメモリ 1 0 0 4 にコピーしても良い。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

【 0 2 5 4 】

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。

10

【 0 2 5 5 】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【 符号の説明 】

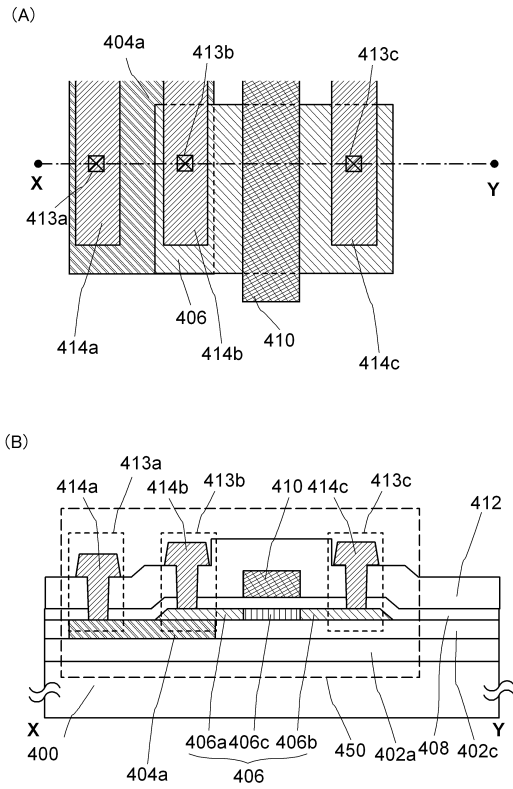
【 0 2 5 6 】

1 0 0	基板	
1 0 6	素子分離絶縁層	
1 0 8	ゲート絶縁層	20
1 1 0	ゲート電極層	
1 1 6	チャネル形成領域	
1 2 0	不純物領域	
1 2 4	金属間化合物領域	
1 3 0	絶縁層	
1 3 1	絶縁層	
1 4 2 a	電極層	
1 4 2 b	電極層	
1 4 4	酸化物半導体層	
1 4 4 a	低抵抗領域	30
1 4 4 b	低抵抗領域	
1 4 4 c	チャネル形成領域	
1 4 6	ゲート絶縁層	
1 4 8 a	ゲート電極層	
1 4 8 b	導電層	
1 5 0	絶縁層	
1 5 2	絶縁層	
1 5 6 a	配線層	
1 5 6 b	配線層	
1 5 7 a	開口	40
1 5 7 b	開口	
1 5 7 c	開口	
1 6 0	トランジスタ	
1 6 2	トランジスタ	
1 6 4	容量素子	
2 5 0	メモリセル	
2 5 1	メモリセルアレイ	
2 5 1 a	メモリセルアレイ	
2 5 1 b	メモリセルアレイ	
2 5 3	周辺回路	50

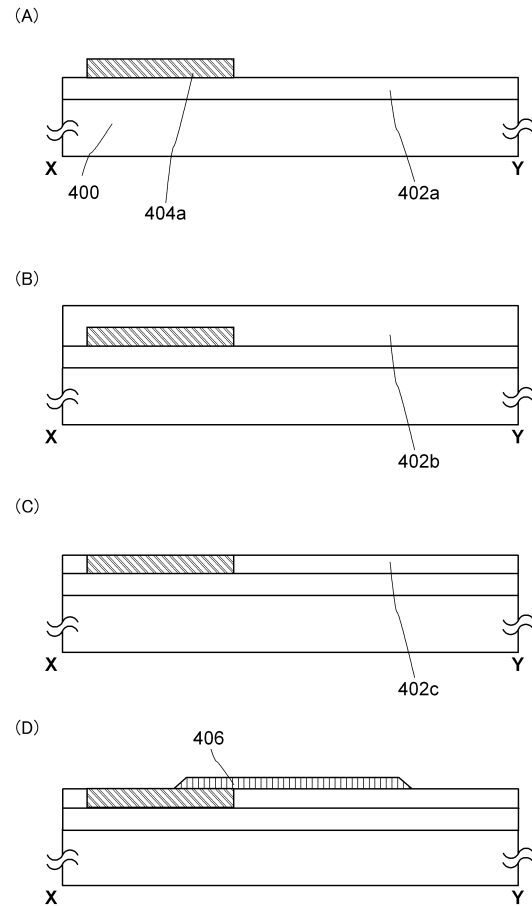
2 5 4	容量素子	
4 0 0	基板	
4 0 2 a	下地絶縁層	
4 0 2 b	下地絶縁層	
4 0 2 c	下地絶縁層	
4 0 4 a	電極層	
4 0 4 b	電極層	
4 0 6	酸化物半導体層	
4 0 6 a	低抵抗領域	
4 0 6 b	低抵抗領域	10
4 0 6 c	チャネル形成領域	
4 0 8	ゲート絶縁層	
4 1 0	ゲート電極層	
4 1 2	絶縁層	
4 1 3 a	開口	
4 1 3 b	開口	
4 1 3 c	開口	
4 1 3 d	開口	
4 1 3 e	開口	
4 1 3 f	開口	20
4 1 3 g	開口	
4 1 3 h	開口	
4 1 3 i	開口	
4 1 3 j	開口	
4 1 4 a	配線層	
4 1 4 b	配線層	
4 1 4 c	配線層	
4 1 4 d	配線層	
4 1 4 e	配線層	
4 1 4 f	配線層	30
4 1 4 g	配線層	
4 1 4 h	配線層	
4 1 4 i	配線層	
4 1 4 j	配線層	
4 2 0	不純物	
4 5 0	トランジスタ	
4 6 0	トランジスタ	
4 7 0	トランジスタ	
4 8 0	トランジスタ	
4 9 0	トランジスタ	40
5 0 0	トランジスタ	
5 0 2	電極	
5 0 4	電極	
5 0 6	電極	
5 0 8	容量線	
5 0 9	ワード線	
5 1 0	nチャネル型トランジスタ	
5 1 2	pチャネル型トランジスタ	
8 0 1	トランジスタ	
8 0 3	トランジスタ	50

8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	
8 0 7	Xデコーダー	
8 0 8	Yデコーダー	
8 1 1	トランジスタ	
8 1 2	保持容量	
8 1 3	Xデコーダー	
8 1 4	Yデコーダー	
9 0 1	R F 回路	10
9 0 2	アナログベースバンド回路	
9 0 3	デジタルベースバンド回路	
9 0 4	バッテリー	
9 0 5	電源回路	
9 0 6	アプリケーションプロセッサ	
9 0 7	C P U	
9 0 8	D S P	
9 0 9	インターフェイス (I F)	
9 1 0	フラッシュメモリ	
9 1 1	ディスプレイコントローラ	20
9 1 2	メモリ回路	
9 1 3	ディスプレイ	
9 1 4	表示部	
9 1 5	ソースドライバ	
9 1 6	ゲートドライバ	
9 1 7	音声回路	
9 1 8	キーボード	
9 1 9	タッチセンサ	
9 5 0	メモリ回路	
9 5 1	メモリコントローラ	30
9 5 2	メモリ	
9 5 3	メモリ	
9 5 4	スイッチ	
9 5 5	スイッチ	
9 5 6	ディスプレイコントローラ	
9 5 7	ディスプレイ	
1 0 0 1	バッテリー	
1 0 0 2	電源回路	
1 0 0 3	マイクロプロセッサ	
1 0 0 4	フラッシュメモリ	40
1 0 0 5	音声回路	
1 0 0 6	キーボード	
1 0 0 7	メモリ回路	
1 0 0 8	タッチパネル	
1 0 0 9	ディスプレイ	
1 0 1 0	ディスプレイコントローラ	

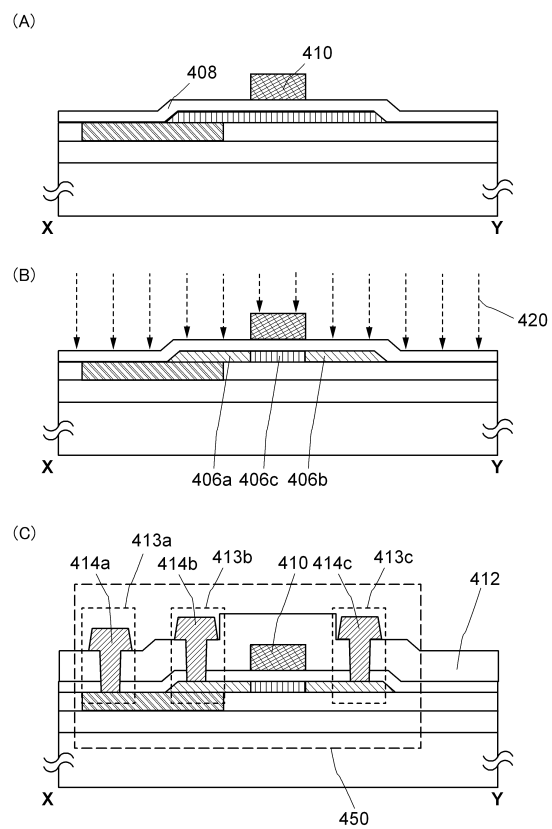
【図 1】



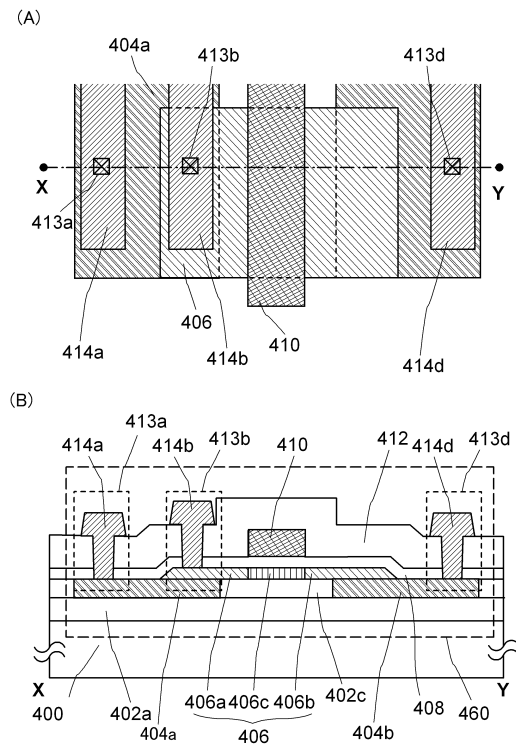
【図 2】



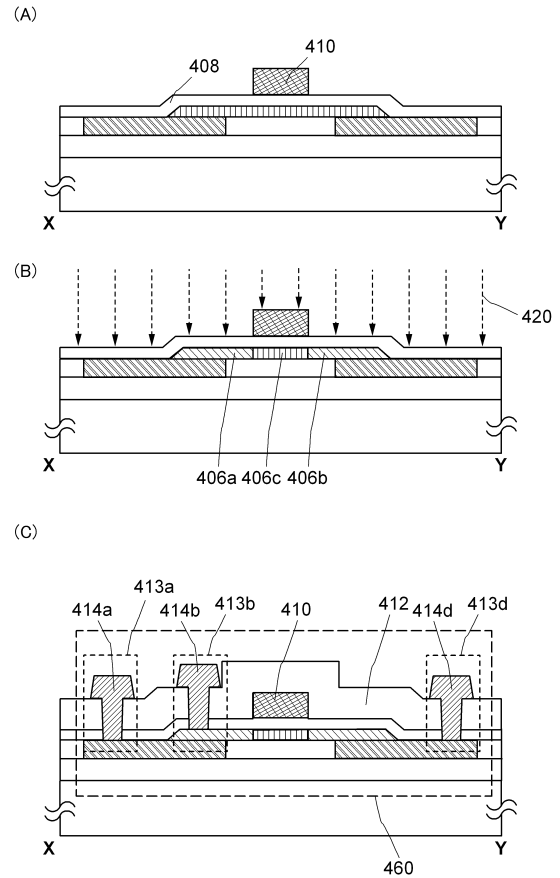
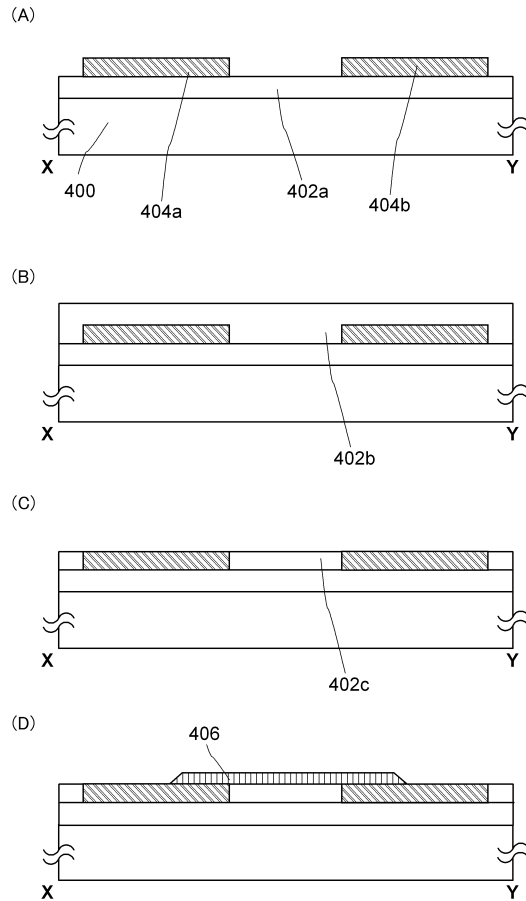
【図 3】



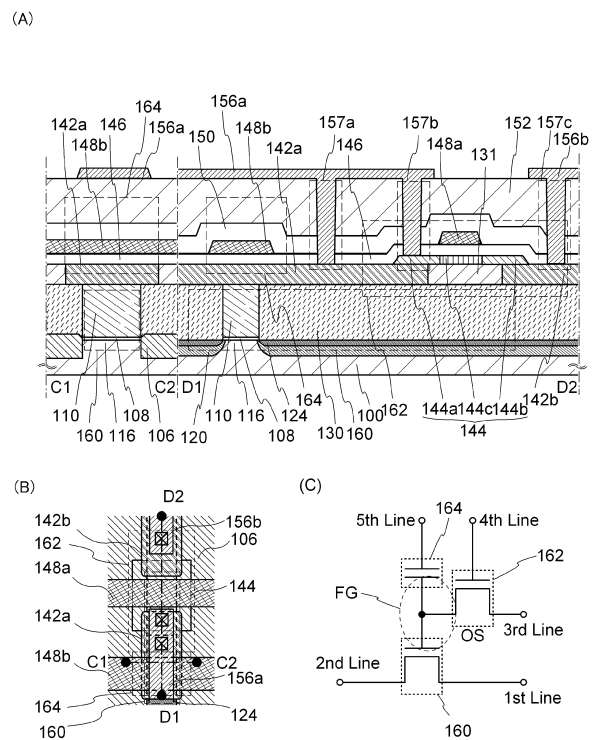
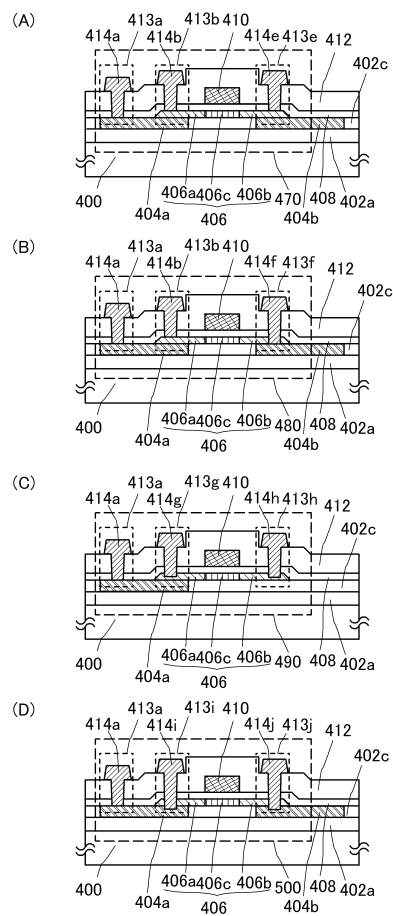
【図 4】



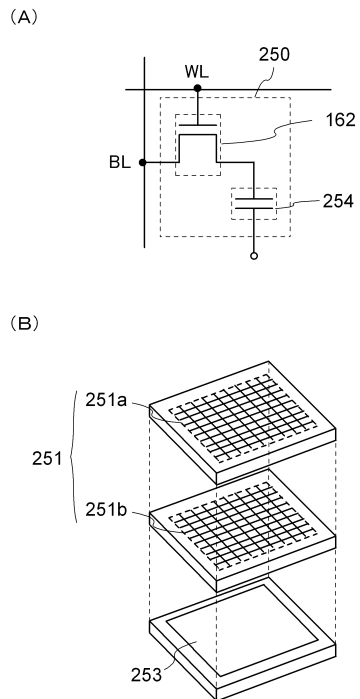
【 図 6 】



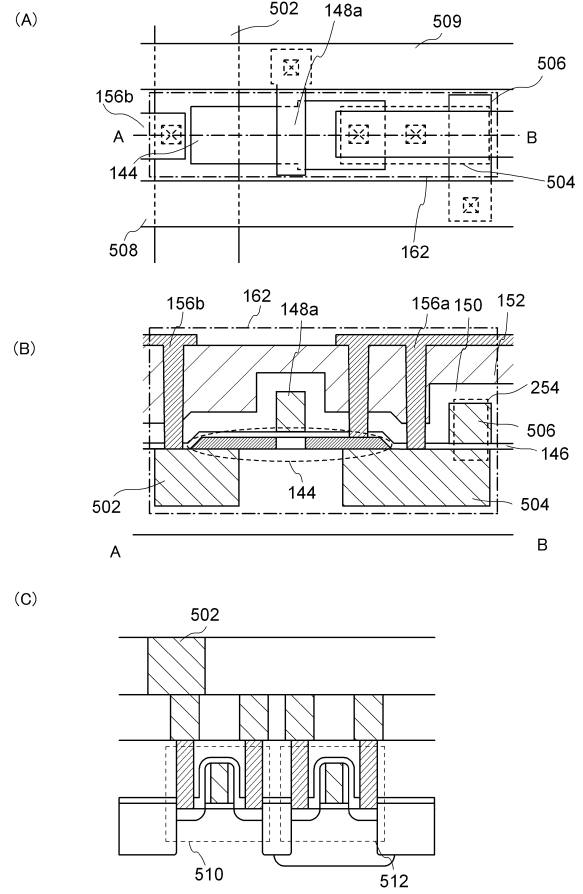
【圖 8】



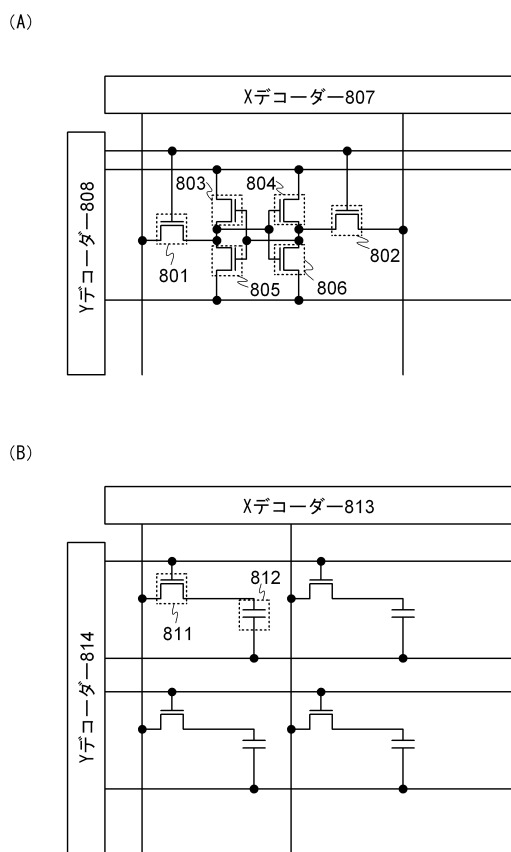
【図 9】



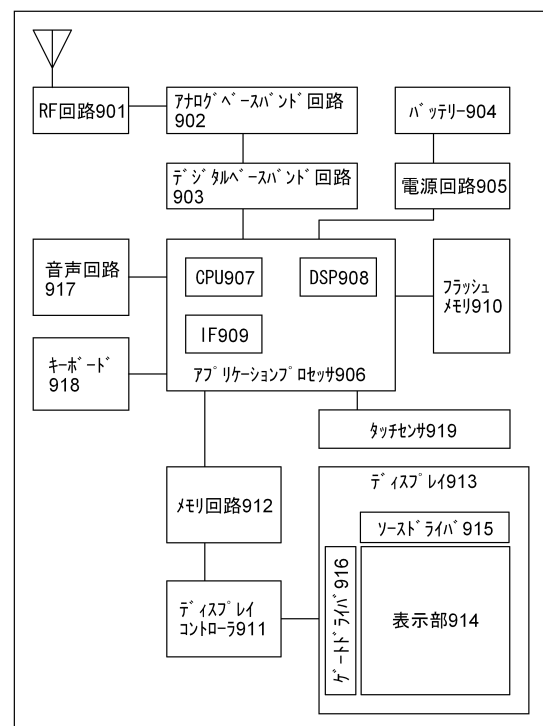
【図 10】



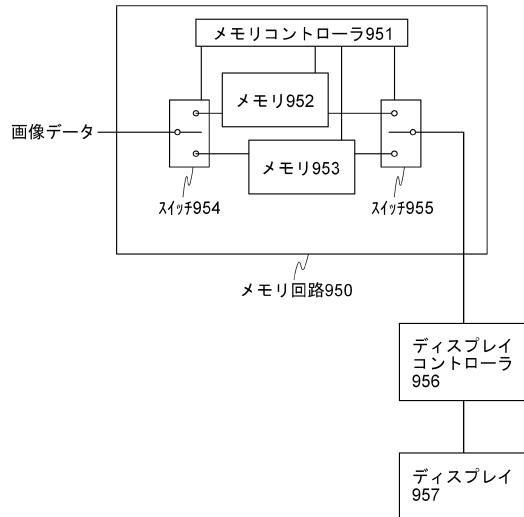
【図 11】



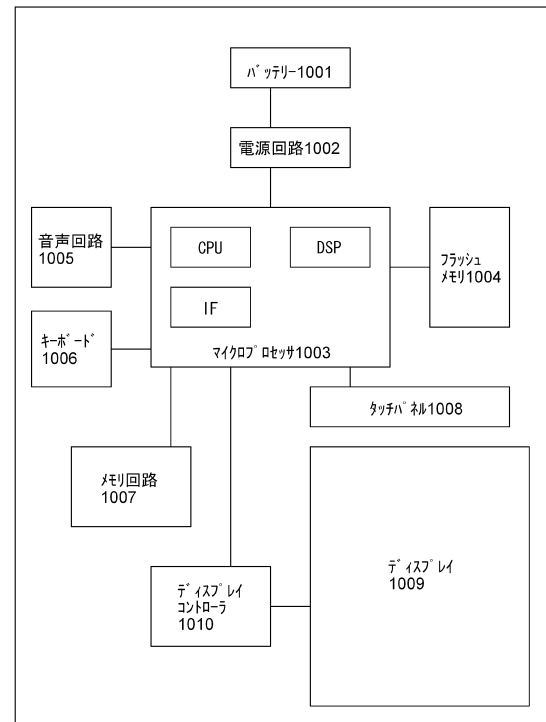
【図 12】



【図 13】



【図 14】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L	27/115	(2017.01)	H 0 1 L	29/78	6 1 6 L
H 0 1 L	29/788	(2006.01)	H 0 1 L	29/78	6 2 6 C
H 0 1 L	29/792	(2006.01)	H 0 1 L	27/10	3 2 1
H 0 1 L	27/10	(2006.01)	H 0 1 L	27/10	6 7 1 Z
H 0 1 L	21/28	(2006.01)	H 0 1 L	27/10	6 2 1 Z
H 0 1 L	29/41	(2006.01)	H 0 1 L	27/10	4 4 1
H 0 1 L	21/768	(2006.01)	H 0 1 L	27/10	4 3 4
H 0 1 L	21/8234	(2006.01)	H 0 1 L	29/78	3 7 1
H 0 1 L	27/088	(2006.01)	H 0 1 L	27/10	6 8 1 F
H 0 1 L	27/08	(2006.01)	H 0 1 L	27/10	6 8 1 A
C 2 3 C	14/08	(2006.01)	H 0 1 L	27/10	6 8 1 B
			H 0 1 L	27/10	6 8 1 E
			H 0 1 L	27/10	4 6 1
			H 0 1 L	27/10	4 8 1
			H 0 1 L	21/28	3 0 1 B
			H 0 1 L	29/44	L
			H 0 1 L	21/90	C
			H 0 1 L	27/08	1 0 2 E
			H 0 1 L	27/08	3 3 1 E
			C 2 3 C	14/08	K
			H 0 1 L	27/08	1 0 2 D

- (56)参考文献 特開平 0 7 - 0 9 9 2 8 6 (J P , A)
 特開平 0 8 - 3 3 0 5 9 3 (J P , A)
 特開平 0 3 - 0 9 5 9 3 7 (J P , A)
 特開 2 0 0 7 - 2 2 0 8 1 8 (J P , A)
 特開 2 0 1 0 - 2 6 3 0 6 4 (J P , A)
 特開 2 0 1 0 - 0 6 2 3 9 9 (J P , A)
 特開 2 0 0 9 - 1 5 8 9 4 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 9 / 7 8 6
 C 2 3 C 1 4 / 0 8
 H 0 1 L 2 1 / 2 8
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 7 6 8
 H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 1 / 8 2 4 2
 H 0 1 L 2 7 / 0 8
 H 0 1 L 2 7 / 0 8 8
 H 0 1 L 2 7 / 1 0
 H 0 1 L 2 7 / 1 0 5
 H 0 1 L 2 7 / 1 0 8
 H 0 1 L 2 7 / 1 1 5
 H 0 1 L 2 9 / 4 1
 H 0 1 L 2 9 / 7 8 8
 H 0 1 L 2 9 / 7 9 2